

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6478943号
(P6478943)

(45) 発行日 平成31年3月6日 (2019.3.6)

(24) 登録日 平成31年2月15日 (2019.2.15)

(51) Int. Cl.	F I	
H O 1 L 23/12 (2006.01)	H O 1 L 23/12	5 O 1 P
H O 5 K 3/46 (2006.01)	H O 5 K 3/46	Q
	H O 5 K 3/46	N
	H O 5 K 3/46	B
	H O 5 K 3/46	Z
請求項の数 28 (全 80 頁) 最終頁に続く		

(21) 出願番号	特願2016-93940 (P2016-93940)	(73) 特許権者	594023722
(22) 出願日	平成28年5月9日 (2016.5.9)		サムソン エレクトロメカニクス カ
(65) 公開番号	特開2016-213466 (P2016-213466A)		ンパニーリミテッド.
(43) 公開日	平成28年12月15日 (2016.12.15)		大韓民国、キョンギード、スウォンシ、
審査請求日	平成29年9月12日 (2017.9.12)		ヨントング、(マエタンードン) マエヨ
(31) 優先権主張番号	10-2015-0065177		ンロー 150
(32) 優先日	平成27年5月11日 (2015.5.11)	(74) 代理人	110000877
(33) 優先権主張国	韓国 (KR)		龍華国際特許業務法人
(31) 優先権主張番号	10-2015-0139682	(72) 発明者	パク、ダエ ヒュン
(32) 優先日	平成27年10月5日 (2015.10.5)		大韓民国、キョンギード、スウォンシ、
(33) 優先権主張国	韓国 (KR)		ヨントング、(マエタンードン) マエヨ
(31) 優先権主張番号	10-2016-0047455		ンロー 150 サムソン エレクトロ
(32) 優先日	平成28年4月19日 (2016.4.19)		メカニクス カンパニーリミテッド. 内
(33) 優先権主張国	韓国 (KR)		
			最終頁に続く

(54) 【発明の名称】 ファンアウト半導体パッケージ及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

貫通孔を有する第1連結部材と、

前記第1連結部材の貫通孔に配置され、接続パッドが配置された活性面、及び前記活性面の反対側に配置された非活性面を有する半導体チップと、

前記第1連結部材及び前記半導体チップの非活性面の少なくとも一部を封止する封止材と、

前記第1連結部材及び前記半導体チップの活性面上に配置され、前記接続パッドと電氣的に連結された再配線層を含む第2連結部材と、を含み、

前記第1連結部材は、第1絶縁層、前記第1絶縁層の一面に配置された第1再配線層、前記第1絶縁層上に配置され、前記第1再配線層を覆う第2絶縁層、及び前記第2絶縁層上に配置される第2再配線層を含み、

前記第1及び第2再配線層は前記接続パッドと電氣的に連結され、

前記第1連結部材は前記第1絶縁層の他面に配置された第3再配線層をさらに含み、

前記第3再配線層は前記接続パッドと電氣的に連結され、

前記半導体チップは信号用接続パッドを有し、

前記信号用接続パッドは、前記第2連結部材の再配線層の信号パターン及び前記第1連結部材の前記第1再配線層の信号パターンをこの順序または反対の順序で経路する電氣的経路を通じて前記第1連結部材上のファンアウト領域に配置された信号用接続端子と電氣的に連結され、

10

20

前記第 1 連結部材の第 2 及び第 3 再配線層はグラウンドパターンを有する、ファンアウト半導体パッケージ。

【請求項 2】

貫通孔を有する第 1 連結部材と、

前記第 1 連結部材の貫通孔に配置され、接続パッドが配置された活性面、及び前記活性面の反対側に配置された非活性面を有する半導体チップと、

前記第 1 連結部材及び前記半導体チップの非活性面の少なくとも一部を封止する封止材と、

前記第 1 連結部材及び前記半導体チップの活性面上に配置され、前記接続パッドと電氣的に連結された再配線層を含む第 2 連結部材と、を含み、

前記第 1 連結部材は、第 1 絶縁層、前記第 1 絶縁層の一面に配置された第 1 再配線層、前記第 1 絶縁層上に配置され、前記第 1 再配線層を覆う第 2 絶縁層、及び前記第 2 絶縁層上に配置される第 2 再配線層を含み、

前記第 1 及び第 2 再配線層は前記接続パッドと電氣的に連結され、

前記第 1 連結部材は前記第 1 絶縁層の他面に配置された第 3 再配線層をさらに含み、

前記第 3 再配線層は前記接続パッドと電氣的に連結され、

前記半導体チップは信号用接続パッドを有し、

前記信号用接続パッドは、前記第 2 連結部材の再配線層の信号パターン及び前記第 1 連結部材の前記第 1 再配線層の信号パターンをこの順序または反対の順序で経路する電氣的経路を通じて前記第 2 連結部材上のファンアウト領域に配置された信号用接続端子と電氣的に連結され、

前記第 1 連結部材の第 2 及び第 3 再配線層はグラウンドパターンを有する、ファンアウト半導体パッケージ。

【請求項 3】

貫通孔を有する第 1 連結部材と、

前記第 1 連結部材の貫通孔に配置され、接続パッドが配置された活性面、及び前記活性面の反対側に配置された非活性面を有する半導体チップと、

前記第 1 連結部材及び前記半導体チップの非活性面の少なくとも一部を封止する封止材と、

前記第 1 連結部材及び前記半導体チップの活性面上に配置され、前記接続パッドと電氣的に連結された再配線層を含む第 2 連結部材と、を含み、

前記第 1 連結部材は、第 1 絶縁層、前記第 1 絶縁層の一面に配置された第 1 再配線層、前記第 1 絶縁層上に配置され、前記第 1 再配線層を覆う第 2 絶縁層、及び前記第 2 絶縁層上に配置される第 2 再配線層を含み、

前記第 1 及び第 2 再配線層は前記接続パッドと電氣的に連結され、

前記第 1 連結部材は前記第 1 絶縁層の他面に配置された第 3 再配線層をさらに含み、

前記第 3 再配線層は前記接続パッドと電氣的に連結され、

前記第 1 連結部材は、前記第 1 絶縁層上に配置され、前記第 3 再配線層を覆う第 3 絶縁層、及び前記第 3 絶縁層上に配置された第 4 再配線層をさらに含み、

前記第 4 再配線層は前記接続パッドと電氣的に連結され、

前記半導体チップは信号用接続パッドを有し、

前記信号用接続パッドは、前記第 2 連結部材の再配線層の信号パターン、前記第 1 連結部材の前記第 1 再配線層の信号パターン、及び前記第 1 連結部材の前記第 4 再配線層の信号パターンをこの順序または反対の順序で経路する電氣的経路を通じて前記第 1 連結部材上のファンアウト領域に配置された信号用接続端子と電氣的に連結され、

前記第 1 連結部材の第 2 及び第 3 再配線層はグラウンドパターンを有する、ファンアウト半導体パッケージ。

【請求項 4】

前記第 1 絶縁層は前記第 2 絶縁層より厚さが厚い、請求項 1 から 3 の何れか一項に記載のファンアウト半導体パッケージ。

【請求項 5】

前記第 2 再配線層は前記接続パッドと実質的に同一のレベルに位置する、請求項 1 から 4 の何れか一項に記載のファンアウト半導体パッケージ。

【請求項 6】

前記第 1 再配線層は前記半導体チップの活性面と非活性面との間に位置する、請求項 1 から 5 の何れか一項に記載のファンアウト半導体パッケージ。

【請求項 7】

前記第 1 連結部材は、前記第 1 絶縁層上に配置され、前記第 3 再配線層を覆う第 3 絶縁層、及び前記第 3 絶縁層上に配置された第 4 再配線層をさらに含み、

前記第 4 再配線層は前記接続パッドと電氣的に連結される、請求項 1 または 2 に記載のファンアウト半導体パッケージ。

10

【請求項 8】

前記第 3 再配線層はワイヤボンディング用パッドを有し、

前記ワイヤボンディング用パッドは外部に露出する、請求項 1 から 7 の何れか一項に記載のファンアウト半導体パッケージ。

【請求項 9】

前記第 1 連結部材は、前記第 1 絶縁層を貫通し、前記第 1 及び第 3 再配線層を連結する第 1 ピア、及び前記第 2 絶縁層を貫通し、前記第 1 及び第 2 再配線層を連結する第 2 ピアをさらに含み、

前記第 1 ピアは前記第 2 ピアより直径が大きい、請求項 1 から 8 の何れか一項に記載のファンアウト半導体パッケージ。

20

【請求項 10】

前記第 1 絶縁層は前記第 2 絶縁層より弾性係数が大きい、請求項 1 から 9 の何れか一項に記載のファンアウト半導体パッケージ。

【請求項 11】

前記第 1 連結部材は前記貫通孔の壁面に配置された金属層をさらに含む、請求項 1 から 10 の何れか一項に記載のファンアウト半導体パッケージ。

【請求項 12】

前記金属層は前記第 1 及び第 2 再配線層のうち少なくとも一つと電氣的に連結される、請求項 11 に記載のファンアウト半導体パッケージ。

30

【請求項 13】

前記第 1 連結部材の貫通孔内に配置された受動部品をさらに含む、請求項 1 から 12 の何れか一項に記載のファンアウト半導体パッケージ。

【請求項 14】

前記封止材は前記第 1 連結部材及び前記半導体チップの非活性面を覆い、前記貫通孔の壁面と前記半導体チップの側面との間を満たす、請求項 1 から 13 の何れか一項に記載のファンアウト半導体パッケージ。

【請求項 15】

前記封止材は、ガラス繊維、無機フィラー、及び絶縁樹脂を含む、請求項 1 から 14 の何れか一項に記載のファンアウト半導体パッケージ。

40

【請求項 16】

前記第 2 連結部材上に配置され、前記第 2 連結部材の再配線層の少なくとも一部を露出させる開口部を有するパッシベーション層と、

前記開口部上に配置された第 1 接続端子と、をさらに含み、

前記第 1 接続端子のうち少なくとも一つはファンアウト領域に位置する、請求項 1 から 15 の何れか一項に記載のファンアウト半導体パッケージ。

【請求項 17】

前記封止材を貫通する開口部上に配置され、前記第 1 連結部材と電氣的に連結された第 2 接続端子をさらに含む、請求項 16 に記載のファンアウト半導体パッケージ。

【請求項 18】

50

前記封止材上に配置されたカバー層と、

前記カバー層を貫通する開口部上に配置され、前記第 1 連結部材と電氣的に連結された第 2 接続端子と、をさらに含む、請求項 1 6 に記載のファンアウト半導体パッケージ。

【請求項 1 9】

前記封止材上に積層され、前記第 1 連結部材と電氣的に連結されたメモリーパッケージをさらに含む、

前記半導体チップはアプリケーションプロセッサチップを含み、

前記メモリーパッケージはメモリーチップを含む、請求項 1 から 1 8 の何れか一項に記載のファンアウト半導体パッケージ。

【請求項 2 0】

第 1 絶縁層を準備する段階、前記第 1 絶縁層の一面に第 1 再配線層を形成する段階、前記第 1 絶縁層上に前記第 1 再配線層を覆う第 2 絶縁層を形成する段階、前記第 2 絶縁層上に第 2 再配線層を形成する段階、前記第 1 及び第 2 絶縁層を貫通する貫通孔を形成する段階、及び前記第 1 絶縁層の他面に第 3 再配線層を形成する段階を含む第 1 連結部材を形成する段階と、

前記第 1 連結部材の貫通孔内に接続パッドが配置された活性面、及び前記活性面の反対側に配置された非活性面を有する半導体チップを配置する段階と、

前記第 1 連結部材及び前記半導体チップの非活性面の少なくとも一部を封止する封止材を形成する段階と、

前記第 1 連結部材及び前記半導体チップの活性面上に前記接続パッドと電氣的に連結された再配線層を含む第 2 連結部材を形成する段階と、を含み、

前記第 1 再配線層、前記第 2 再配線層、及び前記第 3 再配線層は前記接続パッドと電氣的に連結され、

前記第 1 再配線層、前記第 2 再配線層、及び前記第 3 再配線層は前記半導体チップの配置前に形成され、

前記半導体チップは信号用接続パッドを有し、

前記信号用接続パッドは、前記第 2 連結部材の再配線層の信号パターン及び前記第 1 連結部材の前記第 1 再配線層の信号パターンをこの順序または反対の順序で経路する電氣的経路を通じて前記第 1 連結部材上のファンアウト領域に配置された信号用接続端子と電氣的に連結され、

前記第 1 連結部材の第 2 及び第 3 再配線層はグラウンドパターンを有する、ファンアウト半導体パッケージの製造方法。

【請求項 2 1】

第 1 絶縁層を準備する段階、前記第 1 絶縁層の一面に第 1 再配線層を形成する段階、前記第 1 絶縁層上に前記第 1 再配線層を覆う第 2 絶縁層を形成する段階、前記第 2 絶縁層上に第 2 再配線層を形成する段階、前記第 1 及び第 2 絶縁層を貫通する貫通孔を形成する段階、及び前記第 1 絶縁層の他面に第 3 再配線層を形成する段階を含む第 1 連結部材を形成する段階と、

前記第 1 連結部材の貫通孔内に接続パッドが配置された活性面、及び前記活性面の反対側に配置された非活性面を有する半導体チップを配置する段階と、

前記第 1 連結部材及び前記半導体チップの非活性面の少なくとも一部を封止する封止材を形成する段階と、

前記第 1 連結部材及び前記半導体チップの活性面上に前記接続パッドと電氣的に連結された再配線層を含む第 2 連結部材を形成する段階と、を含み、

前記第 1 再配線層、前記第 2 再配線層、及び前記第 3 再配線層は前記接続パッドと電氣的に連結され、

前記第 1 再配線層、前記第 2 再配線層、及び前記第 3 再配線層は前記半導体チップの配置前に形成され、

前記半導体チップは信号用接続パッドを有し、

前記信号用接続パッドは、前記第 2 連結部材の再配線層の信号パターン及び前記第 1 連

10

20

30

40

50

結部材の前記第 1 再配線層の信号パターンをこの順序または反対の順序で経由する電氣的経路を通じて前記第 2 連結部材上のファンアウト領域に配置された信号用接続端子と電氣的に連結され、

前記第 1 連結部材の第 2 及び第 3 再配線層はグランドパターンを有する、ファンアウト半導体パッケージの製造方法。

【請求項 2 2】

第 1 絶縁層を準備する段階、前記第 1 絶縁層の一面に第 1 再配線層を形成する段階、前記第 1 絶縁層上に前記第 1 再配線層を覆う第 2 絶縁層を形成する段階、前記第 2 絶縁層上に第 2 再配線層を形成する段階、前記第 1 及び第 2 絶縁層を貫通する貫通孔を形成する段階、前記第 1 絶縁層の他面に第 3 再配線層を形成する段階、前記第 1 絶縁層上に前記第 3 再配線層を覆う第 3 絶縁層を形成する段階、及び前記第 3 絶縁層上に第 4 再配線層を形成する段階を含む第 1 連結部材を形成する段階と、

前記第 1 連結部材の貫通孔内に接続パッドが配置された活性面、及び前記活性面の反対側に配置された非活性面を有する半導体チップを配置する段階と、

前記第 1 連結部材及び前記半導体チップの非活性面の少なくとも一部を封止する封止材を形成する段階と、

前記第 1 連結部材及び前記半導体チップの活性面上に前記接続パッドと電氣的に連結された再配線層を含む第 2 連結部材を形成する段階と、を含み、

前記第 1 再配線層、前記第 2 再配線層、前記第 3 再配線層、及び前記第 4 再配線層は前記接続パッドと電氣的に連結され、

前記第 1 再配線層、前記第 2 再配線層、前記第 3 再配線層、及び前記第 4 再配線層は前記半導体チップの配置前に形成され、

前記半導体チップは信号用接続パッドを有し、

前記信号用接続パッドは、前記第 2 連結部材の再配線層の信号パターン、前記第 1 連結部材の第 1 再配線層の信号パターン、及び前記第 1 連結部材の第 4 再配線層の信号パターンをこの順序または反対の順序で経由する電氣的経路を通じて前記第 1 連結部材上のファンアウト領域に配置された信号用接続端子と電氣的に連結され、

前記第 1 連結部材の第 2 及び第 3 再配線層はグランドパターンを有する、ファンアウト半導体パッケージの製造方法。

【請求項 2 3】

前記半導体チップを配置する段階は、

前記第 1 連結部材上に粘着フィルムを付着し、前記第 1 連結部材の貫通孔を介して露出された前記粘着フィルムに前記半導体チップの活性面を付着して配置する段階である、請求項 2 0 から 2 2 の何れか一項に記載のファンアウト半導体パッケージの製造方法。

【請求項 2 4】

第 1 絶縁層、前記第 1 絶縁層の下部に形成された二つ以上の再配線層、及び前記二つ以上の再配線層の間に配置された第 2 絶縁層を含む第 1 連結部材と、

前記第 1 連結部材を貫通する貫通孔内に配置された半導体チップと、

前記二つ以上の再配線層及び前記半導体チップと電氣的に連結され、前記第 1 連結部材及び前記半導体チップ上に配置された第 2 連結部材と、を含み、

前記二つ以上の再配線層及び前記第 2 絶縁層は前記第 2 連結部材と前記第 1 絶縁層との間に配置され、

前記二つ以上の再配線層は前記半導体チップに設けられた接続パッドと電氣的に連結され、

前記二つ以上の再配線層は、前記第 2 絶縁層と前記第 1 絶縁層との間に設けられる第 1 再配線層と、前記第 2 絶縁層の前記第 1 再配線層と反対側の面に設けられた第 2 再配線層を含み、

前記第 1 連結部材は前記第 1 絶縁層の上面に配置された第 3 再配線層をさらに含み、

前記第 3 再配線層は前記接続パッドと電氣的に連結され、

前記半導体チップは信号用接続パッドを有し、

10

20

30

40

50

前記信号用接続パッドは、前記第2連結部材の再配線層の信号パターン及び前記第1連結部材の前記第1再配線層の信号パターンをこの順序または反対の順序で経由する電氣的経路を通じて前記第1連結部材上のファンアウト領域に配置された信号用接続端子と電氣的に連結され、

前記第1連結部材の第2及び第3再配線層はグラウンドパターンを有する、ファンアウト半導体パッケージ。

【請求項25】

第1絶縁層、前記第1絶縁層の下部に形成された二つ以上の再配線層、及び前記二つ以上の再配線層の間に配置された第2絶縁層を含む第1連結部材と、

前記第1連結部材を貫通する貫通孔内に配置された半導体チップと、

前記二つ以上の再配線層及び前記半導体チップと電氣的に連結され、前記第1連結部材及び前記半導体チップ上に配置された第2連結部材と、を含み、

前記二つ以上の再配線層及び前記第2絶縁層は前記第2連結部材と前記第1絶縁層との間に配置され、

前記二つ以上の再配線層は前記半導体チップに設けられた接続パッドと電氣的に連結され、

前記二つ以上の再配線層は、前記第2絶縁層と前記第1絶縁層との間に設けられる第1再配線層と、前記第2絶縁層の前記第1再配線層と反対側の面に設けられた第2再配線層を含み、

前記第1連結部材は前記第1絶縁層の上面に配置された第3再配線層をさらに含み、

前記第3再配線層は前記接続パッドと電氣的に連結され、

前記半導体チップは信号用接続パッドを有し、

前記信号用接続パッドは、前記第2連結部材の再配線層の信号パターン及び前記第1連結部材の前記第1再配線層の信号パターンをこの順序または反対の順序で経由する電氣的経路を通じて前記第2連結部材上のファンアウト領域に配置された信号用接続端子と電氣的に連結され、

前記第1連結部材の第2及び第3再配線層はグラウンドパターンを有する、ファンアウト半導体パッケージ。

【請求項26】

前記二つ以上の再配線層のうち少なくとも一つは前記半導体チップの上面及び下面の間に配置される、請求項24または25に記載のファンアウト半導体パッケージ。

【請求項27】

前記封止材上に配置されたバックサイド再配線層をさらに含み、

前記バックサイド再配線層は、前記半導体チップの接続パッドと電氣的に連結されている、請求項1から3の何れか一項に記載のファンアウト半導体パッケージ。

【請求項28】

前記封止材上に配置され、前記バックサイド再配線層の少なくとも一部を露出させる開口部を有するカバー層をさらに含む、請求項27に記載のファンアウト半導体パッケージ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ファンアウト半導体パッケージ及びその製造方法に関する。

【背景技術】

【0002】

ファンアウト半導体パッケージとは、半導体チップを回路基板(Printed Circuit Board: PCB)、例えば、電子機器のメインボードなどに電氣的に連結させ、外部の衝撃から半導体チップを保護するためのパッケージ技術を意味し、これは、回路基板、例えば、インターポーザ基板内に半導体チップを内蔵する、いわゆる埋め込み技術とは区別される。一方、近年、半導体チップに関する技術開発の主な傾向の一つは

10

20

30

40

50

、部品のサイズを縮小することである。これに伴い、パッケージ分野においても、小型半導体チップなどの需要が急増しており、サイズが小型でありながらも多数のピンを具現することが要求されている。

【0003】

上記のような技術的要求に応えるために提示されたパッケージ技術の一つが、ウェハー上に形成されている半導体チップの接続パッドの再配線を用いるウェハーレベルパッケージ(Wafer Level Package: WLP)である。ウェハーレベルパッケージとしては、ファン・インウェハーレベルパッケージ(fan-in WLP)とファン・アウトウェハーレベルパッケージ(fan-out WLP)が挙げられ、特にファン・アウトウェハーレベルパッケージは、サイズが小型でありながらも、多数のピンを具現するにおいて有用であるため、最近活発に開発されている。

10

【0004】

一方、ウェハーレベルパッケージは、その構造的特性のため、半導体チップをウェハー上に先に配置してから第2連結部材を確保するが、この際、半導体チップの配置後の工程で発生する不良は、半導体チップの歩留まりを低下させる原因となっている。

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の様々な目的の一つは、半導体チップの歩留まり低下の問題を解決することができるファンアウト半導体パッケージ及びそれを効率的に製造することができる方法、並びにパッケージオンパッケージ構造を得ることにある。

20

【課題を解決するための手段】

【0006】

本発明により提案する様々な解決手段の一つは、半導体チップの再配線機能を担うことができる再配線層を半導体チップの配置前に先に導入することができる、新しいパッケージ構造を提供することである。

【0007】

例えば、一例によるファンアウト半導体パッケージは、貫通孔を有する第1連結部材と、第1連結部材の貫通孔に配置された半導体チップと、第1連結部材及び半導体チップの一侧に配置された第2連結部材と、を含み、第1連結部材の内部には、第2連結部材を介して半導体チップと電氣的に連結された一つ以上の第1再配線層が配置されることができ

30

【0008】

また、他の一例によるファンアウト半導体パッケージは、第1絶縁層、第1絶縁層の下部に形成された二つ以上の再配線層、及び二つ以上の再配線層の間に配置された第2絶縁層を含む第1連結部材と、第1連結部材を貫通する貫通孔内に配置された半導体チップと、二つ以上の再配線層及び半導体チップと電氣的に連結され、第1連結部材及び半導体チップ上に配置された第2連結部材と、を含み、二つ以上の再配線層及び第2絶縁層は第2連結部材及び第1絶縁層の間に配置されることができ

【0009】

また、一例によるファンアウト半導体パッケージの製造方法は、第1絶縁層を準備する段階、第1絶縁層の一侧に第1再配線層を形成する段階、第1絶縁層の一侧に第1再配線層を埋め込む第2絶縁層を形成する段階、及び第1及び第2絶縁層を貫通する貫通孔を形成する段階を含む第1連結部材を形成する段階と、第1連結部材の貫通孔内に半導体チップを配置する段階と、第1連結部材及び半導体チップの一侧に第2連結部材を形成する段階と、を含み、第1再配線層は半導体チップの配置前に形成されることができ

40

【0010】

また、他の一例によるファンアウト半導体パッケージの製造方法は、複数の絶縁層及び複数の再配線層を含む第1連結部材を準備する段階と、第1連結部材全体を貫通する貫通孔を形成する段階と、第1連結部材及び第1連結部材の貫通孔内に配置される半導体チッ

50

ブを仮基板上に付着する段階と、第1連結部材の貫通孔を少なくとも封止材で満たして半導体チップを封止する段階と、第1連結部材、封止材、及び半導体チップの一面から仮基板を分離する段階と、第1連結部材、封止材、及び半導体チップの一面に半導体チップと複数の再配線層を電氣的に連結させる第2連結部材を形成する段階と、を含むことができる。

【発明の効果】

【0011】

本発明の様々な効果の一つとして、半導体チップの歩留まり低下を最小化することができるファンアウト半導体パッケージ及びそれを効率的に製造することができる方法を提供することができる。

10

【図面の簡単な説明】

【0012】

【図1】電子機器システムの例を概略的に示すブロック図である。

【図2】電子機器に適用されたファンアウト半導体パッケージの例を概略的に示す図である。

【図3】ファンアウト半導体パッケージの一例を概略的に示す断面図である。

【図4】図3のI-I'線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

【図5a】図3のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

20

【図5b】図3のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図5c】図3のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図5d】図3のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図5e】図3のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図5f】図3のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

30

【図5g】図3のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図5h】図3のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図5i】図3のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図5j】図3のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図5k】図3のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

40

【図5l】図3のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図6】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【図7】図6のII-II'線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

【図8a】図6のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図8b】図6のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図8c】図6のファンアウト半導体パッケージの概略的な製造工程の一例を示す図であ

50

る。

【図 8 d】図 6 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 8 e】図 6 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 8 f】図 6 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 8 g】図 6 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 8 h】図 6 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

10

【図 8 i】図 6 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 8 j】図 6 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 8 k】図 6 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 8 l】図 6 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 8 m】図 6 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

20

【図 9】ファンアウト半導体パッケージ の他の一例を概略的に示す断面図である。

【図 10】図 9 の I I I - I I I ' 線に沿った ファンアウト半導体パッケージ の概略的な切断平面図である。

【図 11 a】図 9 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 11 b】図 9 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 11 c】図 9 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

30

【図 11 d】図 9 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 11 e】図 9 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 11 f】図 9 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 11 g】図 9 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 11 h】図 9 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

40

【図 11 i】図 9 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 11 j】図 9 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 11 k】図 9 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 11 l】図 9 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 11 m】図 9 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

50

【図 1 2】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【図 1 3】図 1 2 の I V - I V ' 線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

【図 1 4 a】図 1 2 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 4 b】図 1 2 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 4 c】図 1 2 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 4 d】図 1 2 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

10

【図 1 4 e】図 1 2 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 4 f】図 1 2 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 4 g】図 1 2 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 4 h】図 1 2 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 4 i】図 1 2 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

20

【図 1 4 j】図 1 2 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 4 k】図 1 2 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 4 l】図 1 2 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 5】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【図 1 6】図 1 5 の V - V ' 線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

30

【図 1 7 a】図 1 5 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 7 b】図 1 5 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 7 c】図 1 5 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 7 d】図 1 5 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 7 e】図 1 5 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

40

【図 1 7 f】図 1 5 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 7 g】図 1 5 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 7 h】図 1 5 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 7 i】図 1 5 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

【図 1 7 j】図 1 5 のファンアウト半導体パッケージの概略的な製造工程の一例を示す図である。

50

【図 17k】図 15 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 17l】図 15 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 17m】図 15 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 18】ファンアウト半導体パッケージ の他の一例を概略的に示す断面図である。

【図 19】図 18 の V I - V I ' 線に沿った ファンアウト半導体パッケージ の概略的な切断平面図である。

【図 20a】図 18 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

10

【図 20b】図 18 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 20c】図 18 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 20d】図 18 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 20e】図 18 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 20f】図 18 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

20

【図 20g】図 18 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 20h】図 18 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 20i】図 18 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 20j】図 18 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 20k】図 18 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

30

【図 20l】図 18 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 20m】図 18 の ファンアウト半導体パッケージ の概略的な製造工程の一例を示す図である。

【図 21】ファンアウト半導体パッケージ の他の一例を概略的に示す断面図である。

【図 22】図 21 の V I I - V I I ' 線に沿った ファンアウト半導体パッケージ の概略的な切断平面図である。

【図 23】ファンアウト半導体パッケージ の他の一例を概略的に示す断面図である。

【図 24】図 23 の V I I I - V I I I ' 線に沿った ファンアウト半導体パッケージ の概略的な切断平面図である。

40

【図 25】ファンアウト半導体パッケージ の他の一例を概略的に示す断面図である。

【図 26】図 25 の I X - I X ' 線に沿った ファンアウト半導体パッケージ の概略的な切断平面図である。

【図 27】ファンアウト半導体パッケージ の他の一例を概略的に示す断面図である。

【図 28】図 27 の X - X ' 線に沿った ファンアウト半導体パッケージ の概略的な切断平面図である。

【図 29】ファンアウト半導体パッケージ の他の一例を概略的に示す断面図である。

【図 30】図 29 の X I - X I ' 線に沿った ファンアウト半導体パッケージ の概略的な切断平面図である。

50

【図 3 1】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【図 3 2】図 3 1 の X I I - X I I ' 線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

【図 3 3】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【図 3 4】図 3 3 の X I I I - X I I I ' 線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

【図 3 5】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【図 3 6】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【図 3 7】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【図 3 8】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【図 3 9】ファンアウト半導体パッケージの信号伝達の一例を概略的に示す図である。

【図 4 0】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【図 4 1】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【図 4 2】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【図 4 3】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【図 4 4】ファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【発明を実施するための形態】

【0013】

以下では、添付の図面を参照して本発明の好ましい実施形態について説明する。しかし、本発明の実施形態は様々な他の形態に変形されることができ、本発明の範囲は以下で説明する実施形態に限定されない。また、本発明の実施形態は、当該技術分野で平均的な知識を有する者に本発明をより完全に説明するために提供されるものである。したがって、図面における要素の形状及び大きさなどはより明確な説明のために誇張されることがある。

【0014】

電子機器

図 1 は電子機器システムの例を概略的に示すブロック図である。

【0015】

図面を参照すると、電子機器 1000 はメインボード 1010 を収容する。メインボード 1010 には、チップ関連部品 1020、ネットワーク関連部品 1030、及びその他の部品 1040 などが物理的及び/または電氣的に連結されている。これらは、後述する他の部品とも結合されて、様々な信号ライン 1090 を形成する。

【0016】

チップ関連部品 1020 には、揮発性メモリー（例えば、DRAM）、非揮発性メモリー（例えば、ROM）、フラッシュメモリーなどのメモリーチップ、セントラルプロセッサ（例えば、CPU）、グラフィックプロセッサ（例えば、GPU）、デジタル信号プロセッサ、暗号化プロセッサ、マイクロプロセッサ、マイクロコントローラーなどのアプリケーションプロセッサチップ、アナログ-デジタルコンバーター、ASIC（application-specific IC）などのロジックチップなどが含まれるが、これに限定されるものではなく、これら以外にも、その他の形態のチップ関連部品が含まれ得ることは勿論である。また、これら部品 1020 が互いに組み合わされてもよい。

【0017】

ネットワーク関連部品 1030 には、Wi-Fi（IEEE 802.11 ファミリなど）、WiMAX（IEEE 802.16 ファミリなど）、IEEE 802.20、LTE（long term evolution）、Ev-DO、HSPA+、HSDPA+、HSUPA+、EDGE、GSM（登録商標）、GPS、GPRS、CDMA、TDMA、DECT、ブルートゥース（登録商標）（Bluetooth（登録商標））、3G、4G、5G、及びその後のものとして指定された任意の他の無線及び有線プロトコルが含まれるが、これに限定されるものではなく、これら以外にも、その他の多数の無

線または有線標準やプロトコルのうち任意のものが含まれ得ることは勿論である。また、これらの部品 1 0 3 0 が、上述のチップ関連部品 1 0 2 0 とともに互いに組み合わせられてもよい。

【 0 0 1 8 】

その他の部品 1 0 4 0 には、高周波インダクター、フェライトインダクター、パワーインダクター、フェライトビーズ、LTCC (low Temperature Co-Firing Ceramics)、EMI (Electro Magnetic Interference) フィルター、MLCC (Multi-Layer Ceramic Condenser) などが含まれるが、これに限定されるものではなく、これら以外にも、その他の様々な用途のために用いられる受動部品などが含まれ得ることは勿論である。また、これらの部品 1 0 4 0 が、上述のチップ関連部品 1 0 2 0 及び/またはネットワーク関連部品 1 0 3 0 とともに互いに組み合わせられてもよい。

10

【 0 0 1 9 】

電子機器 1 0 0 0 の種類に応じて、電子機器 1 0 0 0 は、メインボード 1 0 1 0 に物理的及び/または電氣的に連結されているか連結されていない他の部品を含むことができる。この他の部品は、例えば、カメラ 1 0 5 0、アンテナ 1 0 6 0、ディスプレイ 1 0 7 0、バッテリー 1 0 8 0、オーディオコーデック (不図示)、ビデオコーデック (不図示)、電力増幅器 (不図示)、羅針盤 (不図示)、加速度計 (不図示)、ジャイロ스코プ (不図示)、スピーカー (不図示)、大容量記憶装置 (例えば、ハードディスクドライブ) (不図示)、CD (compact disk) (不図示)、及び DVD (digital versatile disk) (不図示) などを含むが、これに限定されるものではなく、これら以外にも、電子機器 1 0 0 0 の種類に応じて様々な用途のために用いられるその他の部品などが含まれ得ることは勿論である。

20

【 0 0 2 0 】

電子機器 1 0 0 0 は、スマートフォン (smart phone)、携帯情報端末 (personal digital assistant)、デジタルビデオカメラ (digital video camera)、デジタルスチルカメラ (digital still camera)、ネットワークシステム (network system)、コンピューター (computer)、モニター (monitor)、タブレット (tablet)、ラップトップ (laptop)、ネットブック (netbook)、テレビジョン (television)、ビデオゲーム (video game)、スマートウォッチ (smart watch) などであることができる。但し、これに限定されるものではなく、これら以外にも、データを処理する任意の他の電子機器であり得ることは勿論である。

30

【 0 0 2 1 】

図 2 は、電子機器に適用された ファンアウト半導体パッケージ の例を概略的に示す図である。

【 0 0 2 2 】

ファンアウト半導体パッケージ は、上述の種々の電子機器 1 0 0 0 に様々な用途に適用される。例えば、スマートフォン 1 1 0 0 のボディ 1 1 0 1 の内部にメインボード 1 1 1 0 が収容されており、上記メインボード 1 1 1 0 には種々の 半導体チップ 1 1 2 0 が物理的及び/または電氣的に連結されている。また、カメラ 1 1 3 0 のように、メインボード 1 1 1 0 に物理的及び/または電氣的に連結されているか連結されていない他の部品がボディ 1 1 0 1 内に収容されている。この際、上記 半導体チップ 1 1 2 0 の一部は上述のようなチップ関連部品であることができ、ファンアウト半導体パッケージ 1 0 0 は、例えば、そのうちアプリケーションプロセッサであることができるが、これに限定されるものではない。

40

【 0 0 2 3 】

ファンアウト半導体パッケージ

図 3 は ファンアウト半導体パッケージ の一例を概略的に示す断面図である。

50

【 0 0 2 4 】

図 4 は図 3 の I - I ' 線に沿った ファンアウト半導体パッケージ の概略的な切断平面図である。

【 0 0 2 5 】

図面を参照すると、一例による ファンアウト半導体パッケージ 1 0 0 A は、貫通孔 1 1 0 X を有する 第 1 連結部材 1 1 0 と、上記 第 1 連結部材 1 1 0 の貫通孔 1 1 0 X 内に配置された 半導体チップ 1 2 0 と、上記 第 1 連結部材 1 1 0 及び上記 半導体チップ 1 2 0 の下部に配置された 第 2 連結部材 1 4 0、1 5 0 と、上記 半導体チップ 1 2 0 を封止する封止材 1 6 0 と、を含む。上記 第 1 連結部材 1 1 0 (図 5 e 参照) は、第 1 絶縁層 1 1 1 A と、第 2 絶縁層 1 1 1 B と、上記第 1 絶縁層 1 1 1 A と第 2 絶縁層 1 1 1 B との間に配置された 第 1 再配線層 1 1 2 と、上記第 1 絶縁層 1 1 1 A の上面に配置された金属層 1 3 5 と、上記第 2 絶縁層 1 1 1 B の下面に配置された 第 2 再配線層 1 3 2 と、上記第 2 絶縁層 1 1 1 B を貫通するビア 1 1 3 と、を含む。

10

【 0 0 2 6 】

上述のように、近年、サイズが小型でありながらも、多数のピンを具現するにおいて有用な、いわゆるファン - アウトウェハーレベルパッケージが活発に開発されている。この際、通常、ウェハーレベルパッケージは、半導体チップ の周囲を単に EMC (E p o x y M o l d i n g C o m p o u n d) などの封止材でモールドイングして囲む構造を採用しており、その下部に 第 2 連結部材 を形成することで 半導体チップ の再配線を具現している。この際、第 2 連結部材 をより多層に具現するほど、第 2 連結部材 の形成工程中に不良が発生する確率が高くなる。また、通常、第 2 連結部材 を形成する前に 半導体チップ をパッケージ内に配置するため、これは 半導体チップ の歩留まりを低下させる原因となっている。

20

【 0 0 2 7 】

また、半導体チップ の周囲を単に封止材で封止して囲んでいるため、様々な原因により発生する反り (w a r p a g e) を制御することが困難であり、半導体チップ を固定するにおいて限界があるだけでなく、封止領域をルーティング領域として活用することが困難であるため、設計自由度などに劣る。

【 0 0 2 8 】

一方、一例による ファンアウト半導体パッケージ 1 0 0 A のように、半導体チップ 1 2 0 を配置する前に 半導体チップ 1 2 0 を封止する領域 1 6 0 に 半導体チップ の再配線機能を担うことができる 第 1 連結部材 1 1 0 を導入する場合、半導体チップ 1 2 0 の配置後に形成する 第 2 連結部材 1 4 0、1 5 0 の層数を減少させることができる。これにより、半導体チップ 1 2 0 の配置後における工程不良による 半導体チップ 1 2 0 の歩留まり低下の問題を解決することができる。

30

【 0 0 2 9 】

また、第 1 連結部材 1 1 0 により ファンアウト半導体パッケージ 1 0 0 A の剛性を向上させることができるため、反り (w a r p a g e) をより容易に制御でき、第 1 連結部材 1 1 0 の貫通孔 1 1 0 X 内に 半導体チップ 1 2 0 を配置するため、壁面接着により 半導体チップ 1 2 0 をさらに強固に固定できるとともに、第 1 連結部材 1 1 0 の上面 1 1 0 A 及び下面 1 1 0 B をルーティング領域として活用することができて、設計自由度が向上する。

40

【 0 0 3 0 】

以下、一例による ファンアウト半導体パッケージ 1 0 0 A に含まれるそれぞれの構成についてより詳細に説明する。

【 0 0 3 1 】

第 1 連結部材 1 1 0 は、基本的には ファンアウト半導体パッケージ 1 0 0 A の剛性を維持するための構成である。第 1 連結部材 1 1 0 は、半導体チップ 1 2 0 の周囲を囲む貫通孔 1 1 0 X を有しており、この貫通孔 1 1 0 X 内に 半導体チップ 1 2 0 が配置されるため、半導体チップ 1 2 0 の壁面接着が可能となる。第 1 連結部材 1 1 0 は 第 1 再配線層 1 1

50

2 及び第 2 再配線層 1 3 2 を含み、これらは半導体チップ 1 2 0 の配置前に予め形成されるため、半導体チップ 1 2 0 の歩留まり低下の問題を解決することができる。第 1 連結部材 1 1 0 は、ファンアウト半導体パッケージ 1 0 0 A に、より広いルーティング領域を提供する。これにより、ファンアウト半導体パッケージ 1 0 0 A の設計自由度をさらに向上させる。その他にも、第 1 連結部材 1 1 0 によりファンアウト半導体パッケージ 1 0 0 A の半導体チップ 1 2 0 を封止する封止材 1 6 0 の上面を相対的にさらに平らにすることができる。

【 0 0 3 2 】

第 1 連結部材 1 1 0 は、上面 1 1 0 A と、上記上面 1 1 0 A と向い合う下面 1 1 0 B と、を有する。上面 1 1 0 A と下面 1 1 0 B との間には、第 1 絶縁層 1 1 1 A、第 2 絶縁層 1 1 1 B、及び第 1 再配線層 1 1 2 が配置される。第 1 連結部材 1 1 0 は貫通孔 1 1 0 X を有しており、貫通孔 1 1 0 X は、上面 1 1 0 A と下面 1 1 0 B との間を貫通する。第 1 連結部材の下面 1 1 0 B には第 2 再配線層 1 3 2 が配置される。第 1 連結部材 1 1 0 は、第 1 再配線層 1 1 2 と第 2 再配線層 1 3 2 との電気的連結のためのビア 1 1 3 を含む。第 1 連結部材 1 1 0 は、上面 1 1 0 A と下面 1 1 0 B との間に配置された構成要素と、上面 1 1 0 A と下面 1 1 0 B に配置された構成要素と、を含む概念である。例えば、一例において第 1 連結部材 1 1 0 は、第 1 絶縁層 1 1 1 A、第 2 絶縁層 1 1 1 B、第 1 再配線層 1 1 2、第 2 再配線層 1 3 2、及びビア 1 1 3 を含む上位概念である。貫通孔 1 1 0 X は、金属層 1 3 5、第 1 絶縁層 1 1 1 A、第 1 再配線層 1 1 2、第 2 絶縁層 1 1 1 B、及び第 2 再配線層 1 3 2 を順次貫通することができる。

【 0 0 3 3 】

第 1 絶縁層 1 1 1 A は、実質的にファンアウト半導体パッケージ 1 0 0 A の剛性を維持する構成であって、その材料としては、ファンアウト半導体パッケージ 1 0 0 A を支持することができるものであれば特に限定されない。例えば、絶縁物質が用いられることができる。この際、絶縁物質としては、エポキシ樹脂などの熱硬化性樹脂、ポリイミドなどの熱可塑性樹脂、またはこれらにガラス繊維及び/または無機フィラーなどの補強材が含まれた樹脂、例えば、プリプレグ (prepreg)、ABF (Ajinomoto Build-up Film)、FR-4、BT (Bismaleimide Triazine) 樹脂などが用いられることができる。または、剛性及び熱伝導度に優れた金属 (metal) が用いられることができる。ここで、金属としては Fe-Ni 系合金が用いられることができ、この際、封止材、層間絶縁材料などとの接着力を確保するために、Fe-Ni 系合金の表面に Cuめっきを形成してもよい。これら以外にも、その他にガラス (glass)、セラミック (ceramic)、プラスチック (plastic) などが用いられることもできる。第 1 絶縁層 1 1 1 A の厚さは特に限定されず、半導体チップ 1 2 0 の厚さに応じて設計することができる。例えば、半導体チップ 1 2 0 の種類に応じて、100 μm ~ 500 μm 程度であることができる。

【 0 0 3 4 】

第 2 絶縁層 1 1 1 B は、第 1 再配線層 1 1 2 及び第 2 再配線層 1 3 2 を導入するための一種のビルドアップ層であり、その材料としては、絶縁物質であれば特に限定されない。この際、絶縁物質としては、エポキシ樹脂などの熱硬化性樹脂、ポリイミドなどの熱可塑性樹脂、またはこれらにガラス繊維または無機フィラーなどの補強材が含まれた樹脂、例えば、プリプレグ、ABF、FR-4、BT 樹脂などが用いられることができる。一方、PID (Photo Imagable Dielectric) 樹脂などの感光性絶縁材料を用いる場合、第 2 絶縁層 1 1 1 B をより薄く形成することができ、ビアホールをフォトリソグラフィ法で形成することができるため、ビアのサイズを減少させ、ファインピッチ (fine pitch) を容易に具現 (例えば、30 μm 以下) することができる。第 2 絶縁層 1 1 1 B の厚さは特に限定されず、設計事項に応じて多様にデザインすることができる。例えば、第 1 再配線層 1 1 2 を除いた厚さが 5 μm ~ 20 μm 程度であり、第 1 再配線層 1 1 2 の厚さを考慮すると 15 μm ~ 70 μm 程度であることができる。

【 0 0 3 5 】

第1絶縁層111Aと第2絶縁層111Bは、互いに異なる材料で構成されることができ、例えば、第1絶縁層111Aは特に剛性に優れた材料で構成され、第2絶縁層111Bは剛性にかかわらず、感光性絶縁材料で構成されることができる。このように各絶縁層111A、111Bのパッケージでの役割に応じて適切な材料を選択して用いることができる。例えば、第1絶縁層111Aは、第2絶縁層111Bより大きい弾性係数（elastic modulus）を有することができる。また、第1絶縁層111Aは、第2絶縁層111Bより厚い厚さを有することができる。このようなことも、各絶縁層111A、111Bのパッケージでの役割に関連する。すなわち、第1絶縁層111Aは、厚さが厚いことが剛性の維持及び半導体チップ120の固定に有利であり、第2絶縁層111Bは、厚さが薄いことがビア113のサイズの減少に有利であって、電気的経路の短縮に有利である。但し、これに限定されるものではなく、第1絶縁層111A及び第2絶縁層111Bが同一の材料で形成されてもよく、厚さが同じでもよい。

10

【0036】

第1再配線層112は第1絶縁層111Aと第2絶縁層111Bとの間に配置される。例えば、第1再配線層112は、第1絶縁層111Aの下面上に配置され、第2絶縁層111B内に埋め込まれることができる。すなわち、第1再配線層112は第1連結部材110の内部に配置される。ここで、第1連結部材110の内部に配置されるということは、第1連結部材110を基準として上面110Aと下面110Bとの間に配置されることを意味する。第1再配線層112は、該当層の設計デザインに応じて様々な機能を担うことができる。例えば、再配線パターンとして、グランド（GROUND：GND）パターン、パワー（Power：PWR）パターン、信号（Signal：S）パターンなどの役割を担うことができる。ここで、信号（S）パターンは、グランド（GND）パターン、パワー（PWR）パターンなどを除いた各種信号、例えば、データ信号などを含む。また、パッドパターンとして、ビアパッドなどの役割を担うことができる。このように第1再配線層112は再配線機能を担うことができ、第2連結部材140、150の再配線機能を分担することができる。第1再配線層112の形成材料としては、銅（Cu）、アルミニウム（Al）、銀（Ag）、スズ（Sn）、金（Au）、ニッケル（Ni）、鉛（Pb）、またはこれらの合金などの導電性物質を用いることができる。第1再配線層112の厚さも特に限定されず、例えば、それぞれ10μm～50μm程度であることができる。

20

30

【0037】

第2再配線層132は第2絶縁層111Bの下面110Bに配置される。すなわち、第2再配線層132は第1連結部材110の外部に配置される。ここで、第1連結部材110の外部に配置されるということは、第1連結部材110を基準として上面110Aと下面110Bとの間に配置されないということを意味する。第2再配線層132も再配線パターン及び/またはパッドパターンの役割を担うことができ、例えば、再配線パターンとしてグランド（GROUND：GND）パターンの役割を担うことができる。また、パッドパターンとしてビアパッドなどの役割を担うことができる。第2再配線層132も半導体チップ120の配置前に形成されるため、半導体チップ120の歩留まり低下の問題を解決することができる。金属層135と第2再配線層132の厚さは特に限定されず、設計事項に応じて多様にデザインすることができる。例えば、10μm～50μm程度であることができる。

40

【0038】

ビア113は、互いに異なる層に形成された再配線層112、132を電気的に連結させ、その結果、パッケージ100A内に電気的経路を形成する。ビア113は第2絶縁層111Bを貫通する。ビア113の形成材料としても、銅（Cu）、アルミニウム（Al）、銀（Ag）、スズ（Sn）、金（Au）、ニッケル（Ni）、鉛（Pb）、またはこれらの合金などの導電性物質を用いることができる。ビア113は、導電性物質で完全に充填されていてもよく、または導電性物質がビアの壁に沿って形成されたものであってもよい。また、その形状としては、下面に向かうほど直径が小さくなるテーパ状、下面に向

50

かうほど直径が大きくなる逆テーパ状、円筒状などの当該技術分野において公知の全ての形状が適用されることができる。

【0039】

金属層135は第1連結部材110の上面110Aに配置される。金属層135は、放熱特性の向上及び/または電磁波遮断のための付加的な構成であり、その形成材料としては、熱伝導率の高い金属を特に制限されずに用いることができる。例えば、銅(Cu)、アルミニウム(Al)、銀(Ag)、スズ(Sn)、金(Au)、ニッケル(Ni)、鉛(Pd)、またはこれらの合金などを用いることができるが、これに限定されるものではない。

【0040】

半導体チップ120は、種々の能動部品(例えば、ダイオード、真空管、トランジスタなど)または受動部品(例えば、インダクター、コンデンサー、抵抗器など)であることができる。または、数百~数百万個以上の素子が一つのチップ内に集積化されている集積回路(Integrated Circuit: IC)であることができる。必要に応じて、集積回路がフリップチップ形態でパッケージされた半導体チップであってもよい。集積回路は、例えば、セントラルプロセッサ(例えば、CPU)、グラフィックプロセッサ(例えば、GPU)、デジタル信号プロセッサ、暗号化プロセッサ、マイクロプロセッサ、マイクロコントローラなどのアプリケーションプロセッサチップであることができるが、これに限定されるものではない。

【0041】

半導体チップ120はその下面に形成された接続パッド120Pを有する。接続パッド120Pは、半導体チップ120をパッケージ内の他の構成要素、またはパッケージ外部の構成要素と電気的に連結させるための構成であって、その形成材料としては、導電性物質を特に制限されずに用いることができる。導電性物質としては、同様に銅(Cu)、アルミニウム(Al)、銀(Ag)、スズ(Sn)、金(Au)、ニッケル(Ni)、鉛(Pd)、またはこれらの合金などを用いることができるが、これに限定されるものではない。接続パッド120Pは第1再配線層112、第2再配線層132、第2連結部材140、150などにより再配線される。接続パッド120Pは、埋め込まれた形態であってもよく、または突出した形態であってもよい。埋め込まれた形態の場合、半導体チップ120の下面は半導体チップ120の外面になる。突出した形態の場合、半導体チップ120の下面は接続パッド120Pが突出した表面になる。半導体チップ120の断面における厚さは特に限定されず、半導体チップ120の種類によって変わり得る。例えば、半導体チップが集積回路である場合には、100 μ m~480 μ m程度であることができるが、これに限定されるものではない。

【0042】

半導体チップ120が集積回路である場合には、ボディ(符号不図示)、パッシベーション膜(不図示)、及び接続パッド120Pを有することができる。ボディは、例えば、活性ウェハーをベースとして形成されることができ、この場合、母材としては、シリコン(Si)、ゲルマニウム(Ge)、ガリウムヒ素(GaAs)などが用いられることができる。パッシベーション膜は、ボディを外部から保護する機能を担うものであって、例えば、酸化膜または窒化膜などからなってもよく、または酸化膜と窒化膜の二重層からなってもよい。接続パッド120Pの形成物質としては、銅(Cu)、アルミニウム(Al)、銀(Ag)、スズ(Sn)、金(Au)、ニッケル(Ni)、鉛(Pd)、またはこれらの合金などの伝導性物質を用いることができる。接続パッド120Pが形成された面は、活性面(active layer)になる。

【0043】

第1再配線層112及び第2絶縁層111Bのうち少なくとも一つは、半導体チップ120の上面及び下面の間に配置されることができる。半導体チップ120は、上面が第1連結部材110の上面110Aより下部に位置するように配置されることができる。但し、これに限定されるものではなく、半導体チップ120は、上面が第1連結部材110の

10

20

30

40

50

上面 1 1 0 A と同一面または上部に、また、金属層 1 3 5 の上面よりは下部に位置するように配置されることができる。または、金属層 1 3 5 の上面と同一面またはそれより上部に位置するように配置されることができる。

【 0 0 4 4 】

第 2 連結部材 1 4 0、1 5 0 は、基本的に半導体チップ 1 2 0 の接続パッド 1 2 0 P を再配線するための構成である。第 2 連結部材 1 4 0、1 5 0 により、様々な機能を有する数十～数百個の接続パッド 1 2 0 P が再配線されることができ、後述する第 1 外部接続端子 1 7 5 を介して、その機能に応じて外部に物理的及び／または電氣的に連結されることができる。第 2 連結部材 1 4 0、1 5 0 は半導体チップ 1 2 0 と連結される。すなわち、第 2 連結部材 1 4 0、1 5 0 は半導体チップ 1 2 0 を支持している。

10

【 0 0 4 5 】

第 2 連結部材 1 4 0、1 5 0 は、交互に積層される第 2 連結部材絶縁層 1 4 1、1 5 1 と、第 2 連結部材再配線層 1 4 2、1 5 2 と、上記第 2 連結部材絶縁層 1 4 1、1 5 1 を貫通して上記第 2 連結部材再配線層 1 4 2、1 5 2 と電氣的に連結された第 2 連結部材ビア 1 4 3、1 5 3 と、を含む。一例によるファンアウト半導体パッケージ 1 0 0 A では第 2 連結部材 1 4 0、1 5 0 が複数の層 1 4 0、1 5 0 で構成されているが、これに限定されるものではなく、図面に図示したものと異なって、半導体チップ 1 2 0 の種類に応じて単層で構成されてもよく、これよりさらに多くの層で構成されてもよい。

【 0 0 4 6 】

第 2 連結部材絶縁層 1 4 1、1 5 1 の材料としても、エポキシ樹脂などの熱硬化性樹脂、ポリイミドなどの熱可塑性樹脂、またはこれらにガラス繊維または無機フィラーなどの補強材が含まれた樹脂、例えば、プリプレグ、A B F、F R - 4、B T 樹脂などの絶縁物質であれば、特に限定されずに用いられることができる。P I D 樹脂などの感光性絶縁材料を用いる場合、第 2 連結部材絶縁層 1 4 1、1 5 1 をより薄く形成することができ、ファインピッチを容易に具現することができる。第 2 連結部材絶縁層 1 4 1、1 5 1 の材料は、互いに同一であってもよく、必要に応じて互いに異なるものであってもよい。第 2 連結部材絶縁層 1 4 1、1 5 1 の厚さも特に限定されず、例えば、それぞれ第 2 連結部材再配線層 1 4 2、1 5 2 を除いた厚さが 5 μ m ~ 2 0 μ m 程度であり、再配線層 1 4 2、1 5 2 の厚さを考慮すると 1 5 μ m ~ 7 0 μ m 程度であることができる。

20

【 0 0 4 7 】

第 2 連結部材再配線層 1 4 2、1 5 2 も、再配線パターン及び／またはパッドパターンの役割を担うことができ、形成材料としては、銅 (C u)、アルミニウム (A l)、銀 (A g)、スズ (S n)、金 (A u)、ニッケル (N i)、鉛 (P d)、またはこれらの合金などの導電性物質を用いることができる。第 2 連結部材再配線層 1 4 2、1 5 2 は、該当層の設計デザインに応じて様々な機能を担うことができる。例えば、再配線パターンとして、グランド (G r o u N D : G N D) パターン、パワー (P o W e R : P W R) パターン、信号 (S i g n a l : S) パターンなどの役割を担うことができる。ここで、信号 (S) パターンは、グランド (G N D) パターン、パワー (P W R) パターンなどを除いた各種信号、例えば、データ信号などを含む。また、パッドパターンとして、ビアパッド、外部接続端子パッドなどの役割を担うことができる。第 2 連結部材再配線層 1 4 2、1 5 2 の厚さも特に限定されず、例えば、それぞれ 1 0 μ m ~ 5 0 μ m 程度であることができる。第 2 連結部材再配線層 1 5 2 のうち露出されたパターンには、必要に応じて表面処理層がさらに形成されることができる。上記表面処理層は、当該技術分野において公知のものであれば特に限定されず、例えば、電解金めっき、無電解金めっき、O S P または無電解スズめっき、無電解銀めっき、無電解ニッケルめっき／置換金めっき、D I G めっき、H A S L などにより形成されることができる。

30

40

【 0 0 4 8 】

第 2 連結部材ビア 1 4 3、1 5 3 は、互いに異なる層に形成された再配線層 1 3 2、1 4 2、1 5 2、接続パッド 1 2 0 P などと電氣的に連結させ、その結果、パッケージ 1 0 0 A 内に電氣的経路を形成する。第 2 連結部材ビア 1 4 3、1 5 3 の形成材料としても、

50

銅（Cu）、アルミニウム（Al）、銀（Ag）、スズ（Sn）、金（Au）、ニッケル（Ni）、鉛（Pd）、またはこれらの合金などの導電性物質を用いることができる。第2連結部材ビア143、153も導電性物質で完全に充填されていてもよく、または導電性物質がビアの壁に沿って形成されたものであってもよい。また、その形状としては、下面に向かうほど直径が小さくなるテーパ状、下面に向かうほど直径が大きくなる逆テーパ状、円筒状などの当該技術分野において公知の全ての形状が適用されることができる。

【0049】

第2連結部材140、150は、上記第1連結部材110と半導体チップ120とを連結させる。ここで、第1連結部材110と半導体チップ120とが第2連結部材140、150により連結されるというのは、第1連結部材110と半導体チップ120は互いに

10

【0050】

第1連結部材110は迂回（bypass）して半導体チップ120と電氣的に連結される。第2連結部材140、150は直接（direct）上記半導体チップ120と電氣的に連結される。すなわち、第1連結部材110は半導体チップ120の側部に位置するため、第2連結部材140、150を介して半導体チップ120と電氣的に連結される。つまり、第1連結部材110の第1再配線層112及び第2再配線層132は、第2連結部材140、150を経て半導体チップ120と電氣的に連結され、第2連結部材140、150は直接半導体チップ120と電氣的に連結される。第1連結部材110の第1再配線層112及び第2再配線層132はまた、半導体チップ120と電氣的に直接連結されなくてもよい。

20

【0051】

封止材160は半導体チップ120を保護するための構成であって、そのために、封止材160は第1連結部材110及び半導体チップ120の少なくとも一部を封止する。封止形態は特に制限されず、半導体チップ120を囲む形態であればよい。例えば、封止材160は、半導体チップ120を覆い、且つ第1連結部材110の貫通孔110X内の残りの空間を満たすことができるとともに、第1連結部材110も覆うことができる。封止材160が貫通孔110Xを満たすことで、接着剤の役割を担うとともに、半導体チップ120のバックリングを減少させる役割も担うことができる。封止材160は、半導体チップ120の下面を除いた全ての面を覆うことができる。半導体チップ120の下面の場合、半導体チップ120の接続パッド120Pの突出した形態に応じて一部のみを覆うことができる。

30

【0052】

封止材160は、複数の材料からなる複数の層で構成されることができる。例えば、貫通孔110X内の空間を第1封止材で満たした後、第1連結部材110及び半導体チップ120を第2封止材で覆うことができる。または、第1封止材を用いて貫通孔110X内の空間を満たすとともに、所定の厚さで第1連結部材110及び半導体チップ120を覆い、その後、第1封止材上に第2封止材を所定の厚さでさらに覆う形態で用いることもできる。その他にも様々な形態に応用され得ることは勿論である。封止材160で満たされた貫通孔110X内の空間の間隔は特に限定されず、通常の技術者が最適化することができる。例えば、10µm～150µm程度であることができるが、これに限定されるものではない。

40

【0053】

封止材160の具体的な材料としては、特に限定されず、例えば、絶縁物質が用いられることができる。この際、絶縁物質としても、エポキシ樹脂などの熱硬化性樹脂、ポリイミドなどの熱可塑性樹脂、これらにガラス繊維及び/または無機フィラーなどの補強材が含まれた樹脂、例えば、プリプレグ、ABFなどが用いられることができる。また、EMCなどの公知のモールドイング材料を用いてもよいことは勿論である。ガラス繊維及び

50

/または無機フィラーと絶縁樹脂を含む材料を用いる場合、反りの制御により効果的であり得る。

【0054】

封止材160は、第1連結部材110の第1絶縁層111Aの材料より低い弾性係数を有することができる。例えば、封止材160の弾性係数は15GPa以下、例えば、50MPa~15GPa程度であることができる。封止材160の弾性係数が相対的に小さいほど、半導体チップ120に対するバックリング効果及び応力分散効果により、パッケージ100Aの反りを減少させることができる。具体的に、封止材160が貫通孔110Xの空間を満たすことにより、半導体チップ120に対するバックリング効果を奏することができ、半導体チップ120を覆うことにより、半導体チップ120で発生する応力を分散及び緩和させることができる。但し、弾性係数が小さすぎる場合には、変形が激しくて封止材の基本的な役割を担うことができなくなる恐れがある。弾性係数は応力と変形の比を意味し、KSM3001、KSM527-3、ASTMD882などに明示された引張試験により測定することができる。

10

【0055】

封止材160には、電磁波遮断のために、必要に応じて導電性粒子が含まれることができる。導電性粒子としては、電磁波遮断が可能なものであれば何れも用いることができ、例えば、銅(Cu)、アルミニウム(Al)、銀(Ag)、スズ(Sn)、金(Au)、ニッケル(Ni)、鉛(Pb)、半田(solder)などを用いて形成されることができるが、これは一例に過ぎず、特にこれに限定されるものではない。

20

【0056】

一例によるファンアウト半導体パッケージ100Aは、第2連結部材140、150の下部に配置されたパッシベーション層170をさらに含むことができる。パッシベーション層170は、第2連結部材140、150を外部の物理的、化学的損傷などから保護するための構成である。パッシベーション層170は、第2連結部材140、150の第2連結部材再配線層152の少なくとも一部を露出させる第1開口部171を有する。第1開口部171は、第2連結部材再配線層152の一部の上面を露出させるが、場合によっては、側面を露出させることもできる。

【0057】

パッシベーション層170の材料としては、特に限定されず、例えば、半田レジストを用いることができる。その他にも、第1連結部材110の第2絶縁層111B及び/または第2連結部材140、150の第2連結部材絶縁層141、151と同一の材料、例えば、同一のPID樹脂、ABFなどを用いることもできる。パッシベーション層170は単層であることが一般的であるが、必要に応じて多層で構成されてもよい。ABFなどを用いる場合、パッケージの信頼性の改善に効果的であり得る。

30

【0058】

一例によるファンアウト半導体パッケージ100Aは、パッシベーション層170の第1開口部171に配置されて外部に露出された第1外部接続端子175をさらに含むことができる。第1外部接続端子175は、ファンアウト半導体パッケージ100Aを外部と物理的及び/または電氣的に連結させるための構成である。例えば、ファンアウト半導体パッケージ100Aは、第1外部接続端子175を介して電子機器のメインボードに実装される。第1外部接続端子175は第1開口部171に配置され、第1開口部171を介して露出された第2連結部材再配線層152と連結される。これにより、半導体チップ120とも電氣的に連結される。

40

【0059】

第1外部接続端子175は、導電性物質、例えば、銅(Cu)、アルミニウム(Al)、銀(Ag)、スズ(Sn)、金(Au)、ニッケル(Ni)、鉛(Pb)、半田(solder)などで形成されることができるが、これは一例に過ぎず、材質が特にこれに限定されるものではない。第1外部接続端子175は、ランド(land)、ボール(ball)、ピン(pin)などであることができる。第1外部接続端子175は多重層また

50

は単一層からなることができる。多重層からなる場合には、銅ピラー (pillar) 及び半田を含むことができ、単一層からなる場合には、スズ - 銀半田や銅を含むことができるが、これも一例に過ぎず、これに限定されるものではない。

【0060】

第1外部接続端子175の少なくとも一つはファン - アウト (fan-out) 領域に配置される。ファン - アウト (fan-out) 領域とは、半導体チップが配置されている領域を外れた領域を意味する。すなわち、一例によるファンアウト半導体パッケージ100Aはファン - アウト (fan-out) パッケージである。ファン - アウト (fan-out) パッケージは、ファン - イン (fan-in) パッケージに比べて信頼性に優れており、多数のI/O端子が具現可能であって、3D接続 (3D interconnection) が容易である。また、BGA (Ball Grid Array) パッケージ、LGA (Land Grid Array) パッケージなどに比べて、別の基板がなくても電子機器に実装可能であるため、パッケージの厚さを薄く製造することができ、価格競争力に優れる。

10

【0061】

第1外部接続端子175の数、間隔、配置形態などは特に限定されず、通常の技術者であれば、設計事項に応じて十分に變形可能である。例えば、第1外部接続端子175の数は、半導体チップ120の接続パッド120Pの数に応じて数十～数千個であることができ、これに限定されず、それ以上またはそれ以下の数を有してもよい。

【0062】

図5a～図5lは、ファンアウト半導体パッケージ100Aの概略的な製造工程の一例を示す図である。

20

【0063】

ファンアウト半導体パッケージ100Aの製造例についての説明のうち、上述の説明と重複する内容は省略し、相違点を中心として説明する。

【0064】

図5aを参照すると、第1絶縁層111Aを準備する。第1絶縁層111Aのサイズは、大量生産が容易であるように様々なサイズに製作及び活用可能である。すなわち、大型サイズの第1絶縁層111Aを準備し、後述する過程により複数のファンアウト半導体パッケージ100Aを製造した後、ソーイング (Sawing) 工程により個別的なユニットパッケージにシングュレーションすることもできる。第1絶縁層111Aには、必要に応じて、優れた整合性 (Pick-and-Place: P&P) のための基準マーク (fiducial mark) があり、これにより、半導体チップ120の実装位置をより明確にすることができるため、製作の完成度を高めることができる。第1絶縁層111Aの上面及び下面には、薄い金属層、例えば、銅箔 (符号未表示) などが形成されていることができ (Copper Clad Laminated: CCL)、これは、後続工程で再配線層などを形成するための基礎シード層の役割を担うことができる。

30

【0065】

図5bを参照すると、第1絶縁層111Aの上面及び下面にそれぞれ金属層135及び第1再配線層112を形成する。金属層135及び第1再配線層112は公知の方法で形成することができ、例えば、ドライフィルムパターンを用いて、電解銅めっきまたは無電解銅めっきなどで形成することができる。より具体的には、CVD (chemical vapor deposition)、PVD (Physical Vapor Deposition)、スパッタリング (sputtering)、サブトラクティブ (Subtractive)、アディティブ (Additive)、SAP (Semi-Additive Process)、MSAP (Modified Semi-Additive Process) などの方法により形成することができるが、これに限定されるものではない。

40

【0066】

図5cを参照すると、第1絶縁層111Aの下面に第2絶縁層111Bを形成する。第

50

2 絶縁層 1 1 1 B の形成方法も公知の方法が可能であり、例えば、第 2 絶縁層 1 1 1 B の前駆体を第 1 絶縁層 1 1 1 A の下面にラミネートしてから硬化する方法、第 2 絶縁層 1 1 1 B の材料を第 1 絶縁層 1 1 1 A の下面上に塗布してから硬化する方法などで形成することができるが、これに限定されるものではない。ラミネート方法としては、例えば、前駆体を高温で所定時間加圧した後、減圧し、室温に冷やすホットプレス (hot press) 工程を行った後、コールドプレス (cold press) 工程で冷やして作業ツールを分離する方法などを用いることができる。塗布方法としては、例えば、スキージでインクを塗布するスクリーン (screen) 印刷法、インクを霧化して塗布する方式のスプレー (spray) 印刷法などを用いることができる。硬化の際には、後工程でフォトリソグラフィ法などを用いるために、完全に硬化されないように乾燥することができる。

10

【0067】

図 5 d を参照すると、第 2 絶縁層 1 1 1 B に第 2 再配線層 1 3 2 及びビア 1 1 3 を形成する。ビアホール (不図示) は、機械的ドリル及び/またはレーザードリルを用いて形成することができる。ここで、上記レーザードリルは CO₂ レーザーまたは YAG レーザーであることができるが、これに限定されるものではない。ビアホール (不図示) を機械的ドリル及び/またはレーザードリルを用いて形成した場合、デスマリア処理を施すことで、ビアホール (不図示) 内の樹脂スミアを除去する。このデスマリア処理は、例えば、過マンガン酸塩法などにより行うことができる。第 2 絶縁層 1 1 1 B が PID 樹脂などを含む場合、ビアホールはフォトリソグラフィ法で形成してもよい。ビアホールを形成した後、第 2 再配線層 1 3 2 及びビア 1 1 3 も、ドライフィルムパターンを用いて、電解銅めっきまたは無電解銅めっきなどにより形成することができる。より具体的には、CVD、PVD、スパッタリング、サブトラクティブ、アディティブ、SAP、MSAP などの方法を用いて形成することができるが、これに限定されるものではない。

20

【0068】

図 5 e を参照すると、第 1 連結部材 1 1 0 の上面 1 1 0 A 及び下面 1 1 0 B を貫通する貫通孔 1 1 0 X を形成する。貫通孔 1 1 0 X を形成する方法も特に限定されず、例えば、機械的ドリル及び/またはレーザードリル、研磨用粒子を用いるサンドブラスト法、プラズマを用いるドライエッチング法などにより行うことができる。同様に、貫通孔 1 1 0 X を機械的ドリル及び/またはレーザードリルを用いて形成した場合、過マンガン酸塩法などのデスマリア処理を施すことで、貫通孔 1 1 0 X 内の樹脂スミアを除去する。貫通孔 1 1 0 X のサイズや形状などは、実装される半導体チップ 1 2 0 のサイズや形状、数などに応じて設計する。一連の過程を経て、貫通孔 1 1 0 X を有する第 1 連結部材 1 1 0 が形成される。

30

【0069】

図 5 f を参照すると、第 2 再配線層 1 3 2 に粘着フィルム 1 9 0 を貼り付ける。粘着フィルム 1 9 0 としては、第 2 再配線層 1 3 2 を固定することができるものであれば何れも用いることができ、非制限的な一例として、公知のテープなどを用いることができる。公知のテープの例としては、熱処理により付着力が弱化する熱処理硬化性接着テープ、紫外線の照射により付着力が弱化する紫外線硬化性接着テープなどが挙げられる。

【0070】

40

図 5 g を参照すると、貫通孔 1 1 0 X 内に半導体チップ 1 2 0 を配置する。具体的に、第 1 連結部材 1 1 0 の貫通孔 1 1 0 X を介して露出された上記粘着フィルム 1 9 0 に半導体チップ 1 2 0 を付着して配置する。半導体チップ 1 2 0 は、接続パッド 1 2 0 P が粘着フィルム 1 9 0 に付着するように、フェイス・ダウン (face-down) の形態で配置される。半導体チップ 1 2 0 の接続パッド 1 2 0 P が埋め込まれた形態の場合、第 2 再配線層 1 3 2 の下面と半導体チップ 1 2 0 の下面は実質的に同一平面に存在することができる。例えば、これらの間の距離は第 2 再配線層 1 3 2 の厚さより小さくてもよい。半導体チップ 1 2 0 の接続パッド 1 2 0 P が突出した形態の場合、第 2 再配線層 1 3 2 の下面と接続パッド 1 2 0 P の下面は実質的に同一平面に存在することができる。例えば、これらの間の距離は第 2 再配線層 1 3 2 の厚さより小さくてもよい。

50

【 0 0 7 1 】

図 5 h を参照すると、封止材 1 6 0 を用いて半導体チップ 1 2 0 を封止する。封止材 1 6 0 は、第 1 連結部材 1 1 0 及び半導体チップ 1 2 0 を覆い、且つ貫通孔 1 1 0 X 内の空間を満たす。封止材 1 6 0 は公知の方法により形成することができ、例えば、封止材 1 6 0 の前駆体をラミネートしてから硬化することで形成することができる。または、粘着フィルム 1 9 0 上に半導体チップ 1 2 0 を封止することができるように、予備封止材を塗布してから硬化することで形成することもできる。硬化により半導体チップ 1 2 0 が固定される。ラミネート方法としては、例えば、前駆体を高温で一定時間加圧した後、減圧し、室温に冷やすホットプレス工程を行った後、コールドプレス工程で冷やして作業ツールを分離する方法などを用いることができる。塗布方法としては、例えば、スキージでインクを塗布するスクリーン印刷法、インクを霧化して塗布する方式のスプレー印刷法などを用いることができる。

10

【 0 0 7 2 】

図 5 i を参照すると、粘着フィルム 1 9 0 を剥離する。剥離方法としては特に制限されず、公知の方法により行うことができる。例えば、粘着フィルム 1 9 0 として、熱処理により付着力が弱化する熱処理硬化性接着テープ、紫外線の照射により付着力が弱化する紫外線硬化性接着テープなどを用いた場合、粘着フィルム 1 9 0 を熱処理して付着力を弱化させてから剥離するか、または粘着フィルム 1 9 0 に紫外線を照射して付着力を弱化させてから剥離することができる。

【 0 0 7 3 】

図 5 j を参照すると、まず、第 1 連結部材 1 1 0 及び半導体チップ 1 2 0 の下部に第 2 連結部材絶縁層 1 4 1 を形成した後、第 2 連結部材再配線層 1 4 2 及び第 2 連結部材ビア 1 4 3 を形成することで第 2 連結部材 1 4 0 を形成する。次いで、第 2 連結部材絶縁層 1 4 1 の下部にさらに第 2 連結部材絶縁層 1 5 1 を形成した後、第 2 連結部材再配線層 1 5 2 及び第 2 連結部材ビア 1 5 3 を形成することで第 2 連結部材 1 5 0 を形成する。第 2 連結部材 1 4 0、1 5 0 の具体的な形成方法は、上述の説明のとおりである。第 2 連結部材絶縁層 1 4 1 と封止材 1 6 0 の間の境界は第 2 再配線層 1 3 2 の下面と実質的に同一平面に存在することができる。例えば、境界と第 2 再配線層 1 3 2 の下面の間の距離は第 2 再配線層 1 3 2 の厚さより小さくてもよい。また、半導体チップ 1 2 0 の接続パッド 1 2 0 P の突出の有無によって、境界は半導体チップ 1 2 0 の下面または接続パッド 1 2 0 P の下面と実質的に同一平面に存在することができる。例えば、境界と半導体チップ 1 2 0 の下面または接続パッド 1 2 0 P の下面の間の距離は第 2 再配線層 1 3 2 の厚さより小さくてもよい。このような境界は、第 2 連結部材絶縁層 1 4 1 と封止材 1 6 0 が互いに異なる物質を含む場合に存在するか、または互いに同じ物質を含んでも互いに異なる工程などを経る場合に存在することができる。

20

30

【 0 0 7 4 】

図 5 k を参照すると、第 2 連結部材 1 4 0、1 5 0 の下部に配置されたパッシベーション層 1 7 0 を形成する。パッシベーション層 1 7 0 も、パッシベーション層 1 7 0 の前駆体をラミネートしてから硬化させる方法、パッシベーション層 1 7 0 の形成材料を塗布してから硬化させる方法などにより形成することができる。ラミネート方法としては、例えば、前駆体を高温で一定時間加圧した後、減圧し、室温に冷やすホットプレス工程を行った後、コールドプレス工程で冷やして作業ツールを分離する方法などを用いることができる。塗布方法としては、例えば、スキージでインクを塗布するスクリーン印刷法、インクを霧化して塗布する方式のスプレー印刷法などを用いることができる。硬化の際には、後工程でフォトリソグラフィ法などを用いるために、完全に硬化されないように乾燥することができる。

40

【 0 0 7 5 】

図 5 l を参照すると、パッシベーション層 1 7 0 に、第 2 連結部材再配線層 1 5 2 の少なくとも一部が露出されるように第 1 開口部 1 7 1 を形成する。第 1 開口部 1 7 1 は機械的ドリル及び/またはレーザードリルを用いて形成してもよく、またはフォトリソグラフィ

50

ィ法で形成してもよい。機械的ドリル及び／またはレーザードリルを用いて形成した場合、過マンガン酸塩法などを用いてデスマ処理を施すことで、樹脂スミアを除去する。その後、第1開口部171に配置された第1外部接続端子175を形成する。第1外部接続端子175の形成方法は特に限定されず、その構造や形態に応じて、当該技術分野において公知の方法により形成することができる。第1外部接続端子175はリフロー（reflow）により固定されることができ、固定力を強化するために、第1外部接続端子175の一部はパッシベーション層170に埋め込まれ、残りの部分は外部に露出されるようにすることで、信頼性を向上させることができる。場合によっては、第1開口部171のみを形成してもよく、第1外部接続端子175は、必要に応じてパッケージ100Aの購買顧客社で別の工程により形成することができる。

10

【0076】

図6はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0077】

図7は図6のII-II'線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

【0078】

図面を参照すると、他の一例によるファンアウト半導体パッケージ100Bは、貫通孔110Xを有する第1連結部材110と、上記第1連結部材110の貫通孔110X内に配置された半導体チップ120と、上記第1連結部材110及び上記半導体チップ120の下部に配置された第2連結部材140、150と、上記半導体チップ120を封止する封止材160と、を含む。上記第1連結部材110(図8f参照)は、第1絶縁層111Aと、第2絶縁層111Bと、上記第1絶縁層111Aと第2絶縁層111Bとの間に配置された第1再配線層112と、上記第1絶縁層111Aを貫通するビア115と、上記第2絶縁層111Bを貫通するビア113と、上記第1絶縁層111Aの上面110Aに配置された第3再配線層131と、上記第2絶縁層111Bの下面110Bに配置された第2再配線層132と、を含む。

20

【0079】

貫通孔110Xは、第3再配線層131、第1絶縁層111A、第1再配線層112、第2絶縁層111B、及び第2再配線層132を順次貫通することができる。第1再配線層112及び第2絶縁層111Bのうち少なくとも一つは、半導体チップ120の上面及び下面の間に配置されることができる。半導体チップ120は、上面が第1連結部材110の上面110Aより下部に位置するように配置されることができる。但し、これに限定されるものではなく、半導体チップ120は、上面が第1連結部材110の上面110Aと同一面または上部に、また、第3再配線層131の上面より下部に位置するように配置されることができる。または、第3再配線層131の上面と同一面またはそれより上部に位置するように配置されることができる。

30

【0080】

以下、他の一例によるファンアウト半導体パッケージ100Bに含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

40

【0081】

第2再配線層132は第2絶縁層111Bの下面110Bに配置される。すなわち、第2再配線層132は第1連結部材110の外部に配置される。第3再配線層131は第1絶縁層111Aの上面110Aに配置される。すなわち、第3再配線層131も第1連結部材110の外部に配置される。ここで、第1連結部材110の外部に配置されるということは、第1連結部材110を基準として上面110Aと下面110Bとの間に配置されないことを意味する。第3及び第2再配線層131、132は、再配線パターン及び／またはパッドパターンの役割を担うことができ、その形成材料としては、銅(Cu)、アルミニウム(Al)、銀(Ag)、スズ(Sn)、金(Au)、ニッケル(Ni)、鉛(Pb)、またはこれらの合金などの導電性物質を用いることができる。第3及び第2再配線

50

層 1 3 1、1 3 2 は、該当層の設計デザインに応じて様々な機能を担うことができる。例えば、再配線パターンとして、グランド（GND）パターン、パワー（PWR）パターン、信号（S）パターン、ボンドフィンガー（BF）パターンなどの役割を担うことができる。ここで、信号（S）パターンは、グランド（GND）パターン、パワー（PWR）パターン、ボンドフィンガー（BF）パターンなどを除いた各種信号、例えば、データ信号などを含む。また、パッドパターンとして、ビアパッド、ビアパッド、外部接続端子パッドなどの役割を担うことができる。第 1 連結部材 1 1 0 に ビアパッド の役割を担うパッドパターンが配置されているため、第 2 連結部材 1 4 0、1 5 0 に ビアパッド を形成する必要がなく、その分だけ、設計面積が増加する。これにより、設計自由度が向上する。第 3 及び第 2 再配線層 1 3 1、1 3 2 の厚さも特に限定されず、例えば、それぞれ $10\ \mu\text{m} \sim 50\ \mu\text{m}$ 程度であることができる。第 3 再配線層 1 3 1 のうち露出されたパターンには、必要に応じて表面処理層がさらに形成されることができる。上記表面処理層は、例えば、電解金めっき、無電解金めっき、OSP または無電解スズめっき、無電解銀めっき、無電解ニッケルめっき / 置換金めっき、DIGめっき、HASL などにより形成されることができる。

【 0 0 8 2 】

第 1 絶縁層 1 1 1 A を貫通する ビア 1 1 5 は、互いに異なる層に配置された再配線層 1 3 1、1 1 2 を電氣的に連結させる役割をし、その形成材料としては、銅（Cu）、アルミニウム（Al）、銀（Ag）、スズ（Sn）、金（Au）、ニッケル（Ni）、鉛（Pb）、またはこれらの合金などの導電性物質を用いることができる。ビア 1 1 5 は、再配線層 1 3 1、1 1 2 のうち ビアパッド の役割を担うパッドパターンと直接連結される。ビア 1 1 5 の数、間隔、配置形態などは特に限定されず、通常の技術者であれば、設計事項に応じて十分に变形可能である。例えば、ファンアウト半導体パッケージ 1 0 0 B 上に実装される他のパッケージの形態に応じて、図面に示すように第 1 絶縁層 1 1 1 A の特定領域にのみ互いに離隔して ビア 1 1 5 が配置されてもよく、これと異なって、第 1 絶縁層 1 1 1 A の全面に互いに離隔して全て配置されてもよい。第 1 絶縁層 1 1 1 A の材料として金属を用いる場合、例えば、Fe-Ni 系合金などを用いる場合、ビア 1 1 5 や再配線層 1 3 1、1 1 2 との電氣的絶縁のために、金属と ビア 1 1 5 及び / または再配線層 1 3 1、1 1 2 との間に絶縁材料を配置することができる。ビア 1 1 5 は ビア 1 1 3 より直径が大きければよい。但し、これに限定されるものではなく、第 1 絶縁層 1 1 1 A によって ビア 1 1 5 が ビア 1 1 3 と実質的に同一の形状、直径などを有することができることは勿論である。

【 0 0 8 3 】

他の一例による ファンアウト半導体パッケージ 1 0 0 B では、封止材 1 6 0 が、第 1 連結部材 1 1 0 の上面 1 1 0 A に配置された第 3 再配線層 1 3 1 の少なくとも一部を露出させる第 2 開口部 1 6 1 を有することができる。また、封止材 1 6 0 の第 2 開口部 1 6 1 に配置されて外部に露出される第 2 外部接続端子 1 8 5 をさらに含むことができる。第 2 外部接続端子 1 8 5 は、ファンアウト半導体パッケージ 1 0 0 B 上の他の半導体チップやパッケージなどを物理的及び / または電氣的に連結させるための構成である。例えば、ファンアウト半導体パッケージ 1 0 0 B 上に、第 2 外部接続端子 1 8 5 を介して他の ファンアウト半導体パッケージ が実装されて、パッケージオンパッケージ構造をなすことができる。外部接続端子は、封止材 1 6 0 の第 2 開口部 1 6 1 に配置され、第 2 開口部 1 6 1 を介して露出された第 3 再配線層 1 3 1 と連結される。これにより、半導体チップ 1 2 0 と電氣的に連結される。

【 0 0 8 4 】

第 2 外部接続端子 1 8 5 は、導電性物質、例えば、銅（Cu）、アルミニウム（Al）、銀（Ag）、スズ（Sn）、金（Au）、ニッケル（Ni）、鉛（Pb）、半田（solder）などで形成されることができるが、これは一例に過ぎず、その材質が特にこれに限定されるものではない。第 2 外部接続端子 1 8 5 は、ランド（land）、ボール（ball）、ピン（pin）などであることができる。第 2 外部接続端子 1 8 5 は多重層

10

20

30

40

50

または単一層からなることができる。多重層からなる場合には、銅ピラー（pillar）及び半田を含むことができ、単一層からなる場合には、スズ-銀半田や銅を含むことができるが、これも一例に過ぎず、これに限定されるものではない。

【0085】

図8a～図8mは、ファンアウト半導体パッケージ100Bの概略的な製造工程の一例を示す図である。

【0086】

ファンアウト半導体パッケージ100Bの製造例についての説明のうち、上述の説明と重複する内容は省略し、相違点を中心として説明する。

【0087】

図8aを参照すると、第1絶縁層111Aを準備する。図8bを参照すると、第1絶縁層111Aの上面及び下面を貫通する貫通孔111Yを形成する。貫通孔111Yは機械的ドリル及び/またはレーザードリルを用いて形成することができ、ここで、上記レーザードリルはCO₂レーザまたはYAGレーザであることができるが、これに限定されるものではない。機械的ドリル及び/またはレーザードリルを用いて形成した場合、デスマリア処理を施すことで、貫通孔111Y内の樹脂スミアを除去する。このデスマリア処理は、例えば、過マンガン酸塩法などを用いて行うことができる。場合によっては、フォトリソグラフィ法で形成してもよい。図8cを参照すると、第1絶縁層111Aの上面及び下面に、それぞれ第3再配線層131及び第1再配線層112を形成する。また、貫通孔111Yを導電性物質で満たすことで、ビア115を形成する。これらも公知の方法で形成することができ、例えば、ドライフィルムパターンを用いて、電解銅めっきまたは無電解銅めっきなどにより形成することができる。より具体的には、CVD、PVD、スパッタリング、サブトラクティブ、アディティブ、SAP、MSAPなどの方法により形成することができるが、これに限定されるものではない。図8dを参照すると、第1絶縁層111Aの下面に第2絶縁層111Bを形成する。図8eを参照すると、第2絶縁層111Bに第2再配線層132及びビア113を形成する。図8fを参照すると、第1絶縁層111A及び第2絶縁層111Bを貫通する貫通孔110Xを形成する。その結果、貫通孔110Xを有する第1連結部材110が形成される。

【0088】

図8gを参照すると、第2再配線層132に粘着フィルム190を貼り付ける。図8hを参照すると、貫通孔110X内に半導体チップ120を配置する。図8iを参照すると、封止材160を用いて半導体チップ120を封止する。図8jを参照すると、粘着フィルム190を剥離する。図8kを参照すると、第2連結部材絶縁層141、第2連結部材再配線層142、第2連結部材ビア143を含む第2連結部材140を形成する。その後、さらに第2連結部材絶縁層151、第2連結部材再配線層152、第2連結部材ビア153を含む第2連結部材150を形成する。図8lを参照すると、第2連結部材140、150と連結されるパッシベーション層170を形成する。図8mを参照すると、パッシベーション層170の第1開口部171及びこれに配置された第1外部接続端子175を形成する。また、封止材160の外表面に第3再配線層131の少なくとも一部が露出されるように第2開口部161を形成し、第2開口部161に配置された第2外部接続端子185を形成する。第2開口部161は、機械的ドリル及び/またはレーザードリルを用いて形成してもよく、またはフォトリソグラフィ法で形成してもよい。機械的ドリル及び/またはレーザードリルを用いて形成した場合、過マンガン酸塩法などを用いてデスマリア処理を施すことで、樹脂スミアを除去する。第2外部接続端子185は、その構造や形態に応じて、当該技術分野において公知の方法により形成することができる。第2外部接続端子185はリフローにより固定されることができ、固定力を強化するために、第2外部接続端子185の一部は封止材160に埋め込まれ、残りの部分は外部に露出されるようにすることで、信頼性を向上させることができる。場合によっては、封止材160の第2開口部161に配置された第2外部接続端子185のみを形成することができ、パッシベーション層170には第1開口部171のみを形成し、第1開口部171に配置された第

10

20

30

40

50

1 外部接続端子 175 は、必要に応じてパッケージ 100B の購買顧客社で別の工程により形成することができる。

【0089】

図9はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0090】

図10は図9のIII-III'線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

【0091】

図面を参照すると、他の一例によるファンアウト半導体パッケージ100Cは、貫通孔110Xを有する第1連結部材110と、上記第1連結部材110の貫通孔110X内に配置された半導体チップ120と、上記第1連結部材110及び上記半導体チップ120の下部に配置された第2連結部材140、150と、上記半導体チップ120を封止する封止材160と、上記封止材160上に配置されたバックサイド再配線層162と、上記封止材160を貫通するバックサイドビア163と、を含む。上記第1連結部材110(図11f参照)は、第1絶縁層111Aと、第2絶縁層111Bと、上記第1絶縁層111Aと第2絶縁層111Bとの間に配置された第1再配線層112と、上記第1絶縁層111Aを貫通するビア115と、上記第2絶縁層111Bを貫通するビア113と、上記第1絶縁層111Aの上面110Aに配置された第3再配線層131と、上記第2絶縁層111Bの下面110Bに配置された第2再配線層132と、を含む。

【0092】

貫通孔110Xは、第3再配線層131、第1絶縁層111A、第1再配線層112、第2絶縁層111B、及び第2再配線層132を順次貫通することができる。第1再配線層112及び第2絶縁層111Bのうち少なくとも一つは、半導体チップ120の上面及び下面の間に配置されることができる。半導体チップ120は、上面が第1連結部材110の上面110Aより下部に位置するように配置されることができる。但し、これに限定されるものではなく、半導体チップ120は、上面が第1連結部材110の上面110Aと同一面または上部に、また、第3再配線層131の上面よりは下部に位置するように配置されることができる。または、第3再配線層131の上面と同一面またはそれより上部に位置するように配置されることができる。

【0093】

以下、他の一例によるファンアウト半導体パッケージ100Cに含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0094】

第1絶縁層111Aを貫通するビア115の数、間隔、配置形態なども特に限定されず、通常の技術者であれば、設計事項に応じて十分に变形可能である。例えば、ファンアウト半導体パッケージ100C上に実装される他のパッケージの形態に応じて、図面に示すように、互いに離隔して第1絶縁層111Aの全面にビア115が配置されてもよく、これと異なって、第1絶縁層111Aの特定領域にのみ互いに離隔して配置されてもよい。

【0095】

封止材160上に配置されたバックサイド再配線層162は、再配線パターン及び/またはパッドパターンの役割を担うことができ、その形成材料としては、銅(Cu)、アルミニウム(Al)、銀(Ag)、スズ(Sn)、金(Au)、ニッケル(Ni)、鉛(Pb)、またはこれらの合金などの導電性物質を用いることができる。具体的な例は上述のとおりである。バックサイド再配線層162は、該当層の設計デザインに応じて様々な機能を担うことができる。例えば、再配線パターンとして、グランド(GND)パターン、パワー(PWR)パターン、信号(S)パターンなどの役割を担うことができる。ここで、信号(S)パターンは、グランド(GND)パターン、パワー(PWR)パターンなどを除いた各種信号、例えば、データ信号などを含む。また、パッドパターンとして、ビアパッド、外部接続端子パッドなどの役割を担うことができる。封止材160上の全面にバ

10

20

30

40

50

ックサイド再配線層 162 を配置することができ、第2外部接続端子 185 も、これに応じて、後述するカバー層 180 の全面に配置することができ、様々な設計が可能である。バックサイド再配線層 162 の厚さも特に限定されず、例えば、それぞれ 10 μm ~ 50 μm 程度であることができる。バックサイド再配線層 162 のうち露出されたバックサイド再配線層 162 には、必要に応じて表面処理層がさらに形成されることができる。上記表面処理層は、例えば、電解金めっき、無電解金めっき、OSP または無電解スズめっき、無電解銀めっき、無電解ニッケルめっき / 置換金めっき、DIGめっき、HASL などにより形成されることができる。

【0096】

封止材 160 の一部を貫通するバックサイドビア 163 は、互いに異なる層に形成された再配線層 131、162 を電気的に連結させ、その結果、パッケージ 100C 内に電気的経路を形成する。バックサイドビア 163 の形成材料としても、銅 (Cu)、アルミニウム (Al)、銀 (Ag)、スズ (Sn)、金 (Au)、ニッケル (Ni)、鉛 (Pd)、またはこれらの合金などの導電性物質を用いることができる。バックサイドビア 163 は、導電性物質で完全に充填されていてもよく、または導電性物質がビアの壁に沿って形成されたものであってもよい。また、その形状としては、下面に向かうほど直径が小さくなるテーパ状、下面に向かうほど直径が大きくなる逆テーパ状、円筒状などの当該技術分野において公知の全ての形状が適用されることができる。

【0097】

他の一例によるファンアウト半導体パッケージ 100C は、封止材 160 の上部に配置されたカバー層 180 をさらに含むことができる。カバー層 180 は、封止材 160 やバックサイド再配線層 162 などを外部の物理的、化学的損傷などから保護するための構成である。カバー層 180 は、封止材 160 上に配置されたバックサイド再配線層 162 の少なくとも一部を露出させる第3開口部 181 を有する。第3開口部 181 は、バックサイド再配線層 162 の一部の上面を露出させるが、場合によっては、側面を露出させることもできる。カバー層 180 の材料としては特に限定されず、例えば、半田レジストを用いることができる。その他にも、様々なPID樹脂、ABF などを用いることができる。カバー層 180 は、必要に応じて多層で構成されてもよい。

【0098】

他の一例によるファンアウト半導体パッケージ 100C は、カバー層 180 の第3開口部 181 に配置された第2外部接続端子 185 をさらに含むことができる。第2外部接続端子 185 は第3開口部 181 に配置され、第3開口部 181 を介して露出されたバックサイド再配線層 162 と連結される。すなわち、第2外部接続端子 185 は、ファンアウト半導体パッケージ 100B でのように封止材 160 の第2開口部 161 に配置されることができるが、ファンアウト半導体パッケージ 100C でのようにカバー層 180 の第3開口部 181 に配置されることもできる。

【0099】

図 11a ~ 図 11m は、ファンアウト半導体パッケージ 100C の概略的な製造工程の一例を示す図である。

【0100】

ファンアウト半導体パッケージ 100C の製造例についての説明のうち、上述の説明と重複する内容は省略し、相違点を中心として説明する。

【0101】

図 11a を参照すると、第1絶縁層 111A を準備する。図 11b を参照すると、第1絶縁層 111A の上面及び下面を貫通する貫通孔 111Y を形成する。図 11c を参照すると、第1絶縁層 111A の上面及び下面にそれぞれ第3再配線層 131 及び第1再配線層 112 を形成する。また、貫通孔 111Y を導電性物質で満たすことで、ビア 115 を形成する。図 11d を参照すると、第1絶縁層 111A の下面に第2絶縁層 111B を形成する。図 11e を参照すると、第2絶縁層 111B に第2再配線層 132 及びビア 113 を形成する。図 11f を参照すると、第1絶縁層 111A 及び第2絶縁層 111B を貫

10

20

30

40

50

通する貫通孔 110X を形成する。その結果、貫通孔 110X を有する第 1 連結部材 110 が形成される。

【0102】

図 11g を参照すると、第 2 再配線層 132 に粘着フィルム 190 を貼り付ける。図 11h を参照すると、貫通孔 110X 内に半導体チップ 120 を配置する。図 11i を参照すると、封止材 160 を用いて半導体チップ 120 を封止する。図 11j を参照すると、粘着フィルム 190 を剥離する。図 11k を参照すると、第 2 連結部材絶縁層 141、第 2 連結部材再配線層 142、第 2 連結部材ビア 143 を含む第 2 連結部材 140 を形成する。その後、さらに第 2 連結部材絶縁層 151、第 2 連結部材再配線層 152、第 2 連結部材ビア 153 を含む第 2 連結部材 150 を形成する。また、封止材 160 上に配置されたバックサイド再配線層 162 及び封止材 160 の一部を貫通するバックサイドビア 163 を形成する。バックサイドビア 163 を形成するためのビアホール（不図示）も、機械的ドリル及び／またはレーザードリルを用いて形成してもよく、フォトリソグラフィ法により形成してもよい。機械的ドリル及び／またはレーザードリルを用いて形成した場合には、過マンガン酸塩法などを用いてデスミア処理を施すことで、樹脂スミアを除去する。バックサイド再配線層 162 及びバックサイドビア 163 も、ドライフィルムパターンを用いて、電解銅めっきまたは無電解銅めっきなどにより形成することができる。より具体的には、CVD、PVD、スパッタリング、サブトラクティブ、アディティブ、SAP、MSAP などの方法を用いて形成することができる。図 11l を参照すると、第 2 連結部材 140、150 と連結されたパッシベーション層 170 及び封止材 160 と連結されたカバー層 180 を形成する。カバー層 180 も、カバー層 180 の前駆体をラミネートしてから硬化させる方法、カバー層 180 の形成材料を塗布してから硬化させる方法などにより形成することができる。ラミネート方法としては、例えば、前駆体を高温で一定時間加圧した後、減圧し、室温に冷やすホットプレス工程を行った後、コールドプレス工程で冷やして作業ツールを分離する方法などを用いることができる。塗布方法としては、例えば、スキージでインクを塗布するスクリーン印刷法、インクを霧化して塗布する方式のスプレー印刷法などを用いることができる。硬化の際には、後工程でフォトリソグラフィ法などを用いるために、完全に硬化されないように乾燥することができる。図 11m を参照すると、カバー層 180 の外表面にバックサイド再配線層 162 の少なくとも一部が露出されるように第 3 開口部 181 を形成し、第 3 開口部 181 に配置された第 2 外部接続端子 185 を形成する。これとともに、パッシベーション層 170 の第 1 開口部 171 及びこれに配置された第 1 外部接続端子 175 を形成する。第 3 開口部 181 は、機械的ドリル及び／またはレーザードリルを用いて形成してもよく、またはフォトリソグラフィ法により形成してもよい。機械的ドリル及び／またはレーザードリルを用いて形成した場合には、過マンガン酸塩法などを用いてデスミア処理を施すことで、樹脂スミアを除去する。第 2 外部接続端子 185 は、その構造や形態に応じて当該技術分野において公知の方法により形成することができる。第 2 外部接続端子 185 はリフローにより固定されることができ、固定力を強化するために、第 2 外部接続端子 185 の一部はカバー層 180 に埋め込まれ、残りの部分は外部に露出されるようにすることで、信頼性を向上させることができる。場合によっては、カバー層 180 の第 3 開口部 181 に配置された第 2 外部接続端子 185 のみを形成することができ、パッシベーション層 170 には第 1 開口部 171 のみを形成し、第 1 開口部 171 に配置された第 1 外部接続端子 175 は、必要に応じて、パッケージ 100C の購買顧客社で別の工程により形成することができる。

【0103】

図 12 はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0104】

図 13 は図 12 の I V - I V ' 線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

【0105】

図面を参照すると、他の一例によるファンアウト半導体パッケージ 100D は、貫通孔

10

20

30

40

50

110Xを有する第1連結部材110と、上記第1連結部材110の貫通孔110X内に配置された半導体チップ120と、上記第1連結部材110及び上記半導体チップ120の下部に配置された第2連結部材140、150と、上記半導体チップ120を封止する封止材160と、を含む。上記第1連結部材110(図14e参照)は、第1絶縁層111Aと、第2絶縁層111Bと、上記第1絶縁層111Aと第2絶縁層111Bとの間に配置された第1再配線層112と、上記第2絶縁層111Bを貫通するビア113と、上記第1絶縁層111Aの上面110Aに配置された第1金属層135Aと、上記第2絶縁層111Bの下面110Bに配置された第2再配線層132と、上記貫通孔110Xの内面に配置された第2金属層135Bと、を含む。

【0106】

10

貫通孔110Xは、第1金属層135A、第1絶縁層111A、第1再配線層112、第2絶縁層111B、及び第2再配線層132を順次貫通することができる。第1再配線層112及び第2絶縁層111Bのうち少なくとも一つは、半導体チップ120の上面及び下面の間に配置されることができる。半導体チップ120は、上面が第1連結部材110の上面110Aより下部に位置するように配置されることができる。但し、これに限定されるものではなく、半導体チップ120は、上面が第1連結部材110の上面110Aと同一面または上部に、また、第1金属層135Aの上面よりは下部に位置するように配置されることができる。または、第1金属層135Aの上面と同一面またはそれより上部に位置するように配置されることができる。

【0107】

20

以下、他の一例によるファンアウト半導体パッケージ100Dに含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0108】

貫通孔110Xの内面に配置された第2金属層135Bは、放熱特性の向上及び/または電磁波遮断のための構成であって、その形成材料としては、例えば、銅(Cu)、アルミニウム(Al)、銀(Ag)、スズ(Sn)、金(Au)、ニッケル(Ni)、鉛(Pb)、またはこれらの合金など、熱伝導率の高い金属を特に制限されずに用いることができる。第1金属層135Aは第2金属層135Bと連結されることができる。この場合、半導体チップ120から放出された熱は、第2金属層135Bを経て第1金属層135Aに伝導され、パッケージ100Dの上部に分散されることができる。第2金属層135Bは、第2再配線層132のうちグラウンドの役割を担う再配線パターンと連結されることができる。また、第2金属層135Bは、第1再配線層112のうちグラウンド(GND)パターンの役割を担う再配線パターンとも連結されることができる。半導体チップ120から放出された熱は、第2金属層135Bを経て再配線層112、132のうちグラウンド(GND)パターンに伝導され、パッケージ100Dの下部に分散されることができる。グラウンド(GND)パターンも電磁波遮断の機能を担う。または、対流や輻射によっても熱が分散されることができる。

30

【0109】

図14a～図14lは、ファンアウト半導体パッケージ100Dの概略的な製造工程の一例を示す図である。

40

【0110】

ファンアウト半導体パッケージ100Dの製造例についての説明のうち、上述の説明と重複する内容は省略し、相違点を中心として説明する。

【0111】

図14aを参照すると、第1絶縁層111Aを準備する。図14bを参照すると、第1絶縁層111Aの上面及び下面にそれぞれ第1金属層135A及び第1再配線層112を形成する。図14cを参照すると、第1絶縁層111Aの下面に第2絶縁層111Bを形成する。図14dを参照すると、第1絶縁層111A及び第2絶縁層111Bを貫通する貫通孔110Xを形成する。また、第2絶縁層111Bを貫通するビアホール113Yを

50

形成する。図14eを参照すると、第2絶縁層111Bに第2再配線層132及びビア113を形成する。これとともに、貫通孔110Xの内面に第2金属層135Bを形成する。第2金属層135Bは、例えば、ドライフィルムパターンを用いて、電解銅めっきまたは無電解銅めっきなどで形成することができる。より具体的には、CVD、PVD、スパッタリング、サブトラクティブ、アディティブ、SAP、MSAPなどの方法を用いて形成することができるが、これに限定されるものではない。その結果、貫通孔110Xを有する第1連結部材110が形成される。

【0112】

図面に図示したものと異なって、先ず、テンティング(tenting)法などにより第1絶縁層111Aの下面にのみ第1再配線層112を形成し、第1絶縁層111Aの下面に第2絶縁層111Bを形成した後、ビアホール113Y、貫通孔110Xを形成し、次いで、ビアホール113Yを導電性物質で満たすことでビア113を形成しながら、貫通孔110Xの内壁に第2金属層135Bを形成すると同時に、第1絶縁層111Aの上面及び第2絶縁層111Bの下面にそれぞれ第1金属層135A及び第2再配線層132を形成することもできる。

【0113】

図14fを参照すると、第2再配線層132に粘着フィルム190を貼り付ける。図14gを参照すると、貫通孔110X内に半導体チップ120を配置する。図14hを参照すると、封止材160を用いて半導体チップ120を封止する。図14iを参照すると、粘着フィルム190を剥離する。図14jを参照すると、第2連結部材絶縁層141、第2連結部材再配線層142、第2連結部材ビア143を含む第2連結部材140を形成する。その後、第2連結部材絶縁層151、第2連結部材再配線層152、第2連結部材ビア153を含む第2連結部材150を形成する。図14kを参照すると、第2連結部材140、150と連結されたパッシベーション層170を形成する。図14lを参照すると、パッシベーション層170に第1開口部171を形成する。その後、第1開口部171に配置された第1外部接続端子175を形成する。場合によっては、第1開口部171のみを形成してもよく、第1外部接続端子175は、必要に応じて、パッケージ100Dの購買顧客社で別の工程により形成することができる。

【0114】

図15はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0115】

図16は図15のV-V'線に沿ったファンアウト半導体パッケージの概略的な切断断面図である。

【0116】

図面を参照すると、他の一例によるファンアウト半導体パッケージ100Eは、貫通孔110Xを有する第1連結部材110と、上記第1連結部材110の貫通孔110X内に配置された半導体チップ120と、上記第1連結部材110及び上記半導体チップ120の下部に配置された第2連結部材140、150と、上記半導体チップ120を封止する封止材160と、を含む。上記第1連結部材110(図17f参照)は、第1絶縁層111Aと、第2絶縁層111Bと、上記第1絶縁層111Aと第2絶縁層111Bとの間に配置された第1再配線層112と、上記第1絶縁層111Aを貫通するビア115と、上記第2絶縁層111Bを貫通するビア113と、上記第1絶縁層111Aの上面110Aに配置された第3再配線層131と、上記第2絶縁層111Bの下面110Bに配置された第2再配線層132と、上記貫通孔110Xの内面に配置された金属層135と、を含む。

【0117】

貫通孔110Xは、第3再配線層131、第1絶縁層111A、第1再配線層112、第2絶縁層111B、及び第2再配線層132を順次貫通することができる。第1再配線層112及び第2絶縁層111Bのうち少なくとも一つは、半導体チップ120の上面及び下面の間に配置されることができる。半導体チップ120は、上面が第1連結部材11

10

20

30

40

50

0の上面110Aより下部に位置するように配置されることができる。但し、これに限定されるものではなく、半導体チップ120は、上面が第1連結部材110の上面110Aと同一面または上部に、また、第3再配線層131の上面よりは下部に位置するように配置されることができる。または、第3再配線層131の上面と同一面またはそれより上部に位置するように配置されることができる。

【0118】

以下、他の一例によるファンアウト半導体パッケージ100Eに含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0119】

貫通孔110Xの内面に配置された金属層135は、第3再配線層131のうちグランド(GND)パターンの役割を担う再配線パターンと連結されることができる。この場合、半導体チップ120から放出された熱は、金属層135を経て第3再配線層131のうちグランド(GND)パターンに伝導され、パッケージ100Eの上部に分散されることができる。金属層135は、第2再配線層132のうちグランド(GND)パターンの役割を担う再配線パターンと連結されることができる。金属層135は、第1再配線層112のうちグランド(GND)パターンの役割を担う再配線パターンとも連結されることができる。この場合、半導体チップ120から放出された熱は、金属層135を経て再配線層112、132のうちグランド(GND)パターンに伝導され、パッケージ(100E)の下部に分散されることができる。グランド(GND)パターンも電磁波遮断の機能を担う。または、対流や輻射によっても熱が分散されることができる。

【0120】

図17a～図17mは、ファンアウト半導体パッケージ100Eの概略的な製造工程の一例を示す図である。

【0121】

ファンアウト半導体パッケージ100Eの製造例についての説明のうち、上述の説明と重複する内容は省略し、相違点を中心として説明する。

【0122】

図17aを参照すると、第1絶縁層111Aを準備する。図17bを参照すると、第1絶縁層111Aの上面及び下面を貫通する貫通孔111Yを形成する。図17cを参照すると、第1絶縁層111Aの上面及び下面にそれぞれ第3再配線層131及び第1再配線層112を形成する。また、貫通孔111Yを導電性物質で満たすことでビア115を形成する。図17dを参照すると、第1絶縁層111Aの下面に第2絶縁層111Bを形成する。図17eを参照すると、第1絶縁層111A及び第2絶縁層111Bを貫通する貫通孔110Xを形成する。また、第2絶縁層111Bを貫通するビアホール113Yを形成する。図17fを参照すると、第2絶縁層111Bに第2再配線層132及びビア113を形成する。これとともに、貫通孔110Xの内面に金属層135を形成する。その結果、貫通孔110Xを有する第1連結部材110が形成される。

【0123】

図面に図示したものと異なって、まず、テンティング(tenting)法などにより第1絶縁層111Aの下面にのみ第1再配線層112を形成し、第1絶縁層111Aの下面に第2絶縁層111Bを形成した後、ビアホール113Y、貫通孔111Y、貫通孔110Xを形成し、次いで、ビアホール113Y及び貫通孔111Yを導電性物質で満たすことでビア113とビア115を形成しながら、貫通孔110Xの内壁に第2金属層135を形成すると同時に、第1絶縁層111Aの上面及び第2絶縁層111Bの下面に第3及び第2再配線層131、132を形成することもできる。

【0124】

図17gを参照すると、第2再配線層132に粘着フィルム190を貼り付ける。図17hを参照すると、貫通孔110X内に半導体チップ120を配置する。図17iを参照すると、封止材160を用いて半導体チップ120を封止する。図17jを参照すると、

粘着フィルム 190 を剥離する。図 17k を参照すると、第 2 連結部材絶縁層 141、第 2 連結部材再配線層 142、第 2 連結部材ビア 143 を含む第 2 連結部材 140 を形成する。その後、第 2 連結部材絶縁層 151、第 2 連結部材再配線層 152、第 2 連結部材ビア 153 を含む第 2 連結部材 150 を形成する。図 17l を参照すると、第 2 連結部材 140、150 と連結されたパッシベーション層 170 を形成する。図 17m を参照すると、パッシベーション層 170 に第 1 開口部 171 を形成し、第 1 開口部 171 に配置された第 1 外部接続端子 175 を形成する。また、封止材 160 の外表面に第 3 再配線層 131 の少なくとも一部が露出されるように第 2 開口部 161 を形成し、第 2 開口部 161 に配置された第 2 外部接続端子 185 を形成する。場合によっては、封止材 160 の第 2 開口部 161 に配置された第 2 外部接続端子 185 のみを形成することができ、パッシベーション層 170 には第 1 開口部 171 のみを形成し、第 1 開口部 171 に配置された第 1 外部接続端子 175 は、必要に応じて、パッケージ 100E の購買顧客社で別の工程により形成することができる。

10

【0125】

図 18 はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0126】

図 19 は図 18 の V I - V I ' 線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

【0127】

図面を参照すると、他の一例によるファンアウト半導体パッケージ 100F は、貫通孔 110X を有する第 1 連結部材 110 と、上記第 1 連結部材 110 の貫通孔 110X 内に配置された半導体チップ 120 と、上記第 1 連結部材 110 及び上記半導体チップ 120 の下部に配置された第 2 連結部材 140、150 と、上記半導体チップ 120 を封止する封止材 160 と、上記封止材 160 上に配置されたバックサイド再配線層 162 と、上記封止材 160 を貫通するバックサイドビア 163 と、を含む。上記第 1 連結部材 110 (図 20f 参照) は、第 1 絶縁層 111A と、第 2 絶縁層 111B と、上記第 1 絶縁層 111A と第 2 絶縁層 111B との間に配置された第 1 再配線層 112 と、上記第 1 絶縁層 111A を貫通するビア 115 と、上記第 2 絶縁層 111B を貫通するビア 113 と、上記第 1 絶縁層 111A の上面 110A に配置された第 3 再配線層 131 と、上記第 2 絶縁層 111B の下面 110B に配置された第 2 再配線層 132 と、上記貫通孔 110X の内面に配置された金属層 135 と、を含む。

20

30

【0128】

貫通孔 110X は、第 3 再配線層 131、第 1 絶縁層 111A、第 1 再配線層 112、第 2 絶縁層 111B、及び第 2 再配線層 132 を順次貫通することができる。第 1 再配線層 112 及び第 2 絶縁層 111B のうち少なくとも一つは、半導体チップ 120 の上面及び下面の間に配置されることができる。半導体チップ 120 は、上面が第 1 連結部材 110 の上面 110A より下部に位置するように配置されることができる。但し、これに限定されるものではなく、半導体チップ 120 は、上面が第 1 連結部材 110 の上面 110A と同一面または上部に、また、第 3 再配線層 131 の上面よりは下部に位置するように配置されることができる。または、第 3 再配線層 131 の上面と同一面またはそれより上部に位置するように配置されることができる。

40

【0129】

以下、他の一例によるファンアウト半導体パッケージ 100F に含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0130】

封止材 160 上に配置されたバックサイド再配線層 162 の一部は、グランド (GND) パターンの役割を担う再配線パターンであることができる。この際、金属層 135 は、第 3 再配線層 131 のうちグランド (GND) パターンの役割を担う再配線パターンを経て、封止材 160 上に配置されたバックサイド再配線層 162 とも連結されることができ

50

る。この際、封止材 160 上に配置されたバックサイド再配線層 162 は、封止材 160 により封止された半導体チップ 120 の上部に板状に配置されることができる。この場合、半導体チップ 120 の上部、下部、側部の大部分が金属により覆われるため、優れた放熱特性とともに、優れた電磁波遮断効果を奏することができる。または、対流や輻射によっても熱が分散されることができる。

【0131】

図 20a ~ 図 20m は、ファンアウト半導体パッケージ 100F の概略的な製造工程の一例を示す図である。

【0132】

ファンアウト半導体パッケージ 100F の製造例についての説明のうち、上述の説明と重複する内容は省略し、相違点を中心として説明する。

【0133】

図 20a を参照すると、第 1 絶縁層 111A を準備する。図 20b を参照すると、第 1 絶縁層 111A の上面及び下面を貫通する貫通孔 111Y を形成する。図 20c を参照すると、第 1 絶縁層 111A の上面及び下面にそれぞれ第 3 再配線層 131 及び第 1 再配線層 112 を形成する。また、貫通孔 111Y を導電性物質で満たすことでビア 115 を形成する。図 20d を参照すると、第 1 絶縁層 111A の下面に第 2 絶縁層 111B を形成する。図 20e を参照すると、第 1 絶縁層 111A 及び第 2 絶縁層 111B を貫通する貫通孔 110X を形成する。また、第 2 絶縁層 111B を貫通するビアホール 113Y を形成する。図 20f を参照すると、第 2 絶縁層 111B に第 2 再配線層 132 及びビア 113 を形成する。これとともに、貫通孔 110X の内面に金属層 135 を形成する。その結果、貫通孔 110X を有する第 1 連結部材 110 が形成される。

【0134】

図面に図示したものと異なって、先ず、テンティング (tenting) 法などにより第 1 絶縁層 111A の下面にのみ第 1 再配線層 112 を形成し、第 1 絶縁層 111A の下面に第 2 絶縁層 111B を形成した後、ビアホール 113Y、貫通孔 111Y、貫通孔 110X を形成し、次いで、ビアホール 113Y 及び貫通孔 111Y を導電性物質で満たすことでビア 113 とビア 115 を形成しながら、貫通孔 110X の内壁に金属層 135 を形成すると同時に、第 1 絶縁層 111A の上面及び第 2 絶縁層 111B の下面に第 3 及び第 2 再配線層 131、132 を形成することもできる。

【0135】

図 20g を参照すると、第 2 再配線層 132 に粘着フィルム 190 を貼り付ける。図 20h を参照すると、貫通孔 110X 内に半導体チップ 120 を配置する。図 20i を参照すると、封止材 160 を用いて半導体チップ 120 を封止する。図 20j を参照すると、粘着フィルム 190 を剥離する。図 20k を参照すると、第 2 連結部材絶縁層 141、第 2 連結部材再配線層 142、第 2 連結部材ビア 143 を含む第 2 連結部材 140 を形成する。その後、第 2 連結部材絶縁層 151、第 2 連結部材再配線層 152、第 2 連結部材ビア 153 を含む第 2 連結部材 150 を形成する。図 20l を参照すると、第 2 連結部材 140、150 と連結されたパッシベーション層 170 及び封止材 160 と連結されたカバー層 180 を形成する。図 20m を参照すると、カバー層 180 の外表面にバックサイド再配線層 162 の少なくとも一部が露出されるように第 3 開口部 181 を形成し、第 3 開口部 181 に配置された第 2 外部接続端子 185 を形成する。これとともに、パッシベーション層 170 の第 1 開口部 171 及びこれに配置された第 1 外部接続端子 175 を形成する。場合によっては、カバー層 180 の第 3 開口部 181 に配置された第 2 外部接続端子 185 のみを形成することができ、パッシベーション層 170 には第 1 開口部 171 のみを形成し、第 1 開口部 171 に配置された第 1 外部接続端子 175 は、必要に応じて、パッケージ 100F の購買顧客社で別の工程により形成することができる。

【0136】

図 21 はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0137】

10

20

30

40

50

図 2 2 は図 2 1 の V I I - V I I ' 線に沿った ファンアウト半導体パッケージ の概略的な切断平面図である。

【 0 1 3 8 】

図面を参照すると、他の一例による ファンアウト半導体パッケージ 1 0 0 G は、貫通孔 1 1 0 X を有する第 1 連結部材 1 1 0 と、上記第 1 連結部材 1 1 0 の貫通孔 1 1 0 X 内に配置された複数の半導体チップ 1 2 0、1 2 2 と、上記第 1 連結部材 1 1 0 及び上記半導体チップ 1 2 0、1 2 2 の下部に配置された第 2 連結部材 1 4 0、1 5 0 と、上記複数の半導体チップ 1 2 0、1 2 2 を封止する封止材 1 6 0 と、を含む。上記第 1 連結部材 1 1 0 は、第 1 絶縁層 1 1 1 A と、第 2 絶縁層 1 1 1 B と、上記第 1 絶縁層 1 1 1 A と第 2 絶縁層 1 1 1 B との間に配置された第 1 再配線層 1 1 2 と、上記第 1 絶縁層 1 1 1 A の上面に配置された金属層 1 3 5 と、上記第 2 絶縁層 1 1 1 B の下面に配置された第 2 再配線層 1 3 2 と、上記第 2 絶縁層 1 1 1 B を貫通するビア 1 1 3 と、を含む。

10

【 0 1 3 9 】

貫通孔 1 1 0 X は、金属層 1 3 5、第 1 絶縁層 1 1 1 A、第 1 再配線層 1 1 2、第 2 絶縁層 1 1 1 B、及び第 2 再配線層 1 3 2 を順次貫通することができる。第 1 再配線層 1 1 2 及び第 2 絶縁層 1 1 1 B のうち少なくとも一つは、複数の半導体チップ 1 2 0、1 2 2 の上面及び下面の間に配置されることができる。複数の半導体チップ 1 2 0、1 2 2 は、上面が第 1 連結部材 1 1 0 の上面 1 1 0 A より下部に位置するように配置されることができる。但し、これに限定されるものではなく、複数の半導体チップ 1 2 0、1 2 2 は、上面が第 1 連結部材 1 1 0 の上面 1 1 0 A と同一面または上部に、また、金属層 1 3 5 の上面より下部に位置するように配置されることができる。または、金属層 1 3 5 の上面と同一面またはそれより上部に位置するように配置されることができる。複数の半導体チップ 1 2 0、1 2 2 の厚さが互いに異なる場合には、これらの上面が互いに異なる位置に存在することができる。

20

【 0 1 4 0 】

以下、他の一例による ファンアウト半導体パッケージ 1 0 0 G に含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【 0 1 4 1 】

複数の半導体チップ 1 2 0、1 2 2 は、互いに同一であってもよく、互いに異なってもよい。複数の半導体チップ 1 2 0、1 2 2 は、それぞれ第 1 連結部材 1 1 0、第 2 連結部材 1 4 0、1 5 0 などと電氣的に連結された接続パッド 1 2 0 P、1 2 2 P を有する。接続パッド 1 2 0 P、1 2 2 P は、それぞれ第 1 連結部材 1 1 0、第 2 連結部材 1 4 0、1 5 0 などにより再配線される。複数の半導体チップ 1 2 0、1 2 2 の数、間隔、配置形態などは特に限定されず、通常の技術者であれば、設計事項に応じて十分に变形可能である。例えば、複数の半導体チップ 1 2 0、1 2 2 の数は、図面に示すように 2 個であることができるが、これに限定されず、3 個、4 個などそれ以上がさらに配置され得ることは勿論である。必要に応じて、貫通孔 1 1 0 X の内面に金属層 1 3 5 がさらに配置され得ることは勿論である。

30

【 0 1 4 2 】

他の一例による ファンアウト半導体パッケージ 1 0 0 G の製造方法は、複数の半導体チップ 1 2 0、1 2 2 を配置することを除き、上述の ファンアウト半導体パッケージ 1 0 0 A、1 0 0 D の製造方法と同様であるため、その説明を省略する。

40

【 0 1 4 3 】

図 2 3 は ファンアウト半導体パッケージ の他の一例を概略的に示す断面図である。

【 0 1 4 4 】

図 2 4 は図 2 3 の V I I I - V I I I ' 線に沿った ファンアウト半導体パッケージ の概略的な切断平面図である。

【 0 1 4 5 】

図面を参照すると、他の一例による ファンアウト半導体パッケージ 1 0 0 H は、貫通孔

50

110Xを有する第1連結部材110と、上記第1連結部材110の貫通孔110X内に配置された複数の半導体チップ120、122と、上記第1連結部材110及び上記複数の半導体チップ120、122の下部に配置された第2連結部材140、150と、上記複数の半導体チップ120、122を封止する封止材160と、を含む。上記第1連結部材110は、第1絶縁層111Aと、第2絶縁層111Bと、上記第1絶縁層111Aと第2絶縁層111Bとの間に配置された第1再配線層112と、上記第1絶縁層111Aを貫通するビア115と、上記第2絶縁層111Bを貫通するビア113と、上記第1絶縁層111Aの上面110Aに配置された第3再配線層131と、上記第2絶縁層111Bの下面110Bに配置された第2再配線層132と、を含む。

【0146】

貫通孔110Xは、第3再配線層131、第1絶縁層111A、第1再配線層112、第2絶縁層111B、及び第2再配線層132を順次貫通することができる。第1再配線層112及び第2絶縁層111Bのうち少なくとも一つは、複数の半導体チップ120、122の上面及び下面の間に配置されることができる。複数の半導体チップ120、122は、上面が第1連結部材110の上面110Aより下部に位置するように配置されることができる。但し、これに限定されるものではなく、複数の半導体チップ120、122は、上面が第1連結部材110の上面110Aと同一面または上部に、また、第3再配線層131の上面よりは下部に位置するように配置されることができる。または、第3再配線層131の上面と同一面またはそれより上部に位置するように配置されることができる。複数の半導体チップ120、122の厚さが互いに異なる場合には、これらの上面が互いに異なる位置に存在することができる。

【0147】

以下、他の一例によるファンアウト半導体パッケージ100Hに含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0148】

複数の半導体チップ120、122を配置する場合にも、第1連結部材110の上面110A及び下面110Bにそれぞれ配置された第3及び第2再配線層131、132と、第1絶縁層111Aを貫通するビア115が適用されることができる。同様に、封止材160は、第1連結部材110の上面110Aに配置された第3再配線層131の少なくとも一部を露出させる第2開口部161を有し、封止材160の外表面を介して外部に露出される第2外部接続端子185を含むことができる。必要に応じて、貫通孔110Xの内面に金属層135がさらに配置され得ることは勿論である。

【0149】

他の一例によるファンアウト半導体パッケージ100Hの製造方法は、複数の半導体チップ120、122を配置することを除き、上述のファンアウト半導体パッケージ100B、100Eの製造方法と同様であるため、その説明を省略する。

【0150】

図25はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0151】

図26は図25のIX-IX'線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

【0152】

図面を参照すると、他の一例によるファンアウト半導体パッケージ100Iは、貫通孔110Xを有する第1連結部材110と、上記第1連結部材110の貫通孔110X内に配置された複数の半導体チップ120、122と、上記第1連結部材110及び上記複数の半導体チップ120、122の下部に配置された第2連結部材140、150と、上記複数の半導体チップ120、122を封止する封止材160と、上記封止材160上に配置されたバックサイド再配線層162と、上記封止材160を貫通するバックサイドビア163と、を含む。上記第1連結部材110は、第1絶縁層111Aと、第2絶縁層111

1 Bと、上記第1絶縁層111Aと第2絶縁層111Bとの間に配置された第1再配線層112と、上記第1絶縁層111Aを貫通するビア115と、上記第2絶縁層111Bを貫通するビア113と、上記第1絶縁層111Aの上面110Aに配置された第3再配線層131と、上記第2絶縁層111Bの下面110Bに配置された第2再配線層132と、を含む。

【0153】

貫通孔110Xは、第3再配線層131、第1絶縁層111A、第1再配線層112、第2絶縁層111B、及び第2再配線層132を順次貫通することができる。第1再配線層112及び第2絶縁層111Bのうち少なくとも一つは、複数の半導体チップ120、122の上面及び下面の間に配置されることができる。複数の半導体チップ120、122は、上面が第1連結部材110の上面110Aより下部に位置するように配置されることができる。但し、これに限定されるものではなく、複数の半導体チップ120、122は、上面が第1連結部材110の上面110Aと同一面または上部に、また、第3再配線層131の上面よりは下部に位置するように配置されることができる。または、第3再配線層131の上面と同一面またはそれより上部に位置するように配置されることができる。複数の半導体チップ120、122の厚さが互いに異なる場合には、これらの上面が互いに異なる位置に存在することができる。

【0154】

以下、他の一例によるファンアウト半導体パッケージ100Iに含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0155】

複数の半導体チップ120、122を配置する場合にも、封止材160上に配置されたバックサイド再配線層162と、封止材160を貫通するバックサイドビア163が適用されることができる。同様に、封止材160と連結されたカバー層180をさらに含み、カバー層180は、封止材160上に配置されたバックサイド再配線層162の少なくとも一部を露出させる第3開口部181を有することができる。また、カバー層180の上面を介して外部に露出される第2外部接続端子185をさらに含むことができる。必要に応じて、貫通孔110Xの内面に金属層135がさらに配置され得ることは勿論である。

【0156】

他の一例によるファンアウト半導体パッケージ100Iの製造方法は、複数の半導体チップ120、122を配置することを除き、上述のファンアウト半導体パッケージ100C、100Fの製造方法と同様であるため、その説明を省略する。

【0157】

図27はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0158】

図28は図27のX-X'線に沿ったファンアウト半導体パッケージの概略的な切断断面図である。

【0159】

図面を参照すると、他の一例によるファンアウト半導体パッケージ100Jは、複数の貫通孔110X1、110X2を有する第1連結部材110と、上記第1連結部材110の複数の貫通孔110X1、110X2内にそれぞれ配置された複数の半導体チップ120、122と、上記第1連結部材110及び上記複数の半導体チップ120、122の下部に配置された第2連結部材140、150と、上記複数の半導体チップ120、122を封止する封止材160と、を含む。上記第1連結部材110は、第1絶縁層111Aと、第2絶縁層111Bと、上記第1絶縁層111Aと第2絶縁層111Bとの間に配置された第1再配線層112と、上記第1絶縁層111Aの上面に配置された金属層135と、上記第2絶縁層111Bの下面に配置された第2再配線層132と、上記第2絶縁層111Bを貫通するビア113と、を含む。

【0160】

複数の貫通孔 110X1、110X2 のそれぞれは、金属層 135、第1絶縁層 111A、第1再配線層 112、第2絶縁層 111B、及び第2再配線層 132 を順次貫通することができる。第1再配線層 112 及び第2絶縁層 111B のうち少なくとも一つは、複数の半導体チップ 120、122 の上面及び下面の間に配置されることができる。複数の半導体チップ 120、122 は、上面が第1連結部材 110 の上面 110A より下部に位置するように配置されることができる。但し、これに限定されるものではなく、複数の半導体チップ 120、122 は、上面が第1連結部材 110 の上面 110A と同一面または上部に、また、金属層 135 の上面よりは下部に位置するように配置されることができる。または、金属層 135 の上面と同一面またはそれより上部に位置するように配置されることもできる。複数の半導体チップ 120、122 の厚さが互いに異なる場合には、これらの上面が互いに異なる位置に存在することができる。

10

【0161】

以下、他の一例によるファンアウト半導体パッケージ 100J に含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0162】

複数の貫通孔 110X1、110X2 の面積や形状などは、互いに同一であってもよく、互いに異なっていてもよい。また、それぞれの貫通孔 110X1、110X2 に配置された半導体チップ 120、122 も、互いに同一であってもよく、互いに異なっていてもよい。複数の貫通孔 110X1、110X2 及びこれらにそれぞれ配置された半導体チップ 120、122 の数、間隔、配置形態などは特に限定されず、通常の技術者であれば、設計事項に応じて十分に变形可能である。例えば、複数の貫通孔 110X1、110X2 の数は、図面に示すように2個であることができるが、これに限定されず、3個、4個などそれ以上であり得ることは勿論である。また、それぞれの貫通孔 110X1、110X2 内に配置された半導体チップ 120、122 は、図面に示すように1個であることができるが、これに限定されず、2個、3個などそれ以上であり得ることは勿論である。必要に応じて、複数の貫通孔 110X1、110X2 の内面に金属層 135 がさらに配置され得ることは勿論である。

20

【0163】

他の一例によるファンアウト半導体パッケージ 100J の製造方法は、複数の貫通孔 110X1、110X2 を形成し、複数の貫通孔 110X1、110X2 内にそれぞれ半導体チップ 120、122 を配置することを除き、上述のファンアウト半導体パッケージ 100A、100D の製造方法と同様であるため、その説明を省略する。

30

【0164】

図29はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0165】

図30は図29のX I - X I' 線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

【0166】

図面を参照すると、他の一例によるファンアウト半導体パッケージ 100K は、複数の貫通孔 110X1、110X2 を有する第1連結部材 110 と、上記第1連結部材 110 の複数の貫通孔 110X1、110X2 内にそれぞれ配置された複数の半導体チップ 120、122 と、上記第1連結部材 110 及び上記複数の半導体チップ 120、122 の下部に配置された第2連結部材 140、150 と、上記複数の半導体チップ 120、122 を封止する封止材 160 と、を含む。上記第1連結部材 110 は、第1絶縁層 111A と、第2絶縁層 111B と、上記第1絶縁層 111A と第2絶縁層 111B との間に配置された第1再配線層 112 と、上記第1絶縁層 111A を貫通するビア 115 と、上記第2絶縁層 111B を貫通するビア 113 と、上記第1絶縁層 111A の上面 110A に配置された第3再配線層 131 と、上記第2絶縁層 111B の下面 110B に配置された第2再配線層 132 と、を含む。

40

50

【 0 1 6 7 】

複数の貫通孔 1 1 0 X 1、1 1 0 X 2 のそれぞれは、第 3 再配線層 1 3 1、第 1 絶縁層 1 1 1 A、第 1 再配線層 1 1 2、第 2 絶縁層 1 1 1 B、及び第 2 再配線層 1 3 2 を順次貫通することができる。第 1 再配線層 1 1 2 及び第 2 絶縁層 1 1 1 B のうち少なくとも一つは、複数の半導体チップ 1 2 0、1 2 2 の上面及び下面の間に配置されることができる。複数の半導体チップ 1 2 0、1 2 2 は、上面が第 1 連結部材 1 1 0 の上面 1 1 0 A より下部に位置するように配置されることができる。但し、これに限定されるものではなく、複数の半導体チップ 1 2 0、1 2 2 は、上面が第 1 連結部材 1 1 0 の上面 1 1 0 A と同一面または上部に、また、第 3 再配線層 1 3 1 の上面よりは下部に位置するように配置されることができる。または、第 3 再配線層 1 3 1 の上面と同一面またはそれより上部に位置するように配置されることができる。複数の半導体チップ 1 2 0、1 2 2 の厚さが互いに異なる場合には、これらの上面が互いに異なる位置に存在することができる。

10

【 0 1 6 8 】

以下、他の一例によるファンアウト半導体パッケージ 1 0 0 K に含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【 0 1 6 9 】

複数の貫通孔 1 1 0 X 1、1 1 0 X 2 を形成し、複数の貫通孔 1 1 0 X 1、1 1 0 X 2 内にそれぞれ半導体チップ 1 2 0、1 2 2 を配置する場合にも、第 1 連結部材 1 1 0 の上面 1 1 0 A 及び下面 1 1 0 B にそれぞれ配置された第 3 及び第 2 再配線層 1 3 1、1 3 2 と、第 1 絶縁層 1 1 1 A を貫通するビア 1 1 5 が適用されることができる。これらは、複数の貫通孔 1 1 0 X 1、1 1 0 X 2 を区分する第 1 連結部材 1 1 0 の第 1 絶縁層 1 1 1 A の中央部分にも形成されることができる。同様に、封止材 1 6 0 は、第 1 連結部材 1 1 0 の上面 1 1 0 A に配置された第 3 再配線層 1 3 1 の少なくとも一部を露出させる第 2 開口部 1 6 1 を有し、封止材 1 6 0 の外表面を介して外部に露出される第 2 外部接続端子 1 8 5 を含むことができる。これらも複数の貫通孔 1 1 0 X 1、1 1 0 X 2 を区分する第 1 連結部材 1 1 0 の第 1 絶縁層 1 1 1 A の中央部分にも形成されることができる。必要に応じて、複数の貫通孔 1 1 0 X 1、1 1 0 X 2 の内面に金属層 1 3 5 がさらに配置され得ることは勿論である。

20

【 0 1 7 0 】

他の一例によるファンアウト半導体パッケージ 1 0 0 K の製造方法は、複数の貫通孔 1 1 0 X 1、1 1 0 X 2 を形成し、複数の貫通孔 1 1 0 X 1、1 1 0 X 2 内にそれぞれ半導体チップ 1 2 0、1 2 2 を配置することを除き、上述のファンアウト半導体パッケージ 1 0 0 B、1 0 0 E の製造方法と同様であるため、その説明を省略する。

30

【 0 1 7 1 】

図 3 1 はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【 0 1 7 2 】

図 3 2 は図 3 1 の X I I - X I I ' 線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

【 0 1 7 3 】

図面を参照すると、他の一例によるファンアウト半導体パッケージ 1 0 0 L は、複数の貫通孔 1 1 0 X 1、1 1 0 X 2 を有する第 1 連結部材 1 1 0 と、上記第 1 連結部材 1 1 0 の複数の貫通孔 1 1 0 X 1、1 1 0 X 2 内にそれぞれ配置された複数の半導体チップ 1 2 0、1 2 2 と、上記第 1 連結部材 1 1 0 及び上記複数の半導体チップ 1 2 0、1 2 2 の下部に配置された第 2 連結部材 1 4 0、1 5 0 と、上記複数の半導体チップ 1 2 0、1 2 2 を封止する封止材 1 6 0 と、上記封止材 1 6 0 上に配置されたバックサイド再配線層 1 6 2 と、上記封止材 1 6 0 を貫通するバックサイドビア 1 6 3 と、を含む。上記第 1 連結部材 1 1 0 は、第 1 絶縁層 1 1 1 A と、第 2 絶縁層 1 1 1 B と、上記第 1 絶縁層 1 1 1 A と第 2 絶縁層 1 1 1 B との間に配置された第 1 再配線層 1 1 2 と、上記第 1 絶縁層 1 1 1 A を貫通するビア 1 1 5 と、上記第 2 絶縁層 1 1 1 B を貫通するビア 1 1 3 と、上記第 1 絶

40

50

緑層 1 1 1 A の上面 1 1 0 A に配置された第 3 再配線層 1 3 1 と、上記第 2 絶縁層 1 1 1 B の下面 1 1 0 B に配置された第 2 再配線層 1 3 2 と、を含む。

【 0 1 7 4 】

複数の貫通孔 1 1 0 X 1、1 1 0 X 2 のそれぞれは、第 3 再配線層 1 3 1、第 1 絶縁層 1 1 1 A、第 1 再配線層 1 1 2、第 2 絶縁層 1 1 1 B、及び第 2 再配線層 1 3 2 を順次貫通することができる。第 1 再配線層 1 1 2 及び第 2 絶縁層 1 1 1 B のうち少なくとも一つは、複数の半導体チップ 1 2 0、1 2 2 の上面及び下面の間に配置されることができる。複数の半導体チップ 1 2 0、1 2 2 は、上面が第 1 連結部材 1 1 0 の上面 1 1 0 A より下部に位置するように配置されることができる。但し、これに限定されるものではなく、複数の半導体チップ 1 2 0、1 2 2 は、上面が第 1 連結部材 1 1 0 の上面 1 1 0 A と同一面または上部に、また、第 3 再配線層 1 3 1 の上面よりは下部に位置するように配置されることができる。または、第 3 再配線層 1 3 1 の上面と同一面またはそれより上部に位置するように配置されることができる。複数の半導体チップ 1 2 0、1 2 2 の厚さが互いに異なる場合には、これらの上面が互いに異なる位置に存在することができる。

10

【 0 1 7 5 】

以下、他の一例によるファンアウト半導体パッケージ 1 0 0 L に含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【 0 1 7 6 】

複数の貫通孔 1 1 0 X 1、1 1 0 X 2 を形成し、複数の貫通孔 1 1 0 X 1、1 1 0 X 2 内にそれぞれ半導体チップ 1 2 0、1 2 2 を配置する場合にも、封止材 1 6 0 上に配置されたバックサイド再配線層 1 6 2 と、封止材 1 6 0 を貫通するバックサイドビア 1 6 3 が適用されることができる。これらは、複数の貫通孔 1 1 0 X 1、1 1 0 X 2 を区分する第 1 連結部材 1 1 0 の第 1 絶縁層 1 1 1 A の中央部分にも形成されることができる。同様に、封止材 1 6 0 と連結されたカバー層 1 8 0 をさらに含み、カバー層 1 8 0 は、封止材 1 6 0 上に配置されたバックサイド再配線層 1 6 2 の少なくとも一部を露出させる第 3 開口部 1 8 1 を有することができる。また、カバー層 1 8 0 の上面を介して外部に露出される第 2 外部接続端子 1 8 5 をさらに含むことができる。これらも、複数の貫通孔 1 1 0 X 1、1 1 0 X 2 を区分する第 1 連結部材 1 1 0 の第 1 絶縁層 1 1 1 A の中央部分にも形成されることができる。必要に応じて、複数の貫通孔 1 1 0 X 1、1 1 0 X 2 の内面に金属層 1 3 5 がさらに配置され得ることは勿論である。

20

30

【 0 1 7 7 】

他の一例によるファンアウト半導体パッケージ 1 0 0 L の製造方法は、複数の貫通孔 1 1 0 X 1、1 1 0 X 2 を形成し、複数の貫通孔 1 1 0 X 1、1 1 0 X 2 内にそれぞれ半導体チップ 1 2 0、1 2 2 を配置することを除き、上述のファンアウト半導体パッケージ 1 0 0 C、1 0 0 F の製造方法と同様であるため、その説明を省略する。

【 0 1 7 8 】

図 3 3 はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【 0 1 7 9 】

図 3 4 は図 3 3 の X I I I - X I I I ' 線に沿ったファンアウト半導体パッケージの概略的な切断平面図である。

40

【 0 1 8 0 】

図面を参照すると、他の一例によるファンアウト半導体パッケージ 1 0 0 M は、貫通孔 1 1 0 X を有する第 1 連結部材 1 1 0 と、上記第 1 連結部材 1 1 0 の貫通孔 1 1 0 X 内に配置された複数の半導体チップ 1 2 0、1 2 4 と、上記第 1 連結部材 1 1 0 及び上記複数の半導体チップ 1 2 0、1 2 4 の下部に配置された第 2 連結部材 1 4 0、1 5 0 と、上記複数の半導体チップ 1 2 0、1 2 4 を封止する封止材 1 6 0 と、を含み、上記複数の半導体チップ 1 2 0、1 2 4 の少なくとも一つは集積回路 1 2 0 であり、他の少なくとも一つは受動部品 1 2 4 である。上記第 1 連結部材 1 1 0 は、第 1 絶縁層 1 1 1 A と、第 2 絶縁層 1 1 1 B と、上記第 1 絶縁層 1 1 1 A と第 2 絶縁層 1 1 1 B との間に配置された第 1 再

50

配線層 112 と、上記第 1 絶縁層 111A を貫通するビア 115 と、上記第 2 絶縁層 111B を貫通するビア 113 と、上記第 1 絶縁層 111A の上面 110A に配置された第 3 再配線層 131 と、上記第 2 絶縁層 111B の下面 110B に配置された第 2 再配線層 132 と、を含む。

【0181】

貫通孔 110X は、第 3 再配線層 131、第 1 絶縁層 111A、第 1 再配線層 112、第 2 絶縁層 111B、及び第 2 再配線層 132 を順次貫通することができる。第 1 再配線層 112 及び第 2 絶縁層 111B のうち少なくとも一つは、複数の半導体チップ 120、124 のうち一つの上面及び下面の間に配置されることができる。複数の半導体チップ 120、124 は、上面が第 1 連結部材 110 の上面 110A より下部に位置するように配置されることができる。但し、これに限定されるものではなく、複数の半導体チップ 120、124 は、上面が第 1 連結部材 110 の上面 110A と同一面または上部に、また、第 3 再配線層 131 の上面よりは下部に位置するように配置されることができる。または、第 3 再配線層 131 の上面と同一面またはそれより上部に位置するように配置されることができる。複数の半導体チップ 120、124 の厚さが互いに異なる場合には、これらの上面が互いに異なる位置に存在することができる。

10

【0182】

以下、他の一例によるファンアウト半導体パッケージ 100M に含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

20

【0183】

集積回路 120 は、数百～数百万個以上の素子が一つのチップ内に集積化されたチップのことであり、例えば、セントラルプロセッサ（例えば、CPU）、グラフィックプロセッサ（例えば、GPU）、デジタル信号プロセッサ、暗号化プロセッサ、マイクロプロセッサ、マイクロコントローラなどのアプリケーションプロセッサチップであることができるが、これに限定されるものではない。受動部品 124 は、例えば、インダクター、コンデンサ、抵抗器などであることができるが、これに限定されるものではない。集積回路 120 は、接続パッド 120P を介して第 1 連結部材 110、第 2 連結部材 140、150 などと電気的に連結される。受動部品 124 は、接続パッド（不図示）、例えば、外部電極を介して第 1 連結部材 110、第 2 連結部材 140、150 などと電気的に連結される。

30

【0184】

集積回路 120 及び受動部品 124 の数、間隔、配置形態などは特に限定されず、通常の技術者であれば、設計事項に応じて十分に变形可能である。例えば、集積回路 120 は貫通孔 110X の中央付近に配置され、受動部品 124 は貫通孔 110X の内壁付近に配置されることができるが、これに限定されるものではない。また、集積回路 120 は 1 個のみが配置され、受動部品 124 は複数個が配置されることができるが、これに限定されるものではなく、その逆であってもよく、両方とも 1 個のみが配置されてもよく、両方とも複数個が配置されてもよい。必要に応じて、金属層 135、パッシベーション層 170、カバー層 180、開口部 161、171、181、外部接続端子 175、185、バックサイド再配線層 162、バックサイドビア 163 などとも適用され得ることは勿論である。

40

【0185】

他の一例によるファンアウト半導体パッケージ 100M の製造方法は、集積回路 120 と受動部品 124 をともに配置することを除き、上述のファンアウト半導体パッケージ 100A～100F の製造方法と同様であるため、その説明を省略する。

【0186】

図 35 はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0187】

図面を参照すると、他の一例によるファンアウト半導体パッケージ 100N は、貫通孔

50

110Xを有する第1連結部材110と、上記第1連結部材110の貫通孔110X内に配置された半導体チップ120と、上記第1連結部材110及び上記半導体チップ120の下部に配置された第2連結部材140、150と、上記半導体チップ120を封止する封止材160と、を含む。上記第1連結部材110は、第1絶縁層111Aと、第2絶縁層111Bと、上記第1絶縁層111Aと第2絶縁層111Bとの間に配置された第1第1再配線層112と、上記第1絶縁層111Aを貫通するビア115と、上記第2絶縁層111Bを貫通するビア113と、を含み、上記第2絶縁層111Bが上記第1絶縁層111Aの上部に配置される。また、上記第1連結部材110は、上記第2絶縁層111Bの上面110Aに配置された第3再配線層131と、上記第1連結部材110の下面110Bに配置された第2再配線層132と、を含む。

10

【0188】

貫通孔110Xは、第3再配線層131、第2絶縁層111B、第1再配線層112、第1絶縁層111A、及び第2再配線層132を順次貫通することができる。第1再配線層112及び第1絶縁層111Aのうち少なくとも一つは、半導体チップ120の上面及び下面の間に配置されることができる。半導体チップ120は、上面が第1連結部材110の上面110Aより下部に位置するように配置されることができる。但し、これに限定されるものではなく、半導体チップ120は、上面が第1連結部材110の上面110Aと同一面または上部に、また、第3再配線層131の上面よりは下部に位置するように配置されることができる。または、第3再配線層131の上面と同一面またはそれより上部に位置するように配置されることができる。

20

【0189】

以下、他の一例によるファンアウト半導体パッケージ100Nに含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0190】

他の一例によるファンアウト半導体パッケージ100Nは、上記第2絶縁層111Bが上記第1絶縁層111Aの上部に配置されており、その他には、上述のファンアウト半導体パッケージ100A～100Mについての内容が類似に適用されることができる。例えば、必要に応じて、金属層135、パッシベーション層170、カバー層180、開口部161、171、181、外部接続端子175、185、バックサイド再配線層162、バックサイドビア163なども適用され得ることは勿論である。

30

【0191】

他の一例によるファンアウト半導体パッケージ100Nの製造方法は、第2絶縁層111Bを第1絶縁層111Aの上部に形成することを除き、上述のファンアウト半導体パッケージ100A～100Fの製造方法と同様であるため、その説明を省略する。

【0192】

図36はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0193】

図面を参照すると、他の一例によるファンアウト半導体パッケージ100Oは、貫通孔110Xを有する第1連結部材110と、上記第1連結部材110の貫通孔110X内に配置された半導体チップ120と、上記第1連結部材110及び上記半導体チップ120の下部に配置された第2連結部材140、150と、上記半導体チップ120を封止する封止材160と、を含む。上記第1連結部材110は、第1絶縁層111Aと、第2絶縁層111Bと、第3絶縁層111Cと、上記第1絶縁層111Aと第2絶縁層111Bとの間及び上記第1絶縁層111Aと第3絶縁層111Cとの間にそれぞれ配置された複数の第1再配線層112A、112Bと、上記第1絶縁層111Aを貫通するビア115と、上記第2絶縁層111Bを貫通する第1ビア113Aと、上記第3絶縁層111Cを貫通する第2ビア113Bと、を含む。また、上記第1連結部材110は、上記第3絶縁層111Cの上面110Aに配置された第3再配線層131と、上記第2絶縁層111Bの下面110Bに配置された第2再配線層132と、を含む。

40

50

【 0 1 9 4 】

貫通孔 1 1 0 X は、第 3 再配線層 1 3 1、第 3 絶縁層 1 1 1 C、第 1 再配線層 1 1 2 B、第 1 絶縁層 1 1 1 A、第 1 再配線層 1 1 2 A、第 2 絶縁層 1 1 1 B、及び第 2 再配線層 1 3 2 を順次貫通することができる。第 1 再配線層 1 1 2 及び第 2 絶縁層 1 1 1 B のうち少なくとも一つは、半導体チップ 1 2 0 の上面及び下面の間に配置されることができる。半導体チップ 1 2 0 は、上面が第 1 連結部材 1 1 0 の上面 1 1 0 A より下部に位置するように配置されることができる。但し、これに限定されるものではなく、半導体チップ 1 2 0 は、上面が第 1 連結部材 1 1 0 の上面 1 1 0 A と同一面または上部に、また、第 3 再配線層 1 3 1 の上面よりは下部に位置するように配置されることができる。または、第 3 再配線層 1 3 1 の上面と同一面またはそれより上部に位置するように配置されることができる。

10

【 0 1 9 5 】

以下、他の一例によるファンアウト半導体パッケージ 1 0 0 O に含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【 0 1 9 6 】

第 1 絶縁層 1 1 1 A、第 2 絶縁層 1 1 1 B、及び第 3 絶縁層 1 1 1 C は、第 2 絶縁層 1 1 1 B、第 1 絶縁層 1 1 1 A、第 3 絶縁層 1 1 1 C の順に下部から上部へ積層される。第 2 絶縁層 1 1 1 B と第 3 絶縁層 1 1 1 C は、その材質が同一であり、互いに対応する厚さを有することができる。対応する厚さを有するということは、両者の厚さが実質的に同一であることを意味する。すなわち、完全に同一であることは勿論、反りの観点で無視できる程度の厚さの差がある場合も含む概念である。

20

【 0 1 9 7 】

第 1 再配線層 1 1 2 A、1 1 2 B は、それぞれ該当層の設計デザインに応じて様々な機能を担うことができる。例えば、再配線パターンとして、グランド (G N D) パターン、パワー (P W R) パターン、信号 (S) パターンなどの役割を担うことができる。また、パッドパターンとして、ビアパッドなどの役割を担うことができる。このように第 1 再配線層 1 1 2 A、1 1 2 B は再配線機能を担うことができるため、第 2 連結部材 1 4 0、1 5 0 の再配線機能を分担することができる。必要に応じて、金属層 1 3 5、パッシベーション層 1 7 0、カバー層 1 8 0、開口部 1 6 1、1 7 1、1 8 1、外部接続端子 1 7 5、1 8 5、バックサイド再配線層 1 6 2、バックサイドビア 1 6 3 など適用され得ることは勿論である。

30

【 0 1 9 8 】

他の一例によるファンアウト半導体パッケージ 1 0 0 O の製造方法は、第 1 絶縁層 1 1 1 A の上部に第 3 絶縁層 1 1 1 C を形成し、その間に第 1 再配線層 1 1 2 B など形成することを除き、上述のファンアウト半導体パッケージ 1 0 0 A ~ 1 0 0 F の製造方法と同様であるため、その説明を省略する。

【 0 1 9 9 】

図 3 7 はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【 0 2 0 0 】

図面を参照すると、他の一例によるファンアウト半導体パッケージ 1 0 0 P は、貫通孔 1 1 0 X を有する第 1 連結部材 1 1 0 と、上記第 1 連結部材 1 1 0 の貫通孔 1 1 0 X 内に配置された半導体チップ 1 2 0 と、上記第 1 連結部材 1 1 0 及び上記半導体チップ 1 2 0 の下部に配置された第 2 連結部材 1 4 0、1 5 0 と、上記半導体チップ 1 2 0 を封止する封止材 1 6 0 と、を含む。上記第 1 連結部材 1 1 0 は、第 1 絶縁層 1 1 1 A と、複数の第 2 絶縁層 1 1 1 B 1、1 1 1 B 2 と、上記第 1 絶縁層 1 1 1 A と第 2 絶縁層 1 1 1 B 1 との間、または複数の第 2 絶縁層 1 1 1 B 1、1 1 1 B 2 の間にそれぞれ配置された複数の第 1 再配線層 1 1 2 A 1、1 1 2 A 2 と、上記第 1 絶縁層 1 1 1 A を貫通するビア 1 1 5 と、上記第 2 絶縁層 1 1 1 B 1、1 1 1 B 2 をそれぞれ貫通する複数のビア 1 1 3 A 1、1 1 3 A 2 と、を含む。また、上記第 1 連結部材 1 1 0 は、上記第 1 絶縁層 1 1 1 A の上

40

50

面 1 1 0 A に配置された第 3 再配線層 1 3 1 と、上記第 2 絶縁層 1 1 1 B 2 の下面 1 1 0 B に配置された第 2 再配線層 1 3 2 と、を含む。

【0201】

貫通孔 1 1 0 X は、第 3 再配線層 1 3 1、第 1 絶縁層 1 1 1 A、第 1 再配線層 1 1 2 A 1、第 2 絶縁層 1 1 1 B 1、第 1 再配線層 1 1 2 A 2、第 2 絶縁層 1 1 1 B 2、及び第 2 再配線層 1 3 2 を順次貫通することができる。複数の第 1 再配線層 1 1 2 A 1、1 1 2 A 2 及び複数の第 2 絶縁層 1 1 1 B 1、1 1 1 B 2 のうち少なくとも一つは、半導体チップ 1 2 0 の上面及び下面の間に配置されることができる。半導体チップ 1 2 0 は、上面が第 1 連結部材 1 1 0 の上面 1 1 0 A より下部に位置するように配置されることができる。但し、これに限定されるものではなく、半導体チップ 1 2 0 は、上面が第 1 連結部材 1 1 0 の上面 1 1 0 A と同一面または上部に、また、第 3 再配線層 1 3 1 の上面よりは下部に位置するように配置されることができる。または、第 3 再配線層 1 3 1 の上面と同一面またはそれより上部に位置するように配置されることができる。

10

【0202】

以下、他の一例によるファンアウト半導体パッケージ 1 0 0 P に含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0203】

第 2 絶縁層 1 1 1 B 1、1 1 1 B 2 が複数の層で構成される場合、複数の第 2 絶縁層 1 1 1 B 1、1 1 1 B 2 の間にも第 1 再配線層 1 1 2 A 2 が配置されることができ、その結果、第 2 連結部材 1 4 0、1 5 0 の再配線機能をより多く分担することができる。第 2 絶縁層 1 1 1 B 1、1 1 1 B 2 の層の数や、第 1 再配線層 1 1 2 A 1、1 1 2 A 2 の層の数は特に制限されず、設計事項に応じてさらに多い複数の層で構成され得ることは勿論である。必要に応じて、金属層 1 3 5、パッシベーション層 1 7 0、カバー層 1 8 0、開口部 1 6 1、1 7 1、1 8 1、外部接続端子 1 7 5、1 8 5、バックサイド再配線層 1 6 2、バックサイドビア 1 6 3 など適用され得ることは勿論である。

20

【0204】

他の一例によるファンアウト半導体パッケージ 1 0 0 P の製造方法は、第 2 絶縁層 1 1 1 B 1、1 1 1 B 2 を複数の層で構成することを除き、上述のファンアウト半導体パッケージ 1 0 0 A ~ 1 0 0 F の製造方法と同様であるため、その説明を省略する。

30

【0205】

図 3 8 はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0206】

図面を参照すると、他の一例によるファンアウト半導体パッケージ 1 0 0 Q は、貫通孔 1 1 0 X を有する第 1 連結部材 1 1 0 と、上記第 1 連結部材 1 1 0 の貫通孔 1 1 0 X 内に配置された半導体チップ 1 2 0 と、上記第 1 連結部材 1 1 0 及び上記半導体チップ 1 2 0 の下部に配置された第 2 連結部材 1 4 0、1 5 0 と、上記半導体チップ 1 2 0 を封止する封止材 1 6 0 と、を含む。上記第 1 連結部材 1 1 0 は、第 1 絶縁層 1 1 1 A と、第 2 絶縁層 1 1 1 B と、第 3 絶縁層 1 1 1 C と、上記第 1 絶縁層 1 1 1 A と第 2 絶縁層 1 1 1 B との間及び上記第 1 絶縁層 1 1 1 A と第 3 絶縁層 1 1 1 C との間に配置された複数の第 1 再配線層 1 1 2 A、1 1 2 B と、上記第 1 絶縁層 1 1 1 A を貫通するビア 1 1 5 と、上記第 2 絶縁層 1 1 1 B を貫通する第 1 ビア 1 1 3 A と、上記第 2 絶縁層 1 1 1 B の下面 1 1 0 B に配置された第 2 再配線層 1 3 2 と、を含む。この際、上記封止材 1 6 0 と上記第 3 絶縁層 1 1 1 C は第 4 開口部 1 6 5 を有しており、上記第 1 絶縁層 1 1 1 A と第 3 絶縁層 1 1 1 C との間に配置された第 1 再配線層 1 1 2 B の一部が、上記第 4 開口部 1 6 5 を介して外部に露出される。

40

【0207】

貫通孔 1 1 0 X は、第 3 絶縁層 1 1 1 C、第 1 再配線層 1 1 2 B、第 1 絶縁層 1 1 1 A、第 1 再配線層 1 1 2 A、第 2 絶縁層 1 1 1 B、及び第 2 再配線層 1 3 2 を順次貫通することができる。複数の第 1 再配線層 1 1 2 A、1 1 2 B 及び第 2 絶縁層 1 1 1 B のうち少

50

なくとも一つは、半導体チップ 120の上面及び下面の間に配置されることができる。半導体チップ 120は、上面が第1連結部材 110の上面 110Aより下部に位置するように配置されることができる。但し、これに限定されるものではなく、半導体チップ 120は、上面が第1連結部材 110の上面 110Aと同一面または上部に位置するように配置されることができる。

【0208】

以下、他の一例によるファンアウト半導体パッケージ 100Qに含まれるそれぞれの構成についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0209】

第1再配線層 112Bは、第1絶縁層 111Aと第3絶縁層 111Cとの間に配置される。例えば、第1再配線層 112Bは、第4開口部 165を介して外部に露出される一部パターンを除き、第1絶縁層 111Aの上面上に配置されて第3絶縁層 111C内に埋め込まれることができる。すなわち、第1再配線層 112Bは第1連結部材 110の内部に配置される。ここで、第1連結部材 110の内部に配置されるということは、第1連結部材 110を基準として上面 110Aと下面 110Bとの間に配置されることを意味する。第1再配線層 112Bは、該当層の設計デザインに応じて様々な機能を担うことができる。例えば、再配線パターンとして、グランド (GROUND: GND) パターン、パワー (POWER: PWR) パターン、信号 (Signal: S) パターンなどの役割を担うことができる。ここで、信号 (S) パターンは、グランド (GND) パターン、パワー (PWR) パターンなどを除いた各種信号、例えば、データ信号などを含む。また、パッドパターンとして、ビアパッド、ビアパッドなどの役割を担うことができる。このように第1再配線層 112Bは、再配線機能の役割を担うことができ、第2連結部材 140、150の再配線機能を分担することができる。第1再配線層 112Bの形成材料としては、銅 (Cu)、アルミニウム (Al)、銀 (Ag)、スズ (Sn)、金 (Au)、ニッケル (Ni)、鉛 (Pb)、またはこれらの合金などの導電性物質を用いることができる。第1再配線層 112Bの厚さも特に限定されず、例えば、それぞれ 10 μm ~ 50 μm 程度であることができる。第1再配線層 112Bのうち第4開口部 165を介して外部に露出されるパターンは、ファンアウト半導体パッケージ 100Q上に配置された他の半導体チップやパッケージなどとの連結のためのワイヤボンディング用パッドであることができる。第2絶縁層 111Bと第3絶縁層 111Cは、材質が同一であり、互いに対応する厚さを有することができる。対応する厚さを有するということは、両者の厚さが実質的に同一であることを意味する。すなわち、完全に同一であることは勿論、反りの観点で無視できるほどの厚さの差がある場合も含む概念である。必要に応じて、金属層 135、パッシベーション層 170、開口部 171、外部接続端子 175なども適用され得ることは勿論である。

【0210】

他の一例によるファンアウト半導体パッケージ 100Qの製造方法は、第1絶縁層 111Aの上部に第3絶縁層 111C及び第1再配線層 112Bを形成し、第4開口部 165を形成することを除き、上述のファンアウト半導体パッケージ 100B、100Eの製造方法と同様であるため、その説明を省略する。

【0211】

図39はファンアウト半導体パッケージの信号伝達の一例を概略的に示す図である。

【0212】

ファンアウト半導体パッケージとしては上述のファンアウト半導体パッケージ 100Bを適用して説明し、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0213】

一例において、第2再配線層 132 (M1)は、大部分がグランド (GND) パターン、例えばグランドプレーン (ground plane) で構成される。半導体チップ 120の配置前に形成することができる第2再配線層 132 (M1)の大部分がグランドパ

ターン（GND）で構成されるため、再配線層 142、152（M2、M3）のグランド（GND）パターンを最小化することができる。これにより、他の必要な再配線パターン R 及び / またはパッドパターン P を二つの層（M2、M3）だけで十分に設計することができ、その結果、半導体チップ 120の配置後に第2連結部材を形成する工程を最小化することができる。ここで、大部分がグランド（GND）パターンで構成されるということは、平面面積を基準として、グランドパターン（GND）の面積が半分を超えることを意味する。

【0214】

第2再配線層 132（M1）を構成するグランドパターン（GND）は、第1再配線層 112（C2）、再配線層 142（M2）などに設計された各種信号（S）パターンなどの信号送信のためのリターンパス（RP）の役割を担う。第2再配線層 132（M1）のグランド（GND）パターンが、このように上下層に形成された各種信号（S）パターンのリターンパス（RP）の役割を十分に担うため、ファンアウト半導体パッケージ 100Bが外部と電氣的に連結された後、円滑に動作されることができる。

10

【0215】

第2再配線層 132（M1）と第1再配線層 112（C2）との間の距離は、第2再配線層 132（M1）と再配線層 142（M2）との間の距離より小さいことができる。距離は断面の厚さ方向を基準として判断する。このように、第2再配線層 132（M1）と第1再配線層 112（C2）との間の距離が小さい場合、第2再配線層 132（M1）の再配線パターン（R）のうちグランド（GND）パターンがリターンパス（RP）の役割をより効果的に担うことができる。

20

【0216】

図40はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0217】

図面を参照すると、他の一例によるファンアウト半導体パッケージは、複数のファンアウト半導体パッケージが積層された形態である。上述の様々な例示によるファンアウト半導体パッケージ 100A ~ 100Qがこれに様々な形態で適用されることができる。例えば、上述のファンアウト半導体パッケージ 100B上に他のファンアウト半導体パッケージ 200Aが配置された形態であることができる。

【0218】

ファンアウト半導体パッケージ 100Bは、上述のように、貫通孔 110X を有する第1連結部材 110 と、上記第1連結部材 110 の貫通孔 110X 内に配置された半導体チップ 120と、上記第1連結部材 110 及び上記半導体チップ 120の下部に配置された第2連結部材 140、150 と、上記半導体チップ 120を封止する封止材 160 と、を含む。上記第1連結部材 110 は、第1絶縁層 111A と、第2絶縁層 111B と、上記第1絶縁層 111A と第2絶縁層 111B との間に配置された第1再配線層 112 と、上記第1絶縁層 111A を貫通するビア 115 と、上記第2絶縁層 111B を貫通するビア 113 と、上記第1絶縁層 111A の上面 110A に配置された第3再配線層 131 と、上記第2絶縁層 111B の下面 110B に配置された第2再配線層 132 と、を含む。各構成についての内容は上述の内容と同様であるため、その説明を省略する。

30

40

【0219】

ファンアウト半導体パッケージ 200Aは、配線基板 210 と、上記配線基板 210 にフリップチップ形態で実装された第1半導体チップ 222 と、上記第1半導体チップ 222 上に積層された第2半導体チップ 224 と、を含む。また、上記第1半導体チップ 222 と配線基板 210 との間の隙間を満たすアンダーフィル樹脂 240 と、上記第1及び第2半導体チップ 222、224 などを封止する封止樹脂 230 と、を含む。

【0220】

第1及び第2半導体チップ 222、224 は集積回路チップであることができ、例えば、揮発性メモリー（例えば、DRAM）、非揮発性メモリー（例えば、ROM）、フラッシュメモリーなどのメモリーチップであることができる。第1半導体チップ 222 の平面

50

形状は第2半導体チップ224の平面形状より大きいことができる。

【0221】

配線基板210の上面には、ボンディング用パッド212Aとフリップチップ用パッド212Bが配置される。配線基板210は、複数の絶縁層（不図示）、複数の絶縁層に形成されたビアパターン（不図示）、及び配線パターン（不図示）などで構成されている。配線基板210のビアパターン（不図示）及び配線パターン（不図示）は、ボンディング用パッド212A、フリップチップ用パッド212Bなどと電氣的に連結される。

【0222】

ボンディング用パッド212Aは、ボンディングワイヤ252を介して第2半導体チップ224の上面に形成された接続パッド（不図示）と電氣的に接続される。フリップチップ用パッド212Bには、第1半導体チップ222のバンパ251がフリップチップ形態で接合されている。ボンディング用パッド212A及びフリップチップ用パッド212Bの材料としては上述のような導電性物質を用いることができる。ボンディング用パッド212A及びフリップチップ用パッド212Bの表面には、Au、Ni/Au、Ni/Pd/Auなどの金属層処理を施すことができる。

【0223】

封止樹脂230は、第1半導体チップ222及び第2半導体チップ224を保護するためのものであって、それらを封止する。封止樹脂230の材料としては、公知の絶縁物質、例えば、エポキシ系絶縁樹脂などを用いることができる。

【0224】

アンダーフィル樹脂240は、第1半導体チップ222のバンパ251とフリップチップ用パッド212Bとの間の接続部分の接続強度を向上させるための樹脂である。アンダーフィル樹脂240は、配線基板210と第1半導体チップ222との間の隙間を充填する。アンダーフィル樹脂240の材料としても、公知の絶縁物質、例えば、エポキシ系絶縁樹脂などを用いることができる。

【0225】

外部接続端子191は、ファンアウト半導体パッケージ200Aをファンアウト半導体パッケージ100Bに接続させるための構成である。外部接続端子191により、ファンアウト半導体パッケージ200Aとファンアウト半導体パッケージ100Bが積層接合される。外部接続端子191は、ファンアウト半導体パッケージ100Bの上部に形成された第2外部接続端子185であることができる。または、ファンアウト半導体パッケージ200Aの下部に形成された外部接続端子（不図示）であることができる。または、ファンアウト半導体パッケージ100Bの上部に形成された第2外部接続端子185と、ファンアウト半導体パッケージ200Aの下部に形成された外部接続端子（不図示）とが一体化されたものであることができる。外部接続端子191の材料としても、銅（Cu）、アルミニウム（Al）、銀（Ag）、スズ（Sn）、金（Au）、ニッケル（Ni）、鉛（Pb）、半田（solder）などの導電性物質を用いることができる。外部接続端子191は、ランド（land）、ボール（ball）、ピン（pin）などであることができる。外部接続端子191は多重層または単一層からなることができる。多重層からなる場合には、銅ピラー（pillar）及び半田を含むことができ、単一層からなる場合には、スズ-銀半田や銅を含むことができるが、これも一例に過ぎず、これに限定されるものではない。

【0226】

図41はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0227】

図面を参照すると、他の一例によるファンアウト半導体パッケージは、上述のファンアウト半導体パッケージ100C上に上述のファンアウト半導体パッケージ100Aが積層された形態である。

【0228】

ファンアウト半導体パッケージ100Cは、上述のように、貫通孔110Xを有する第

10

20

30

40

50

1 連結部材 1 1 0 と、上記第 1 連結部材 1 1 0 の貫通孔 1 1 0 X 内に配置された半導体チップ 1 2 0 と、上記第 1 連結部材 1 1 0 及び上記半導体チップ 1 2 0 の下部に配置された第 2 連結部材 1 4 0、1 5 0 と、上記半導体チップ 1 2 0 を封止する封止材 1 6 0 と、上記封止材 1 6 0 上に配置されたバックサイド再配線層 1 6 2 と、上記封止材 1 6 0 を貫通するバックサイドビア 1 6 3 と、を含む。上記第 1 連結部材 1 1 0 は、第 1 絶縁層 1 1 1 A と、第 2 絶縁層 1 1 1 B と、上記第 1 絶縁層 1 1 1 A と第 2 絶縁層 1 1 1 B との間に配置された第 1 再配線層 1 1 2 と、上記第 1 絶縁層 1 1 1 A を貫通するビア 1 1 5 と、上記第 2 絶縁層 1 1 1 B を貫通するビア 1 1 3 と、上記第 1 絶縁層 1 1 1 A の上面 1 1 0 A に配置された第 3 再配線層 1 3 1 と、上記第 2 絶縁層 1 1 1 B の下面 1 1 0 B に配置された第 2 再配線層 1 3 2 と、を含む。各構成についての内容は上述の内容と同様であるため、その説明を省略する。

10

【0229】

ファンアウト半導体パッケージ 1 0 0 A は、上述のように、貫通孔 1 1 0 X を有する第 1 連結部材 1 1 0 と、上記第 1 連結部材 1 1 0 の貫通孔 1 1 0 X 内に配置された半導体チップ 1 2 0 と、上記第 1 連結部材 1 1 0 及び上記半導体チップ 1 2 0 の下部に配置された第 2 連結部材 1 4 0、1 5 0 と、上記半導体チップ 1 2 0 を封止する封止材 1 6 0 と、を含む。上記第 1 連結部材 1 1 0 は、第 1 絶縁層 1 1 1 A と、第 2 絶縁層 1 1 1 B と、上記第 1 絶縁層 1 1 1 A と第 2 絶縁層 1 1 1 B との間に配置された第 1 再配線層 1 1 2 と、上記第 1 絶縁層 1 1 1 A の上面に配置された金属層 1 3 5 と、上記第 2 絶縁層 1 1 1 B の下面に配置された第 2 再配線層 1 3 2 と、上記第 2 絶縁層 1 1 1 B を貫通するビア 1 1 3 と、を含む。各構成についての内容は上述の内容と同様であるため、その説明を省略する。

20

【0230】

ファンアウト半導体パッケージ 1 0 0 C とファンアウト半導体パッケージ 1 0 0 A は、外部接続端子 1 9 1 により積層接合される。外部接続端子 1 9 1 は、ファンアウト半導体パッケージ 1 0 0 C の上部に形成された第 2 外部接続端子 1 8 5 であることができる。または、ファンアウト半導体パッケージ 1 0 0 A の下部に形成された第 1 外部接続端子 1 7 5 であることができる。または、ファンアウト半導体パッケージ 1 0 0 C の上部に形成された第 2 外部接続端子 1 8 5 と、ファンアウト半導体パッケージ 1 0 0 A の下部に形成された第 1 外部接続端子 1 7 5 とが一体化されたものであることができる。外部接続端子 1 9 1 の材料としても、銅 (Cu)、アルミニウム (Al)、銀 (Ag)、スズ (Sn)、金 (Au)、ニッケル (Ni)、鉛 (Pd)、半田 (solder) などの導電性物質を用いることができる。外部接続端子 1 9 1 は、ランド (land)、ボール (ball)、ピン (pin) などであることができる。外部接続端子 1 9 1 は多重層または単一層からなることができる。多重層からなる場合には、銅ピラー (pillar) 及び半田を含むことができ、単一層からなる場合には、スズ - 銀半田や銅を含むことができるが、これも一例に過ぎず、これに限定されるものではない。

30

【0231】

図 4 2 はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0232】

図面を参照すると、他の一例によるファンアウト半導体パッケージ 1 0 0 R は、貫通孔 1 1 0 X を有する第 1 連結部材 1 1 0 と、第 1 連結部材 1 1 0 の貫通孔 1 1 0 X 内に配置された半導体チップ 1 2 0 と、第 1 連結部材 1 1 0 及び半導体チップ 1 2 0 の下部に配置された第 2 連結部材 1 4 0、1 5 0、1 5 5 と、半導体チップ 1 2 0 を封止する封止材 1 6 0 と、を含む。第 1 連結部材 1 1 0 は、第 1 絶縁層 1 1 1 A、第 2 絶縁層 1 1 1 B、第 1 及び第 2 絶縁層 1 1 1 A、1 1 1 B の間に配置された第 1 再配線層 1 1 2、第 1 絶縁層 1 1 1 A を貫通するビア 1 1 5、第 2 絶縁層 1 1 1 B を貫通するビア 1 1 3、第 1 絶縁層 1 1 1 A の上面に配置された第 3 再配線層 1 3 1、及び第 2 絶縁層 1 1 1 B の下面に配置された第 2 再配線層 1 3 2 を含む。

40

【0233】

第 2 連結部材 1 5 5 は、第 2 連結部材絶縁層 1 5 6、第 2 連結部材絶縁層 1 5 6 上に配

50

置された第2連結部材再配線層157、及び第2連結部材絶縁層156を貫通して第2連結部材再配線層157と電氣的に連結された第2連結部材ビア158を含む。封止材160は、第1連結部材110の上面110Aに配置された第3再配線層131の少なくとも一部を露出させる第2開口部161を有することができる。また、封止材160の第2開口部161には、外部に露出する第2外部接続端子185が配置されることができる。第2外部接続端子185は、第2開口部161を介して露出された第3再配線層131と連結されることができる。第2連結部材155の下部には第1開口部171を有するパッシベーション層170が配置されることができ、第1開口部171にはアンダーパンプ金属層172が配置されることができ、アンダーパンプ金属層172上には第1外部接続端子175が配置されることができる。

10

【0234】

貫通孔110Xは、第3再配線層131、第1絶縁層111A、第1再配線層112、第2絶縁層111B、及び第2再配線層132を順次貫通することができる。第1再配線層112及び第2絶縁層111Bのうち少なくとも一つは、半導体チップ120の上面及び下面の間に配置されることができる。半導体チップ120は、上面が第1連結部材110の上面110Aより下部に位置するように配置されることができる。但し、これに限定されるものではなく、半導体チップ120は、上面が第1連結部材110の上面110Aと同一面または上部に、また、第3再配線層131の上面よりは下部に位置するように配置されることができる。または、第3再配線層131の上面と同一面またはそれより上部に位置するように配置されることができる。

20

【0235】

以下、他の一例によるファンアウト半導体パッケージ100Rにおける信号移動経路及びそれによるグラウンドの配置についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0236】

半導体チップ120は信号用接続パッド(120PのうちS'経路に沿う少なくとも一つ)を有し、信号用接続パッド(120PのうちS'経路に沿う少なくとも一つ)は第2連結部材140の第1信号用ビア(143のうちS'経路に沿う少なくとも一つ)を介して第2連結部材140の再配線層142の信号パターン(142のうちS'経路に沿う少なくとも一つ)と電氣的に連結され、第2連結部材140の再配線層142の信号パターン(142のうちS'経路に沿う少なくとも一つ)は第2連結部材140の第2信号用ビア(143のうちS'経路に沿う他の少なくとも一つ)を介して第1連結部材110の第2再配線層132の信号パターン(132のうちS'経路に沿う少なくとも一つ)と電氣的に連結され、第1連結部材110の第2再配線層132の信号パターン(132のうちS'経路に沿う少なくとも一つ)は第1連結部材110の信号用ビア(113のうちS'経路に沿う少なくとも一つ)を介して第1連結部材110の第1再配線層112の信号パターン(132のうちS'経路に沿う少なくとも一つ)と電氣的に連結され、第1連結部材110の第1再配線層112の信号パターン(112のうちS'経路に沿う少なくとも一つ)は第1連結部材110の信号用ビア(115のうちS'経路に沿う少なくとも一つ)を介して第1連結部材110の第3再配線層131の信号パターン(131のうちS'経路に沿う少なくとも一つ)と電氣的に連結され、第1連結部材110の第3再配線層131の信号パターン(131のうちS'経路に沿う少なくとも一つ)は第1連結部材110の上部のファン・アウト領域に配置された信号用外部接続端子(185のうちS'経路に沿う少なくとも一つ)と電氣的に連結され、第1連結部材110の第2及び第3再配線層131、132は信号S'のリターン経路を提供するグラウンドパターン(131のうちG'経路に沿う少なくとも一つ、132のうちG'経路に沿う少なくとも一つ)を有することができる。

30

40

【0237】

例えば、半導体チップ120の接続パッド120Pの一部は信号S'の連結のためのものであり、他の一部はグラウンドG'の連結のためのものであり得る。一部の信号S'の場

50

合、信号の連結のための接続パッド（１２０ＰのうちＳ'経路に沿う少なくとも一つ）から出発して第２連結部材の信号用ビア（１４３のうちＳ'経路に沿う少なくとも一つ）を介して第２連結部材の再配線層１４２の信号パターン（１４２のうちＳ'経路に沿う少なくとも一つ）に移動し、その後、第２連結部材の信号用ビア１４３を介して第１連結部材１１０の第２再配線層１３２の信号パターン（１３２のうちＳ'経路に沿う少なくとも一つ）に移動し、その後、第１連結部材１１０の信号用ビア（１１３のうちＳ'経路に沿う少なくとも一つ）を介して第１連結部材１１０の第１再配線層１１２の信号パターン（１１２のうちＳ'経路に沿う少なくとも一つ）に移動し、その後、第１連結部材１１０の信号用ビア（１１５のうちＳ'経路に沿う少なくとも一つ）を介して第１連結部材１１０の第３再配線層１３１の信号パターン（１３１のうちＳ'経路に沿う少なくとも一つ）に移動し、その後、信号用第２外部接続端子（１８５のうちＳ'経路に沿う少なくとも一つ）を介して外部に移動することができる。

10

【０２３８】

上述の移動経路に沿う信号Ｓ'のリターン経路を提供するために、上述の移動経路の上部及び下部にはグラウンドパターンＧ'が形成されることができる。グラウンドパターンＧ'は、第２連結部材再配線層１４２、１５２だけでなく、第１連結部材１１０の第２再配線層１３２及び第３再配線層１３１にも形成されることができる。第１連結部材１１０の第１再配線層１１２の大部分が信号パターンＳ'が形成された場合であれば、その下部及び／または上部に該当する第２再配線層１３２及び第３再配線層１３１は大部分がグラウンドパターンＧ'が形成されたものであり得る。また、第２連結部材再配線層１４２は大部分が信号パターンＳ'が形成されたものであり、第２連結部材再配線層１５２は大部分がグラウンドパターンＧ'が形成されたものであり得る。このように、第１連結部材１１０を信号パターンＳ'及びグラウンドパターンＧ'などのための再配線領域として活用することができ、第１連結部材１１０を半導体チップ１２０の配置前に形成することができるため、工程の歩留まりなどを改善することができる。グラウンドパターンＧ'は板状などであり得るが、これに限定されるものではない。

20

【０２３９】

図４３はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【０２４０】

図面を参照すると、他の一例によるファンアウト半導体パッケージ１００Ｓは、貫通孔１１０Ｘを有する第１連結部材１１０と、第１連結部材１１０の貫通孔１１０Ｘ内に配置された半導体チップ１２０と、第１連結部材１１０及び半導体チップ１２０の下部に配置された第２連結部材１４０、１５０、１５５と、半導体チップ１２０を封止する封止材１６０と、を含む。第１連結部材１１０は、第１絶縁層１１１Ａ、第２絶縁層１１１Ｂ、第３絶縁層１１１Ｃ、第１及び第２絶縁層１１１Ａ、１１１Ｂの間及び第１及び第３絶縁層１１１Ａ、１１１Ｃの間にそれぞれ配置された複数の第１再配線層１１２Ａ、１１２Ｂ、第１絶縁層１１１Ａを貫通するビア１１５、第２絶縁層１１１Ｂを貫通する第１ビア１１３Ａ、及び第３絶縁層１１１Ｃを貫通する第２ビア１１３Ｂを含む。第１連結部材１１０はまた、第３絶縁層１１１Ｃの上面１１０Ａに配置された第３再配線層１３１、及び第２絶縁層１１１Ｂの下面に配置された第２再配線層１３２を含む。

30

40

【０２４１】

第２連結部材１５５は、第２連結部材絶縁層１５６、第２連結部材絶縁層１５６上に配置された第２連結部材再配線層１５７、及び第２連結部材絶縁層１５６を貫通して第２連結部材再配線層１５７と電気的に連結された第２連結部材ビア１５８を含む。封止材１６０は、第１連結部材１１０の上面１１０Ａに配置された第３再配線層１３１の少なくとも一部を露出させる第２開口部１６１を有することができる。また、封止材１６０の第２開口部１６１には、外部に露出する第２外部接続端子１８５が配置されることができる。第２外部接続端子１８５は、第２開口部１６１を介して露出された第３再配線層１３１と連結されることができる。第２連結部材１５５の下部には第１開口部１７１を有するパッシベーション層１７０が配置されることができ、第１開口部１７１にはアンダーバンプ金属

50

層 172 が配置されることができ、アンダーバンプ金属層 172 上には第 1 外部接続端子 175 が配置されることができる。

【0242】

貫通孔 110X は、第 3 再配線層 131、第 3 絶縁層 111C、第 1 再配線層 112B、第 1 絶縁層 111A、第 1 再配線層 112A、第 2 絶縁層 111B、及び第 2 再配線層 132 を順次貫通することができる。第 1 再配線層 112 及び第 2 絶縁層 111B のうち少なくとも一つは、半導体チップ 120 の上面及び下面の間に配置されることができる。半導体チップ 120 は、上面が第 1 連結部材 110 の上面 110A より下部に位置するように配置されることができる。但し、これに限定されるものではなく、半導体チップ 120 は、上面が第 1 連結部材 110 の上面 110A と同一面または上部に、また、第 3 再配線層 131 の上面よりは下部に位置するように配置されることができる。または、第 3 再配線層 131 の上面と同一面またはそれより上部に位置するように配置されることができる。

10

【0243】

以下、他の一例によるファンアウト半導体パッケージ 100S における信号移動経路及びそれによるグラウンドの配置についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0244】

半導体チップ 120 は信号用接続パッド (120P のうち S' 経路に沿う少なくとも一つ) を有し、信号用接続パッド (120P のうち S' 経路に沿う少なくとも一つ) は第 2 連結部材 140 の第 1 信号用ビア (143 のうち S' 経路に沿う少なくとも一つ) を介して第 2 連結部材 140 の再配線層 142 の信号パターン (142 のうち S' 経路に沿う少なくとも一つ) と電気的に連結され、第 2 連結部材 140 の再配線層 142 の信号パターン (142 のうち S' 経路に沿う少なくとも一つ) は第 2 連結部材 140 の第 2 信号用ビア (143 のうち S' 経路に沿う他の少なくとも一つ) を介して第 1 連結部材 110 の第 2 再配線層 132 の信号パターン (132 のうち S' 経路に沿う少なくとも一つ) と電気的に連結され、第 1 連結部材 110 の第 2 再配線層 132 の信号パターン (132 のうち S' 経路に沿う少なくとも一つ) は第 1 連結部材 110 の下部信号用ビア (113A のうち S' 経路に沿う少なくとも一つ) を介して第 1 連結部材 110 の下部第 1 再配線層 112A の信号パターン (112A のうち S' 経路に沿う少なくとも一つ) と電気的に連結され、第 1 連結部材 110 の下部第 1 再配線層 112A の信号パターン (112A のうち S' 経路に沿う少なくとも一つ) は第 1 連結部材 110 の信号用ビア (115 のうち S' 経路に沿う少なくとも一つ) を介して第 1 連結部材 110 の上部第 1 再配線層 112B の信号パターン (112B のうち S' 経路に沿う少なくとも一つ) と電気的に連結され、第 1 連結部材 110 の上部第 2 再配線層 112B の信号パターン (112B のうち S' 経路に沿う少なくとも一つ) は第 1 連結部材 110 の上部信号用ビア 113B を介して第 1 連結部材 110 の第 3 再配線層 131 の信号パターン (131 のうち S' 経路に沿う少なくとも一つ) と電気的に連結され、第 1 連結部材 110 の第 3 再配線層 131 の信号パターン (131 のうち S' 経路に沿う少なくとも一つ) は第 1 連結部材 110 の上部のファン - アウト領域に配置された信号用外部接続端子 (185 のうち S' 経路に沿う少なくとも一つ) と電気的に連結され、第 1 連結部材 110 の第 2 再配線層 131 及び上部第 1 再配線層 112B は信号 S' のリターン経路を提供するグラウンドパターン (131 のうち G' 経路に沿う少なくとも一つ、112B のうち G' 経路に沿う少なくとも一つ) を有することができる。

20

30

40

【0245】

例えば、半導体チップ 120 の接続パッド 120P の一部は信号 S' の連結のためのものであり、他の一部はグラウンド G' の連結のためのものであり得る。一部の信号 S' の場合、信号の連結のための接続パッド (120P のうち S' 経路に沿う少なくとも一つ) から出発して第 2 連結部材の第 1 信号用ビア (143 のうち S' 経路に沿う少なくとも一つ) を介して第 2 連結部材再配線層 142 の信号パターン (142 のうち S' 経路に沿う少なくとも一つ) を有することができる。

50

経路に沿う少なくとも一つ)に移動し、その後、第2連結部材の第2信号用ビア(143のうちS' '経路に沿う他の少なくとも一つ)を介して第1連結部材110の第2再配線層132の信号パターン(132のうちS' '経路に沿う少なくとも一つ)に移動し、その後、第1連結部材110の下部信号用ビア(113AのうちS' '経路に沿う少なくとも一つ)を介して第1連結部材110の下部第1再配線層112Aの信号パターン(112AのうちS' '経路に沿う少なくとも一つ)に移動し、その後、第1連結部材110の信号用ビア(115のうちS' '経路に沿う少なくとも一つ)を介して第1連結部材110の上部第1再配線層112Bの信号パターン(112BのうちS' '経路に沿う少なくとも一つ)に移動し、その後、第1連結部材110の上部信号用ビア(113BのうちS' '経路に沿う少なくとも一つ)を介して第1連結部材110の第3再配線層131の信号パターン(131のうちS' '経路に沿う少なくとも一つ)に移動し、その後、信号用第2外部接続端子(185のうちS' '経路に沿う少なくとも一つ)を介して外部に移動することができる。

10

【0246】

上述の移動経路に沿う信号S' 'のリターン経路を提供するために、上述の移動経路の上部及び下部にはグラウンドパターンG' 'が形成されることができる。グラウンドパターンG' 'は、第2連結部材再配線層142、152だけでなく、第1連結部材110の第2再配線層132及び上部第1再配線層112Bにも形成されることができる。第1連結部材110の下部第1再配線層112Aの大部分が信号パターンS' 'が形成された場合であれば、その下部及び/または上部に該当する第2再配線層132及び上部第1再配線層112Bは大部分がグラウンドパターンG' 'からなることができる。また、第2連結部材再配線層142は大部分が信号パターンS' 'が形成されたものであり、第2連結部材再配線層152は大部分がグラウンドパターンG' 'が形成されたものであり得る。このように、第1連結部材110を信号パターンS' '及びグラウンドパターンG' 'などのための再配線領域として活用することができ、第1連結部材110を上述のように半導体チップ120の配置前に形成することができるため、工程の歩留まりなどを改善することができる。グラウンドパターンG' 'は板状などであり得るが、これに限定されるものではない。

20

【0247】

図44はファンアウト半導体パッケージの他の一例を概略的に示す断面図である。

【0248】

図面を参照すると、他の一例によるファンアウト半導体パッケージ100Tは、貫通孔110Xを有する第1連結部材110と、第1連結部材110の貫通孔110X内に配置された半導体チップ120と、第1連結部材110及び半導体チップ120の下部に配置された第2連結部材140、150、155と、半導体チップ120を封止する封止材160と、を含む。第1連結部材110は、第1絶縁層111A、第2絶縁層111B、第1及び第2絶縁層111A、111Bの間に配置された第1再配線層112、第1絶縁層111Aを貫通するビア115、第2絶縁層111Bを貫通するビア113、第1絶縁層111Aの上面に配置された第3再配線層131、及び第2絶縁層111Bの下面に配置された第2再配線層132を含む。

30

【0249】

第2連結部材155は、第2連結部材絶縁層156、第2連結部材絶縁層156上に配置された第2連結部材再配線層157、及び第2連結部材絶縁層156を貫通して第2連結部材再配線層157と電気的に連結された第2連結部材ビア158を含む。封止材160は、第1連結部材110の上面110Aに配置された第3再配線層131の少なくとも一部を露出させる第2開口部161を有することができる。また、封止材160の第2開口部161には、外部に露出する第2外部接続端子185が配置されることができる。第2外部接続端子185は、第2開口部161を介して露出された第3再配線層131と連結されることができる。第2連結部材155の下部には第1開口部171を有するパッシベーション層170が配置されることができ、第1開口部171にはアンダーバンプ金属層172が配置されることができ、アンダーバンプ金属層172上には第1外部接続端子

40

50

175が配置されることができる。

【0250】

貫通孔110Xは、第3再配線層131、第1絶縁層111A、第1再配線層112、第2絶縁層111B、及び第2再配線層132を順次貫通することができる。第1再配線層112及び第2絶縁層111Bのうち少なくとも一つは、半導体チップ120の上面及び下面の間に配置されることができる。半導体チップ120は、上面が第1連結部材110の上面110Aより下部に位置するように配置されることができる。但し、これに限定されるものではなく、半導体チップ120は、上面が第1連結部材110の上面110Aと同一面または上部に、また、第3再配線層131の上面よりは下部に位置するように配置されることができる。または、第3再配線層131の上面と同一面またはそれより上部に位置するように配置されることができる。

10

【0251】

以下、他の一例によるファンアウト半導体パッケージ100Tにおける信号移動経路及びそれによるグラウンドの配置についてより詳細に説明するが、上述の内容と重複する内容は省略し、相違点を中心として説明する。

【0252】

半導体チップ120は信号用接続パッド(120PのうちS' ' '経路に沿う少なくとも一つ)を有し、信号用接続パッド(120PのうちS' ' '経路に沿う少なくとも一つ)は第2連結部材140の第1信号用ビア(143のうちS' ' '経路に沿う少なくとも一つ)を介して第2連結部材140の再配線層142の第1信号パターン(142のうちS' ' '経路に沿う少なくとも一つ)と電氣的に連結され、第2連結部材140の再配線層142の第1信号パターン(142のうちS' ' '経路に沿う少なくとも一つ)は第2連結部材140の第2信号用ビア(143のうちS' ' '経路に沿う他の少なくとも一つ)を介して第1連結部材110の第2再配線層132の第1信号パターン(132のうちS' ' '経路に沿う少なくとも一つ)と電氣的に連結され、第1連結部材110の第2再配線層132の第1信号パターン(132のうちS' ' '経路に沿う少なくとも一つ)は第1連結部材110の第1信号用ビア(113のうちS' ' '経路に沿う少なくとも一つ)を介して第1連結部材110の第1再配線層112の信号パターン(112のうちS' ' '経路に沿う少なくとも一つ)と電氣的に連結され、第1連結部材110の第1再配線層112の信号パターン(112のうちS' ' '経路に沿う少なくとも一つ)は第1連結部材110の第2信号用ビア(113のうちS' ' '経路に沿う他の少なくとも一つ)を介して第1連結部材110の第2再配線層132の第2信号パターン(132のうちS' ' '経路に沿う他の少なくとも一つ)と電氣的に連結され、第1連結部材110の第2再配線層132の第2信号パターン(132のうちS' ' '経路に沿う他の少なくとも一つ)は第2連結部材140の第3信号用ビア(143のうちS' ' '経路に沿うさらに他の少なくとも一つ)を介して第2連結部材140の再配線層142の第2信号パターン(142のうちS' ' '経路に沿う他の少なくとも一つ)と電氣的に連結され、第2連結部材140の再配線層142の第2信号パターン(142のうちS' ' '経路に沿う他の少なくとも一つ)は第2連結部材150、155の信号用ビア(153のうちS' ' '経路に沿う少なくとも一つ、158のうちS' ' '経路に沿う少なくとも一つ)及び再配線層152、157の信号パターン(152のうちS' ' '経路に沿う少なくとも一つ、157のうちS' ' '経路に沿う少なくとも一つ)などを介して第2連結部材140、150、155の一侧のファン・アウト領域に配置された信号用外部接続端子(175のうちS' ' '経路に沿う少なくとも一つ)と電氣的に連結され、第1連結部材110の第2及び第3再配線層131、132は信号S'のリターン経路を提供するグラウンドパターン(131のうちG'経路に沿う少なくとも一つ、132のうちG'経路に沿う少なくとも一つ)を有することができる。

20

30

40

【0253】

例えば、半導体チップ120の接続パッド120Pの一部は信号S' ' 'の連結のためのものであり、他の一部はグラウンドG' ' 'の連結のためのものであり得る。一部の信号

50

S' の場合、信号 S' の連結のための接続パッド 120P から出発して第 2 連結部材 140 の第 1 信号用ビア (143 のうち S' 経路に沿う少なくとも一つ) を介して第 2 連結部材再配線層 142 の信号パターン (142 のうち S' 経路に沿う少なくとも一つ) に移動し、その後、第 2 連結部材 140 の第 2 信号用ビア (143 のうち S' 経路に沿う他の少なくとも一つ) を介して第 1 連結部材 110 の第 2 再配線層 132 の第 1 信号パターン (132 のうち S' 経路に沿う少なくとも一つ) に移動し、その後、第 1 連結部材 110 の第 1 信号用ビア (113 のうち S' 経路に沿う少なくとも一つ) を介して第 1 連結部材 110 の第 1 再配線層 112 の信号パターン (112 のうち S' 経路に沿う少なくとも一つ) に移動し、その後、第 1 連結部材 110 の第 2 信号用ビア (113 のうち S' 経路に沿う他の少なくとも一つ) を介して再び第 1 連結部材 110 の第 2 再配線層 132 の信号パターン (132 のうち S' 経路に沿う他の少なくとも一つ) に移動し、その後、第 2 連結部材 140 の第 3 信号用ビア (143 のうち S' 経路に沿うさらに他の少なくとも一つ) を介して再び第 2 連結部材 140 の再配線層 142 の第 2 信号パターン (142 のうち S' 経路に沿う他の少なくとも一つ) に移動し、その後、第 2 連結部材 150 の信号用ビア (153 のうち S' 経路に沿う少なくとも一つ) を介して第 2 連結部材 150 の再配線層 152 の信号パターン (152 のうち S' 経路に沿う少なくとも一つ) に移動し、その後、第 2 連結部材 155 の信号用ビア (158 のうち S' 経路に沿う少なくとも一つ) を介して第 2 連結部材 155 の再配線層 157 の信号パターン (157 のうち S' 経路に沿う少なくとも一つ) に移動し、その後、信号用アンダーバンプ金属層 (172 のうち S' 経路に沿う少なくとも一つ) を経てファン - アウト領域に配置された信号用第 1 外部接続端子 (175 のうち S' 経路に沿う少なくとも一つ) を介して外部に移動することができる。

【0254】

上述の移動経路に沿う信号 S' のリターン経路を提供するために、上述の移動経路の上部及び下部にはグラウンドパターン G' が形成されることができる。グラウンドパターン G' は、第 2 連結部材再配線層 142、152 だけでなく、第 1 連結部材 110 の第 2 再配線層 132 及び第 3 再配線層 131 にも形成されることができる。第 1 連結部材 110 の第 1 再配線層 112 の大部分が信号パターン S' が形成された場合であれば、その下部及び/または上部に該当する第 2 再配線層 132 及び第 3 再配線層 131 は大部分がグラウンドパターン G' が形成されたものであり得る。また、第 2 連結部材再配線層 142 は大部分が信号パターン S' が形成されたものであり、第 2 連結部材再配線層 152 は大部分がグラウンドパターン G' が形成されたものであり得る。このように、第 1 連結部材 110 を信号パターン S' 及びグラウンドパターン G' などのための再配線領域として活用することができ、第 1 連結部材 110 を上述のように半導体チップ 120 の配置前に形成することができるため、工程の歩留まりなどを改善することができる。グラウンドパターン G' は板状などであり得るが、これに限定されるものではない。

【0255】

複数のパッケージが積層された形態は上述の例示に限定されず、その他にも、上述の様々な例示によるファンアウト半導体パッケージ 100A ~ 100T が互いに組み合わせられた形態、または上述の様々な例示によるファンアウト半導体パッケージ 100A ~ 100T 上に他の形態のパッケージが配置された形態、または他の形態のパッケージ上に上述の様々な例示によるファンアウト半導体パッケージ 100A ~ 100T が配置された形態などを有することができる。

【0256】

本発明のファンアウト半導体パッケージ 100A ~ 100T 及びその変形例は、その他にも様々な形態で電子製品に適用されることができる。例えば、ファンアウト半導体パッケージの変形例のうち、ビア、カバー層、バックサイド再配線層及びバックサイドビアを有する変形例が下部パッケージとして配置され、その表面上に様々な別の表面実装型 (SMT) 受動部品 (不図示) が配置されることができる。尚、様々な形態のファンアウト半

10

20

30

40

50

導体パッケージまたは図面に図示していない他の様々な形態のファンアウト半導体パッケージが、上部パッケージとして受動部品とともに配置され得ることは勿論である。受動部品も開口部内に配置され、これを介して露出された各種再配線層と物理的及び／または電氣的に連結されることができる。

【 0 2 5 7 】

一方、便宜上、下部は、図面の断面を基準としてファンアウト半導体パッケージの実装面に向う方向を意味するものとして用い、上部は、下部の反対方向を意味するものとして用い、側部は、上部及び下部に垂直な方向を意味するものとして用いた。尚、下部、上部、または側部に位置するということは、対象構成要素が、基準となる構成要素と該当方向に直接接触する場合だけでなく、該当方向に位置するが、直接接触していない場合も含む概念として用いた。但し、これは説明の便宜のために方向を定義したものであり、特許請求の範囲の権利範囲がかかる方向についての記載により特に限定されるものではないことは勿論である。

【 0 2 5 8 】

以上、本発明の実施形態について詳細に説明したが、本発明の範囲はこれに限定されず、特許請求の範囲に記載された本発明の技術的思想から外れない範囲内で多様な修正及び変形が可能であるということは、当技術分野の通常の知識を有する者には明らかである。

本明細書によれば、以下の各項目に記載の構成もまた開示される。

[項目 1]

貫通孔を有するフレームと、

前記フレームの貫通孔に配置された電子部品と、

前記フレーム及び前記電子部品の一側に配置された再配線部と、を含み、

前記フレームの内部には、前記再配線部を介して前記電子部品と電氣的に連結された一つ以上の第 1 配線層が配置されている、電子部品パッケージ。

[項目 2]

前記一つ以上の第 1 配線層のうち少なくとも一つは前記電子部品の上面及び下面の間に配置される、項目 1 に記載の電子部品パッケージ。

[項目 3]

前記フレームは、

複数の絶縁層と、

前記複数の絶縁層の間に配置された前記一つ以上の第 1 配線層と、

前記複数の絶縁層の一側に配置された第 2 配線層と、を含む、項目 1 に記載の電子部品パッケージ。

[項目 4]

前記フレームは、

前記複数の絶縁層の他側に配置された第 3 配線層をさらに含む、項目 3 に記載の電子部品パッケージ。

[項目 5]

前記電子部品は信号用電極パッドを有し、前記信号用電極パッドは前記再配線部の第 1 信号用ビアを介して前記再配線部の配線層の信号パターンと電氣的に連結され、前記再配線部の配線層の信号パターンは前記再配線部の第 2 信号用ビアを介して前記フレームの第 2 配線層の信号パターンと電氣的に連結され、前記フレームの第 2 配線層の信号パターンは前記フレームの信号用ビアを介して前記フレームの第 1 配線層の信号パターンと電氣的に連結され、前記フレームの第 1 配線層の信号パターンは前記フレームの信号用内部ビアを介して前記フレームの第 3 配線層の信号パターンと電氣的に連結され、前記フレームの第 3 配線層の信号パターンは前記フレームの他側のファン - アウト領域に配置された信号用外部接続端子と電氣的に連結され、

前記フレームの第 2 及び第 3 配線層はグランドパターンを有する、項目 4 に記載の電子部品パッケージ。

[項目 6]

前記電子部品は信号用電極パッドを有し、前記信号用電極パッドは前記再配線部の第 1 信号用ビアを介して前記再配線部の配線層の第 1 信号パターンと電氣的に連結され、前記再配線部の配線層の第 1 信号パターンは前記再配線部の第 2 信号用ビアを介して前記フレームの第 2 配線層の第 1 信号パターンと電氣的に連結され、前記フレームの第 2 配線層の第 1 信号パターンは前記フレームの第 1 信号用ビアを介して前記フレームの第 1 配線層の信号パターンと電氣的に連結され、前記フレームの第 1 配線層の信号パターンは前記フレームの第 2 信号用ビアを介して前記フレームの第 2 配線層の第 2 信号パターンと電氣的に連結され、前記フレームの第 2 配線層の第 2 信号パターンは前記再配線部の第 3 信号用ビアを介して前記再配線部の配線層の第 2 信号パターンと電氣的に連結され、前記再配線部の配線層の第 2 信号パターンは前記再配線部の一側のファン - アウト領域に配置された信号用外部接続端子と電氣的に連結され、

10

前記フレームの第 2 及び第 3 配線層はグラウンドパターンを有する、項目 4 に記載の電子部品パッケージ。

[項目 7]

前記一つ以上の第 1 配線層は前記複数の絶縁層の間にそれぞれ配置された一側第 1 配線層及び他側第 1 配線層を含み、前記電子部品は信号用電極パッドを有し、前記信号用電極パッドは前記再配線部の第 1 信号用ビアを介して前記再配線部の配線層の信号パターンと電氣的に連結され、前記再配線部の配線層の信号パターンは前記再配線部の第 2 信号用ビアを介して前記フレームの第 2 配線層の信号パターンと電氣的に連結され、前記フレームの第 2 配線層の信号パターンは前記フレームの一側信号用ビアを介して前記フレームの一側第 1 配線層の信号パターンと電氣的に連結され、前記フレームの一側第 1 配線層の信号パターンは前記フレームの信号用内部ビアを介して前記フレームの他側第 1 配線層の信号パターンと電氣的に連結され、前記フレームの他側第 1 配線層の信号パターンは前記フレームの他側信号用ビアを介して前記フレームの第 3 配線層の信号パターンと電氣的に連結され、前記フレームの第 3 配線層の信号パターンは前記フレームの他側のファン - アウト領域に配置された信号用外部接続端子と電氣的に連結され、

20

前記フレームの第 2 配線層及び他側第 1 配線層はグラウンドパターンを有する、項目 4 に記載の電子部品パッケージ。

[項目 8]

前記第 1 配線層は、前記複数の絶縁層の間にそれぞれ配置された複数の層である、項目 3 に記載の電子部品パッケージ。

30

[項目 9]

前記一つ以上の第 1 配線層の一つはワイヤボンディング用パッドを有し、前記ワイヤボンディング用パッドが外部に露出されている、項目 8 に記載の電子部品パッケージ。

[項目 10]

前記フレームは、
前記複数の絶縁層の一つを貫通する内部ビアと、
前記複数の絶縁層の残りを貫通するビアと、をさらに含み、
前記内部ビアは、前記ビアより直径が大きい、項目 3 に記載の電子部品パッケージ。

40

[項目 11]

前記複数の絶縁層のうち内部ビアが貫通する絶縁層は、残りの絶縁層より厚い厚さを有し、且つ大きい弾性係数を有する、項目 10 に記載の電子部品パッケージ。

[項目 12]

前記フレームは、
前記貫通孔の内面に配置された金属層をさらに含む、項目 3 に記載の電子部品パッケージ。

[項目 13]

前記金属層は前記一つ以上の第 1 配線層及び第 2 配線層のうち少なくとも一つと電氣的に連結される、項目 12 に記載の電子部品パッケージ。

50

[項目 1 4]

前記電子部品は、電極パッドを有する集積回路を含み、

前記集積回路は、前記電極パッドが前記再配線部に向けるように配置されている、項目 1 に記載の電子部品パッケージ。

[項目 1 5]

前記フレームの貫通孔内に配置された他の電子部品をさらに含み、

前記他の電子部品は前記再配線部と電氣的に連結され、

前記他の電子部品は集積回路及び受動部品のうち少なくとも一つである、項目 1 に記載の電子部品パッケージ。

[項目 1 6]

前記フレーム及び前記電子部品の少なくとも一部を封止する封止材をさらに含む、項目 1 に記載の電子部品パッケージ。

[項目 1 7]

前記封止材は少なくとも前記電子部品の電極パッドが形成された一面を除いた全ての面を覆う、項目 1 6 に記載の電子部品パッケージ。

[項目 1 8]

前記封止材はガラス繊維、無機フィラー、及び絶縁樹脂を含む、項目 1 6 に記載の電子部品パッケージ。

[項目 1 9]

前記再配線部の一側に配置され、第 1 開口部を有するパッシベーション層と、

前記第 1 開口部に配置された第 1 外部接続端子と、をさらに含み、

前記第 1 外部接続端子の少なくとも一つはファン - アウト領域に位置する、項目 1 に記載の電子部品パッケージ。

[項目 2 0]

前記フレーム及び前記電子部品の少なくとも一部を封止し、第 2 開口部を有する封止材と、

前記第 2 開口部に配置された第 2 外部接続端子と、をさらに含み、

前記第 2 外部接続端子は、前記電子部品と電氣的に連結されている、項目 1 9 に記載の電子部品パッケージ。

[項目 2 1]

前記フレーム及び前記電子部品の少なくとも一部を封止する封止材と、

前記封止材の一側に配置され、第 3 開口部を有するカバー層と、

前記第 3 開口部に配置された第 2 外部接続端子と、をさらに含み、

前記第 2 外部接続端子は、前記電子部品と電氣的に連結されている、項目 1 9 に記載の電子部品パッケージ。

[項目 2 2]

第 1 電子部品パッケージと、

前記第 1 電子部品パッケージ上に積層された第 2 電子部品パッケージと、

前記第 1 電子部品と第 2 電子部品とを連結させる接続端子と、を含み、

前記第 1 電子部品パッケージは、項目 1 から 2 1 の何れか一項に記載の電子部品パッケージであり、アプリケーションプロセスチップを含み、

前記第 2 電子部品パッケージはメモリーチップを含む、電子部品パッケージ。

[項目 2 3]

第 1 絶縁層を準備する段階と、前記第 1 絶縁層の一側に第 1 配線層を形成する段階と、前記第 1 絶縁層の一側に前記第 1 配線層を埋め込む第 2 絶縁層を形成する段階と、前記第 1 及び第 2 絶縁層を貫通する貫通孔を形成する段階と、を含むフレームを形成する段階と、

前記フレームの貫通孔内に電子部品を配置する段階と、

前記フレーム及び前記電子部品の一側に再配線部を形成する段階と、を含み、

前記第 1 配線層は前記電子部品の配置前に形成される、電子部品パッケージの製造方法

10

20

30

40

50

。

[項目 2 4]前記フレームを形成する段階は、前記第 2 絶縁層の一側に第 2 配線層を形成する段階をさらに含み、前記第 2 配線層は、前記電子部品の配置前に形成される、項目 2 3 に記載の電子部品パッケージの製造方法。[項目 2 5]前記フレームを形成する段階は、前記第 1 絶縁層の他側に第 3 配線層を形成する段階をさらに含み、前記第 3 配線層は、前記電子部品の配置前に形成される、項目 2 3 に記載の電子部品パッケージの製造方法。[項目 2 6]前記電子部品を配置する段階は、前記フレームの一側に粘着フィルムを貼り付け、前記フレームの貫通孔を介して露出された前記粘着フィルムに前記電子部品を付着して配置する段階である、項目 2 3 に記載の電子部品パッケージの製造方法。[項目 2 7]第 1 絶縁層、前記第 1 絶縁層の下部に形成された二つ以上の配線層、及び前記二つ以上の配線層の間に配置された第 2 絶縁層を含むフレームと、前記フレームを貫通する貫通孔内に配置された電子部品と、前記二つ以上の配線層及び前記電子部品と電氣的に連結され、前記フレーム及び前記電子部品上に配置された再配線部と、を含み、前記二つ以上の配線層及び前記第 2 絶縁層は前記再配線部及び前記第 1 絶縁層の間に配置される、電子部品パッケージ。[項目 2 8]前記二つ以上の配線層のうち少なくとも一つは前記電子部品の上面及び下面の間に配置される、項目 2 7 に記載の電子部品パッケージ。[項目 2 9]複数の絶縁層及び複数の配線層を含むフレームを準備する段階と、前記フレーム全体を貫通する貫通孔を形成する段階と、前記フレーム及び前記フレームの貫通孔内に配置される電子部品を仮基板上に付着する段階と、前記フレームの貫通孔を少なくとも封止材で満たして前記電子部品を封止する段階と、前記フレーム、前記封止材、及び前記電子部品の一面から前記仮基板を分離する段階と、前記フレーム、前記封止材、及び前記電子部品の一面に前記電子部品と前記複数の配線層を電氣的に連結させる再配線部を形成する段階と、を含む、電子部品パッケージの製造方法。[項目 3 0]前記フレームの複数の配線層のうち少なくとも一つは前記電子部品の上面及び下面の間に形成される、項目 2 9 に記載の電子部品パッケージの製造方法。**【 符号の説明 】****【 0 2 5 9 】**

- 1 0 0 0 電子機器
- 1 0 1 0 メインボード
- 1 0 2 0 チップ関連部品
- 1 0 3 0 ネットワーク関連部品
- 1 0 4 0 その他の部品
- 1 0 5 0 カメラ
- 1 0 6 0 アンテナ

10

20

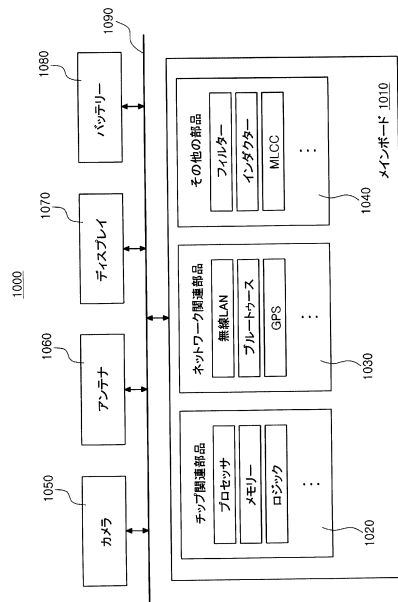
30

40

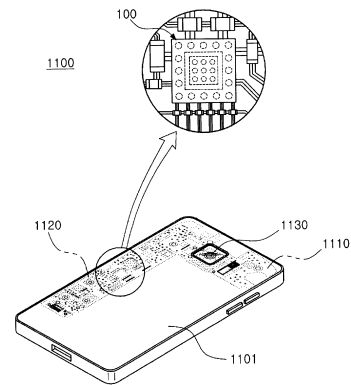
50

1 0 7 0	ディスプレイ	
1 0 8 0	バッテリー	
1 0 9 0	信号ライン	
1 1 0 0	スマートフォン	
1 1 0 1	ボディ	
1 1 1 0	メインボード	
1 1 2 0	<u>半導体チップ</u>	
1 1 3 0	カメラ	
1 0 0	<u>ファンアウト半導体パッケージ</u>	
1 0 0 A ~ 1 0 0 T	<u>ファンアウト半導体パッケージ</u>	10
1 1 0	<u>第 1 連結部材</u>	
1 1 1 Y	<u>ビア用孔</u>	
1 1 3 Y	ビアホール	
1 1 0 X	貫通孔	
1 1 1 A、1 1 1 B、1 1 1 C	絶縁層	
1 1 2、1 1 2 A、1 1 2 B、1 3 1、1 3 2	<u>再配線層</u>	
1 1 3、1 1 3 A、1 1 3 B	ビア	
1 1 5	<u>ビア</u>	
1 2 0、1 2 2、1 2 4	<u>半導体チップ</u>	
1 2 0 P、1 2 2 P	<u>接続パッド</u>	20
1 4 0、1 5 0、1 5 5	<u>第 2 連結部材</u>	
1 4 1、1 5 1、1 5 6	<u>第 2 連結部材絶縁層</u>	
1 4 2、1 5 2、1 5 7	<u>第 2 連結部材再配線層</u>	
1 4 3、1 5 3、1 5 8	<u>第 2 連結部材ビア</u>	
1 6 0	封止材	
1 6 1、1 6 5、1 7 1、1 8 1	開口部	
1 7 5、1 8 5、1 9 1	外部接続端子	
1 7 0	パッシベーション層	
1 8 0	カバー層	
1 9 0	粘着フィルム	30
2 0 0 A	<u>ファンアウト半導体パッケージ</u>	
2 1 0	配線基板	
2 2 2、2 2 4	<u>半導体チップ</u>	
2 1 2 A、2 1 2 B	パッド	
2 3 0	封止樹脂	
2 4 0	アンダーフィル樹脂	
2 5 1	バンプ	
2 5 2	ボンディングワイヤ	

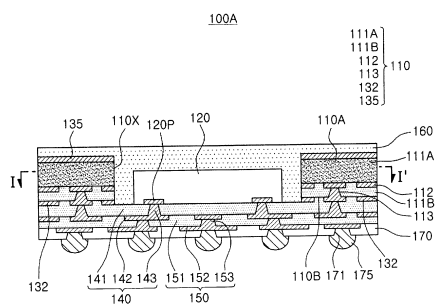
【図 1】



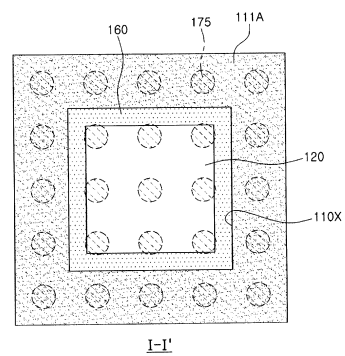
【図 2】



【図 3】



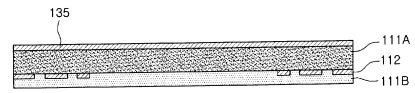
【図 4】



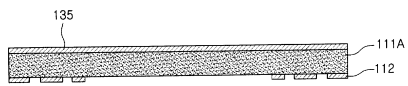
【図 5 a】



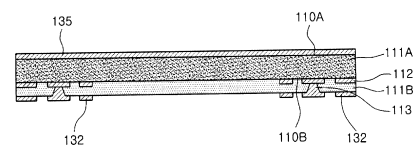
【図 5 c】



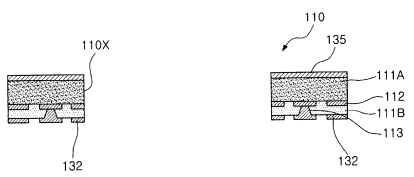
【図 5 b】



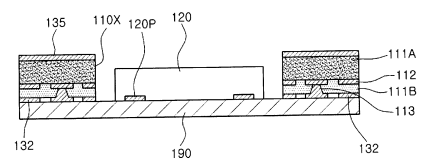
【図 5 d】



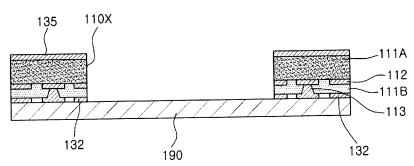
【図 5 e】



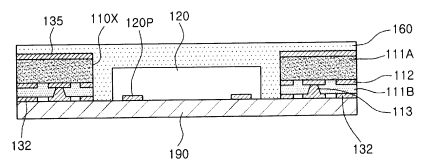
【図 5 g】



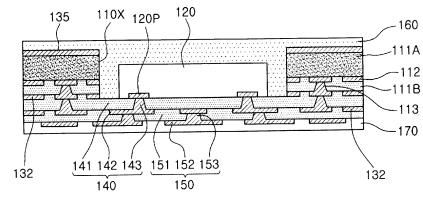
【図 5 f】



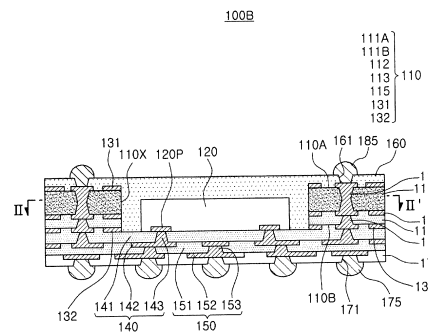
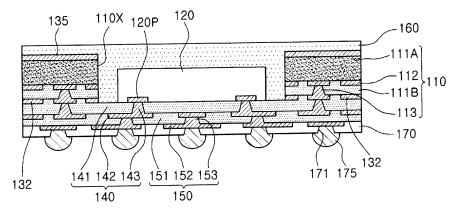
【図 5 h】



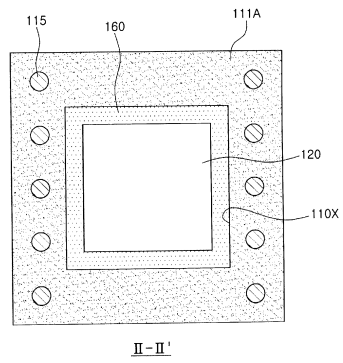
【 図 5 k 】



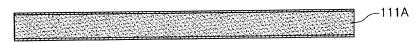
【 図 6 】



【図 7】



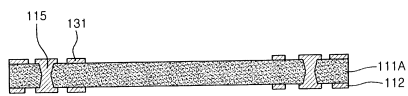
【図 8 a】



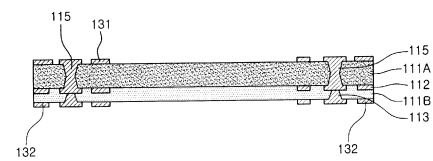
【図 8 b】



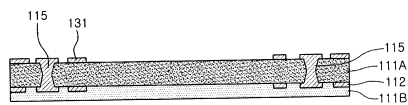
【図 8 c】



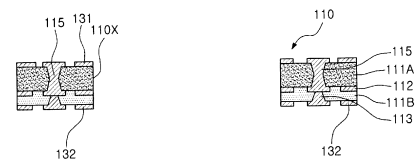
【図 8 e】



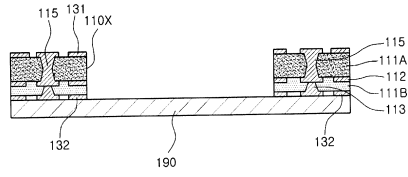
【図 8 d】



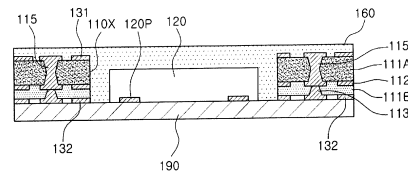
【図 8 f】



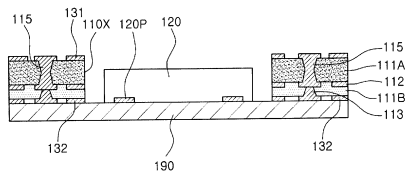
【図 8 g】



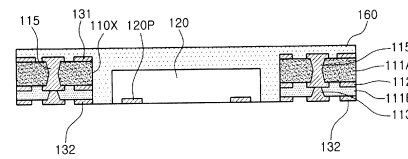
【図 8 i】



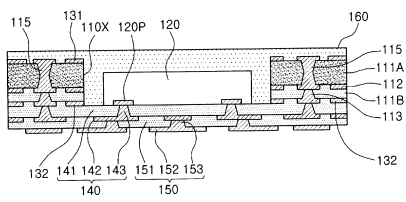
【図 8 h】



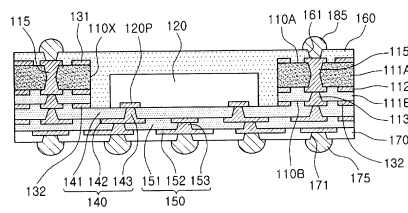
【図 8 j】



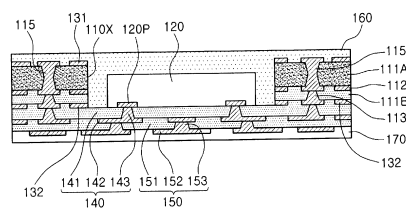
【図 8 k】



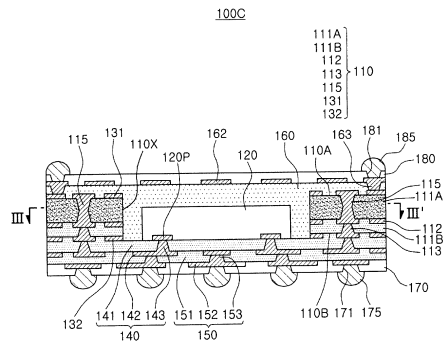
【図 8 m】



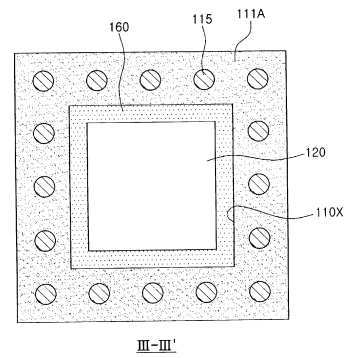
【図 8 l】



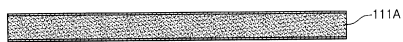
【図 9】



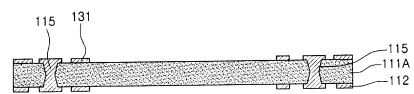
【図 10】



【図 11 a】



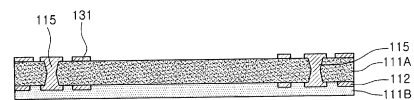
【図 11 c】



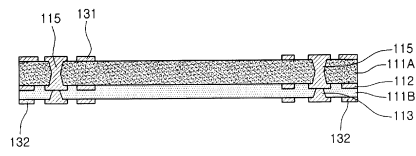
【図 11 b】



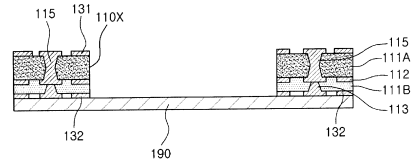
【図 11 d】



【図 1 1 e】



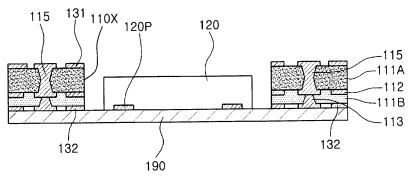
【図 1 1 g】



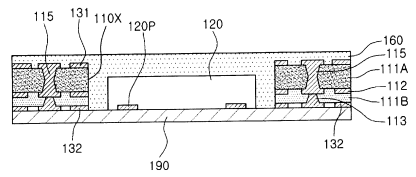
【図 1 1 f】



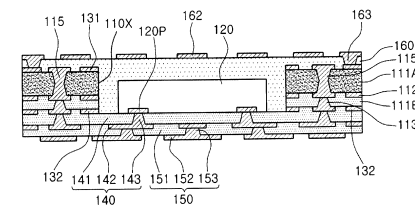
【図 1 1 h】



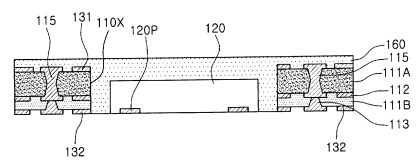
【図 1 1 i】



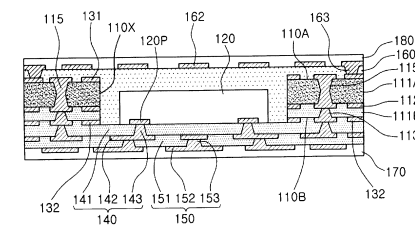
【図 1 1 k】



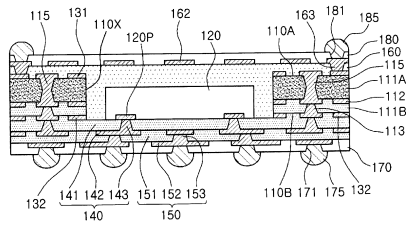
【図 1 1 j】



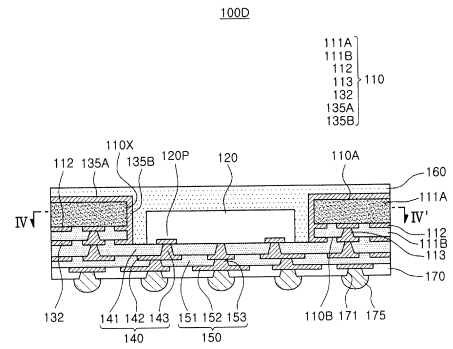
【図 1 1 l】



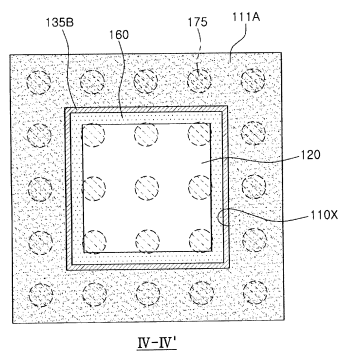
【図 1 1 m】



【図 1 2】



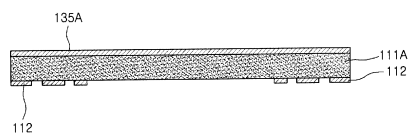
【図 1 3】



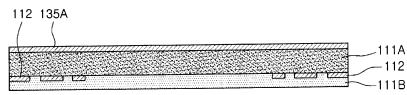
【図 1 4 a】



【図 1 4 b】



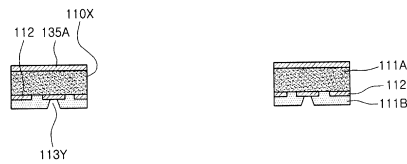
【図 1 4 c】



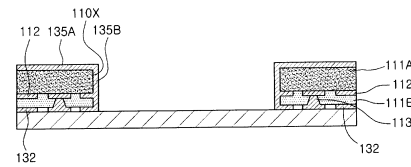
【図 1 4 e】



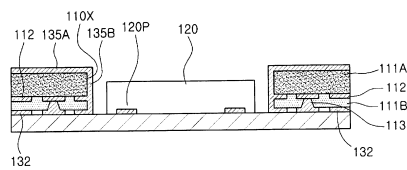
【図 1 4 d】



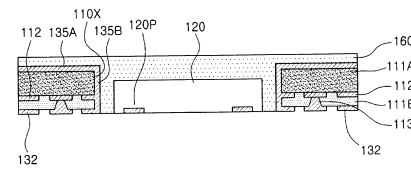
【図 1 4 f】



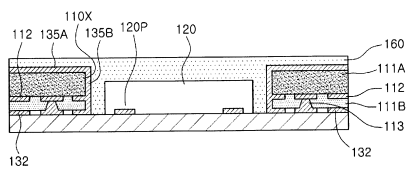
【図 1 4 g】



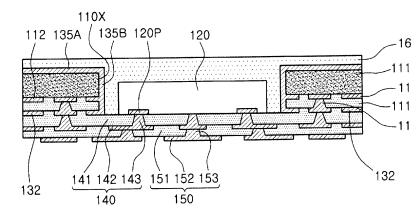
【図 1 4 i】



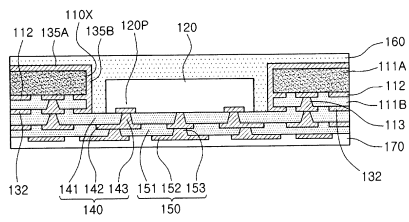
【図 1 4 h】



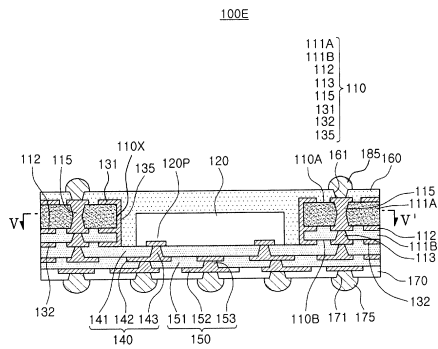
【図 1 4 j】



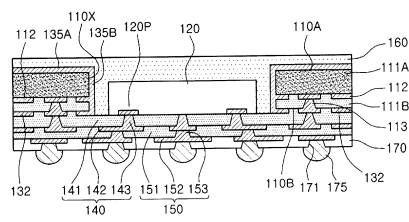
【図 1 4 k】



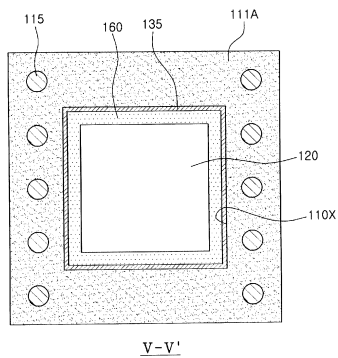
【図 1 5】



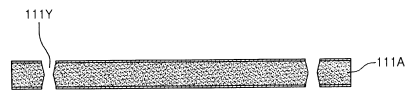
【図 1 4 l】



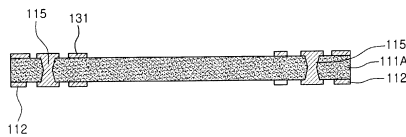
【図 1 6】



【図 1 7 b】



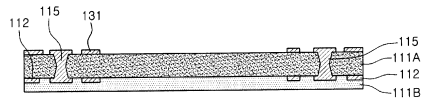
【図 1 7 c】



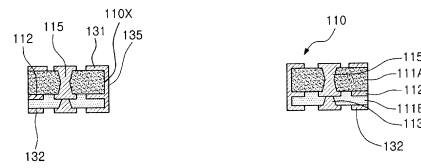
【図 1 7 a】



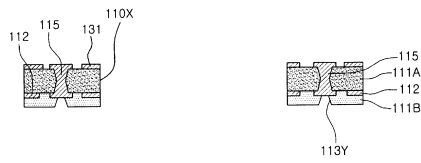
【図 17 d】



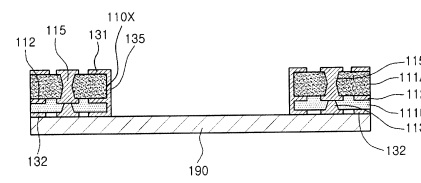
【図 17 f】



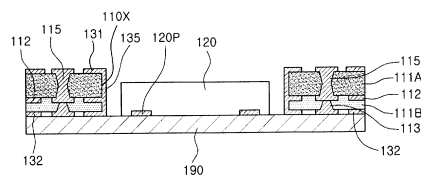
【図 17 e】



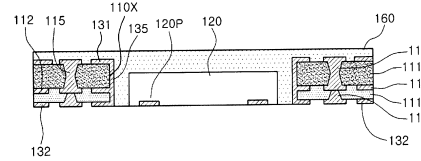
【図 17 g】



【図 17 h】

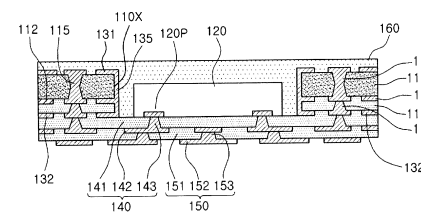
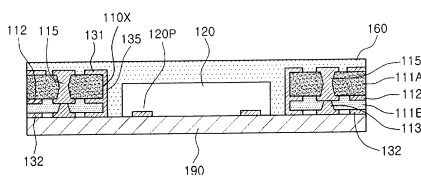


【図 17 j】

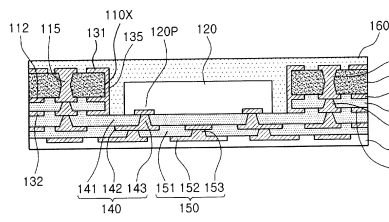


【図 17 k】

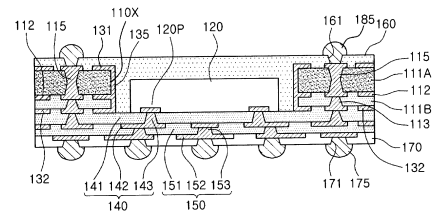
【図 17 i】



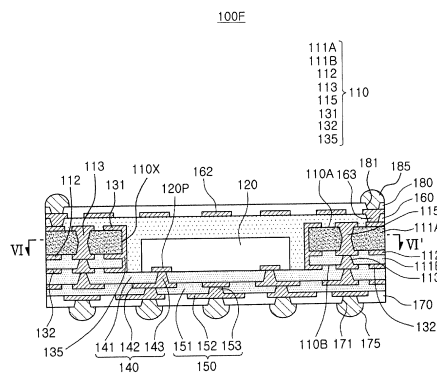
【図 17 l】



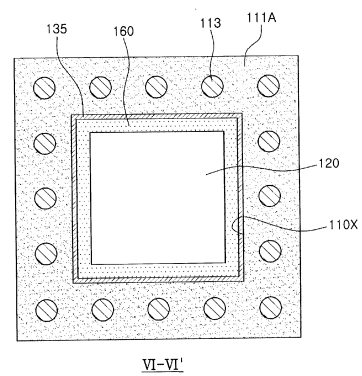
【図 17 m】



【図 18】



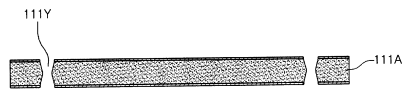
【図 19】



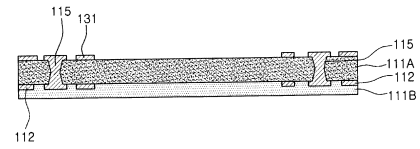
【図 20 a】



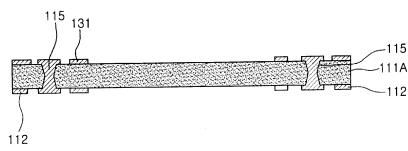
【図 20 b】



【図 20 d】



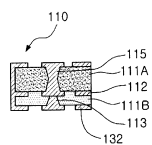
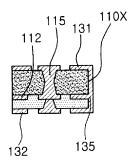
【図 20 c】



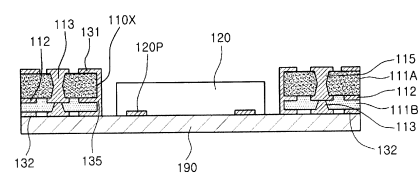
【図 20 e】



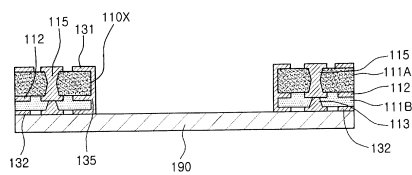
【図 20 f】



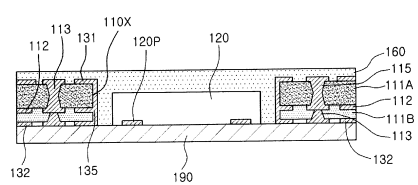
【図 20 h】



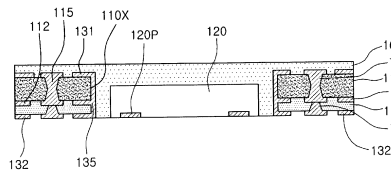
【図 20 g】



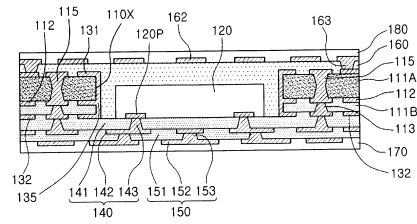
【図 20 i】



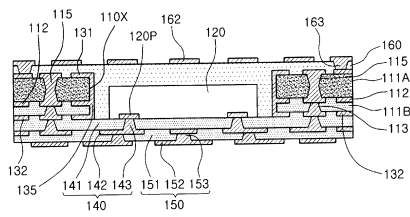
【図 20 j】



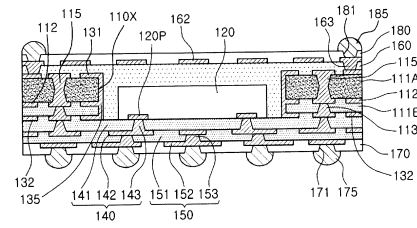
【図 20 l】



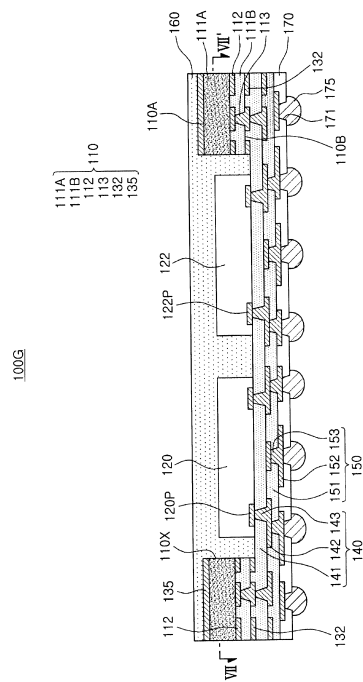
【図 20 k】



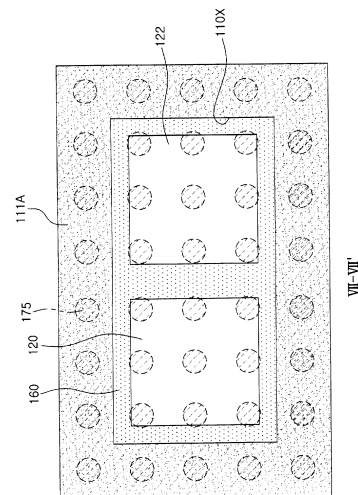
【図 20 m】



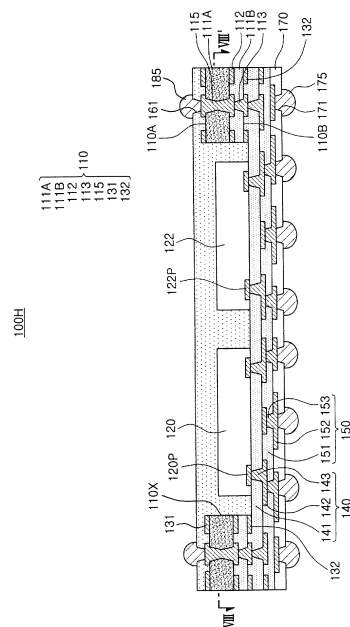
【図 21】



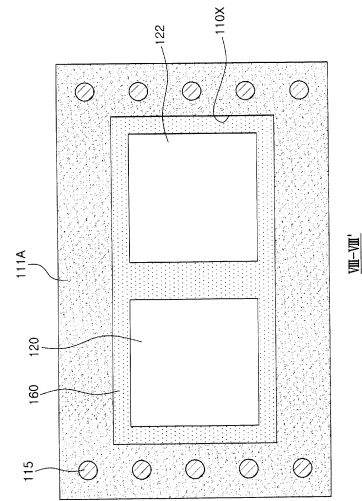
【図 22】



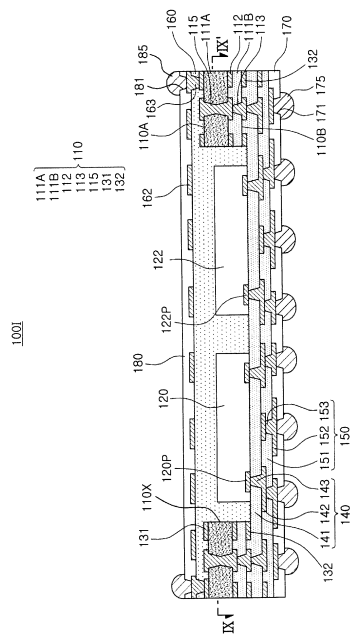
【図 2 3】



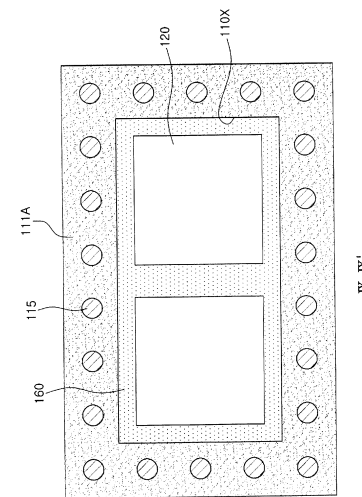
【図 2 4】



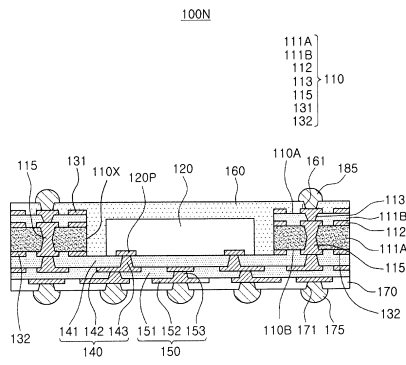
【図 2 5】



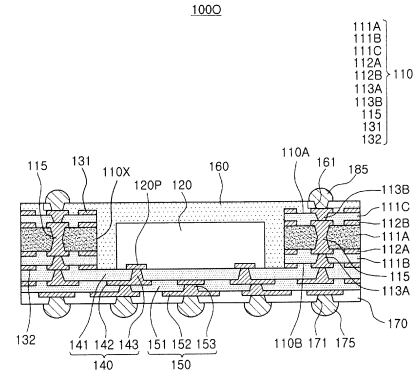
【図 2 6】



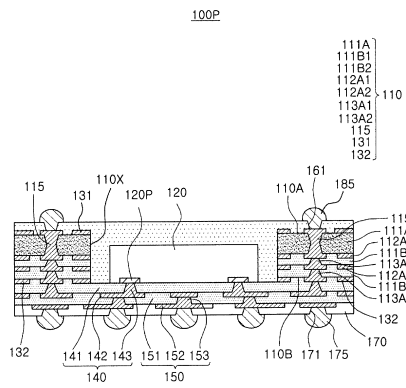
【図 3 5】



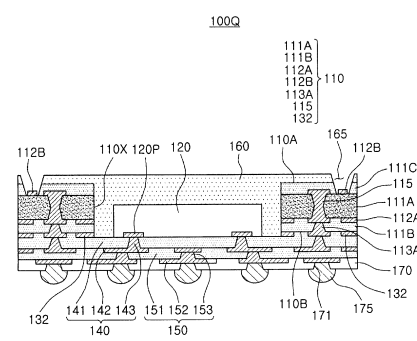
【図 3 6】



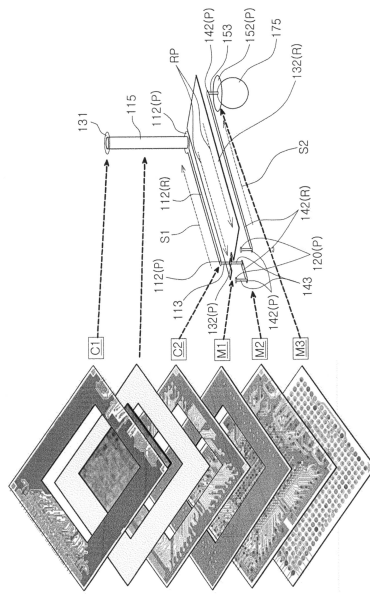
【図 3 7】



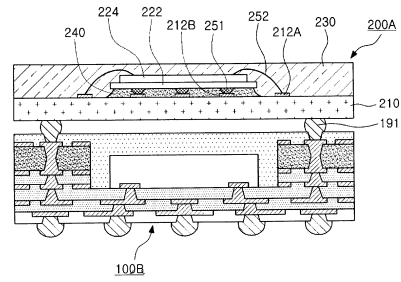
【図 3 8】



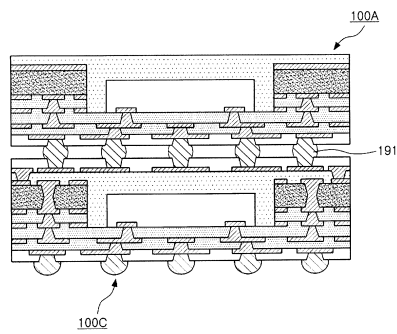
【図 39】



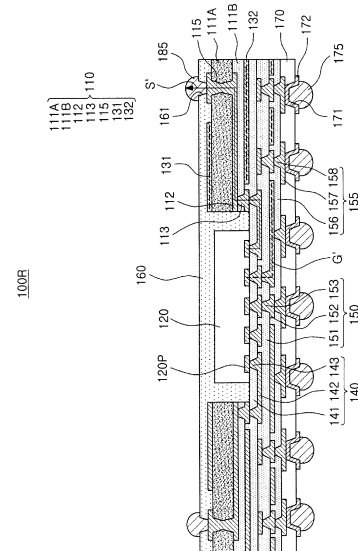
【図 40】



【図 41】



【図 42】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L	23/12	N
H 0 1 L	23/12	E

(72)発明者 キム、ハン

大韓民国、キョンギ - ド、スウォン - シ、ヨントン - グ、(マエタン - ドン)マエヨン - ロ 1 5
0 サムソン エレクトロ - メカニックス カンパニーリミテッド . 内

(72)発明者 ファ、カン ヘオン

大韓民国、キョンギ - ド、スウォン - シ、ヨントン - グ、(マエタン - ドン)マエヨン - ロ 1 5
0 サムソン エレクトロ - メカニックス カンパニーリミテッド . 内

(72)発明者 コ、ヨウン グワン

大韓民国、キョンギ - ド、スウォン - シ、ヨントン - グ、(マエタン - ドン)マエヨン - ロ 1 5
0 サムソン エレクトロ - メカニックス カンパニーリミテッド . 内

(72)発明者 シム、ジュン ホ

大韓民国、キョンギ - ド、スウォン - シ、ヨントン - グ、(マエタン - ドン)マエヨン - ロ 1 5
0 サムソン エレクトロ - メカニックス カンパニーリミテッド . 内

審査官 木下 直哉

(56)参考文献 特開 2 0 1 4 - 1 9 2 4 5 2 (J P , A)

米国特許出願公開第 2 0 0 9 / 0 0 8 5 1 9 2 (U S , A 1)

特開 2 0 1 5 - 0 5 0 4 5 7 (J P , A)

米国特許出願公開第 2 0 1 1 / 0 2 1 5 4 6 4 (U S , A 1)

米国特許出願公開第 2 0 1 5 / 0 0 1 6 0 7 8 (U S , A 1)

特開 2 0 0 7 - 1 2 3 5 2 4 (J P , A)

特開 2 0 0 3 - 3 0 9 2 1 3 (J P , A)

特開 2 0 0 3 - 3 0 9 2 4 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 3 / 1 2 - 2 3 / 1 5

H 0 1 L 2 3 / 5 2 - 2 3 / 5 3 8

H 0 5 K 3 / 4 6