

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-287801

(P2007-287801A)

(43) 公開日 平成19年11月1日(2007.11.1)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 25/065 (2006.01)	HO 1 L 25/08 Z	5 F O 4 1
HO 1 L 25/07 (2006.01)	HO 1 L 33/00 N	5 F O 8 8
HO 1 L 25/18 (2006.01)	HO 1 L 31/02 D	
HO 1 L 33/00 (2006.01)		
HO 1 L 31/0232 (2006.01)		

審査請求 未請求 請求項の数 8 O L (全 46 頁)

(21) 出願番号	特願2006-111214 (P2006-111214)	(71) 出願人	000002185
(22) 出願日	平成18年4月13日 (2006. 4. 13)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100067736
			弁理士 小池 晃
		(74) 代理人	100086335
			弁理士 田村 榮一
		(74) 代理人	100096677
			弁理士 伊賀 誠司
		(72) 発明者	小川 剛
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	中山 浩和
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
			最終頁に続く

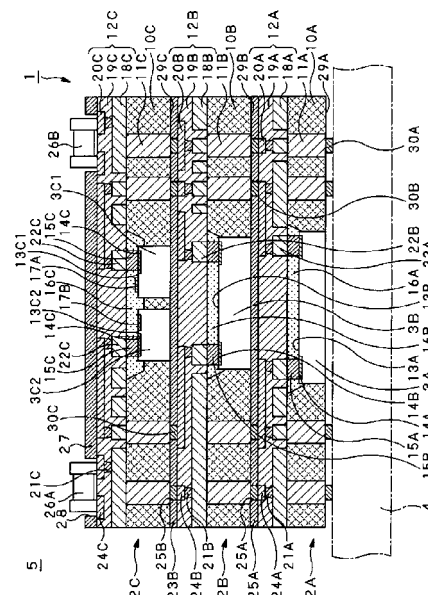
(54) 【発明の名称】 電気・光混載三次元半導体モジュール及びハイブリット回路装置並びに携帯型電話機

(57) 【要約】

【課題】 半導体デバイスを三次元実装し、各半導体デバイス間の配線の短縮化、微細化、高密度化を図る。

【解決手段】 異なる機能の半導体デバイス3を実装するとともに薄型化された複数の単位ウエハ層体2を製作し、内蔵した導電ポスト11を介して互いに電氣的に接続して積層するとともに最上層若しくは最下層の単位ウエハ層体に光学素子デバイス3Cを実装して構成する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

少なくとも 1 個以上の半導体デバイスと、誘電絶縁層に上記半導体デバイスの電極形成面に設けた電極と接続される電極接続パッドや外部接続パッド或いは導電ポスト形成用パッドを有する配線パターンを設けた配線層と、上記導電ポスト形成用パッド上に形成した導電ポストと、上記半導体デバイスと上記導電ポストとを埋設するとともに第 1 主面上に上記配線層を形成した封止樹脂層とから構成され、

上記封止樹脂層が、上記第 1 主面との対向面側を上記半導体デバイスの上記電極形成面との対向面と上記導電ポストの先端部とともに研磨処理が施されて薄型・平坦化され、かつこの研磨面に露出された上記導電ポストの研磨先端部を外部接続端子部として構成した複数の単位ウエハ層体を備え、

10

上記各単位ウエハ層体が、それぞれ接着層を介して上記導電ポストの上記外部接続端子部と相対する上記配線パターンの外部接続パッドとを接続して積層されるとともに、最上層若しくは最下層の上記単位ウエハ層体に上記半導体デバイスとして光学信号を発信或いは受信する光学素子デバイスが実装されることを特徴とする電気・光混載三次元半導体モジュール。

【請求項 2】

上記光学素子デバイスを実装した最上層若しくは最下層の上記単位ウエハ層体が、上記配線層の上記誘電絶縁層を光透過性樹脂材により形成するとともに、上記光学素子デバイスの電極形成面に設けた光学信号の発信部或いは受信部との対向領域を非配線パターン形成領域として構成されることを特徴とする請求項 1 に記載の電気・光混載三次元半導体モジュール。

20

【請求項 3】

上記光学素子デバイスが、上記電極形成面側を実装面として上記配線層に対して、上記電極を相対する上記電極接続パッド上に位置させて接続バンプを介して接続するフリップチップ実装法により実装されることを特徴とする請求項 1 に記載の電気・光混載三次元半導体モジュール。

【請求項 4】

上記配線層が、上記封止樹脂層に上記光学素子デバイスの上記電極形成面を露出させる第 1 主面と略同一を構成して形成されるとともに上記導電ポストを形成する上記導電ポスト形成用パッドが設けられた第 1 配線パターンと、上記封止樹脂層の上記第 1 主面上に形成された上記誘電絶縁層と、この誘電絶縁層に形成され上記電極接続パッドや上記外部接続パッドを有する第 2 配線パターンと、上記誘電絶縁層を貫通して上記第 1 配線パターンと上記第 2 配線パターンを接続するビアとから構成され、

30

上記光学素子デバイスが、上記誘電絶縁層に形成したビアを介して、上記電極と相対する上記第 2 配線パターンの上記電極接続パッドとを接続バンプにより接続されることを特徴とする請求項 1 に記載の電気・光混載三次元半導体モジュール。

【請求項 5】

少なくとも 1 個以上の半導体デバイスと、誘電絶縁層に上記半導体デバイスの電極形成面に設けた電極と接続される電極接続パッドや外部接続パッド或いは導電ポスト形成用パッドを有する配線パターンを設けた配線層と、上記導電ポスト形成用パッド上に形成した導電ポストと、上記半導体デバイスと上記導電ポストとを埋設するとともに第 1 主面上に上記配線層を形成した封止樹脂層とから構成され、上記封止樹脂層が、上記第 1 主面との対向面側を上記半導体デバイスの上記電極形成面との対向面と上記導電ポストの先端部とともに研磨処理が施されて薄型・平坦化され、かつこの研磨面に露出された上記導電ポストの研磨先端部を外部接続端子部として構成した複数の単位ウエハ層体を備え、これら各単位ウエハ層体が、それぞれ接着層を介して上記導電ポストの上記外部接続端子部と相対する上記配線パターンの外部接続パッドとを接続して積層されるとともに、最上層若しくは最下層の上記単位ウエハ層体に上記半導体デバイスとして光学信号を発信或いは受信する光学素子デバイスを実装した電気・光混載三次元半導体モジュールと、

40

50

モジュール接続パッドを有する配線パターンが形成され、上記電気・光混載三次元半導体モジュールの最下層単位ウエハ層体を、上記研磨面側を実装面としてこの研磨面に露出された上記導電ポストの接続端子部を上記モジュール接続パッド上に位置させて接続バンプを介して接続するフリップチップ実装法により実装するモジュール実装基板と

から構成されることを特徴とするハイブリット回路装置。

【請求項 6】

少なくとも 1 個以上の半導体デバイスと、誘電絶縁層に上記半導体デバイスの電極形成面に設けた電極と接続される電極接続パッドや外部接続パッド或いは導電ポスト形成用パッドを有する配線パターンを設けた配線層と、上記導電ポスト形成用パッド上に形成した導電ポストと、上記半導体デバイスと上記導電ポストとを埋設するとともに第 1 主面上に上記配線層を形成した封止樹脂層とから構成され、上記封止樹脂層が、上記第 1 主面との対向面側を上記半導体デバイスの上記電極形成面との対向面と上記導電ポストの先端部とともに研磨処理が施されて薄型・平坦化され、かつこの研磨面に露出された上記導電ポストの研磨先端部を外部接続端子部として構成した複数の単位ウエハ層体を備え、これら各単位ウエハ層体が、それぞれ接着層を介して上記導電ポストの上記外部接続端子部と相対する上記配線パターンの外部接続パッドとを接続して積層されるとともに、最下層の上記単位ウエハ層体に上記半導体デバイスとして光学信号を発信或いは受信する光学素子デバイスを実装した電気・光混載三次元半導体モジュールと、

第 1 主面上にモジュール接続パッドを有する配線パターンが形成され、上記電気・光混載三次元半導体モジュールの上記最下層単位ウエハ層体を、上記光学素子デバイスの電極形成面側を実装面として上記電極と上記導電ポストの上記外部接続端子部とを上記モジュール接続パッド上に位置させて接続バンプを介して接続するフリップチップ実装法により実装し、上記第 1 主面に上記最下層単位ウエハ層体を実装した上記光学素子デバイスの上記電極形成面に設けた光学信号の発信或いは受信部と対向して光学信号伝送路を設けたモジュール実装基板と

から構成されることを特徴とするハイブリット回路装置。

【請求項 7】

上記モジュール実装基板が、フレキシブルプリント配線基板であることを特徴とする請求項 5 又は請求項 6 に記載のハイブリット回路装置。

【請求項 8】

可動機構を介して可動自在に組み合わされた第 1 筐体部と第 2 筐体部とを備える携帯型電話機において、

少なくとも 1 個以上の半導体デバイスと、誘電絶縁層に上記半導体デバイスの電極形成面に設けた電極と接続される電極接続パッドや外部接続パッド或いは導電ポスト形成用パッドを有する配線パターンを設けた配線層と、上記導電ポスト形成用パッド上に形成した導電ポストと、上記半導体デバイスと上記導電ポストとを埋設するとともに第 1 主面上に上記配線層を形成した封止樹脂層とから構成され、上記封止樹脂層が、上記第 1 主面との対向面側を上記半導体デバイスの上記電極形成面との対向面と上記導電ポストの先端部とともに研磨処理が施されて薄型・平坦化され、かつこの研磨面に露出された上記導電ポストの研磨先端部を外部接続端子部として構成した複数の単位ウエハ層体を備え、これら各単位ウエハ層体が、それぞれ接着層を介して上記導電ポストの上記外部接続端子部と相対する上記配線パターンの外部接続パッドとを接続して積層されるとともに、最下層の上記単位ウエハ層体に上記半導体デバイスとして光学信号を発信或いは受信する光学素子デバイスを実装した少なくとも一対の電気・光混載三次元半導体モジュールと、

第 1 主面上にモジュール接続パッドを有する配線パターンが形成され、上記各電気・光混載三次元半導体モジュールをそれぞれの最下層単位ウエハ層体の上記光学素子デバイスの電極形成面側を実装面として上記電極と上記導電ポストの上記外部接続端子部とを相対する上記モジュール接続パッド上に位置させて接続バンプを介して接続するフリップチップ実装法により実装するとともに、上記第 1 主面に上記最下層単位ウエハ層体を実装した上記光学素子デバイスの上記電極形成面に設けた光学信号の発信或いは受信部と対向

10

20

30

40

50

して光学信号伝送路を設けたフレキシブルプリント配線基板からなるモジュール実装基板とを備え、

上記モジュール実装基板が、上記可動機構を介して上記第1筐体と上記第2筐体とに引き込まれた部位にそれぞれ上記電気・光混載三次元半導体モジュールを実装し、上記第1筐体と上記第2筐体内に設けた回路部間を接続することを特徴とする携帯型電話機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、複数の単位ウエハ層体を積層することにより発光素子デバイスを含む複数の半導体デバイスが三次元に配置されてなる電気・光混載三次元半導体モジュール及びこの電気・光混載三次元半導体モジュールをモジュール実装基板に実装したハイブリット回路装置並びにこのハイブリット回路装置を備えて可動機構により可動自在に組み合わされた第1筐体部の回路部と第2筐体部の回路部との間を電気・光混載三次元半導体モジュールを介して電気的かつ光学的に接続する携帯型電話機に関する。

【背景技術】

【0002】

例えば、パーソナルコンピュータ、携帯電話機、ビデオレコーダ或いはオーディオ機器等の各種の電子機器においては、小型化や多機能化或いは高機能化が図られており、これに伴ってこれら機器を構成する部品や基板における小型化、薄型化、軽量化或いは高密度実装化や低電力消費化が図られている。電子機器等においては、例えば配線層の多層化や微細化或いは多ピン化等の技術とともにベアチップを基板にダイレクト実装するフリップチップ実装法等のCSP(Chip Sise Package)技術等の配線技術や、半導体基板上で再配線層の形成やパッケージ化するWLP(wafer-level package)或いはWLCSP(wafer-level chipsize package)等の半導体パッケージ化技術等が開発されている。

【0003】

半導体装置においては、さらなる高集積化の対応としてDRAM(dynamic random-access memory)等の大規模メモリ回路や高周波信号を用いる高速アナログ回路等のような複数の異種機能回路を同時に集積する要求も大きく、いわゆるSOC(system on chip)と称される大規模な1チップ化が検討されている。しかしながら、かかるSOC技術においては、1チップ化のためのウエハ製造プロセスが非常に高度かつ複雑であり、搭載されるロジック機能、メモリ機能或いはアナログ機能等の個々の機能に対する製造プロセスの最適化が困難であった。また、SOC技術においては、マスク費用を含めて莫大な開発費用や開発期間の長期化といった問題があり、さらにリークの増加や基板ノイズ等の問題もある。したがって、SOC技術は、非常に高い性能を追求するとともに大量生産が可能なシステムへの適用に限定される傾向にある。

【0004】

半導体装置においては、例えば目的に応じた複数の複数のLSI(large scale integration)チップや異なる半導体チップ等を3次元的に積層して1チップ化を図るSIP(system in package)技術の開発も進められている。半導体装置においては、かかるSIP技術を利用することにより、汎用半導体チップの実装や光デバイスの混載による多機能化等の展開を図ることが可能となる。

【0005】

例えば携帯電話機は、ダイヤルキーや機能キーが配列されるとともに発信回路や送受信回路部或いは制御回路部等を内蔵しかつ電池を収納した第1筐体と、大形の液晶表示器やその駆動回路等を内蔵した第2筐体とをヒンジ機構や回転機構等の可動機構により可動自在に組み合わせて構成する。携帯電話機においては、多機能・高機能化が図られており、薄型・小型化を保持するために上述した高集積化が図られた多くの半導体装置が用いられている。また、携帯電話機においては、可動機構を貫通してフレキシブルプリント配線基板を設け、このフレキシブルプリント配線基板を介して第1筐体側の回路部と第2筐体側の回路部とを接続している。

【0006】

ところで、半導体装置においては、例えば図38に示すようにガラスエポキシ樹脂基板等からなる配線基板101上に複数のLSI102A、102Bをフリップチップ実装法等により高密度に実装したいいわゆるマルチ・チップ・モジュール(MCM)100が提供されている。MCM100は、複数のLSI102を備えることにより1つの半導体装置と比較して多機能化が図られ、また複数の半導体装置を組み合わせて同等の機能を実現したものとの比較において小型化が図られるとともに全体として配線長の短縮化による信号の高速伝送が図られる。

【0007】

特許文献1には、親チップの活性面(電極形成面)上に直接子チップを順次接合して積層したいいわゆるチップ・オン・チップ構造の三次元半導体装置が開示されている。かかる三次元半導体装置は、上述したMCM100と比較して配線基板101を不要とするとともに半導体チップを三次元に実装することで集積度の大幅な向上が図られるとともに配線長の短縮化によるさらなる信号の高速伝送化が図られる。

【0008】

一方、電子機器等においては、上述したように半導体装置等において種々の対応がはかられてはいるが、信号伝送が電気配線によって行われている。電子機器等においては、配線長の短縮化によりある程度の信号の高速伝送化が可能ではあるが、配線パターンの微細化の限界や配線パターン内で発生するCR(capacitance-resistance)時定数による信号伝送の遅延、EMI(electromagnetic interference)なEMC(electromagnetic compatibility)或いは各配線パターン間のクロストークの問題によりさらなる高速伝送化の対応が困難となっている。

【0009】

電子機器等においては、電気配線による上述した信号伝送の問題を解決してさらなる高速化や多機能・高機能化を実現する対応として、光学信号伝送路(光学バス)や光学インターコネクション等の光学部品を備える光学信号伝送構造の検討も図られている。光学信号伝送構造は、配線基板に光学信号伝送路を設けて大容量の光学信号を高速で伝送することを可能とする(例えば、特許文献2を参照)。

【0010】

【特許文献1】特開2003-142648公報

30

【特許文献2】特開2004-193221公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

ところで、電子機器等においては、LSIの動作速度や集積規模の向上、マイクロプロセッサの高性能化やメモリチップの大容量化も急速に進んでおり、上述したSIP技術や新実装技術等を採用した半導体装置を用いることにより一層の小型化や多機能化或いは高機能化や低電力消費化の実現も見込まれる。しかしながら、半導体装置においては、信号配線の高速化や高密度化の対応がネックとなり、全体としてこれら新技術の性能が十分に発揮されるに至っていない。また、半導体装置においては、チップ内においてGHzを超えるクロック周波数の実現が図られても、各チップやデバイスが信号配線により接続されることから装置全体として信号遅延や反射の対応としてクロック周波数を1桁も下げざるを得ないといった問題がある。さらに、半導体装置においては、信号配線の高速化や高密度化の対応に伴って、EMIやEMCの対策もますます重要となってくる。

【0012】

例えば携帯電話機においては、CCD(charge-coupled device)カメラ機能やテレビ放送受信機能等を搭載して画像を液晶表示器に表示することから、第1筐体側の回路部と第2筐体側の回路部との間において大量の信号授受が行われるようになっている。携帯電話機においては、上述したように第1筐体側の回路部と第2筐体側の回路部とをフレキシブルプリント配線基板によって接続して信号授受が行われているが、かかるフレキシブル

50

プリント配線基板による電気信号の授受ではさらなる大量の信号授受或いは高速処理化に限界があって対応が困難である。また、携帯電話機においては、フレキシブルプリント配線基板に形成された配線パターンを大量の電気信号が流れ、また電磁輻射の影響がますます大きくなるといった問題があった。

【0013】

上述したMCM100においても、各LSIを接続する配線がインターポーザの配線構造により制約を受けるために微細化・高密度化の配線構造を形成することが困難である。MCM100においては、上述したようにLSIの高速・高密度化に伴ってますます配線数も多くなり、十分な集積効率を上げることが困難であるとともにモジュール全体も厚みが大きくなってしまう。

10

【0014】

さらに、上述した特許文献1に開示された三次元半導体装置においては、下層側の各チップに端子形成面から裏面に貫通する貫通孔を形成するとともに導電体を充填して裏面側において半田バンプ等を形成した後に、この裏面上に上層側のチップをフェースダウンして構成する。しかしながら、かかる三次元半導体装置においては、各チップにそれぞれ複数の貫通孔を形成するとともに導電体を充填する極めて面倒かつ精密な加工を行わなければならない。また、三次元半導体装置においては、かかる加工が可能なチップのみを用いた特定機能の半導体装置に限定され汎用チップ等を用いて汎用性を有する半導体装置に適用することはできない。

【0015】

20

電子機器等においては、特許文献2に開示された光学信号伝送路機能を備えることによる信号伝達の高速化に伴って、電気信号伝送路部における上述したCR時定数による信号伝達の遅延、EMIノイズやEMC等の低減による低寄生容量化の対応がますます重要となってくる。したがって、電子機器等においては、半導体チップやLSIチップ等の半導体デバイスの高性能化ばかりでなく、パッケージやボード等の実装構造を含めたシステム全体で高集積化や高性能化とともに光学信号伝送路機能とのマッチング対応も図らなければならない。

【0016】

本発明は、汎用品を含む各種半導体デバイスと光学素子デバイスとを三次元実装するとともに各デバイス間の配線の短縮化、微細化或いは高密度化を図り大量の信号の高速処理化を実現した小型・薄型であり歩留りの向上を図る電気・光混載三次元半導体モジュール装置を提供することを目的とする。また、本発明は、この電気・光混載三次元半導体モジュール装置を実装して電子機器の小型・薄型或いは高機能・多機能化を図るハイブリット回路装置を提供することを目的とする。さらに、本発明は、このハイブリット回路装置を備えることにより高機能・多機能化に対応可能な携帯型電話機を提供することを目的とする。

30

【課題を解決するための手段】

【0017】

上述した目的を達成する本発明にかかる電気・光混載三次元半導体モジュールは、複数の単位ウエハ層体を備え、各単位ウエハ層体が、それぞれ接着層を介して導電ポストの外部接続端子部と相対する配線パターンの外部接続パッドとを接続して積層されるとともに、最上層若しくは最下層の単位ウエハ層体に半導体デバイスとして光学信号を発信或いは受信する光学素子デバイスが実装されて構成される。電気・光混載三次元半導体モジュールは、各単位ウエハ層体が、少なくとも1個以上の半導体デバイスと、誘電絶縁層に半導体デバイスの電極形成面に設けた電極と接続される電極接続パッドや外部接続パッド或いは導電ポスト形成用パッドを有する配線パターンを設けた配線層と、導電ポスト形成用パッド上に形成した導電ポストと、半導体デバイスと導電ポストとを埋設するとともに第1主面上に配線層を形成した封止樹脂層とから構成される。電気・光混載三次元半導体モジュールは、各単位ウエハ層体の封止樹脂層が、第1主面との対向面側を半導体デバイスの電極形成面との対向面と導電ポストの先端部とともに研磨処理が施されて薄

40

50

型・平坦化され、かつこの研磨面に露出された導電ポストの研磨先端部を外部接続端子部として構成される。

【0018】

本発明にかかる電気・光混載三次元半導体モジュールにおいては、各単位ウエハ層体をそれぞれ別工程により製作することで、目的に応じてそれぞれに異なる機能の半導体デバイスを実装するとともに汎用半導体デバイスを用いることも可能であり、リードタイムの短縮化と歩留り向上によりコスト低減と信頼性の向上が図られるようになる。電気・光混載三次元半導体モジュールにおいては、積層された各単位ウエハ層体がそれぞれ接続端子部材として機能する導電ポストを介して電氣的に接続されて構成されることで、三次元に配置した複数の半導体デバイスを備えて高集積化が図られ、電子機器等の小型化や多機能化或いは高機能化が図られるようにする。電気・光混載三次元半導体モジュールにおいては、最上層若しくは最下層に光学素子デバイスを実装した単位ウエハ層体が積層されることにより、光学素子デバイスと半導体デバイスとの配線長が短縮化され、信号の高速伝送化が図られるとともにCR時定数による信号伝送の遅延、EMIノイズやEMC等の低減による低寄生容量化の対応が図られるようにする。

10

【0019】

電気・光混載三次元半導体モジュールは、光学素子デバイスを実装した最上層若しくは最下層の単位ウエハ層体が、配線層の誘電絶縁層を光透過性樹脂材により形成するとともに、光学素子デバイスの電極形成面に設けた光学信号の発信部或いは受信部との対向領域を非配線パターン形成領域として構成される。電気・光混載三次元半導体モジュールにおいては、誘電絶縁層を光透過性樹脂材により形成した配線層が光学素子デバイスに対する光学信号伝送路として作用し、この配線層を透過して光学信号の授受が行われるようにする。

20

【0020】

電気・光混載三次元半導体モジュールは、配線層が、封止樹脂層に光学素子デバイスの電極形成面を露出させる第1主面と略同一を構成して形成されるとともに導電ポストを形成する導電ポスト形成用パッドが設けられた第1配線パターンと、封止樹脂層の第1主面上に形成された誘電絶縁層と、この誘電絶縁層に形成され電極接続パッドや外部接続パッドを有する第2配線パターンと、誘電絶縁層を貫通して第1配線パターンと第2配線パターンを接続するビアとから構成される。電気・光混載三次元半導体モジュールは、光学素子デバイスが、誘電絶縁層に形成したビアを介して、電極と相対する第2配線パターンの電極接続パッドとを接続パンプにより接続して構成される。

30

【0021】

また、上述した目的を達成する本発明にかかるハイブリット回路装置は、複数の単位ウエハ層体を備え、各単位ウエハ層体が、それぞれ接着層を介して導電ポストの外部接続端子部と相対する配線パターンの外部接続パッドとを接続して積層されるとともに、最上層若しくは最下層の単位ウエハ層体に半導体デバイスとして光学信号を発信或いは受信する光学素子デバイスを実装した電気・光混載三次元半導体モジュールをモジュール実装基板に実装して構成される。ハイブリット回路装置は、電気・光混載三次元半導体モジュールの各単位ウエハ層体が、少なくとも1個以上の半導体デバイスと、誘電絶縁層に半導体デバイスの電極形成面に設けた電極と接続される電極接続パッドや外部接続パッド或いは導電ポスト形成用パッドを有する配線パターンを設けた配線層と、導電ポスト形成用パッド上に形成した導電ポストと、半導体デバイスと導電ポストとを埋設するとともに第1主面上に配線層を形成した封止樹脂層とから構成される。ハイブリット回路装置は、電気・光混載三次元半導体モジュールの各単位ウエハ層体が、それぞれの封止樹脂層に対して第1主面との対向面側に半導体デバイスの電極形成面との対向面と導電ポストの先端部とともに研磨処理を施して薄型・平坦化し、かつこの研磨面に露出された導電ポストの研磨先端部を外部接続端子部として構成する。ハイブリット回路装置は、モジュール実装基板にモジュール接続パッドを有する配線パターンが形成され、電気・光混載三次元半導体モジュールの最下層単位ウエハ層体をその研磨面側を実装面としかつこの研磨面に

40

50

露出された導電ポストの接続端子部をモジュール接続パッド上に位置させて接続バンプを介して接続するフリップチップ実装法により実装する。

【0022】

本発明にかかるハイブリット回路装置においては、各単位ウエハ層体をそれぞれ別工程により製作することでリードタイムの短縮化と歩留り向上によりコスト低減と信頼性の向上が図られた電気・光混載三次元半導体モジュールを、フリップチップ実装法によりモジュール実装基板に実装する。ハイブリット回路装置においては、積層された各単位ウエハ層体がそれぞれ接続端子部材として機能する導電ポストを介して電氣的に接続され、三次元に配置した複数の半導体デバイスを備えて高集積化が図られた電気・光混載三次元半導体モジュールをモジュール実装基板に実装することで、電子機器等の小型化や多機能化或いは高機能化が図られるようにする。ハイブリット回路装置においては、最上層若しくは最下層に光学素子デバイスを実装した単位ウエハ層体を積層した電気・光混載三次元半導体モジュールをモジュール実装基板に実装することで、光学素子デバイスと半導体デバイスとの配線長が短縮化され、信号の高速伝送化が図られるとともにC R時定数による信号伝送の遅延、E M I ノイズやE M C等の低減による低寄生容量化の対応が図られるようにする。

10

【0023】

さらに、上述した目的を達成する本発明にかかるハイブリット回路装置は、複数の単位ウエハ層体を備え、各単位ウエハ層体が、それぞれ接着層を介して導電ポストの外部接続端子部と相対する配線パターンの外部接続パッドとを接続して積層されるとともに、最下層の単位ウエハ層体に半導体デバイスとして光学信号を発信或いは受信する光学素子デバイスを実装した電気・光混載三次元半導体モジュールを光学素子デバイスの電極形成面側を実装面としてモジュール実装基板に実装して構成される。ハイブリット回路装置は、電気・光混載三次元半導体モジュールの各単位ウエハ層体が、少なくとも1個以上の半導体デバイスと、誘電絶縁層に半導体デバイスの電極形成面に設けた電極と接続される電極接続パッドや外部接続パッド或いは導電ポスト形成用パッドを有する配線パターンを設けた配線層と、導電ポスト形成用パッド上に形成した導電ポストと、半導体デバイスと導電ポストとを埋設するとともに第1主面上に配線層を形成した封止樹脂層とから構成される。ハイブリット回路装置は、電気・光混載三次元半導体モジュールの各単位ウエハ層体が、それぞれの封止樹脂層に対して第1主面との対向面側に半導体デバイスの電極形成面との対向面と導電ポストの先端部とともに研磨処理を施して薄型・平坦化し、かつこの研磨面に露出された導電ポストの研磨先端部を外部接続端子部として構成する。ハイブリット回路装置は、モジュール実装基板が、第1主面上にモジュール接続パッドを有する配線パターンが形成され、電気・光混載三次元半導体モジュールの最下層単位ウエハ層体をその光学素子デバイスの電極形成面側を実装面として電極と導電ポストの外部接続端子部とをモジュール接続パッド上に位置させて接続バンプを介して接続するフリップチップ実装法により実装する。ハイブリット回路装置は、モジュール実装基板の第1主面上に、電気・光混載三次元半導体モジュールの最下層単位ウエハ層体を実装した光学素子デバイスの電極形成面に設けた光学信号の発信部或いは受信部と対向して光学信号伝送路が設けられる。

20

30

40

【0024】

本発明にかかるハイブリット回路装置においては、各単位ウエハ層体をそれぞれ別工程により製作することでリードタイムの短縮化と歩留り向上によりコスト低減と信頼性の向上が図られた電気・光混載三次元半導体モジュールを、フリップチップ実装法によりモジュール実装基板に実装する。ハイブリット回路装置においては、積層された各単位ウエハ層体がそれぞれ接続端子部材として機能する導電ポストを介して電氣的に接続され、三次元に配置した複数の半導体デバイスを備えて高集積化が図られた電気・光混載三次元半導体モジュールをモジュール実装基板に実装することで、電子機器等の小型化や多機能化或いは高機能化が図られるようにする。ハイブリット回路装置においては、電気・光混載三次元半導体モジュールが光学素子デバイスを実装した単位ウエハ層体を最下層に積

50

層し、光学信号の発信部或いは受信部と対向して光学信号伝送路が設けられたモジュール実装基板に実装される。ハイブリット回路装置においては、光学素子デバイスと半導体デバイスとの配線長が短縮化され、信号の高速伝送化が図られるとともにC R時定数による信号伝送の遅延、E M I ノイズやE M C等の低減による低寄生容量化の対応が図られるようにする。ハイブリット回路装置においては、モジュール実装基板が電気信号と光学信号の伝送体を構成し、最適な信号伝送が行われるようにする。

【0025】

さらに、上述した目的を達成する本発明にかかる携帯型電話機は、可動機構を介して第1筐体部と第2筐体部とが可動自在に組み合わされ、フレキシブルプリント配線基板からなるモジュール実装基板が可動機構を介して第1筐体と第2筐体とに引き込まれた部位にそれぞれ電気・光混載三次元半導体モジュールを実装して第1筐体側の回路部と第2筐体側の回路部との間を接続する。携帯型電話機は、複数の単位ウエハ層体を備え、各単位ウエハ層体が、それぞれ接着層を介して導電ポストの外部接続端子部と相対する配線パターンの外部接続パッドとを接続して積層されるとともに、最下層の単位ウエハ層体に半導体デバイスとして光学信号を発信或いは受信する光学素子デバイスを実装した電気・光混載三次元半導体モジュールを光学素子デバイスの電極形成面側を実装面としてモジュール実装基板に実装される。携帯型電話機は、電気・光混載三次元半導体モジュールの各単位ウエハ層体が、それぞれの封止樹脂層に対して第1主面との対向面側に半導体デバイスの電極形成面との対向面と導電ポストの先端部とともに研磨処理を施して薄型・平坦化し、かつこの研磨面に露出された導電ポストの研磨先端部を外部接続端子部として構成する。携帯型電話機は、モジュール実装基板が、第1主面上にモジュール接続パッドを有する配線パターンが形成され、電気・光混載三次元半導体モジュールの最下層単位ウエハ層体をその光学素子デバイスの電極形成面側を実装面として電極と導電ポストの外部接続端子部とをモジュール接続パッド上に位置させて接続バンプを介して接続するフリップチップ実装法により実装する。携帯型電話機は、モジュール実装基板の第1主面上に、配線パターンとともに電気・光混載三次元半導体モジュールの最下層単位ウエハ層体を実装した光学素子デバイスの電極形成面に設けた光学信号の発信部或いは受信部と対向して光学信号伝送路が設けられる。

【0026】

本発明にかかる携帯型電話機においては、各単位ウエハ層体をそれぞれ別工程により製作することでリードタイムの短縮化と歩留り向上によりコスト低減と信頼性の向上が図られた電気・光混載三次元半導体モジュールを、フリップチップ実装法により第1筐体側の回路部と第2筐体側の回路部とを接続するモジュール実装基板に実装する。携帯型電話機においては、積層された各単位ウエハ層体がそれぞれ接続端子部材として機能する導電ポストを介して電氣的に接続され、三次元に配置した複数の半導体デバイスを備えて高集積化が図られた電気・光混載三次元半導体モジュールをモジュール実装基板に実装することで、さらなる小型化や多機能化或いは高機能化が図られるようにする。携帯型電話機においては、電気・光混載三次元半導体モジュールが光学素子デバイスを実装した単位ウエハ層体を最下層に積層し、光学信号の発信部或いは受信部と対向して光学信号伝送路が設けられたモジュール実装基板に実装される。携帯型電話機においては、各電気・光混載三次元半導体モジュールにおいて光学素子デバイスと半導体デバイスとの配線長が短縮化され、信号の高速伝送化が図られるとともにC R時定数による信号伝送の遅延、E M I ノイズやE M C等の低減による低寄生容量化の対応が図られるようにする。携帯型電話機においては、モジュール実装基板が電気信号と光学信号の伝送体を構成して第1筐体側の回路部と第2筐体側の回路部との間において大量の信号伝送を高速で行うとともに電磁輻射等の影響を低減する。

【発明の効果】

【0027】

本発明にかかる電気・光混載三次元半導体モジュールによれば、それぞれ別工程により異なる機能の半導体デバイスを実装するとともに薄型化された複数の単位ウエハ層体を

製作し、それぞれに設けた導電ポストを介して互いに電氣的に接続して積層するとともに最上層若しくは最下層の単位ウエハ層体に光学素子デバイスを実装して構成することから、リードタイムの短縮化と歩留り向上によりコスト低減と信頼性の向上が図られ、三次元に配置した複数の半導体デバイスを備えて高集積化が図られることにより電子機器等の小型化や多機能化或いは高機能化を図ることを可能とする。電気・光混載三次元半導体モジュールによれば、光学素子デバイスと半導体デバイスとの配線長が短縮化されて信号の高速伝送化が図られるとともにC R時定数による信号伝送の遅延、E M I ノイズやE M C等の低減による低寄生容量化を図ることを可能とする。

【0028】

また、本発明にかかるハイブリット回路装置によれば、それぞれ別工程により異なる機能の半導体デバイスを実装するとともに薄型化された複数の単位ウエハ層体を製作し、それぞれに設けた導電ポストを介して互いに電氣的に接続して積層するとともに最上層若しくは最下層の単位ウエハ層体に光学素子デバイスを実装した電気・光混載三次元半導体モジュールを最下層の単位ウエハ層体に設けた導電ポストを介してモジュール実装基板に実装して構成する。ハイブリット回路装置によれば、リードタイムの短縮化と歩留り向上によりコスト低減と信頼性の向上が図られた複数の単位ウエハ層体を積層することにより半導体デバイスを三次元に配置して高集積化を図った電気・光混載三次元半導体モジュールを備えることで、電子機器等の小型化や多機能化或いは高機能化を図ることを可能とする。ハイブリット回路装置によれば、電気・光混載三次元半導体モジュールが、光学素子デバイスと半導体デバイスとの配線長を短縮化して信号の高速伝送化を図るとともにC R時定数による信号伝送の遅延、E M I ノイズやE M C等の低減による低寄生容量化を図ることを可能とする。

【0029】

さらに、本発明にかかる携帯型電話機によれば、フレキシブルプリント配線基板からなり可動機構を介して第1筐体と第2筐体とに引き込まれたモジュール実装基板に、それぞれ別工程により異なる機能の半導体デバイスを実装するとともに薄型化された複数の単位ウエハ層体を製作し、それぞれに設けた導電ポストを介して互いに電氣的に接続して積層するとともに最下層の単位ウエハ層体に光学素子デバイスを実装した少なくとも一対の電気・光混載三次元半導体モジュールを実装し、このモジュール実装基板により第1筐体側の回路部と第2筐体側の回路部との間を接続して構成する。携帯型電話機によれば、リードタイムの短縮化と歩留り向上によりコスト低減と信頼性の向上が図られた複数の単位ウエハ層体を積層することにより半導体デバイスを三次元に配置して高集積化を図った電気・光混載三次元半導体モジュールを備えることで、さらなる小型薄型化や多機能化或いは高機能化を図ることを可能とする。携帯型電話機によれば、電気・光混載三次元半導体モジュールが、光学素子デバイスと半導体デバイスとの配線長を短縮化して信号の高速伝送化を図るとともにC R時定数による信号伝送の遅延、E M I ノイズやE M C等の低減による低寄生容量化を図ることを可能とするとともに、例えばカメラ機能やテレビ放送受信機能等を実装して液晶表示器に表示するための大量の信号授受を可能としかつ電磁輻射の影響も低減することが可能となる。

【発明を実施するための最良の形態】

【0030】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。第1の実施の形態として図1に示した電気・光混載三次元半導体モジュール（以下、半導体モジュールと略称する。）1は、詳細を後述する別工程により製作され、それぞれ異なる機能の半導体デバイス3A～3C（以下、個別に説明する場合を除いて半導体デバイス3と総称する。）を実装しかつ後述するように薄型化が図られた複数の単位ウエハ層体2A～2C（以下、個別に説明する場合を除いて単位ウエハ層体2と総称する。）を互いに電氣的に接続し積層することにより、複数の半導体デバイス3を三次元に配置して構成される。

【0031】

なお、半導体モジュール1は、3個の単位ウエハ層体2A～2Cを積層した3層構造の

10

20

30

40

50

ものを示したが、かかる3層構造に限定されないことは勿論である。半導体モジュール1は、各単位ウエハ層体2が、それぞれが少なくとも1個以上の半導体デバイス3を実装する。半導体モジュール1は、所定の機能に応じて各単位ウエハ層体2に同一若しくは異なる機能の半導体デバイス3を実装し、また汎用の半導体デバイス3を実装することも可能である。

【0032】

半導体モジュール1は、図1に示すように最上層の単位ウエハ層体2Cが半導体デバイス3Cとして光学信号を出射するVCSEL (vertical cavity surface emitting laser) 等の発光素子デバイス3C1と光学信号を受信するフォトダイオード等の受光素子デバイス3C2を実装することにより、電気信号処理機能と光学信号処理機能とを有する。半導体モジュール1は、詳細を後述するが、同図に示すように最下層の単位ウエハ層体2A側を実装面としてモジュール実装基板4上に実装されてハイブリット回路装置5を構成する。

10

【0033】

図2に示したハイブリット回路装置5は、モジュール実装基板4として用いられる多層配線基板4A上にLSI6等とともに半導体モジュール1を実装し、電気信号とともに光学信号を処理して伝送する機能を有する光インターコネクション5Aを構成して電子機器等に用いられる。光インターコネクション5Aは、多層配線基板4Aの適宜の位置に設けられた図示を省略するコネクタを介して制御基板等と電気的かつ機械的に接続される。光インターコネクション5Aは、詳細を省略するが半導体モジュール1の最上層を構成する単位ウエハ層体2Cに実装した発光素子デバイス3C1や受光素子デバイス3C2に対向して設けられた光ファイバや光フレキシブル基板等の光ケーブル7を介して図示しない制御基板等と光学的に接続される。光インターコネクション5Aは、電気信号の伝送系と光学信号の伝送系とを混載することにより、制御基板等との間において多層配線基板4Aの配線パターンを介して電気制御信号やデータ信号等の授受或いは電源供給が行われるとともに、光ケーブル7を介して光学制御信号やデータ信号等の授受が行われるようにする。

20

【0034】

図3に示したハイブリット回路装置5は、モジュール実装基板4として用いられるインターポーザ4B上にLSI6等とともに半導体モジュール1をフリップチップ実装し、制御基板等に対して半田ボール8を介して実装することにより、電気信号とともに光学信号を処理して伝送する機能を有する光インターポーザ5Bを構成して電子機器等に用いられる。光インターポーザ5Bも、詳細を省略するが半導体モジュール1の最上層を構成する単位ウエハ層体2Cに実装した発光素子デバイス3C1や受光素子デバイス3C2に対向して設けられた光ケーブル7を介して制御基板等と光学的に接続される。光インターポーザ5Bも、電気信号の伝送系と光学信号の伝送系とを混載することにより、制御基板等との間においてインターポーザ4Bの配線パターンを介して電気制御信号やデータ信号等の授受或いは電源供給が行われるとともに光ケーブル7を介して光学制御信号やデータ信号等の授受が行われるようにする。

30

【0035】

半導体モジュール1は、各単位ウエハ層体2がそれぞれ詳細を後述するように別工程の単位ウエハ層基板体製作工程Aにより所定の構成の単位ウエハ層基板体9を製作し、これら単位ウエハ層基板体9に対して単位ウエハ層体製作工程Bと単位ウエハ層体積層工程Cを施すことにより製造される。半導体モジュール1は、各単位ウエハ層体2が、基本的な工程をほぼ同等とする単位ウエハ層基板体製作工程Aにより、基本的な構成を同等にして製作される。半導体モジュール1は、上述したように第1層単位ウエハ層体2A及び第2層単位ウエハ層体2Bにそれぞれ1個の半導体デバイス3A、3Bが実装されるとともに、第3単位ウエハ層体2Cに発光素子デバイス3C1と受光素子デバイス3C2が実装される。

40

【0036】

50

半導体モジュール 1 は、各単位ウエハ層体 2 が、基本的な構成としてそれぞれ半導体デバイス 3 と、封止樹脂層 10 A～10 C（以下、個別に説明する場合を除いて封止樹脂層 10 と総称する。）と、複数の導電ポスト 11 A～11 C（以下、個別に説明する場合を除いて導電ポスト 11 と総称する。）と、配線層 12 A～12 C（以下、個別に説明する場合を除いて配線層 12 と総称する。）を備える。各単位ウエハ層体 2 は、半導体デバイス 3 が後述するように配線層 12 上にフリップチップ実装法により実装される。半導体デバイス 3 は、電極形成面 13 A～13 C（以下、個別に説明する場合を除いて電極形成面 13 と総称する。）に形成された電極 14 A～14 C（以下、個別に説明する場合を除いて電極 14 と総称する。）にそれぞれ実装用バンプ 15 A～15 C（以下、個別に説明する場合を除いて実装用バンプ 15 と総称する。）が設けられている。半導体デバイス 3 は、アンダフィル 16 A～16 C（以下、個別に説明する場合を除いてアンダフィル 16 と総称する。）を介して配線層 12 上に固定される。

10

20

30

40

50

【0037】

なお、第 3 層単位ウエハ層体 2 C は、上述したように半導体デバイス 3 C として発光素子デバイス 3 C 1 と受光素子デバイス 3 C 2 を実装しており、これら発光素子デバイス 3 C 1 と受光素子デバイス 3 C 2（以下、必要に応じて光学素子デバイス 3 C と総称する。）がそれぞれの電極形成面 13 C 1、13 C 2 に発光部 17 A と受光部 17 B が設けられている。したがって、第 3 層単位ウエハ層体 2 C は、配線層 12 C やアンダフィル 16 C が光透過性を有しており、光学信号がこれらアンダフィル 16 C や配線層 12 C を透過して信号授受を行うことを可能にして構成される。なお、半導体モジュール 1 は、第 1 層単位ウエハ層体 2 A や第 2 層単位ウエハ層体 2 B も、アンダフィル 16 や配線層 12 を同様の素材により形成してもよいことは勿論である。

【0038】

各単位ウエハ層体 2 は、それぞれの配線層 12 が、封止樹脂層 10 上に形成される第 1 配線パターン 18 A～18 C（以下、個別に説明する場合を除いて第 1 配線パターン 18 と総称する。）と、この第 1 配線パターン 18 を被覆して形成される誘電絶縁層 19 A～19 C（以下、個別に説明する場合を除いて誘電絶縁層 19 と総称する。）と、この誘電絶縁層 19 の表面側に形成される第 2 配線パターン 20 A～20 C（以下、個別に説明する場合を除いて第 2 配線パターン 20 と総称する。）と、誘電絶縁層 19 を貫通して第 1 配線パターン 18 と第 2 配線パターン 20 とを層間接続するビア 21 A～21 C（以下、

【0039】

配線層 12 は、第 1 配線パターン 18 が、各単位ウエハ層体 2 においてグラウンドや電源の配線層を構成するとともに、詳細を後述するように所定位置に封止樹脂層 10 を貫通する導電ポスト 11 を形成するとともに、半導体デバイス 3 の電極 14 に対応してデバイス接続パッド 22 A～22 C（以下、個別に説明する場合を除いてデバイス接続パッド 22 と総称する。）が設けられている。配線層 12 には、各デバイス接続パッド 22 に対して後述するようにフリップチップ実装法により実装される半導体デバイス 3 の実装用バンプ 15 がそれぞれ接続されることにより、半導体デバイス 3 との接続が行われる。

【0040】

配線層 12 は、第 1 配線パターン 18 や第 2 配線パターン 20 が銅パターンにより形成される。配線層 12 は、誘電絶縁層 19 が例えば高周波特性に優れたベンゾシクロブテン等の誘電絶縁樹脂材によって形成される。なお、誘電絶縁層 19 は、一般的な多層配線基板技術に用いられるその他の絶縁樹脂材、例えばエポキシ系樹脂、ポリイミド樹脂、フェノール樹脂等を用いて形成するようにしてもよい。なお、第 3 配線層 12 C は、上述したように第 3 層単位ウエハ層体 2 C に実装される光学素子デバイス 3 C に入出力される光学信号の導光路を構成することから、透光性を有する誘電絶縁樹脂材によって誘電絶縁層 19 が形成されるとともに発光部 17 A や受光部 17 B に対向する部位が第 1 配線パターン 18 や第 2 配線パターン 20 の非形成領域として構成される。

【0041】

第1層単位ウエハ層体2A及び第2層単位ウエハ層体2Bは、配線層12A、12Bの上面が詳細を後述する単位ウエハ層体製作工程Aを経て平坦面として構成される。第1層単位ウエハ層体2A及び第2層単位ウエハ層体2Bには、後述するように配線層12A、12Bの上面に例えばエポキシ系樹脂、ポリイミド樹脂或いはフェノール樹脂等の絶縁樹脂材からなる接着層23A、23B（以下、個別に説明する場合を除いて接着層23と総称する。）が形成される。接着層23には、第2配線パターン20に形成した接続パッド24A～24C（以下、個別に説明する場合を除いて接続パッド24と総称する。）に対応してそれぞれを外方に臨ませるバンプ開口25A、25B（以下、個別に説明する場合を除いてバンプ開口25と総称する。）が形成される。

10

【0042】

半導体モジュール1は、第3層単位ウエハ層体2Cが最上層を構成し、図1に示すように上面にICチップや受動部品等の複数個の外付け電子部品26を実装する。第3層単位ウエハ層体2Cも、配線層12Cの上面が後述するように単位ウエハ層体製作工程Aを経て平坦面として構成され、上述した下層側の第1層単位ウエハ層体2A及び第2層単位ウエハ層体2Bの接着層23に代えて配線層12Cを絶縁保護するソルダレジスト層27が全面に亘って形成される。第3層単位ウエハ層体2Cには、ソルダレジスト層27に外付け電子部品26の実装領域に対応して部品実装開口28が形成され、第2配線パターン20Cに形成した接続パッド24Cを外方に露出させることにより外付け電子部品26を実装する。

20

【0043】

ところで、単位ウエハ層体2は、後述するように薄型化を図るために封止樹脂層10と半導体デバイス3の裏面及び導電ポスト11に対して研磨工程が施され、これによりそれぞれ平坦な研磨面29A～29C（以下、個別に説明する場合を除いて研磨面29と総称する。）が形成される。単位ウエハ層体2は、研磨面29において導電ポスト11の先端面が同一面を構成して露出され、これら導電ポスト11の露出先端面に接続用バンプ30A～30C（以下、個別に説明する場合を除いて接続用バンプ30と総称する。）が設けられる。

【0044】

半導体モジュール1は、最下層の単位ウエハ層体2Aに対して第2層単位ウエハ層体2Bが、研磨面29Bを積層面として接着層23Aを介して積層される。半導体モジュール1は、第2層単位ウエハ層体2Bに対して最上層の単位ウエハ層体2Cが、研磨面29Cを積層面として接着層23Bを介して積層される。半導体モジュール1は、上層側の単位ウエハ層体2B、2Cに設けた接続用バンプ30B、30Cが下層側の単位ウエハ層体2A、2Bの接着層23A、23Bに設けた相対するバンプ開口25A、25Bに嵌合して相対する接続パッド24A、24Bと接続される。半導体モジュール1は、第1層単位ウエハ層体2Aが、接続用バンプ30Aをモジュール実装基板4に設けた図示しない実装用パッド上に接続して固定されることにより、このモジュール実装基板4に実装される。

30

【0045】

半導体モジュール1は、第1層単位ウエハ層体2Aと第2層単位ウエハ層体2Bが、第1層単位ウエハ層体2A側の第2配線パターン20Aに形成した接続パッド24Aと第2層単位ウエハ層体2B側の導電ポスト11Bに設けた接続用バンプ30Bとが互いに対向されるようにしてそれぞれ製作されている。半導体モジュール1は、後述するように第1層単位ウエハ層体2Aの接着層23A上に研磨面29Bを実装面として第2層単位ウエハ層体2Bが接続パッド24Aと相対する接続用バンプ30Bとを位置決めした状態で実装され、接着層23Aを介して積層される。

40

【0046】

半導体モジュール1は、第2層単位ウエハ層体2Bと第2層単位ウエハ層体2Cが、第2層単位ウエハ層体2B側の第2配線パターン20Bに形成した接続パッド24Bと第3層単位ウエハ層体2C側の導電ポスト11Cに設けた接続用バンプ30Cとが互いに対向

50

されるようにしてそれぞれ製作されている。半導体モジュール1は、後述するように第2層単位ウエハ層体2Bの接着層23B上に研磨面29Cを実装面として第3層単位ウエハ層体2Cが接続パッド24Bと相対する接続用バンプ30Cとを位置決めした状態で実装され、接着層23Bを介して積層される。半導体モジュール1は、第3層単位ウエハ層体2C上に外付け電子部品26が、部品実装開口28から装填されてその電極と接続パッド24Cとを接続することにより実装される。

【0047】

半導体モジュール1においては、それぞれ詳細を後述する別工程の製造工程により製作される各単位ウエハ層体2を積層して複数の半導体デバイス3を三次元に配置して高集積化を図って構成される。半導体モジュール1においては、各層の単位ウエハ層体2がそれぞれ固有の機能を有することにより、全体として所定の機能を有するシステム半導体モジュールを構成する。半導体モジュール1は、各層の単位ウエハ層体2が、それぞれの固有の機能に基づいて上述した基本構成に対して実装する半導体デバイス3の種類や個数或いは配線層12の構成を変えて製作される。

10

【0048】

半導体モジュール1においては、本体機器の仕様により要求される様々な機能に対しても対応が可能であり、リードタイムの短縮化と歩留り向上が図られることによりコスト低減と信頼性の向上が図られて提供される。半導体モジュール1においては、各単位ウエハ層体2が詳細を後述する研磨処理を施されて薄型化されており、多機能・高機能化が図られても小型・薄型特性が保持される。半導体モジュール1においては、半導体デバイス3A、3Bと光学素子デバイス3Cとの配線長が短縮化されて信号の高速伝送化が図られるとともに、CR時定数による信号伝送の遅延、EMIノイズやEMC等の低減による低寄生容量化が図られる。

20

【0049】

半導体モジュール1は、第1層単位ウエハ層体2Aの研磨面29A側を実装面としてモジュール実装基板4上に例えばフリップチップ実装法により実装されてハイブリット回路装置5を構成する。半導体モジュール1は、第1層単位ウエハ層体2Aの研磨面29Aに露出された導電ポスト11の先端部に設けた接続用バンプ30Aをモジュール実装基板4に形成された図示しない相対する接続パッドに位置決めしてモジュール実装基板4上に載置される。半導体モジュール1は、研磨面29Aにアンダフィルが塗布され、加熱加圧されることにより接続用バンプ30Aと接続パッドとの共晶結合によりモジュール実装基板4に実装されてハイブリット回路装置5を構成する。

30

【0050】

ハイブリット回路装置5においては、上述したように電気信号処理機能と光学信号処理機能とを有する半導体モジュール1をモジュール実装基板4に実装して構成されることから、例えばLSI間のように比較的短距離での信号伝送を光学伝送系により行うことで大容量の信号を高速で伝送することが可能である。ハイブリット回路装置5においては、各単位ウエハ層体2Aが半導体デバイス3と配線層12とを最短で接続して寄生容量が低減された半導体モジュール1を備えることにより、CR時定数による信号伝送の遅延、EMIノイズやEMC等の低減が図られる。

40

【0051】

半導体モジュール1は、上述したように光学デバイス3Cを実装した第3層単位ウエハ層体2Cを最上層にして、第1層単位ウエハ層体2Aをモジュール実装基板4上に実装して図1に示したハイブリット回路装置5を構成する。第2の実施の形態として図4に示したハイブリット回路装置40は、半導体モジュール1と基本的な構成を同等としこれを上下反転して第1層単位ウエハ層体2A側を最上層とし第3層単位ウエハ層体2Cを実装側とする半導体モジュール41が用いられ、モジュール実装基板42上に実装して構成される。なお、ハイブリット回路装置40は、基本的な構成をハイブリット回路装置5とほぼ同等とすることから、以下の説明において同等の部位に同一符号を付すことにより説明を省略する。

50

【0052】

ハイブリット回路装置40においては、半導体モジュール41がモジュール実装基板42に対して、上述したように光学素子デバイス3Cを実装した第3層単位ウエハ層体2Cを最下層となるようにしてフリップチップ実装法により実装される。半導体モジュール41は、上述した半導体モジュール1のソルダレジスト層27に代えて、第3層単位ウエハ層体2Cの配線層12C上に接着層23Cが形成される。第3層単位ウエハ層体2Cには、接着層23Cに配線層12Cの接続パッド24Cを外方に臨ませるバンプ開口25Cが形成される。第3層単位ウエハ層体2Cには、バンプ開口25Cを介して外方に露出された接続パッド24Cに接続用バンプ30Cが設けられる。

【0053】

半導体モジュール41は、最上層となる第1層単位ウエハ層体2Aの配線層12A上に上述した半導体モジュール1の接着層23Aに代えて、ソルダレジスト層27Aが形成される。第1層単位ウエハ層体2Aには、ソルダレジスト層27Aの外付け電子部品26の実装領域に対応して部品実装開口28が形成され、配線層12Aの接続パッド24Aを外方に臨ませる。第1層単位ウエハ層体2Aには、ソルダレジスト層27A上に、部品実装開口28を介して露出された接続パッド24Aと電極が接続されて外付け電子部品26が実装される。

【0054】

半導体モジュール41は、第3層単位ウエハ層体2Cの配線層12C上にアンダフィルを塗布し、接続用バンプ30Cを図示しない相対する接続パッドに位置決めしてモジュール実装基板42上に載置される。半導体モジュール41は、この状態で加熱加圧処理が施されることにより接続用バンプ30Cと接続パッドが共晶結合し、モジュール実装基板42上に実装されてハイブリット回路装置40を構成する。なお、ハイブリット回路装置40には、比較的光透過性を有するアンダフィルが用いられる。

【0055】

ハイブリット回路装置40は、図5に示すように半導体モジュール41をLSI6等とともにモジュール実装基板42として用いるインターポーザ44の第1主面上に実装することにより、電気信号とともに光学信号を処理して伝送する機能を有する光インターポーザ40Aを構成する。光インターポーザ40Aには、インターポーザ44の第2主面側の配線パターンに適宜設けたパッド上にそれぞれ半田ボール8が接合される。ハイブリット回路装置40は、例えば2個の光インターポーザ40A1、40A2を図6に示すように電子機器等の制御基板45上に半田ボール8を介してフリップ実装法により実装することにより、光インターコネクション40Bを構成する。

【0056】

光インターポーザ40Aにおいては、上述したように半導体モジュール41が、第3層単位ウエハ層体2C側を実装面としてインターポーザ44の第1主面上に実装される。光インターポーザ40Aにおいては、半導体モジュール41に対して光学信号を入出力するために、図5に示すようにインターポーザ44に第1主面と第2主面とに貫通して光信号導光孔46が形成される。光信号導光孔46は、インターポーザ44に半導体モジュール41の実装領域に対向して形成されており、第3層単位ウエハ層体2Cに実装された光学素子デバイス3Cの電極形成面13Cを臨ませる。なお、光インターポーザ40Aは、光信号導光孔46をインターポーザ44に形成した貫通孔により形成したが、例えばこの貫通孔に光透過性を有する樹脂材からなる導光体を嵌め込むようにしてもよい。

【0057】

光インターポーザ40Aにおいては、半導体モジュール41と制御基板45との間で、インターポーザ44に形成した光信号導光孔46を介して光学信号の授受が行われるようにする。なお、光インターポーザ40Aにおいては、インターポーザ44に形成した配線パターンが半田ボール8を介して制御基板45側の配線パターンに設けたパッドと接続されることにより、電気信号の授受が行われる。光インターポーザ40Aは、従来一般に用いられるインターポーザ44を用いて、これに光信号導光孔46を形成すればよい。

10

20

30

40

50

【0058】

光インターコネクション40Bには、制御基板45に適宜の配線パターンとともに光導波路47が設けられ、この光導波路47を介して実装した光インターポーザ40A1、40A2間において光学信号の授受が行われるように構成される。光導波路47は、詳細を省略するが例えばポリイミド樹脂、エポキシ系樹脂、アクリル系樹脂、ポリオレフィン樹脂或いはゴム系樹脂等の光透過性を有する樹脂材によって形成された導光体を、光屈折率を異にするクラッド層により封装して構成される。光導波路47は、光学信号を二次元或いは三次元的に導光体に封じ込めた状態で伝送する。

【0059】

光導波路47は、詳細を省略するがその両端部がそれぞれ45°にカットされた光屈折面として構成されており、この端部を光インターポーザ40A1、40A2側の光信号導光孔46にそれぞれ対向させて制御基板45の主面上に実装される。光導波路47は、内部を導光された光学信号を光屈折面において90°屈折させることにより、光信号導光孔46に対して光学信号を入出力させる。光導波路47は、かかる構造により制御基板45に実装された光インターポーザ40A1、40A2間において光学信号の授受が行われるようにする。

【0060】

以上のように構成されたハイブリット回路装置40は、例えば図7及び図8に示した携帯型電話機50に用いられる。携帯型電話機50は、一般に第1筐体部51と第2筐体部52がヒンジ機構や回転機構等の可動機構53を介して折り畳み自在或いは回転自在に組み合わされる。携帯型電話機50は、詳細を省略するが第1筐体部51側にマイクロホンやダイヤルキー54及び各種機能キー55等が設けられるとともに、内部に発信回路部や制御回路部或いは電源部等が設けられ、かつ充電が可能な二次電池が内蔵される。携帯型電話機50は、第2筐体部52側にスピーカや伸縮自在なアンテナ56或いは大形のメイン液晶表示器57及び小型のサブ液晶表示器58等が実装されるとともに、内部に表示器の駆動回路や高周波信号送受信回路等が設けられる。携帯型電話機50においては、第1筐体部51側の各回路部と第2筐体部52側の各回路部とが、可動機構53を貫通された薄厚で可撓性を有するフレキシブルプリント配線基板59A、59B（以下、フレキシブルプリント配線基板59と総称する。）により接続されて各種信号の授受や電源供給が行われる。

【0061】

ところで、最近の携帯型電話機50においては、例えば携帯端末向け地上波デジタルテレビジョン放送の受信機能やデジタルカメラ機能或いはインターネット接続機能等の各種機能も搭載されて高機能・多機能化が図られようになっている。携帯型電話機50においては、例えば受信した地上波デジタルテレビジョン放送電波を第1筐体部51側に設けたチューナ回路部や画像処理LSI60或いは制御回路部において所定の画像処理を行い、第2筐体部52側のメイン液晶表示器57により映像を表示する。携帯型電話機50においては、第2筐体部52側に設けた詳細を省略するデジタルカメラ61により適宜撮像した画像情報が第1筐体部51側に設けられた画像処理LSI60に伝送されて適宜の画像処理が行われてメモリに蓄積されるとともに、第2筐体部52側のメイン液晶表示器57に表示され或いは無線接続された相手側へと送信される。

【0062】

携帯型電話機50においては、上述した画像処理機能等を実装して画像信号を処理することにより第1筐体部51と第2筐体部52との間において、大量の信号が授受される。携帯型電話機50においては、フレキシブルプリント配線基板59として、例えば一般的なフレキシブルプリント配線基板に光導波路体62を設けた図8に示す電気・光混載フレキシブルプリント配線基板が用いられる。フレキシブルプリント配線基板59には、第1筐体部51側に引き込まれる部位59Aに第1半導体モジュール63Aが実装されるとともに、第2筐体部52側に引き込まれた部位59Bに第2半導体モジュール63Bが実装される。フレキシブルプリント配線基板59には、第1筐体部51側の端部に制御基板等

に設けた図示しないコネクタと結合される多ピン構成の第1コネクタ64Aが取り付けられるとともに、第2筐体部52側の端部に制御基板等に設けた図示しないコネクタと結合される多ピン構成の第2コネクタ64Bが取り付けられている。

【0063】

フレキシブルプリント配線基板59には、光導波路体62として例えばフィルム状光導波路材が用いられ、このフィルム状光導波路材をフレキシブルプリント配線基板に接合して構成される。フィルム状光導波路材は、例えばLSI間での光学信号の伝送用配線材として用いられており、厚みが1mm未満の薄いフィルム材にコア材を埋め込んで構成される。フレキシブルプリント配線基板59は、最小曲げ半径も1mm~2mm程度と極めて小さく繰り返し曲げ応力の耐性も大きいといった特徴を有している。フレキシブルプリント配線基板59は、限られたスペースの可動機構53内を貫通されて第1筐体部51と第2筐体部52との間で電気信号とともに光学信号の伝送を可能とし、耐EMI特性等を保持することを可能とする。

10

【0064】

以上のように構成された携帯型電話機50においては、第1筐体部51の回路部と第2筐体部52の回路部とを可動機構53を貫通され第1半導体モジュール63Aと第2半導体モジュール63Bを実装した電気・光混載型のフレキシブルプリント配線基板59により接続して電気信号とともに光学信号の授受が行われるようにする。携帯型電話機50においては、フレキシブルプリント配線基板59に実装される第1半導体モジュール63Aや第2半導体モジュール63Bが、それぞれ別工程により異なる機能の半導体デバイス3を实装するとともに薄型化された複数の単位ウエハ層体2を積層して構成される。携帯型電話機50においては、複数の単位ウエハ層体2を積層することによりリードタイムの短縮化と歩留り向上によりコスト低減と信頼性の向上が図られるとともに半導体デバイス3A、3Bと光学素子デバイス3Cを三次元に配置して高集積化と配線長の短縮化が図られた各半導体モジュール63を備える。

20

【0065】

携帯型電話機50においては、限られたスペースの可動機構53を貫通されるフレキシブルプリント配線基板59により接続される第1筐体部51の回路部と第2筐体部52の回路部との間において、第1半導体モジュール63Aと第2半導体モジュール63Bを介して電気信号と光学信号とを使い分けて信号を授受する。携帯型電話機50においては、かかる構成により第1筐体部51の回路部と第2筐体部52の回路部との間で大量の信号を高速で授受するとともに、CR時定数による信号伝送の遅延、EMIノイズやEMC等の低減による低寄生容量化が図られるようになる。携帯型電話機50においては、フレキシブルプリント配線基板59に薄型化された第1半導体モジュール63Aや第2半導体モジュール63Bを実装することで、高機能・多機能化されるにもかかわらず小型・薄型化の対応も図られる。

30

【0066】

なお、携帯型電話機50においては、各半導体モジュール63をフレキシブルプリント配線基板59に対して上述した第2の実施の形態として示した半導体モジュール41の態様でそれぞれ実装するようにしたが、かかる実装態様に限定されないことは勿論である。携帯型電話機50においては、各半導体モジュール63を上記した第1の実施の形態として示した半導体モジュール1の態様でフレキシブルプリント配線基板59に実装し、このフレキシブルプリント配線基板59の光導波路体62に光ケーブル7を引き回して接続することも可能である。また、携帯型電話機50においては、フレキシブルプリント配線基板59の途中から光導波路体62を剥がして各半導体モジュール63に導くようにしてもよい。

40

【0067】

以上のように構成された半導体モジュール1(41、63)の製造方法について、以下説明する。半導体モジュール1の製造方法は、図9に示す基本工程を共通とする詳細を後述する別工程の各層単位ウエハ層基板体製作工程AA~AC(以下、個別に説明する場合

50

を除いて単位ウエハ層基板体製作工程 A と総称する。)により、各層単位ウエハ層体 2 を製作するための各層単位ウエハ層基板体 9 A ～ 9 C を製作する。単位ウエハ層基板体製作工程 A は、詳細を後述するように平坦な主面上に剥離層 7 1 を形成したダミー基板 7 2 を用いて単位ウエハ層基板体 9 を製作する。

【0068】

半導体モジュール 1 の製造方法は、図 10 に示す基本工程により、単位ウエハ層基板体 9 に対して詳細を後述する各層単位ウエハ層体製作工程 B A ～ B C (以下、個別に説明する場合を除いて単位ウエハ層体製作工程 B と総称する。)を施して各層の単位ウエハ層体 2 を製作する。半導体モジュール 1 の製造方法は、第 1 層単位ウエハ層基板体 9 A に対して第 1 層単位ウエハ層体製作工程 B A を施すことにより第 1 層単位ウエハ層体 2 A を製作する。半導体モジュール 1 の製造方法は、第 1 層単位ウエハ層体 2 A に対して第 1 積層工程 C - 1 により第 2 層単位ウエハ層基板体 9 B を積層する。半導体モジュール 1 の製造方法は、第 2 層単位ウエハ層基板体 9 B に対して第 2 層単位ウエハ層体製作工程 B B を施して第 2 層単位ウエハ層体 2 B を製作することにより、第 1 層単位ウエハ層体 2 A に第 2 層単位ウエハ層体 2 B が積層された第 1 積層中間体 7 3 を製作する。

【0069】

半導体モジュール 1 の製造方法は、第 1 積層中間体 7 3 に対して第 2 積層工程 C - 2 により第 3 層単位ウエハ層基板体 9 C を積層する。半導体モジュール 1 の製造方法は、第 3 層単位ウエハ層基板体 9 C に対して第 3 層単位ウエハ層体製作工程 B C を施して第 3 層単位ウエハ層体 2 C を製作することにより、第 1 層単位ウエハ層体 2 A 乃至第 3 層単位ウエハ層体 2 C を積層して一体化した第 2 積層中間体 7 4 を製作する。半導体モジュール 1 の製造方法においては、最上層を構成する第 3 層単位ウエハ層体 2 C に外付け電子部品 2 6 を実装する外付け部品実装工程 D を施して、半導体モジュール 1 を製造する。

【0070】

半導体モジュール 1 の製造方法は、詳細を後述する単位ウエハ層基板製作工程 A によりダミー基板 7 2 上に、基本構成として半導体デバイス 3 と、封止樹脂層 1 0 と、導電ポスト 1 1 と、配線層 1 2 とを設けた単位ウエハ層基板体 9 を製作する。半導体モジュール 1 の製造方法は、各単位ウエハ層体 2 に所定の機能を持たせることから、上述したようにそれぞれに実装される半導体デバイス 3 の種類や個数或いは配線層 1 2 の構成を異にした単位ウエハ層基板体 9 を製作する。半導体モジュール 1 の製造方法は、詳細を後述する各積層工程 C において、ダミー基板 7 2 を剥離されることにより極めて薄厚に構成された下層側の単位ウエハ層体 2 に対してダミー基板 7 2 が支持基板として残されることで機械的剛性を有してハンドリング性が保持された上層側の単位ウエハ層基板体 3 を積層する。したがって、半導体モジュール 1 の製造方法は、各工程において良好なハンドリング性を保持して極めて薄厚の半導体モジュール 1 を効率よくかつ精密に製造することが可能である。

【0071】

単位ウエハ層基板体製作工程 A は、図 9 に示すように工程に供給されたダミー基板 7 2 の主面上に全面に亘って剥離層 7 1 を形成する剥離層形成工程 A - 1 と、剥離層 7 1 上に配線層 1 2 を形成する配線層形成工程 A - 2 と、配線層 1 2 上に所定の高さを有する複数の導電ポスト 1 1 を一体に立設する導電ポスト形成工程 A - 3 を有する。単位ウエハ層基板体製作工程 A は、各層工程毎に供給された所定の半導体デバイス 3 を配線層 1 2 上にフリップチップ実装法により実装する半導体デバイス実装工程 A - 4 と、配線層 1 2 上に封止樹脂層 1 0 を形成する封止樹脂層形成工程 A - 5 と、全体を薄型化する研磨工程を施す研磨工程 A - 6 と、導電ポスト 1 1 に接続用バンプ 3 0 を形成する接続用バンプ形成工程 A - 7 とを経て単位ウエハ層基板体 9 を製作する。

【0072】

半導体モジュール 1 の製造工程は、後述する単位ウエハ層体製作工程 B において、単位ウエハ層基板体 9 にレーザ光 R を照射することにより剥離層 7 1 を介してダミー基板 7 2 を剥離するレーザ光照射剥離法を採用する。したがって、半導体モジュール 1 の製造工程

には、ダミー基板 72 に、比較的高精度に平坦化された主面を有することにより高精度の配線層 12 を形成することが可能であり、またレーザ装置から出射されるレーザ光 R を効率よく透過させることが可能な高光透過特性を有する基板、例えばガラス基板や石英基板が用いられる。ダミー基板 72 は、ダミー基板剥離工程を経た後に洗浄処理等を施すことにより再利用することが可能である。なお、半導体モジュール 1 の製造工程は、ダミー基板剥離工程がレーザ光照射剥離法に代えてエッチング法等の適宜の剥離方法を採用する場合に、ダミー基板 72 が光透過特性を不要とすることから例えばシリコン基板等を用いるようにしてもよい。

【0073】

剥離層形成工程 A-1 は、スピコート法等により樹脂材をダミー基板 72 の主面上に供給することにより、図 11 に示すように数 μ 程度の厚みと平坦性を有する樹脂層からなる剥離層 71 を全面に亘って形成する。剥離層形成工程 A-1 は、ダミー基板 72 と線膨張係数を大きく異にする樹脂材、例えばエポキシ系樹脂、ポリイミド樹脂、フェノール樹脂、ベンゾシクロブテン樹脂等の熱可塑性樹脂や熱硬化性樹脂によって剥離層 71 を形成する。剥離層 71 は、後述する各層のダミー基板剥離工程に際して剥離犠牲層として機能してダミー基板 72 を剥離させて単位ウエハ層体 2 側の配線層 12 上に残るが、ドライエッチング法等により除去される。

【0074】

剥離層形成工程 A-1 は、レーザ光照射剥離法によりダミー基板 72 を剥離する際に、何らかの理由によりスポット位置を制御されたレーザ光 R が剥離層 71 を通過して配線層 12 に達してダメージを与えてしまうことを考慮して、上述した樹脂層上にさらにスパッタ法等により金属薄膜層を形成して樹脂層と金属薄膜層とからなる剥離層 71 を形成するようにしてもよい。剥離層 71 は、金属薄膜層を形成することによりこの金属薄膜層がメタルバリア層として作用してレーザ光 R から配線層 12 を保護する。

【0075】

剥離層形成工程 A-1 は、剥離層 71 が上述した樹脂層に限定されず、例えばダミー基板 72 に剥離フィルムを接合して形成するようにしてもよい。剥離層形成工程 A-1 は、この場合に剥離フィルムとして、加熱により接合力が低下してダミー基板 72 の剥離を可能とさせる熱剥離型剥離フィルムや、紫外線の照射により接合力が低下する紫外線型剥離フィルム或いは適当な溶液に浸すことにより接合力が低下する剥離フィルム等の各種剥離フィルムが用いられる。

【0076】

配線層形成工程 A-2 は、ダミー基板 72 の主面上に剥離層 71 を介して一般的な多層配線層形成技術により図 12 に示すように第 1 配線パターン 18 と誘電絶縁層 19 と第 2 配線パターン 20 とからなる配線層 12 を形成する。配線層形成工程 A-2 は、例えば剥離層 71 上にパターニングしためっきレジスト層を形成し、銅めっきを施す銅めっき法により、所定の回路パターンや接続パッド 24 を有する第 2 配線パターン 20 を形成する。なお、配線層形成工程 A-2 は、第 2 配線パターン 20 が上述した銅めっき法に限定されず、例えば剥離層 71 上に無電界銅めっき法やスパッタ法等により形成した銅薄膜層を下地層としてこの銅薄膜層に対してエッチング法等による所定のパターニング処理を施し、銅めっきにより所定の厚みの銅配線パターン層を形成する等の適宜の方法により形成してもよい。

【0077】

配線層形成工程 A-2 は、第 2 配線パターン 20 を被覆して剥離層 71 上に全面に亘って誘電絶縁樹脂材、例えば高周波特性に優れたベンゾシクロブテン等を用いてスピコート法等により均一な厚みを有する誘電絶縁層 19 を形成する。配線層形成工程 A-2 は、誘電絶縁層 19 の所定位置において、レーザ加工等により第 2 配線パターン 20 に形成したランドを外方に臨ませるビアホールを形成する。

【0078】

配線層形成工程 A-2 は、第 2 配線パターン形成工程と同様の工程により、誘電絶縁層

19上に所定の回路パターンやデバイス接続パッド22を有する第1配線パターン18を形成するとともに、誘電絶縁層19に設けたビアホールに導電処理を施して第1配線パターン18と第2配線パターン20とを層間接続するビア21を形成する。配線層形成工程A-2は、各单位ウエハ層体2を多層化して半導体モジュール1を製造することから、図5に示すように誘電絶縁層19と第2配線パターン20とが共同して平坦な積層表面を構成する配線層12を形成することが好ましい。

【0079】

したがって、配線層形成工程A-2は、例えば感光性誘電絶縁樹脂材により形成された誘電絶縁層19に対して第1配線パターン18の形成部位に対応した箇所をマスキングした状態で露光処理を行った後に、エッチング処理により露光部位を除去して凹溝を形成する。配線層形成工程A-2は、凹溝を形成した誘電絶縁層19上に全面に亘って銅めっき処理を施した後に、誘電絶縁層19が露出するまで研磨処理を施すことにより凹溝内に銅めっき層が残って誘電絶縁層19と第1配線パターン18とが同一面を構成する配線層12を形成する。配線層形成工程A-2は、第1配線パターン18に形成された接続パッド22の表面にSn-Au層やTi-Au層等からなる電極膜を形成する。

10

【0080】

配線層形成工程A-2は、例えばビアホール内に導電ペースト等による孔埋めを行った状態で、上述した第1配線パターン18を形成する銅めっき処理が施されることによりビア形成も行われる。なお、ビア21の形成工程は、例えば第1配線パターン18の凹溝を形成する際に同時に誘電絶縁層19を貫通するビアホールを形成し、銅めっき処理によりこのビアホール内に銅めっき層を形成することによりビア形成を同時に行うようにしてもよい。配線層形成工程A-2は、配線層12やビア21の形成方法が上述した方法に限定されず、従来周知の適宜の方法により形成してもよいことは勿論である。

20

【0081】

配線層形成工程A-2は、上述したように平坦な主面を有するダミー基板72を用いて配線層12を形成することから、誘電絶縁層19や配線パターンの層厚が管理され、高密度で微細な第1配線パターン18や第2配線パターン20を形成することが可能である。また、配線層形成工程A-2は、配線層12が必要に応じて誘電絶縁層19を介して配線パターンを多層に形成した多層配線層により構成してもよい。また、配線層形成工程A-2は、必要に応じて配線層12内に薄膜レジスタ素子や薄膜インダクタ素子或いは薄膜キャパシタ素子等の薄膜受動素子を形成することも可能である。配線層形成工程A-2は、上述した工程によりダミー基板72の平坦な主面上に配線層12を形成することから、この配線層12内に高精度の薄膜受動素子を内部に形成することが可能である。

30

【0082】

配線層形成工程A-2は、配線層12内の薄膜レジスタ素子形成部位に対して、例えば窒化タンタル、タンタル、クロム或いはニッケルクロム等のレジスタ素子形成材料を用いてスパッタリング法や蒸着法或いは印刷法やリソグラフィ法等の薄膜形成技術により所望の形状にパターン形成することによって薄膜レジスタ素子を形成する。また、配線層形成工程A-2は、配線層12内に、例えばラセン状銅パターンを形成することにより薄膜インダクタ素子を形成する。配線層形成工程A-2は、配線層12の高さ方向に相対する配線パターンの電極間に、例えば誘電体を成膜したり、窒化タンタル等の金属膜を陽極酸化させる方法等により誘電体層を形成することにより薄膜キャパシタ素子を形成する。

40

【0083】

導電ポスト形成工程A-3は、配線層12の第1配線パターン18上に、図13に示すように所定の高さを有する複数個の導電ポスト11を形成する。導電ポスト形成工程A-3は、第1配線パターン18の所定箇所を開口したマスキングを行った状態で銅めっき法により導電ポスト11を形成する。導電ポスト形成工程A-3は、かかる銅めっき法に限定されず、例えば銅ペーストを用いた印刷法等の適宜の方法により第1配線パターン18上に導電ポスト11を形成するようにしてもよい。導電ポスト形成工程A-3は、精密に形成された配線層12上に微細なピッチにより複数個の導電ポスト11を形成することが

50

可能である。

【0084】

半導体デバイス実装工程A-4は、図14に示すように配線層12の表面上に、半導体デバイス3を実装する。配線層12には、第1配線パターン18に半導体デバイス3の電極形成面13に設けられた電極14に対応してデバイス接続パッド22が形成されている。半導体デバイス3には、予め各電極14にそれぞれCuバンプやAuバンプ或いはSnやSnAg等の半田バンプからなる実装用バンプ15が設けられる。なお、実装用バンプ15については、デバイス接続パッド22側に設けるようにしてもよいことは勿論である。

【0085】

半導体デバイス実装工程A-4は、配線層12の半導体デバイス実装領域にアンダフィル16を塗布した状態で、半導体デバイス3が電極形成面13を実装面として電極14を相対するデバイス接続パッド22に位置決めした状態で実装するフリップチップ実装法により実装される。半導体デバイス実装工程A-4は、配線層12に対して半導体デバイス3がアンダフィル16により固定されるとともに、デバイス接続パッド22に実装用バンプ15が接合されて実装される。

【0086】

半導体モジュール1の製造工程は、第3層単位ウエハ層基板体製作工程ACにおいて、半導体デバイス実装工程A-4で発光素子デバイス3C1と受光素子デバイス3C2を同時に実装する。半導体デバイス実装工程A-4は、これら発光素子デバイス3C1と受光素子デバイス3C2を上述した他の半導体デバイス3と同様にフリップチップ実装法により実装する。半導体デバイス実装工程A-4は、この場合に光透過性を有するアンダフィル16Cを用いて発光素子デバイス3C1と受光素子デバイス3C2を固定する。

【0087】

なお、単位ウエハ層基板体製作工程Aは、導電ポスト形成工程A-3の後工程として半導体デバイス実装工程A-4を実施するようにしたが、この順序が逆であってもよい。単位ウエハ層基板体製作工程Aは、後述するように研磨工程A-6により半導体デバイス3を機能に支障を来さない範囲で研磨して導電ポスト11と同一の高さとする。導電ポスト形成工程A-3は、厚みが大きな半導体デバイス3が予め配線層12上に実装されていると、導電ポスト形成工程A-3により導電ポスト11を形成する際に邪魔になることから半導体デバイス実装工程A-4の後工程で実施することが好ましい。

【0088】

封止樹脂層形成工程A-5は、図15に示すように配線層12上に封止樹脂材により半導体デバイス3と各導電ポスト11を覆う厚みを有する封止樹脂層10を形成する。封止樹脂層形成工程A-5は、封止樹脂材として、半導体製造工程においてパッケージ樹脂材として一般的に用いられる例えばエポキシ系樹脂材やポリイミド樹脂或いはフィラーを含有させた樹脂材を用いて封止樹脂層10を形成する。

【0089】

研磨工程A-6は、例えば機械化学研磨法等により、半導体デバイス3の機能を損なわない範囲でこの半導体デバイス3の裏面と各導電ポスト11の先端部と封止樹脂層10に対して同時に研磨処理を施すことにより薄型化する。研磨工程A-6は、図16に示すように、研磨面29において半導体デバイス3の裏面と封止樹脂層10と各導電ポスト11の先端部が互いに同一面を構成するように研磨する。なお、研磨工程A-6は、研磨面29に導電ポスト11の先端面を露出させればよく、例えば半導体デバイス3が各導電ポスト11の高さよりも薄厚で単位ウエハ層体2が所定の厚みに保持される場合や裏面を研磨すると機能に影響が生じる場合には、この半導体デバイス3を露出させるまで研磨する必要は無い。

【0090】

研磨工程A-6は、研磨面29に導電ポスト11の先端面を露出させることにより、こ

10

20

30

40

50

れら導電ポスト11により各層単位ウエハ層体2間或いはモジュール実装基板4との接続電極を形成する。なお、単位ウエハ層基板体製作工程Aは、研磨面29に露出された導電ポスト11の先端面にSn-Au層やTi-Au層等からなる電極膜を形成する処理を施すようにしてもよい。

【0091】

接続パンプ形成工程A-7は、例えばボールボンディング法やスタッド（ボール）パンプ接合法或いはめっき法を施すことにより、図17に示すように研磨面29に露出された各導電ポスト11の先端面上に接続用パンプ30を形成する。接続パンプ形成工程A-7は、接続パッド24と低温で共晶合金を形成する、例えばCuパンプやAuパンプ或いはSnやSnAg等の半田パンプ又はこれらの材料を混合した材料により接続用パンプ30

10

【0092】

半導体モジュール1の製造工程は、上述した工程を基本工程とする単位ウエハ層基板体製作工程Aにより、各層の機能に応じて選択された半導体デバイス3を実装するとともに所定の配線パターンや接続端子部を有する配線層12を形成した単位ウエハ層基板体9を製作する。半導体モジュール1の製造工程は、各層の単位ウエハ層基板体製作工程Aにおいて、例えば導通検査工程を実施して、良品と判定した単位ウエハ層基板体9のみを次工程へと供給する。

【0093】

半導体モジュール1の製造工程は、それぞれ別工程の単位ウエハ層基板体製作工程AA～ACにより単位ウエハ層基板体9A～9Cを製作することで、リードタイムの短縮化と歩留り向上によりコスト低減と信頼性の向上を図った半導体モジュール1を製造することを可能とする。また、半導体モジュール1の製造工程は、薄型化を図るために半導体デバイス3に対して研磨処理を施すが、各層の単位ウエハ層基板体9をそれぞれ個別工程により製作することから自由度があり汎用の半導体デバイスを選択して実装することも可能であり目的に応じた三次元半導体モジュール1を廉価に製造することを可能とする。

20

【0094】

半導体モジュール1の製造工程は、図10に示すように第1層単位ウエハ層基板体製作工程AAにより製作した第1層単位ウエハ層基板体9Aに対して第1層単位ウエハ層体製作工程BAを施して第1層単位ウエハ層体2Aを製作する。半導体モジュール1の製造工程は、後述する第1積層工程C-1により第1層単位ウエハ層体2Aと第2層単位ウエハ層基板体製作工程ABにより製作した第2層単位ウエハ層基板体9Bを積層するとともに、第2層単位ウエハ層基板体9Bに対して第2層単位ウエハ層体製作工程BBを施して第1積層中間体73を製作する。半導体モジュール1の製造工程は、第2積層工程C-2により上述した第1積層中間体73に対して第3層単位ウエハ層基板体製作工程ACにより製作した第3層単位ウエハ層基板体9Cを積層して第2積層中間体74を製作する。半導体モジュール1の製造工程は、第2積層中間体74に対して第3層単位ウエハ層体製作工程BCを施すとともに外付け電子部品実装工程Dにより外付け電子部品26を実装して半導体モジュール1を製造する。

30

【0095】

第1層単位ウエハ層体製作工程BAは、第1層単位ウエハ層基板体9Aからダミー基板72Aを剥離するダミー基板剥離工程BA-1と、配線層12Aから剥離層71Aを除去する剥離層除去工程BA-2と、研磨面29A上に接着層23Aを形成する接着層形成工程BA-3と、接着層23Aにパンプ開口25Aを形成するパンプ開口形成工程BA-4とを有し、第1層単位ウエハ層体2Aを製作する。ダミー基板剥離工程BA-1は、第1層単位ウエハ層基板体9Aに対して、ダミー基板72Aの底面側からレーザ装置から出射したレーザ光Rを照射することにより、図18に示すように剥離層71Aとの界面からダミー基板72Aを剥離する。

40

【0096】

ダミー基板剥離工程BA-1は、上述したようにダミー基板72Aに光透過性が良好な

50

ガラス基板や石英基板を用いることにより、ダミー基板 7 2 A を透過したレーザ光 R が効率よく剥離層 7 1 A に達してこの剥離層 7 1 A を加熱する。ダミー基板剥離工程 B A - 1 は、上述したように第 1 層単位ウエハ層基板体 9 A がダミー基板 7 2 A と剥離層 7 1 A とに熱膨張率に大きな差異があることから、加熱された剥離層 7 1 A がダミー基板 7 2 A の主面から剥離する現象が生じ結果として図 1 8 に示すように剥離層 7 1 A を介してダミー基板 7 2 A を効率よくかつきれいに剥離させる。

【0097】

剥離層除去 B A - 2 は、ダミー基板 7 2 A が剥離された配線層 1 2 A 上に剥離層 7 1 A が残留しており、この剥離層 7 1 A を例えばプラズマエッチング法やイオンエッチング法等のドライエッチング法を施して除去する。剥離層除去 B A - 2 は、上述したように配線層 1 2 A が平坦面を有するダミー基板 7 2 A の主面上に形成されることから、配線層 1 2 A の表面に平坦かつ高精度の剥離面 7 5 A を形成する。 10

【0098】

接着層形成工程 B A - 3 は、第 1 層単位ウエハ層体 2 A を第 2 層単位ウエハ層基板体 9 B 上に積層するために、接着層 2 3 A をダミー基板 7 2 A と剥離層 7 1 A が除去された剥離面 7 5 A 上に全面に亘って形成する。接着層形成工程 B A - 3 は、上述した配線層形成工程に用いられて誘電絶縁層 1 9 を形成する同等の絶縁樹脂材が用いられ、この絶縁樹脂材を例えばスピコート法等により剥離面 7 5 A 上に全面に亘って均一な厚みを有する接着層 2 3 A を形成する。なお、接着層形成工程 B A - 3 は、例えば接着絶縁フィルムやブリプレグ等を剥離面 7 5 A 上に接合することにより接着層 2 3 A を形成するようにしてもよい。 20

【0099】

パンプ開口形成工程 B A - 4 は、図 1 9 に示すように接着層 2 3 A に配線層 1 2 の第 2 配線パターン 2 0 A に形成した接続パッド 2 4 A にそれぞれ対応位置され、この接続パッド 2 4 A をそれぞれ外方に露出させるパンプ開口 2 5 A を形成する。パンプ開口形成工程 B A - 4 は、開口寸法が接続用パンプ 3 0 の断面寸法とほぼ等しいパンプ開口 2 5 A を形成する。パンプ開口形成工程 B A - 4 は、例えば接着層 2 3 A が感光性絶縁樹脂材により形成される場合に、パンプ開口 2 5 A の対応部位を除いてマスキングを施した状態で接着層 2 3 A に露光・現像処理を施した後にエッチング処理によりパンプ開口 2 5 A の対応部位を除去する周知のリソグラフィ技術によりパンプ開口 2 5 A を形成する。なお、パンプ開口形成工程 B A - 4 は、接着層 2 3 A が非感光性絶縁樹脂材により形成される場合に、例えばプラズマエッチング法等の周知のドライエッチング技術によりパンプ開口 2 5 A を形成する。 30

【0100】

第 1 層単位ウエハ層体製作工程 B A は、上述した工程を経て図 1 9 に示す全体が薄厚化された第 1 層単位ウエハ層体 2 A を製作する。なお、半導体モジュール 1 の製造方法は、後述するように第 2 層単位ウエハ層基板体 9 B に対して、第 1 層単位ウエハ層体製作工程 B A と基本的に同等の工程からなる第 2 層単位ウエハ層体製作工程 B B を施して第 2 層単位ウエハ層体 2 B を製作する。

【0101】

第 1 積層工程 C - 1 は、上述した第 1 層単位ウエハ層体製作工程 B A により製作した第 1 層単位ウエハ層体 2 A に対して、接着層 2 3 A を介して第 2 層単位ウエハ層基板体製作工程 A B により製作した第 2 層単位ウエハ層基板体 9 B を積層して一体化する。第 1 積層工程 C - 1 においては、図 2 0 に示すように第 1 層単位ウエハ層体 2 A の接着層 2 3 A 上に第 2 層単位ウエハ層基板体 9 B が、研磨面 2 9 B を接合面として相対するパンプ開口 2 5 A に接続用パンプ 3 0 B を嵌合させるように位置合わせして積層される。 40

【0102】

第 1 積層工程 C - 1 は、第 1 層単位ウエハ層体 2 A と第 2 層単位ウエハ層基板体 9 B を積層した状態で第 2 層単位ウエハ層基板体 9 B 側から加熱・加圧することにより、図 2 1 に示すように接着層 2 3 A を介して第 1 層単位ウエハ層体 2 A と第 2 層単位ウエハ層基板 50

体 9 B とを一体化する。第 1 積層工程 C-1 は、ダミー基板 7 2 B を有して機械的剛性が保持された第 2 層単位ウエハ層基板体 9 B を第 1 層単位ウエハ層体 2 A に積層して一体化することから、第 2 層単位ウエハ層基板体 9 B のハンドリング性も保持され効率よくかつ精密な位置決めが行われる。

【0103】

第 1 積層工程 C-1 は、接続用パンプ 3 0 B を例えば半田系めっきパンプによって形成した場合に、半田の溶融温度以上に加熱しながら第 1 層単位ウエハ層体 2 A に対して第 2 層単位ウエハ層基板体 9 B を加圧することにより相対する接続用パンプ 3 0 B と接続パッド 2 4 A との半田接続が行われるようにする。第 1 積層工程 C-1 は、第 1 層単位ウエハ層体 2 A 側の配線層 1 2 A と半導体デバイス 3 A に対して、第 2 層単位ウエハ層基板体 9 B 側の配線層 1 2 B と半導体デバイス 3 B が封止樹脂層 1 0 B を貫通する導電ポスト 1 1 B を介して電氣的に接続する。 10

【0104】

第 2 層単位ウエハ層体製作工程 B B は、第 1 層単位ウエハ層体 2 A と一体化された第 2 層単位ウエハ層基板体 9 B からダミー基板 7 2 B と剥離層 7 1 B を除去し、図 2 2 に示した第 1 層単位ウエハ層体 2 A と第 2 層単位ウエハ層体 2 B とが一体化された薄厚の第 1 積層中間体 7 3 を製作する。なお、第 2 層単位ウエハ層体製作工程 B B は、上述した第 1 層単位ウエハ層基板体 9 A から第 1 層単位ウエハ層体 2 A を製作する第 1 層単位ウエハ層体製作工程 B A と同等の工程であることから詳細を省略するが、ダミー基板 7 2 B を剥離するダミー基板剥離工程と、剥離層 7 1 B を除去する剥離層除去工程と、接着層 2 3 B を形成する接着層形成工程と、パンプ開口 2 5 B を形成するパンプ開口形成工程とを有する。 20

【0105】

第 2 積層工程 C-2 は、第 1 層単位ウエハ層体 2 A と第 2 層単位ウエハ層体 2 B とを一体化した第 1 積層中間体 7 3 に対して、接着層 2 3 B を介して第 3 層単位ウエハ層基板体製作工程 A C により製作した第 3 層単位ウエハ層基板体 9 C を積層して一体化する。なお、第 2 積層工程 C-2 は、基本的な工程を上述した第 1 積層工程 C-1 と同等とすることから、詳細な説明については省略する。

【0106】

第 2 積層工程 C-2 においては、図 2 3 に示すように第 1 積層中間体 7 3 に対して第 3 層単位ウエハ層基板体 9 C が、第 2 層単位ウエハ層体 2 B の接着層 2 3 B 上に研磨面 2 9 C を接合面として相対するパンプ開口 2 5 B に接続用パンプ 3 0 C を嵌合させるように位置合わせして積層する。第 2 積層工程 C-2 においても、第 1 積層中間体 7 3 に第 3 層単位ウエハ層基板体 9 C を積層した状態で第 3 層単位ウエハ層基板体 9 C 側から加熱・加圧することにより、接着層 2 3 B を介して第 1 積層中間体 7 3 と第 3 層単位ウエハ層基板体 9 C とを一体化して積層中間体を製作する。 30

【0107】

第 2 積層工程 C-2 においても、ダミー基板 7 2 C を有して機械的剛性が保持された第 3 層単位ウエハ層基板体 9 C を第 1 積層中間体 7 3 に積層して一体化することから、第 3 層単位ウエハ層基板体 9 C のハンドリング性も保持され効率よくかつ精密な位置決めが行われる。第 2 積層工程 C-2 は、第 1 層単位ウエハ層体 2 A の配線層 1 2 A と半導体デバイス 3 A 及び第 2 層単位ウエハ層体 2 B の配線層 1 2 B と半導体デバイス 3 B に対して、第 3 層単位ウエハ層基板体 9 C の配線層 1 2 C と各光学素子デバイス 3 C が封止樹脂層 1 0 C を貫通する導電ポスト 1 1 C を介して電氣的に接続する。 40

【0108】

第 3 層単位ウエハ層体製作工程 B C は、第 3 層単位ウエハ層基板体 9 C からダミー基板 7 2 C と剥離層 7 1 C を除去して、最上層を構成する第 3 層単位ウエハ層体 2 C を製作する。第 3 層単位ウエハ層体製作工程 B C は、上述した第 1 層単位ウエハ層体製作工程 B A と同様にダミー基板剥離工程 B C-1 と、剥離層除去工程 B C-2 とを施した後に、剥離面 7 5 C 上にソルダレジスト層 2 7 を形成するソルダレジスト層形成工程 B C-3 と、外付け電子部品 2 6 を実装するための部品実装開口 2 8 を形成する部品実装開口形成工程 B 50

C-4とを有する。

【0109】

第3層単位ウエハ層体製作工程BCは、ダミー基板剥離工程BC-1と剥離層除去工程BC-2とを施して配線層12Cの第2配線パターン20Cを露出させた剥離面75C上に、ソルダレジスト層形成工程BC-3を施して全面に亘ってソルダレジスト層27を形成する。ソルダレジスト層形成工程BC-3は、一般的なプリント配線技術等で用いられる絶縁樹脂材からなるソルダレジストを剥離面75C上に配線層12Cを絶縁保護するに足る厚みを以って塗布することによりソルダレジスト層27を形成する。

【0110】

部品実装開口形成工程BC-4は、例えばソルダレジスト層形成工程BC-3に際して、配線層12Cの第2配線パターン20Cに形成した接続パッド24Cをマスキングした状態でソルダレジスト層27を形成することにより、図24に示すようにソルダレジスト層27に接続パッド24Cを外方に露出させる部品実装開口28を形成する。なお、部品実装開口形成工程BC-4は、剥離面75C上に全面に亘ってソルダレジスト層27を形成した後に接続パッド24Cの対応領域をドライエッチング法等により除去して部品実装開口28を形成するようにしてもよく、またその他プリント配線技術等で採用される種々の方法により形成するようにしてもよい。

【0111】

半導体モジュール1の製造方法においては、外付け電子部品実装工程Dにおいて、ソルダレジスト層27に開口された部品実装開口28を介して外付け電子部品26を組み付け、この外付け電子部品26に設けられた端子部と配線層12Cの接続パッド24Cとを半田接続等して実装することにより、図1に示した半導体モジュール1を製造する。なお、半導体モジュール1の製造方法においては、ソルダレジスト層形成工程BC-3に先行して外付け電子部品実装工程Dを実施して第3層単位ウエハ層体2Cの配線層12C上に外付け電子部品26を実装した状態でソルダレジスト層27を形成するようにしてもよい。

【0112】

半導体モジュール1の製造方法においては、例えば第2層単位ウエハ層体2Bと第3層単位ウエハ層体2Cとの間に、第2層単位ウエハ層体2Bと同様に構成された単位ウエハ層体2を積層することによりさらに多層化した半導体モジュール1を製造することも可能である。半導体モジュール1の製造方法においては、最上層の第3層単位ウエハ層体2Cに光学素子デバイス3Cを実装したが、これら光学素子デバイス3Cを内層の単位ウエハ層体2に実装することも可能である。半導体モジュール1の製造方法においては、この場合に上層の単位ウエハ層体2が光学素子デバイス3Cとの対向領域を光学信号が透過可能とするように形成する必要がある。したがって、半導体モジュール1の製造方法においては、光学素子デバイス3Cを実装する内層の単位ウエハ層体2に光導波路を設けることが好ましい。

【0113】

半導体モジュール1の製造方法においては、下層側の単位ウエハ層体2の接着層23に接続パッド24を露出させるバンプ開口25を形成するとともに積層工程において上層側の単位ウエハ層体2に設けた相対する接続用バンプ30を嵌合させるようにしたが、かかる工程に限定されない。半導体モジュール1の製造方法においては、積層工程に際して例えば接続用バンプ30が接着層23を突き破って接続パッド24と接続されるようにしてもよい。

【0114】

第1の実施の形態及び第2の実施の形態として説明した半導体モジュール1、41においては、上述したようにダミー基板72上に配線層12を形成し、この配線層12の第1配線パターン18に形成したデバイス接続パッド22に対して半導体デバイス3をフリップチップ実装法により実装して構成する。本発明は、かかる構成の半導体モジュール1、41に限定されるものではなく、図25に第3の実施の形態として示した電気・光混載三次元半導体モジュール（以下、半導体モジュールと略称する。）80にも展開するこ

10

20

30

40

50

とが可能である。

【0115】

半導体モジュール80も、基本的な構成を半導体モジュール1、41と同等とし、詳細を後述する別工程により製作され、それぞれ異なる機能の半導体デバイス3を実装しかつ後述するように薄型化が図られた複数の単位ウェハ層体81A～81C（以下、個別に説明する場合を除いて単位ウェハ層体81と総称する。）を互いに電氣的に接続し積層することにより、複数の半導体デバイス3を三次元に配置して構成される。

【0116】

なお、半導体モジュール80においても、3個の単位ウェハ層体81A～81Cを積層した3層構造に限定されず、さらに多層化されて構成されてもよく、また各単位ウェハ層体81が、それぞれが少なくとも1個以上の半導体デバイス3を実装するようにしてもよい。半導体モジュール80も、上述した半導体モジュール1、41と同様に光インターポザや光インタコネクションを構成し、また携帯型電話機50のフレキシブルプリント配線基板59にも実装される。

【0117】

半導体モジュール80は、詳細を後述する製造工程により製造されるが、各層単位ウェハ層体81がその層構成等に応じて具体的な工程を異にするが、基本的な工程を同様とする製造工程によりそれぞれ製作される。半導体モジュール80の製造工程にも、上述した半導体モジュール1の製造工程と同様に第1ダミー基板82A～82C（以下、個別に説明する場合を除いて、第1ダミー基板82と総称する。）が用いられるとともに、第2ダミー基板83A～83C（以下、個別に説明する場合を除いて、第2ダミー基板83と総称する。）も用いられて単位ウェハ層体81を有する単位ウェハ層基板体84A～84C（以下、個別に説明する場合を除いて、単位ウェハ層基板体84と総称する。）が製作される。なお、以下の説明において、上述した半導体モジュール1と同等の部材等については同一符号を付すことにより、説明を省略する。

【0118】

半導体モジュール80は、各単位ウェハ層体81が、半導体デバイス3と多数個の導電ポスト11と封止樹脂層10と配線層とを備える基本的な構成を半導体モジュール1と同様とするが、配線層が第1配線層85A～85C（以下、個別に説明する場合を除いて、第1配線層85と総称する。）と第2配線層86A～86C（以下、個別に説明する場合を除いて、第2配線層86と総称する。）とを別工程で形成する。半導体モジュール80においても、各単位ウェハ層体81が、半導体デバイス3と導電ポスト11と封止樹脂層10に対して薄型化を図るために研磨工程が施され、研磨面29に露出された導電ポスト11の先端部に接続用バンプ30が設けられる。半導体モジュール80は、積層される各単位ウェハ層体81が、接続用バンプ30と相手側の第2配線層86に形成した相対する接続パッド87A～87C（以下、個別に説明する場合を除いて、接続パッド87と総称する。）とを接合することにより接続が行われる。

【0119】

単位ウェハ層体81は、半導体デバイス3の電極14が形成された電極形成面13と略同一面を構成して第1配線層85が形成されるとともに、この第1配線層85と電極形成面13を被覆する誘電絶縁層19に第2配線層86が形成される。単位ウェハ層体81には、誘電絶縁層19を貫通して第1配線層85と第2配線層86とを接続するビア21とともに、半導体デバイス3の電極14と第2配線層86とを接続するビア88A～88C（以下、個別に説明する場合を除いて、ビア88と総称する。）が誘電絶縁層19内に形成されている。単位ウェハ層体81には、第2配線層86上にそれぞれ接着層23が形成されている。単位ウェハ層体81には、接着層23に第2配線層86の接続パッド87を外方に露出させる複数のバンプ開口25が形成されている。

【0120】

半導体モジュール80は、例えば下層の第1層単位ウェハ層体81Aに対して上層の第2層単位ウェハ層体81Bが、バンプ開口25Aを介して接続パッド24Aに導電ポスト

11Bに設けた接続用パンプ30Bを接合することにより積層される。半導体モジュール80は、第2層単位ウエハ層体81Bに対して第3層単位ウエハ層体81Cが同様にして積層される。半導体モジュール80は、第1層単位ウエハ層体81Aの導電ポスト11を接続用パンプ30Aを介してモジュール実装基板4に設けた図示しない接続パッドと接続することによりモジュール実装基板4上に実装されて、図25に示すハイブリット回路装置89を構成する。半導体モジュール80には、第3層単位ウエハ層体81Cの第2配線層86C上に、ソルダレジスト層27に開口された部品実装開口28を介して外付け電子部品26が実装される。

【0121】

半導体モジュール80も、第3層単位ウエハ層体81Cに半導体デバイス3として発
光素子デバイス3C1と受光素子デバイス3C2からなる光学素子デバイス3Cが
実装される。第3層単位ウエハ層体81Cも、これら光学素子デバイス3Cがそれぞ
れの電極14Cをビア88Cを介して第2配線層86Cと接続され、電極形成面13Cに発
光部17Aと受光部17Bが設けられている。第3層単位ウエハ層体81Cは、第2配線
層86Cが、光学素子デバイス3Cの発光部17Aと受光部17Bの対向領域を非パタ
ーン形成領域として構成される。第3層単位ウエハ層体81Cは、誘電絶縁層19Cが光
透過性を有する誘電絶縁材により形成することにより、光学素子デバイス3Cに入出力
される光学信号が誘電絶縁層19C内を透過する。 10

【0122】

半導体モジュール80も、それぞれ別工程の製造工程により製作される複数の単位ウエ
ハ層体81を積層して複数の半導体デバイス3を三次元に配置して高集積化を図って構
成される。半導体モジュール80も、各層の単位ウエハ層体81がそれぞれ固有の機能を
有して全体として所定の機能を有するシステム半導体モジュールを構成する。半導体モジ
ュール80は、各層の単位ウエハ層体2が、それぞれの固有の機能に基づいて上述した基
本構成に対して実装する半導体デバイス3の種類や個数或いは第1配線層85や第2配
線層86の構成を変えて製作される。 20

【0123】

半導体モジュール80も、本体機器の仕様により要求される様々な機能に対しても対応
が可能であり、リードタイムの短縮化と歩留り向上が図られることによりコスト低減と信
頼性の向上が図られて提供される。半導体モジュール80は、各単位ウエハ層体81が詳
細を後述する研磨処理を施されて薄型化されており、多機能・高機能化が図られても小型
・薄型特性が保持される。半導体モジュール80は、各層単位ウエハ層体81に実装した
半導体デバイス3A、3Bと光学素子デバイス3Cとの配線長が短縮化されて信号の
高速伝送化が図られるとともに、CR時定数による信号伝送の遅延、EMIノイズやEM
C等の低減による低寄生容量化が図られる。 30

【0124】

以上のように構成された半導体モジュール80の製造方法について、以下説明する。半
導体モジュール80の製造方法は、図26に示す基本工程を共通とする詳細を後述する別
工程の各層単位ウエハ層基板体製作工程Kにより単位ウエハ層基板体84を製作する。半
導体モジュール80の製造方法は、各層単位ウエハ層基板体製作工程Kを経て製作した各
層単位ウエハ層基板体84を図27に示す積層工程Lにより順次積層することにより、半
導体モジュール80を製造する。半導体モジュール80の製造方法は、積層工程Lにおい
て、第1層単位ウエハ層基板体84Aに対して第2層単位ウエハ層基板体84B、第3層
単位ウエハ層基板体84Cの順で積層が行われるが、後述するようにその際にそれぞれに
対して所定の段取り工程Mが施される。 40

【0125】

半導体モジュール80の製造方法においては、上述したように第1ダミー基板82と第
2ダミー基板83が用いられるそれぞれ別工程の単位ウエハ層基板体製作工程Kにより各
層の単位ウエハ層基板体84を製作する。第1ダミー基板82と第2ダミー基板83は、
上述した単位ウエハ層基板体製作工程Aで用いるダミー基板72と同等とされることから 50

説明を省略するが、それぞれ光透過性を有するとともに、主面上にそれぞれ剥離層 7 1 が形成される。

【0126】

単位ウエハ層基板体製作工程 K においては、図 2 6 に示すように第 1 ダミー基板 8 2 が供給され、この第 1 ダミー基板 8 2 の主面上に第 1 剥離層 7 1 A を形成する第 1 剥離層形成工程 K-1 が施される。単位ウエハ層基板体製作工程 K は、第 1 剥離層 7 1 A 上に単位ウエハ層体 8 1 を形成する各工程が施されて第 1 中間体 9 0 を製作する。単位ウエハ層基板体製作工程 K は、第 1 中間体 9 0 に対して第 2 ダミー基板 8 3 を接合して第 2 中間体 9 1 を製作する。単位ウエハ層基板体製作工程 K は、第 2 中間体 9 1 から第 1 ダミー基板 8 2 を剥離するとともに、所定の工程を経て単位ウエハ層基板体 8 1 を製作する。

10

【0127】

単位ウエハ層基板体製作工程 K は、第 1 剥離層形成工程 K-1 と、第 1 配線層 8 5 を形成する第 1 配線層形成工程 K-2 と、導電ポスト 1 1 を形成する導電ポスト形成工程 K-3 と、半導体デバイス 3 を実装する半導体デバイス実装工程 K-4 と、封止樹脂層 1 0 を形成する封止樹脂層形成工程 K-5 と、封止樹脂層 1 0 を含む各部を所定の厚みに研磨する研磨工程 K-6 とを経て第 1 中間体 9 0 を製作する。単位ウエハ層基板体製作工程 K は、第 2 剥離層 7 1 B を形成する第 2 剥離層形成工程 K-7 を施した第 2 ダミー基板 8 3 を第 1 中間体 9 0 に接合する第 2 ダミー基板接合工程 K-8 を施して第 2 中間体 9 1 を製作する。

【0128】

20

単位ウエハ層基板体製作工程 K は、第 2 中間体 9 1 から第 1 ダミー基板 8 2 を剥離する第 1 ダミー基板剥離工程 K-9 と、第 1 剥離面 9 4 に残った第 1 剥離層 7 1 A を剥離する第 1 剥離層剥離工程 K-10 と、誘電絶縁層 1 9 を形成する誘電絶縁層形成工程 K-11 と、第 2 配線層 8 6 を形成する第 2 配線層形成工程 K-12 と、誘電絶縁層 1 9 を貫通するビア 8 8 を形成するビア形成工程 K-13 と、接続用パンプ 3 0 を形成する接続用パンプ形成工程 K-14 を経て単位ウエハ層基板体 8 4 を製作する。

【0129】

単位ウエハ層基板体製作工程 K は、後述するように第 1 ダミー基板 8 2 や第 2 ダミー基板 8 3 を接合した後に、これらを適宜のタイミングで剥離する第 1 ダミー基板剥離工程 K-10 及び第 2 ダミー基板剥離工程 L-3、M-1 を有する。単位ウエハ層基板体製作工程 K においても、これらのダミー基板剥離工程としてレーザ光 R を照射して第 1 剥離層 7 1 A、第 2 剥離層 7 1 B を界面として第 1 ダミー基板 8 2 及び第 2 ダミー基板 8 3 をそれぞれ剥離するレーザ光照射剥離法が採用される。

30

【0130】

単位ウエハ層基板体製作工程 K においても、第 1 剥離層形成工程 K-1 において、第 1 ダミー基板 8 2 の主面上に、線膨張係数を大きく異にする樹脂材を用いて数 μ 程度の厚みと平坦性を有する第 1 剥離層 7 1 A を全面に亘って形成する。第 1 剥離層形成工程 K-1 においても、レーザ光 R から第 1 配線層 8 5 を保護する金属薄膜層を形成するようにしてもよい。

【0131】

40

第 1 配線層形成工程 K-2 は、例えば第 1 剥離層 7 1 A 上にパターンニングしためっきレジスト層を形成した状態で銅めっきを施す銅めっき法により、第 1 剥離層 7 1 A 上に図 2 8 に示すように所定の配線パターンや端子パターンを有する銅配線からなる第 1 配線層 8 5 を形成する。第 1 配線層形成工程 K-2 は、高精度に平坦化された主面を有する第 1 ダミー基板 8 2 上に第 1 配線層 8 5 を形成することから、精密でかつ高密度、微細ピッチの第 1 配線層 8 5 を形成することが可能である。なお、第 1 配線層形成工程 K-2 は、銅めっき法に限定されず、従来一般的に行われている種々の配線層形成技術、例えば第 1 剥離層 7 1 A 上に無電界銅めっき法やスパッタ法等により形成した銅薄膜層を下地層として銅めっきにより所定の厚みの銅層を形成し、さらにこの銅層に対してエッチング法等によるパターンニング処理を施して形成する等の適宜の方法により第 1 配線層 8 5 を形成するよう

50

にしてもよい。

【0132】

単位ウエハ層基板体製作工程 K は、導電ポスト形成工程 K-3 において、例えば第 1 配線層 85 の端子パターンを開口したマスキングを行った状態で銅めっき法により所定の配線パターン上に図 29 に示すように所定の高さを有する複数の導電ポスト 11 を形成する。導電ポスト形成工程 K-3 は、かかる銅めっき法に限定されず、例えば銅ペーストを用いた印刷法等の適宜の方法により導電ポスト 11 を形成するようにしてもよい。導電ポスト形成工程 K-3 は、精密な第 1 配線層 85 上に微細なピッチにより複数の導電ポスト 11 を形成することが可能である。

【0133】

半導体デバイス実装工程 K-4 は、第 1 配線層 85 に対して半導体デバイス 3 の実装領域の対応部位を除去して半導体デバイス実装領域 93 を形成する工程と、この半導体デバイス実装領域 93 内に位置して第 1 ダミー基板 82 上に半導体デバイス 3 を実装する工程とを有する。半導体デバイス実装工程 K-4 は、例えばドライエッチング法等により第 1 剥離層 71A 上に形成した第 1 配線層 85 の一部を除去して半導体デバイス実装領域 93 を形成する。なお、半導体デバイス実装工程 K-4 は、第 1 配線層形成工程 K-2 において半導体デバイス実装領域 93 を予め抜きパターン領域として形成した場合には、この除去工程を不要とする。

【0134】

半導体デバイス実装工程 K-4 は、図 30 に示すように第 1 ダミー基板 82 の半導体デバイス実装領域 93 上に半導体デバイス 3 を適宜の治具を用いて位置決めした状態で電極形成面 13 側から実装する。半導体デバイス実装工程 K-4 は、例えばこの電極形成面 13 に接着剤を塗布した状態で半導体デバイス 3 を半導体デバイス実装領域 93 上に載置することにより、半導体デバイス 3 が電極 14 を第 1 剥離層 71A 上に直接接触させた状態で固定されて実装されるようにする。なお、半導体デバイス実装工程 K-4 は、特に大きな振動等が加えられて半導体デバイス 3 が動くといった虞が無い場合には、特に接着剤により固定する必要は無い。

【0135】

単位ウエハ層基板体製作工程 K は、導電ポスト形成工程 K-3 の後工程として半導体デバイス実装工程 K-4 を実施するようにしたが、この順序が逆であってもよい。単位ウエハ層基板体製作工程 K は、後述するように研磨工程 K-6 により半導体デバイス 3 を機能に支障を来さない範囲で研磨して導電ポスト 11 と同一の高さとする。導電ポスト形成工程 K-3 は、厚みが大きな半導体デバイス 3 が予め第 1 ダミー基板 82 上に実装されていると、導電ポスト 11 の形成に邪魔になることから半導体デバイス実装工程 K-4 の後工程で実施することが好ましい。

【0136】

単位ウエハ層基板体製作工程 K は、上述した封止樹脂層形成工程 A-5 と同様の工程からなる封止樹脂層形成工程 K-5 において、図 31 に示すように第 1 配線層 85 上に半導体デバイス 3 と各導電ポスト 11 を覆う封止樹脂層 10 を形成する。封止樹脂層形成工程 K-5 においても、封止樹脂材として、半導体製造工程においてパッケージ樹脂材として一般的に用いられる例えばエポキシ系樹脂材やポリイミド樹脂或いはフィラーを含有させた樹脂材が用いられて形成される。

【0137】

単位ウエハ層基板体製作工程 K は、研磨工程 K-6 において、図 32 に示すように半導体デバイス 3 と封止樹脂層 10 に対して各導電ポスト 11 の先端部を露出させさらにこの先端部を含んで所定の高さまで研磨する研磨処理が施される。研磨工程 K-6 は、例えばバックグラインド法等により、封止樹脂層 10 とともに半導体デバイス 3 の裏面側を機能を損なわない範囲まで研磨することにより、封止樹脂層 10 と半導体デバイス 3 の裏面と各導電ポスト 11 の先端面が互いに同一面を構成する研磨面 29 を形成する。単位ウエハ層基板体製作工程 K においては、上述した研磨工程 K-6 により研磨面 29 に露出

10

20

30

40

50

された各導電ポスト 11 の先端面に Sn-Au 層や Ti-Au 層等からなる電極膜を形成する電極形成処理を施すようにしてもよい。単位ウエハ層基板体製作工程 K は、研磨工程 K-6 を経て第 1 中間体 90 を製作する。

【0138】

単位ウエハ層基板体製作工程 K においては、第 2 ダミー基板接合工程 K-8 において、上述した第 1 中間体 90 の研磨面 29 上に第 2 ダミー基板 83 が接合されて図 33 に示す第 2 中間体 91 を製作する。第 2 ダミー基板 83 も、上述した第 1 ダミー基板 82 と同等の部材であり、第 1 剥離層形成工程 K-1 と同様の工程からなる第 2 剥離層形成工程 K-7 により、主面上に第 2 剥離層 71B が形成される。第 2 剥離層形成工程 K-7 は、第 2 ダミー基板 83 が後述する剥離工程において第 1 ダミー基板 82 と同等の工程により剥離 10
されることが望ましいことから、第 1 剥離層 71A と同一材料により第 2 剥離層 71B を形成する。第 2 ダミー基板接合工程 K-8 は、第 1 中間体 90 に対して研磨面 29 上に第 2 剥離層 71B を介して重ね合わされた第 2 ダミー基板 83 を加圧、加熱して接合することにより第 2 中間体 91 を製作する。

【0139】

単位ウエハ層基板体製作工程 K は、上述した第 2 中間体 91 に対して第 1 ダミー基板剥離工程 K-9 を施して、第 1 ダミー基板 82 を剥離する。第 1 ダミー基板剥離工程 K-9 は、第 1 ダミー基板 82 に対して図 33 に示すように底面側からレーザ装置から出射したレーザ光 R を照射することにより、第 1 剥離層 71A との界面から第 1 ダミー基板 82 を剥離する。 20

【0140】

単位ウエハ層基板体製作工程 K は、第 1 ダミー基板 82 が剥離された第 1 配線層 85 上に第 1 剥離層 71A が残留しており、この第 1 剥離層 71A を第 1 剥離層除去工程 K-10 において例えばプラズマエッチング法やイオンエッチング法等のドライエッチング法により除去することにより図 34 に示す第 3 中間体 92 を製作する。第 3 中間体 92 は、上述したように平坦化された第 1 ダミー基板 82 の主面上に第 1 剥離層 71A を介して第 1 配線層 85 を形成したことから、平坦化された第 1 剥離面 94 を構成する。また、第 3 中間体 92 は、半導体デバイス 3 の電極形成面 13 に設けられた電極 14 が第 1 配線層 85 の第 1 剥離面 94 と同一面を構成して露出している。

【0141】

単位ウエハ層基板体製作工程 AK、誘電絶縁層形成工程 K-11 において、第 1 配線層 85 の第 1 剥離面 94 上に誘電絶縁層 19 を形成する。誘電絶縁層形成工程 K-11 は、一般的な多層配線層形成技術に用いられる誘電絶縁樹脂材、例えば高周波特性に優れたベンゾシクロブテン等を用いスピコート法等により均一な厚みの誘電絶縁層 19 を形成する。 30

【0142】

単位ウエハ層基板体製作工程 K は、第 2 配線層形成工程 K-12 において、誘電絶縁層 19 上に所定の配線パターンや接続パッド 87 を有する第 2 配線層 86 を形成する。第 2 配線層形成工程 K-12 は、上述したように平坦な主面を有する第 1 ダミー基板 82 を剥離した第 1 剥離面 94 上に誘電絶縁層 19 を介して第 2 配線層 86 を形成することから。 40
高密度で微細な配線パターンを有する第 2 配線層 86 を形成することが可能である。

【0143】

第 2 配線層形成工程 K-12 は、後述する積層工程 L により各単位ウエハ層体 81 を積層して多層化することから、第 2 配線層 86 がそれぞれ誘電絶縁層 19 の主面と共同して平坦な積層面を構成することが好ましい。第 2 配線層形成工程 K-12 は、例えば感光性誘電絶縁樹脂材により形成された誘電絶縁層 19 に対して第 2 配線層 86 の配線パターンの対応部位にマスキングをした状態で露光処理を行った後に、エッチング処理により露光部位を除去して凹溝を形成する。第 2 配線層形成工程 K-12 は、凹溝を形成した誘電絶縁層 19 上に全面に亘って銅めっき処理を施した後に、誘電絶縁層 19 が露出するまで研磨処理を施すことにより凹溝内に銅めっき層が残って第 2 配線層 86 を形成する。 50

【0144】

なお、第2配線層形成工程K-13は、上述した第2配線層86の形成工程に限定されず、一般的な多層配線層形成技術により第2配線層86を形成するようにしてもよい。第2配線層形成工程K-12は、例えば誘電絶縁層19上に銅めっき法等により全面に亘って銅膜層を形成し、この銅膜層に対してエッチング処理を施して不要な銅膜層を除去して第2配線層86のパターニングを行う。第2配線層形成工程K-12は、誘電絶縁層19と同一の誘電絶縁樹脂材によりパターニングを行った銅膜層を被覆して全面に亘って絶縁層を形成する。第2配線層形成工程K-12は、この絶縁層に研磨処理を施して、配線パターンと絶縁層が同一面を構成する第2配線層86を形成する。

【0145】

10

第2配線層形成工程K-13においては、必要に応じて多層配線層からなる第2配線層86を形成するようにしてもよく、また配線パターンや接続パッド87とともに薄膜レジスタ素子や薄膜インダクタ素子或いは薄膜キャパシタ素子等の薄膜受動素子を形成するようにしてもよい。第2配線層形成工程K-12は、上述した構造から、高精度の薄膜受動素子を内部に形成することが可能である。

【0146】

単位ウエハ層基板体製作工程Kは、ビア形成工程K-13において、第2配線層86の接続パッド87と第1配線層85の接続パッドとを接続するビア21或いは第2配線層86と半導体デバイス3の電極14とを接続するビア88を形成する。ビア形成工程K-13は、例えば第2配線層86の所定位置からレーザ加工等により第1配線層85の接続パッドや半導体デバイス3の電極14に達するビアホールを形成した後に、導電ペースト等による孔埋めや蓋形成を経てビア21、88を形成する。なお、ビア形成工程K-13は、かかる工程に限定されず従来の多層配線基板製造工程で実施される適宜のビア形成技術によりビア21、88を形成するようにしてもよい。

20

【0147】

単位ウエハ層基板体製作工程Kは、接続バンプ形成工程K-14において、第2配線層86に形成した接続パッド87上に接続用バンプ30を設ける。接続バンプ形成工程K-14は、例えばボールボンディング法やスタッド（ボール）バンプ接合法或いはめっき法により接続用バンプ30を形成する。接続用バンプ30は、例えば低温で共晶を形成するCuバンプやAuバンプ或いはSnやSnAg等の半田バンプ又はこれらの材料を混合した接続バンプが形成される。

30

【0148】

半導体モジュール80の製造工程は、上述した工程を基本工程とする単位ウエハ層基板体製作工程Kを経て、図35に示すように各層の機能に応じて選択された半導体デバイス3を実装するとともにそれぞれ所定の配線パターンを有する第1配線層85や第2配線層86を形成した単位ウエハ層基板体84を製作する。半導体モジュール80の製造工程は、各単位ウエハ層基板体製作工程Kにおいて、例えば導通検査工程を実施して、良品と判定した単位ウエハ層基板体84のみを次工程へと供給する。

【0149】

半導体モジュール80は、上述したようにそれぞれ別工程の単位ウエハ層基板体製作工程Kを経て各層単位ウエハ層基板体84を製作することで、リードタイムの短縮化と歩留り向上によりコスト低減と信頼性の向上が図られるようになる。半導体モジュール80は、各半導体デバイス3に対して薄型化を図るために機能を損なわない範囲で裏面の研磨が施されるが、汎用の半導体デバイスを選択して実装することが可能であり目的に応じた仕様のものが廉価で製造される。

40

【0150】

半導体モジュール80の製造工程は、図27に示すように単位ウエハ層体積層工程Lにより第2ダミー基板83A上に単位ウエハ層体81Aを形成した第1層単位ウエハ層基板体84Aに対して、上層の単位ウエハ層体81B、81Cを順次積層して半導体モジュール80を製造する。したがって、半導体モジュール80の製造工程においては、上層の単

50

位ウエハ層体 8 1 B、8 1 C に対して、第 1 層単位ウエハ層基板体 8 4 A に積層するためにそれぞれ同様の段取り工程 M が施される。

【0 1 5 1】

第 2 層単位ウエハ層基板体 4 B に施す段取り工程 M について代表して説明する。段取り工程 M は、第 2 層単位ウエハ層基板体 8 4 B から第 2 ダミー基板 8 3 B を剥離する第 2 ダミー基板剥離工程 M-1 と、第 2 剥離層 7 1 B を除去する第 2 剥離層除去工程 M-2 と、研磨面 2 9 上に接着層 2 3 を形成する接着層形成工程 M-3 と、接着層 2 3 にパンプ開口 2 5 を形成するパンプ開口形成工程 M-4 とを経て、第 2 層単位ウエハ層体 8 1 B を製作する。

【0 1 5 2】

段取り工程 M は、第 2 ダミー基板剥離工程 M-1 が、上述した単位ウエハ層基板体製作工程 K の第 1 ダミー基板剥離工程 K-9 と同等の工程であり、第 2 ダミー基板 8 3 に対してその底面側からレーザ装置から出射したレーザ光 R を照射することにより、第 2 剥離層 7 1 B との界面において第 2 ダミー基板 8 3 を剥離する。第 2 ダミー基板剥離工程 M-1 においても、光透過性が良好なガラス基板や石英基板により形成された第 2 ダミー基板 8 3 を透過したレーザ光 R が効率よく第 2 剥離層 7 1 B に達し、この第 2 剥離層 7 1 B を加熱する。第 2 ダミー基板剥離工程 M-1 においても、第 2 ダミー基板 8 3 と第 2 剥離層 7 1 B との大きな熱膨張率の差異により第 2 層単位ウエハ層基板体 4 B から第 2 ダミー基板 8 3 B が効率よくかつきれいに剥離する。

【0 1 5 3】

段取り工程 M は、第 2 剥離層除去工程 M-2 が、上述した単位ウエハ層基板体製作工程 K の第 1 剥離層除去工程 K-10 と同等の工程であり、第 2 ダミー基板 8 3 B が剥離されて研磨面 2 9 B 上に残った第 2 剥離層 7 1 B を除去する。第 2 剥離層除去工程 M-2 は、例えばドライエッチング法等により第 2 剥離層 7 1 B を除去し、平坦化された研磨面 2 9 B を露出させる。

【0 1 5 4】

段取り工程 M は、接着層形成工程 M-3 において、第 2 層単位ウエハ層体 8 1 B を第 1 層単位ウエハ層基板体 8 4 A に接合するための接着層 2 3 B を露出された研磨面 2 9 B 上に形成する。接着層形成工程 M-3 は、接着層 2 3 B が、上述した誘電絶縁層 1 9 B を形成する樹脂材と同等の絶縁樹脂材が用いられ、研磨面 2 9 B 上に例えばスピコート法等により均一な厚みを有して形成される。なお、接着層形成工程 M-3 は、接着絶縁フィルムを研磨面 2 9 B 上に接合して接着層 2 3 B を形成するようにしてもよい。

【0 1 5 5】

段取り工程 M は、パンプ開口形成工程 M-4 において、接着層 2 3 B に各導電ポスト 1 1 B の研磨面 2 9 B に露出された先端部にそれぞれ対応位置されてこの先端部をそれぞれ外方に露出させるパンプ開口 2 5 B を形成する。パンプ開口形成工程 M-4 は、例えば接着層 2 3 B が感光性絶縁樹脂材により形成される場合に、周知のリソグラフィ技術によりパンプ開口 2 5 B を形成する。また、パンプ開口形成工程 M-4 は、接着層 2 3 B が非感光性絶縁樹脂材により形成される場合に、プラズマエッチング法等の周知のドライエッチング技術によりパンプ開口 2 5 B を形成する。

【0 1 5 6】

半導体モジュール 8 0 の製造工程は、上述した段取り工程 M を経て、第 1 層単位ウエハ層基板体 8 4 A に順次積層する第 2 層単位ウエハ層体 8 1 B 及び第 3 層単位ウエハ層体 8 1 C をそれぞれ製作する。なお、第 3 層単位ウエハ層体 8 1 C の段取り工程 B C においては、上層に単位ウエハ層体 8 1 が接合されることが無いので、接着層形成工程 M-3 やパンプ開口形成工程 M-4 を不要とする。第 3 層単位ウエハ層体 8 1 C の段取り工程 M は、接着層形成工程 M-3 に代えて第 2 配線層 8 6 C を保護するソルダレジスト層 2 7 を形成するとともに、このソルダレジスト層 2 7 に外付け電子部品 2 6 を実装するための部品実装開口 2 8 を形成する。

【0 1 5 7】

半導体モジュール 80 の製造工程は、上述した段取り工程 M を経て、図 36 において一部を省略して示す第 2 層単位ウエハ層体 81 B を製作し、この第 2 層単位ウエハ層体 81 B を第 2 層積層工程 L-1 により上述した接着層 23 B を介して第 1 層単位ウエハ層基板体 84 A の同一面を構成する誘電絶縁層 19 A と第 2 配線層 86 A 上に積層する。第 2 層積層工程 L-1 は、図 36 に示すように第 1 層単位ウエハ層基板体 84 A と第 2 層単位ウエハ層体 81 B が、第 2 配線層 86 A 側の接続パッド 87 A に設けた接続用バンプ 30 A と相対する導電ポスト 11 B に対応して接着層 23 に形成したバンプ開口 25 B とを対向させるようにして組み合わせられる。

【0158】

第 2 層積層工程 L-1 は、第 1 層単位ウエハ層基板体 84 A と第 2 層単位ウエハ層体 81 B を加熱・加圧することにより接着層 23 B を介して一体化し、図 37 に示した積層中間体 95 を製作する。第 2 層積層工程 L-1 は、上述したように第 2 ダミー基板 83 A を有することにより機械的剛性が保持された第 1 層単位ウエハ層基板体 84 A に対して第 2 層単位ウエハ層体 81 B を積層することから、ハンドリング性も保持され効率よくかつ精密に位置決めして第 1 層単位ウエハ層基板体 84 A と第 2 層単位ウエハ層体 81 B とを積層することを可能とする。

【0159】

第 2 層積層工程 L-1 は、例えば接続用バンプ 30 を半田系めっきバンプによって形成した場合に、半田の溶融温度以上に加熱しながら第 1 層単位ウエハ層基板体 84 A と第 2 層単位ウエハ層体 81 B を加圧することにより相対する接続用バンプ 30 A と導電ポスト 11 とが半田接続され、第 1 層単位ウエハ層基板体 84 A と第 2 層単位ウエハ層体 81 B とを積層することを可能とする。

【0160】

積層中間体 95 は、接続用バンプ 30 A が相対するバンプ開口 25 B に嵌合して導電ポスト 11 B と接続されることにより、第 1 層単位ウエハ層基板体 84 A の第 2 配線層 86 A と第 2 層単位ウエハ層体 81 B の導電ポスト 11 B が電氣的に接続される。なお、積層中間体 95 は、第 2 層単位ウエハ層体 81 B 側にバンプ開口 25 B が形成されていない場合に、接続用バンプ 30 A が接着層 23 B を突き破って導電ポスト 11 B と接続される。

【0161】

積層工程 L は、上述した積層中間体 95 を構成する第 2 層単位ウエハ層体 81 B 上に、第 3 層積層工程 L-2 により第 3 層単位ウエハ層体 81 C が積層される。積層工程 L は、第 3 層単位ウエハ層体 81 C を積層した状態で、第 2 ダミー基板剥離工程 L-3 により第 1 層単位ウエハ層基板体 84 A から第 2 ダミー基板 83 A を剥離する。この第 1 層単位ウエハ層基板体 84 A に施す第 2 ダミー基板剥離工程 C-3 も、上述した上層単位ウエハ層基板体 84 に施す第 2 ダミー基板剥離工程 M-1 と同等の工程であり、第 2 ダミー基板 83 A の底面側からレーザ光 R を照射して第 2 剥離層 71 B A を界面として第 2 ダミー基板 83 A を剥離する。

【0162】

積層工程 L は、ドライエッチング法等による第 2 剥離層除去工程 L-4 を施して、第 2 ダミー基板 83 A を剥離することにより第 1 層単位ウエハ層体 81 A の研磨面 29 A 上に残った第 2 剥離層 71 B A を除去する。

【0163】

半導体モジュール 80 は、上述したように第 2 ダミー基板 83 A が剥離されるとともに第 2 剥離層 71 B A が除去された第 1 層単位ウエハ層体 81 A の研磨面 29 A を実装面としてモジュール実装基板 4 制御基板 25 等を実装される。したがって、積層工程 L は、接続用バンプ形成工程 L-5 により、研磨面 29 A に露出された各導電ポスト 11 A の先端部にそれぞれ接続用バンプ 30 A が設けられる。積層工程 L は、外付け電子部品実装工程 L-6 により、最上層の第 3 層単位ウエハ層体 81 C の第 2 配線層 86 C に対して、ソルダレジスト層 27 に設けた部品実装開口 28 を介して外付けの外付け電子部品 26 を表面実装法等により実装して、半導体モジュール 80 を製造する。

【0164】

なお、半導体モジュール80の製造方法においては、第3層積層工程L-2の後工程として、第2ダミー基板剥離工程L-3、第2剥離層除去工程L-4、接続用パンプ形成工程L-5、部品実装工程L-6の工程順序で半導体モジュール80を製造するようにしたが、かかる工程順序に限定されないことは勿論である。半導体モジュール80の製造方法においては、例えば第2ダミー基板剥離工程L-3の前工程として部品実装工程を行うようにしてもよい。

【0165】

上述したように半導体モジュール80の製造工程においても、各単位ウエハ層体81が薄厚で機械的剛性が小さく、単体の状態で工程間の搬送や位置決め等を行う場合に取り扱いが面倒であるとともに折れ曲がり等が発生する虞があるが、第2ダミー基板83を接合した状態で第1ダミー基板82を剥離して第2配線層86の形成や多層化が行われるようにする。半導体モジュール80の製造工程においては、例えば厚みの大きな半導体デバイス3を実装することにより封止樹脂層10の厚みも大きくなって各単位ウエハ層体81がある程度の機械的剛性を有する場合に、第2ダミー基板83の接合工程を不要として第2配線層形成工程K-12等を実施することも可能である。

【図面の簡単な説明】

【0166】

【図1】第1の実施の形態として示す半導体モジュールの断面図である。

【図2】同半導体モジュールをモジュール実装基板に実装したハイブリット回路装置の実施の形態として示す光インターコネクションである。

【図3】同ハイブリット回路装置の他の実施の形態として示す光インターポーザである。

【図4】第2の実施の形態として示す半導体モジュールの断面図である。

【図5】同モジュール実装基板に実装したハイブリット回路装置の実施の形態として示す光インターコネクションである。

【図6】一対の半導体モジュールをモジュール実装基板に実装したハイブリット回路装置である。

【図7】携帯型電話機の構成図である。

【図8】同携帯型電話機に備えられるフレキシブルプリント配線基板の適用例である。

【図9】第1の実施の形態として示した半導体モジュールを構成する単位ウエハ層基板体の製作工程図である。

【図10】単位ウエハ層基板体から単位ウエハ層体を製作する工程と、単位ウエハ層体を積層する工程とを示す工程図である。

【図11】単位ウエハ層基板体の製作に用いるダミー基板である。

【図12】ダミー基板上に配線層を形成した図である。

【図13】配線層に導電ポストを形成した図である。

【図14】配線層に半導体デバイスをフリップチップ実装した図である。

【図15】封止樹脂層を形成した図である。

【図16】研磨工程を施した図である。

【図17】導電ポストに接続用パンプを設けた図である。

【図18】ダミー基板を剥離した状態の図である。

【図19】接着層を形成した図である。

【図20】第1層単位ウエハ層体と第2層単位ウエハ層基板体とを積層する図である。

【図21】第1層単位ウエハ層体と第2層単位ウエハ層基板体とを積層して一体化した状態の図である。

【図22】第2層単位ウエハ層基板体からダミー基板を剥離して第1層単位ウエハ層体と第2層単位ウエハ層体とを積層した第1積層中間体の図である。

【図23】第1積層中間体と第3層単位ウエハ層基板体とを積層する図である。

【図24】第3層単位ウエハ層基板体からダミー基板を剥離して第1積層中間体と第3層単位ウエハ層体とを積層した第2積層中間体の図である。

10

20

30

40

50

【図 2 5】第 3 の実施の形態として示した半導体モジュールをモジュール実装基板に実装したハイブリット回路装置である。

【図 2 6】第 3 の実施の形態として示した半導体モジュールを構成する単位ウエハ層基板体の製作工程図である。

【図 2 7】単位ウエハ層基板体に第 2 ダミー基板剥離工程と積層工程を施して半導体モジュールを製造する工程図である。

【図 2 8】第 1 ダミー基板上に第 1 配線層を形成する図である。

【図 2 9】第 1 配線層に導電ポストを形成した図である。

【図 3 0】第 1 ダミー基板上に半導体デバイスを実装した図である。

【図 3 1】封止樹脂層を形成した図である。

10

【図 3 2】研磨工程を施した図である。

【図 3 3】第 2 ダミー基板を接合した第 2 中間体の図である。

【図 3 4】第 1 ダミー基板を剥離した第 3 中間体の図である。

【図 3 5】第 1 剥離面に第 2 配線層を形成した単位ウエハ層基板体の図である。

【図 3 6】第 1 層単位ウエハ層基板体に対して第 2 層単位ウエハ層体を積層する図である。

【図 3 7】第 1 層単位ウエハ層基板体に第 2 層単位ウエハ層体を積層した積層中間体の図である。

【図 3 8】マルチチップモジュールの構成図である。

【符号の説明】

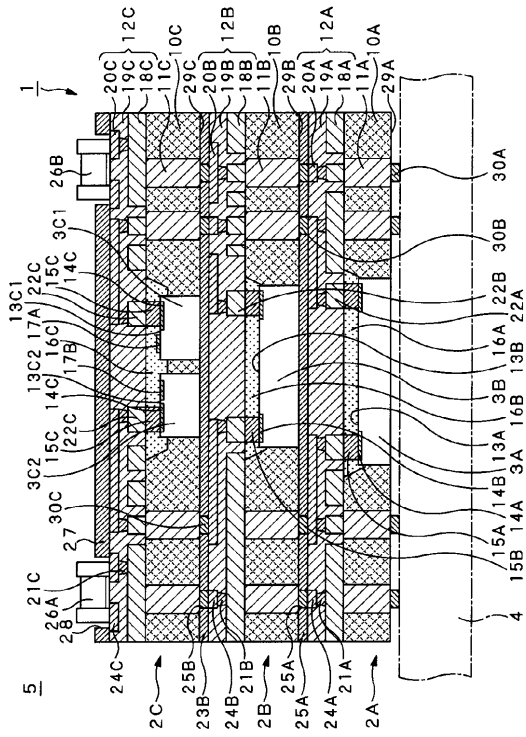
20

【0 1 6 7】

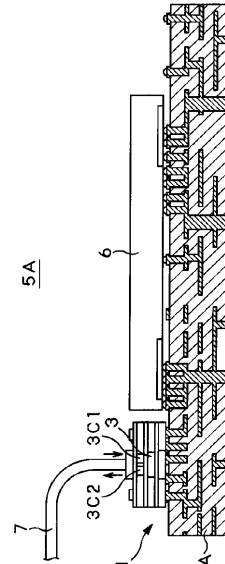
1 半導体モジュール、2 単位ウエハ層体、3 半導体デバイス、4 モジュール基板、5 ハイブリット回路装置、9 単位ウエハ層基板体、10 封止樹脂層、11 導電ポスト、12 配線層、13 電極形成面、14 電極、15 実装用バンプ、16 アンダフィル、18 第 1 配線パターン、19 誘電絶縁層、20 第 2 配線パターン、21 ビア、22 デバイス接続パッド、23 接着層、24 接続パッド、25 バンプ開口、26 外付け電子部品、27 ソルダレジスト層、28 部品実装開口、29 研磨面、30 接続用バンプ、40 ハイブリット回路装置、44 インタポーザ、46 光学信号導光孔、47 光導波路、50 携帯型電話機、51 第 1 筐体、52 第 2 筐体、53 可動機構、59 フレキシブルプリント配線基板、62 光導波路体、71 剥離層、72 ダミー基板、73 剥離層、75 剥離面、80 半導体モジュール、81 単位ウエハ層体、82 第 1 ダミー基板、83 第 2 ダミー基板、84 単位ウエハ層基板体、85 第 1 配線層、86 第 2 配線層、87 接続パッド、88 ビア

30

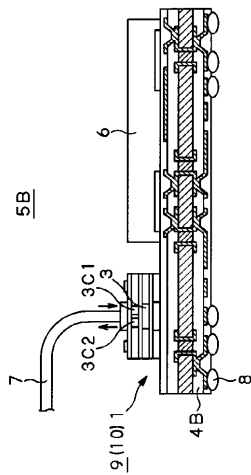
【図 1】



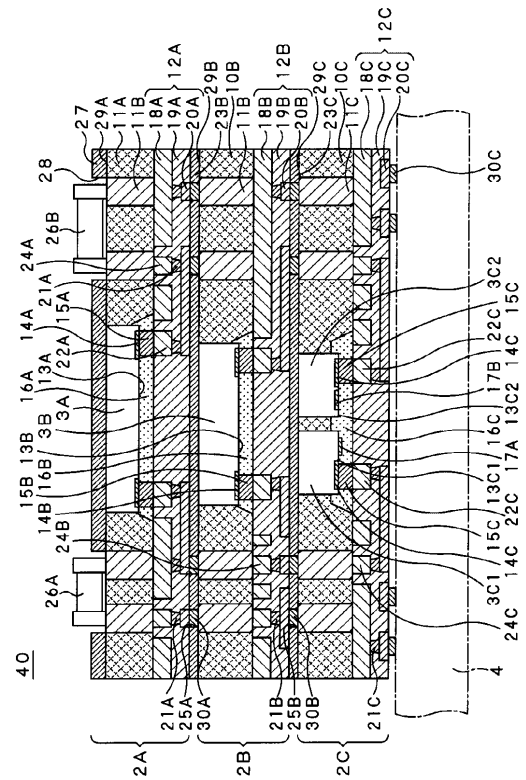
【図 2】



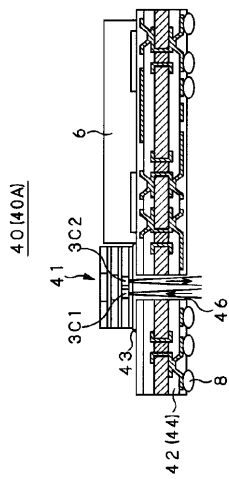
【図 3】



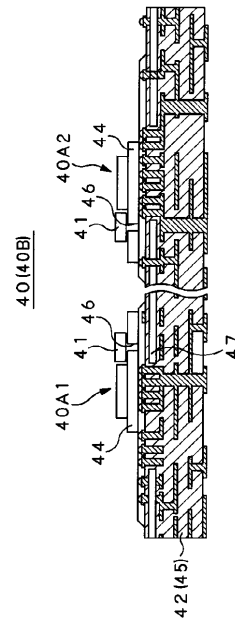
【図 4】



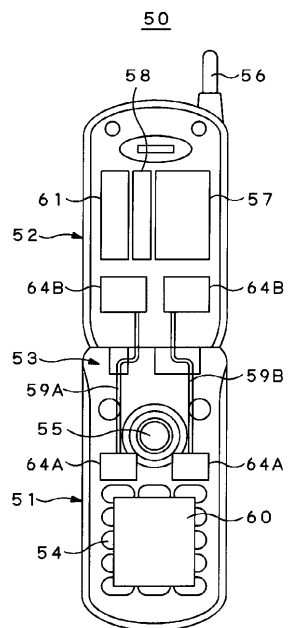
【図 5】



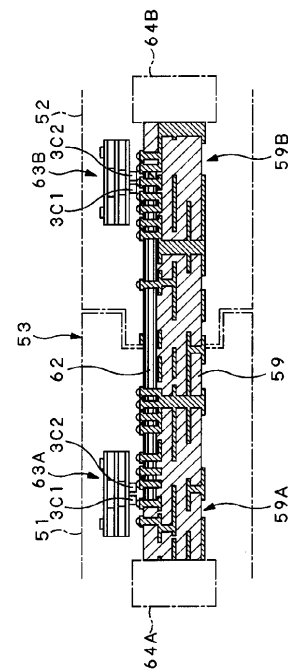
【図 6】



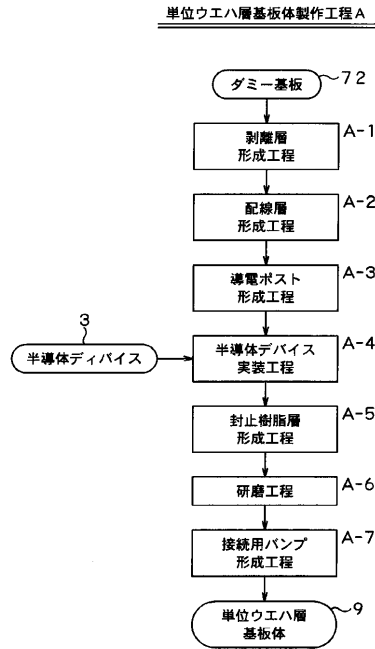
【図 7】



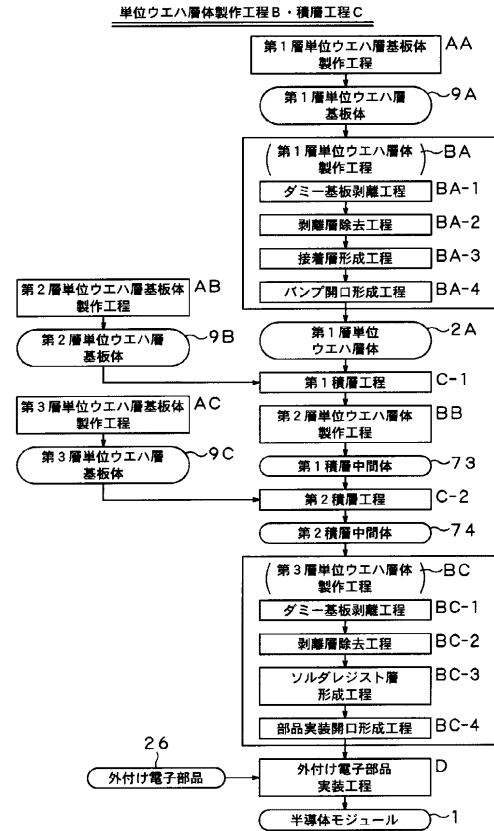
【図 8】



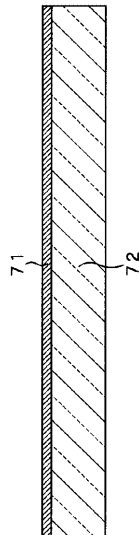
【図 9】



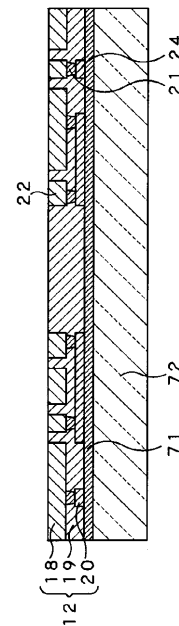
【図 10】



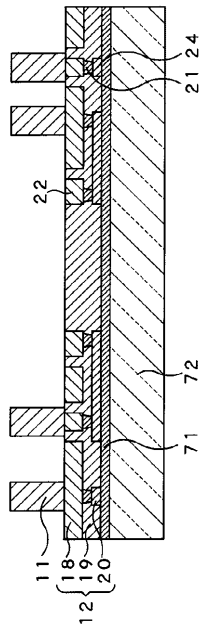
【図 11】



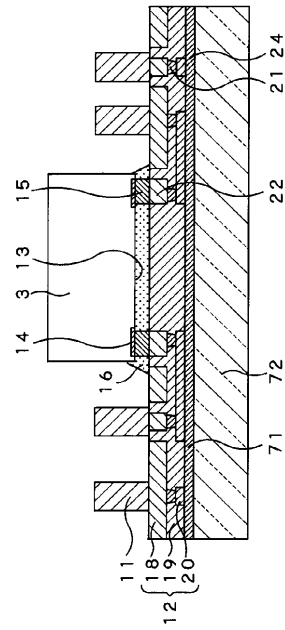
【図 12】



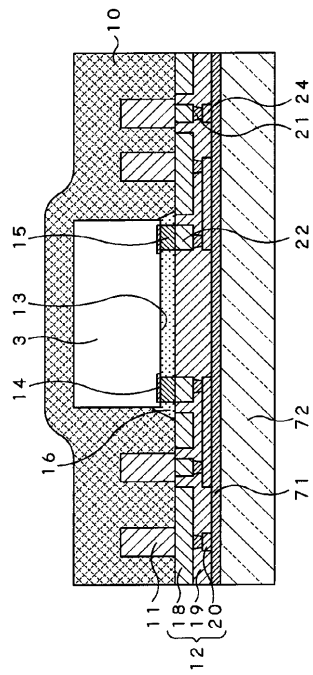
【図 1 3】



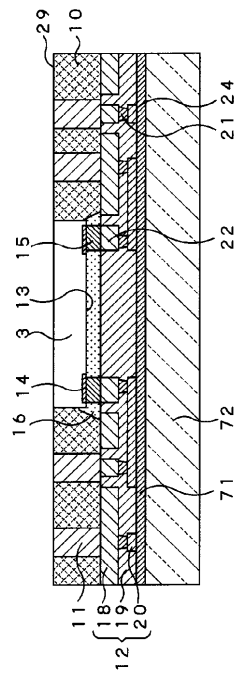
【図 1 4】



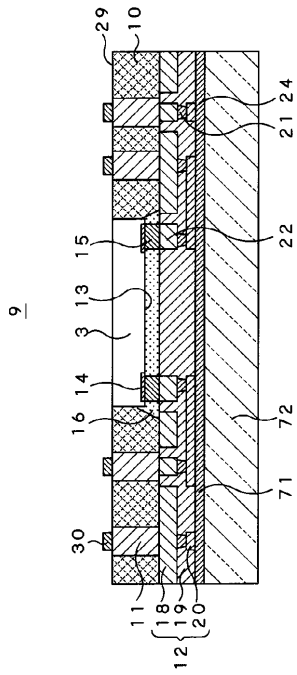
【図 1 5】



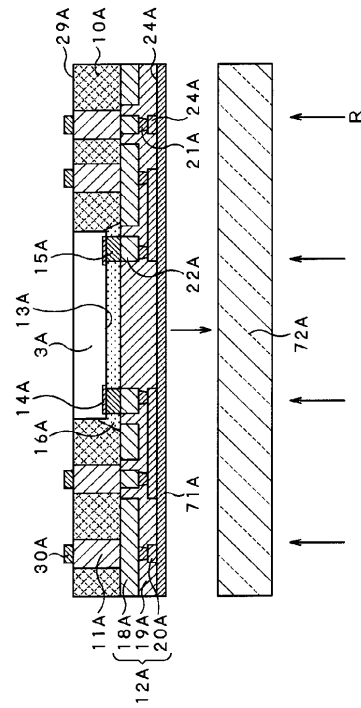
【図 1 6】



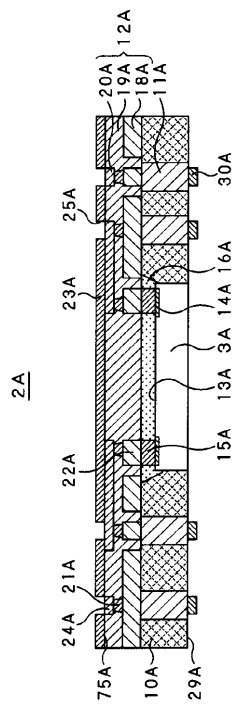
【図 17】



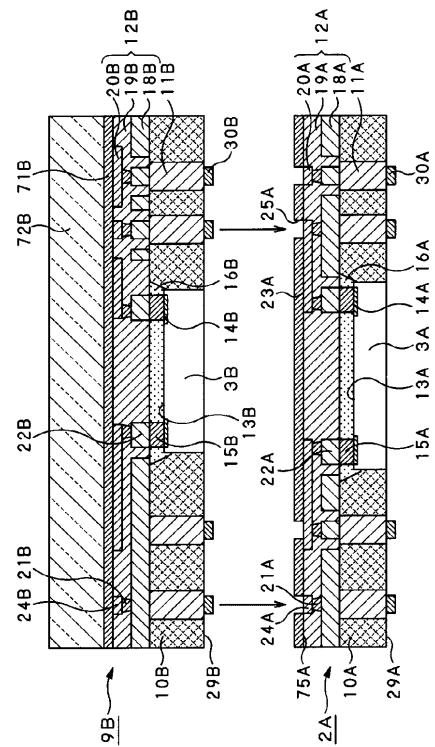
【 図 1 8 】



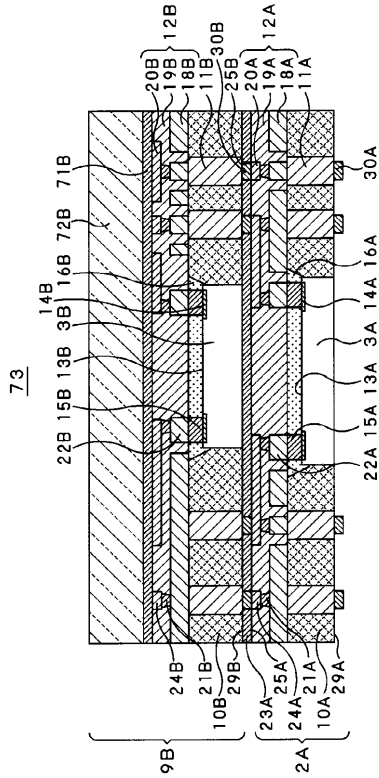
【 図 1 9 】



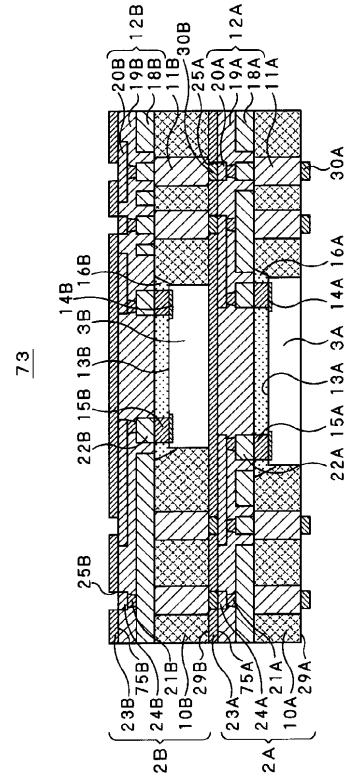
【図 20】



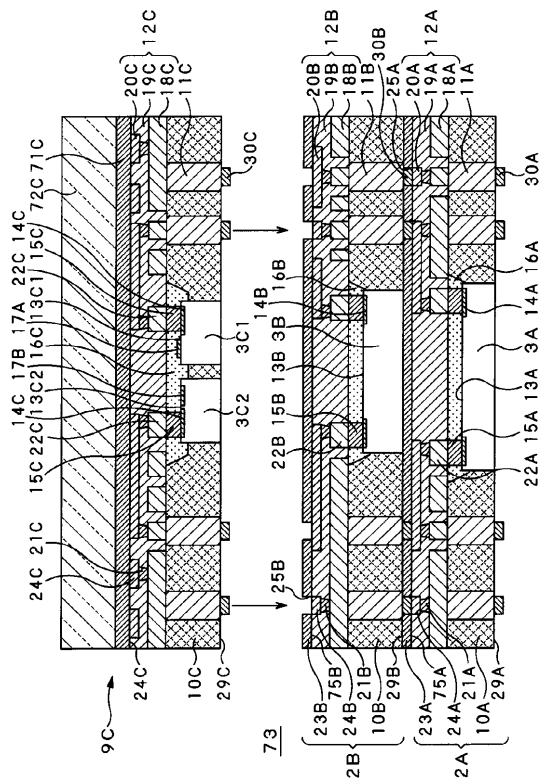
【図 2 1】



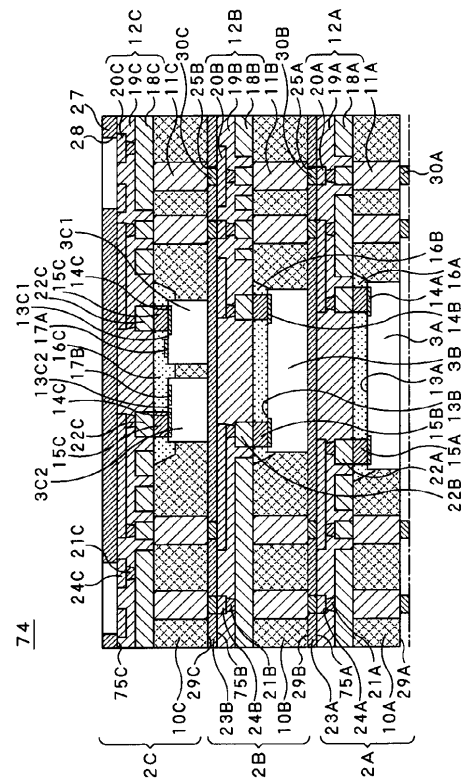
【図 2 2】



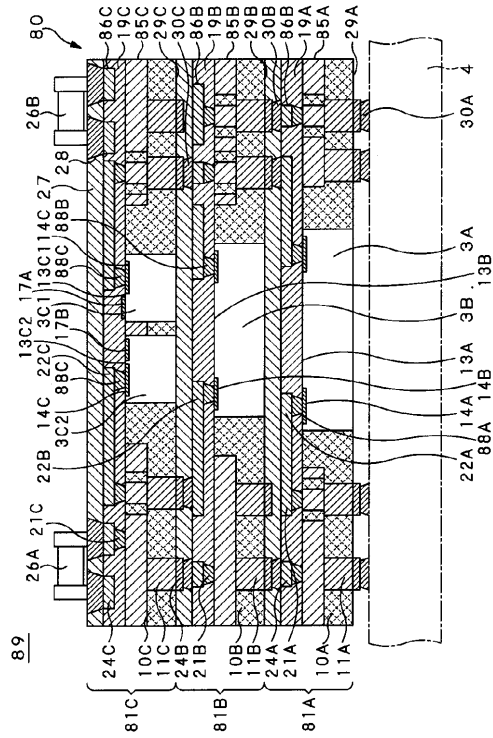
【図 2 3】



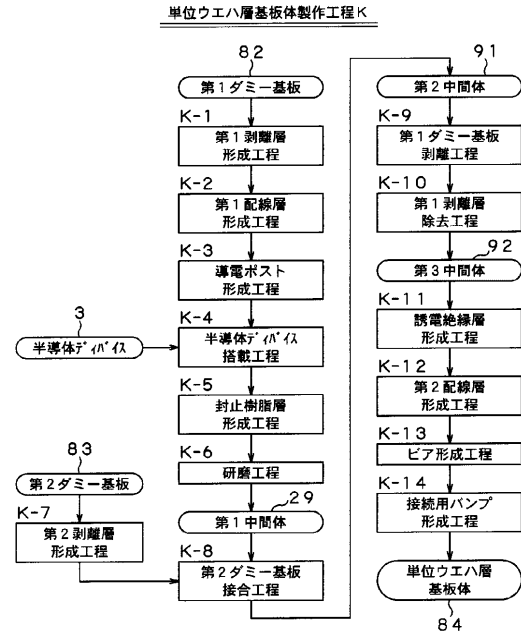
【図 2 4】



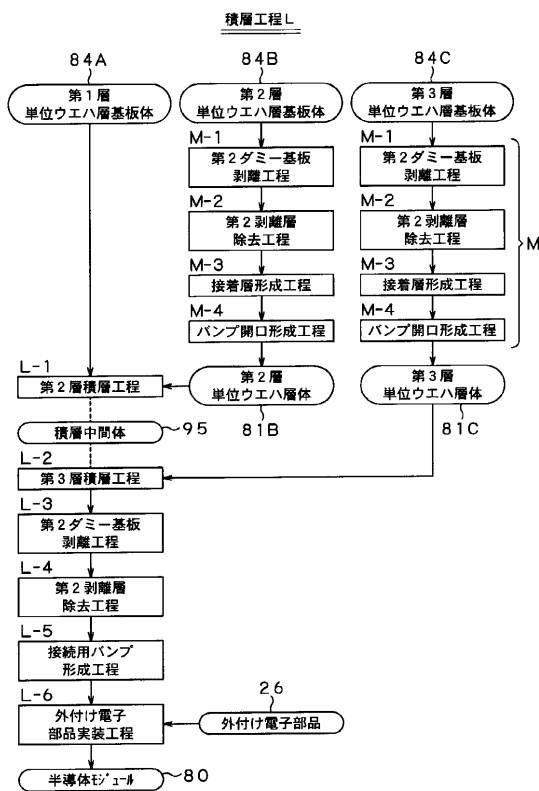
【図 25】



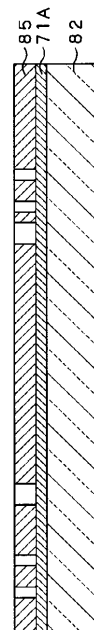
【図 26】



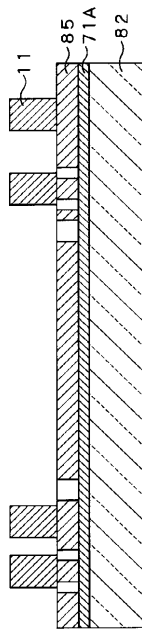
【図 27】



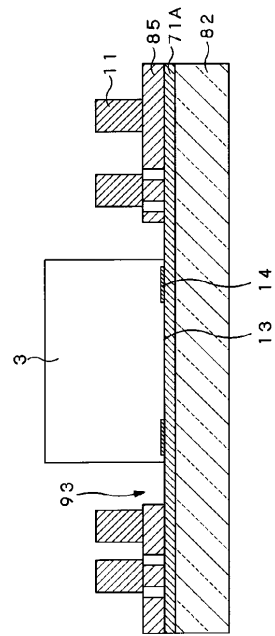
【図 28】



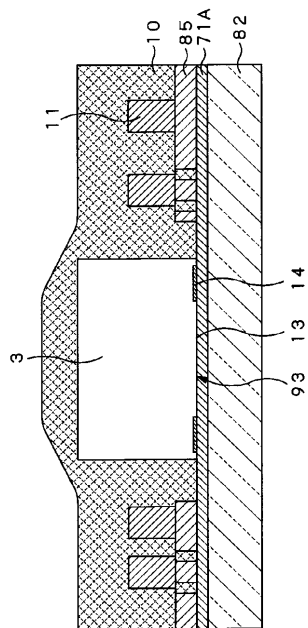
【図 29】



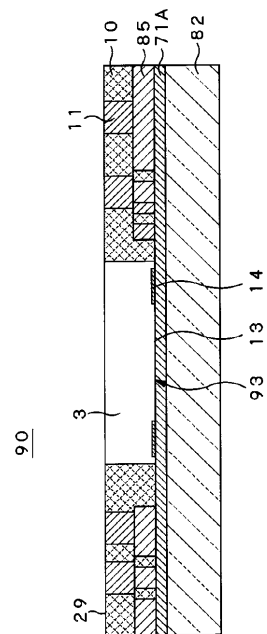
【図 30】



【図 31】



【図 32】



フロントページの続き

(72)発明者 宮崎 廣仁

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72)発明者 竹島 奈美子

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 5F041 AA21 CA12 DA09 DA20 DA83 DB09 EE01 EE25 FF16

5F088 BA15 BA20 BB10 JA01 JA05 JA14 JA20 KA03