

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6369086号
(P6369086)

(45) 発行日 平成30年8月8日 (2018.8.8)

(24) 登録日 平成30年7月20日 (2018.7.20)

(51) Int.Cl. F I

GO 1 P 15/125 (2006.01)

GO 1 P 15/18 (2013.01)

GO 1 P 15/08 (2006.01)

GO 1 C 19/5776 (2012.01)

GO 1 D 5/241 (2006.01)

GO 1 P 15/125 V

GO 1 P 15/18

GO 1 P 15/08 I O I A

GO 1 C 19/5776

GO 1 D 5/241 D

請求項の数 11 (全 20 頁) 最終頁に続く

(21) 出願番号	特願2014-62508 (P2014-62508)	(73) 特許権者	000002369
(22) 出願日	平成26年3月25日 (2014.3.25)		セイコーエプソン株式会社
(65) 公開番号	特開2015-184209 (P2015-184209A)		東京都新宿区新宿四丁目1番6号
(43) 公開日	平成27年10月22日 (2015.10.22)	(74) 代理人	100090479
審査請求日	平成29年3月21日 (2017.3.21)		弁理士 井上 一
前置審査		(74) 代理人	100104710
			弁理士 竹腰 昇
		(74) 代理人	100124682
			弁理士 黒田 泰
		(74) 代理人	100166523
			弁理士 西河 宏晃
		(74) 代理人	100187539
			弁理士 藍原 由和
			最終頁に続く

(54) 【発明の名称】 物理量センサー、センサーユニット、電子機器及び移動体

(57) 【特許請求の範囲】

【請求項1】

物理量センサー素子と、前記物理量センサー素子に接続されたICと、を有し、
前記ICは、
アナログ電源回路と、
前記アナログ電源回路から電圧が供給され、前記物理量センサー素子からの信号を処理する信号処理部と、
外部トリガーに基づく処理期間において前記アナログ電源回路をイネーブルに設定し、前記物理量センサー素子からの物理量信号を前記信号処理部にて処理させ、前記処理期間以外において前記アナログ電源回路をディスイネーブルに設定する制御回路と、
を有し、
前記物理量センサー素子は、第1容量形成部と第2容量形成部とを含み、前記第1容量形成部および前記第2容量形成部からの差動信号を出力し、
前記信号処理部は、
前記差動信号の差分を増幅する差動増幅回路と、
前記差動増幅回路の出力を、異なるゲインで増幅できるプログラマブルゲインアンプと、
を有し、

前記制御回路は、前記処理期間中に、前記差動増幅回路をイネーブルに設定した後に、前記プログラマブルゲインアンプをイネーブルに設定することを特徴とする物理量センサ

一。

【請求項 2】

請求項 1 において、

前記信号処理部は、

前記差動信号が入力される第 1 の差動信号線および第 2 の差動信号線と、

前記第 1 容量形成部と前記第 2 容量形成部との間のオフセット量を格納する第 2 レジスタと、

前記オフセット量に基づいて容量が設定され、前記第 1 の差動信号線および前記第 2 の差動信号線の少なくとも一方に接続される可変容量と、

をさらに有し、

10

前記制御回路は、前記差動増幅回路をイネーブルに設定した後であって、前記プログラマブルゲインアンプをイネーブルに設定する前に、前記可変容量をリセットすることを特徴とする物理量センサー。

【請求項 3】

請求項 2 において、

前記物理量センサーは、複数の検出軸の各々に対して、前記第 1 容量形成部と前記第 2 容量形成部とを備え、

前記第 2 レジスタは、前記複数の検出軸毎に前記オフセット量を格納し、

前記信号処理部は、前記複数の検出軸の物理量信号を、前記処理期間中にシリアル処理し、

20

前記制御回路は、前記処理期間を前記複数の検出軸毎に分割した分割処理期間の各々にて、前記プログラマブルゲインアンプをイネーブルに設定する前に、前記可変容量をリセットすることを特徴とする物理量センサー。

【請求項 4】

請求項 3 において、

前記信号処理部は、前記プログラマブルゲインアンプの出力をアナログ - デジタル変換するアナログ - デジタル変換器をさらに有し、

前記制御回路は、前記アナログ - デジタル変換器が前記複数の検出軸のうちの第一の軸の物理量信号をデジタル変換した後であって、前記複数の検出軸のうちの第二の軸の物理量信号をデジタル変換する前に、前記アナログ - デジタル変換器をディスイネーブルに設定することを特徴とする物理量センサー。

30

【請求項 5】

請求項 4 において、

前記物理量センサー素子は、温度センサー素子を含み、

前記信号処理部は、前記温度センサー素子からの温度信号と、前記物理量信号とを、前記処理期間中にシリアル処理し、

前記制御回路は、前記温度信号をシリアル処理する分割処理期間にて、前記プログラマブルゲインアンプをイネーブルに設定した後に、前記アナログ - デジタル変換器をイネーブルに設定することを特徴とする物理量センサー。

40

【請求項 6】

請求項 1 乃至 5 のいずれか一項において、

前記 IC は、前記物理量センサー素子を駆動する駆動回路を含み、

前記処理期間と、前記処理期間以外の期間とは、前記物理量センサー素子が駆動されている期間内にそれぞれ設定されることを特徴とする物理量センサー。

【請求項 7】

請求項 1 乃至 6 のいずれか一項において、

前記 IC は、前記信号処理回路にスイッチを介して接続されるデジタル電源回路を含み、

、

前記処理期間以外に前記スイッチを介して前記デジタル電源回路から前記信号処理回路に電圧を供給することを特徴とする物理量センサー。

50

【請求項 8】

請求項 1 乃至 7 のいずれか一項記載の物理量センサーである第 1 物理量センサーと、
前記第 1 物理量センサーが検出する物理量以外の物理量を検出する第 2 物理量センサー
と、
を有し、

前記第 1 物理量センサーの前記信号処理部と、前記第 2 物理量センサーの信号処理部と
は、前記外部トリガーに基づいて信号処理を開始することを特徴とするセンサーユニット
。

【請求項 9】

請求項 1 乃至 7 のいずれか一項記載の物理量センサーである第 1 物理量センサーと、
前記第 1 物理量センサーが検出する物理量以外の物理量を検出する第 2 物理量センサー
と、
を有し、

前記第 1 物理量センサーの前記信号処理部と、前記第 2 物理量センサーの信号処理部と
は、同一周波数にて信号処理することを特徴とするセンサーユニット。

【請求項 10】

請求項 1 乃至 7 のいずれか一項記載の物理量センサーを有することを特徴とする電子機
器。

【請求項 11】

請求項 1 乃至 7 のいずれか一項記載の物理量センサーを有することを特徴とする移動体
。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物理量センサー、センサーユニット、電子機器及び移動体等に関する。

【背景技術】

【0002】

加速度センサー素子が組込まれる機器は、加速度センサー素子が単独で搭載されるもの
に限らず、他のセンサー素子（例えば、ジャイロセンサー素子、脈拍センサー素子、力学
センサー素子）と一緒に使われる場合が多い。特許文献 1 には、加速度センサー素子及び
ジャイロセンサー素子からのアナログ出力信号を、共通のデジタル - アナログ（A / D）
コンバーターで A / D 変換している。特許文献 1 によれば、また、A / D コンバーターの
変換タイミングを外部の高精度クロックになどによって生成することにより、高精度な同
期は可能となる。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平 9 - 243366 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかし、特許文献 1 の方式では加速度センサー及びジャイロセンサーからアナログ出力
信号を得るために、加速度センサー及びジャイロセンサーを常時動作させる必要があり、
低消費電力化を図ることが困難である。

【0005】

一方、加速度センサー素子と IC とで加速度センサーを構成する場合、IC は内部発振
回路にて動作され、加速度センサー素子は内部発振回路の発振周波数に従った計測タイミ
ングで計測される。複数種のセンサーが機器に搭載される場合には、加速度センサーの内
部発振回路による計測タイミングと、他のセンサーでの計測タイミングとの正確な同期を
とることが難しい。また、加速度センサー素子のための内部発振回路の発振クロックと、

10

20

30

40

50

その加速度センサーに接続される機器内にて加速度計測値を処理するCPUの動作システムクロックとの同期をとりたい場合もある。さらに、正確な加速度計測値の周波数成分を取得するためには、内部クロックに頼らずに、高精度な外部クロックに同期させて計測をしたい場合が考えられる。

【0006】

特に低消費電力とするために最低限必要なサンプリングレートで計測を行わせる場合は、単にレジスタに保持している加速度計測値を読み出すことによるだけでは、読み出した時刻と実際に計測された時刻との間に大きな隔たりが生じる虞がある。

【0007】

本発明の幾つかの態様は、消費電力の少ないモードで物理量を計測することができる物理量センサー、センサーユニット、電子機器及び移動体を提供することを目的とする。

10

【0008】

本発明の他のいくつかの態様は、物理量センサー素子と他の物理量センサー素子との同期計測を可能とするセンサーユニット、電子機器及び移動体を提供することを目的とする。

【課題を解決するための手段】

【0009】

(1) 本発明の一態様は、

物理量センサー素子と、前記物理量センサー素子に接続されたICと、を有し、前記ICは、イネーブルまたはディスイネーブルに切り替えられるアナログ電源回路と、前記アナログ電源回路から電圧が供給され、前記物理量センサー素子からの信号を処理する信号処理部と、外部トリガーに基づいて処理期間を設定し、前記処理期間内に前記アナログ電源回路をイネーブルとして、前記物理量センサー素子からの物理量信号を前記信号処理部にて前記処理期間毎に間欠的に処理させる制御回路と、を有する物理量センサーに関する。

20

【0010】

本発明の一態様によれば、外部トリガーに基づいて処理期間が設定され、処理期間内にアナログ電源回路をイネーブルとして、物理量センサー素子からの物理量信号を信号処理部にて処理期間毎に間欠的に処理させるので、消費電力の少ないモードで物理量を計測することができる。

30

【0011】

(2) 本発明の一態様では、前記制御回路は、前記外部トリガーが設定される毎に前記処理期間を設定する間欠計測モードと、前記物理量センサー素子からの物理量信号を前記信号処理部が連続的に処理する連続計測モードと、切り替え可能とすることができる。

【0012】

このように、連続計測モードよりもデータ量が少なく済む場合などには、間欠測定モードに設定して、消費電力を低減することができる。

【0013】

(3) 本発明の一態様では、前記ICは、前記外部トリガーが入力される外部端子を有することができる。

40

【0014】

外部トリガーを、外部端子を介して入力するハードウェアトリガー方式は、物理量センサーが接続される機器のCPUの負担を少なくできる点で優れている。

【0015】

(4) 本発明の一態様では、前記ICは、インターフェイス回路を有し、前記制御回路には、前記インターフェイス回路を介して前記外部トリガーを入力しても良い。

【0016】

通信プロトコルを用いたソフトウェアトリガー方式は、兼用される割り込み端子を他の用途に使用する機会を減少させない点で優れている。

【0017】

50

(5) 本発明の一態様では、前記 IC は、前記外部トリガーに基づいて生成されるビジーフラグを格納する第 1 レジスタをさらに有し、前記制御回路は、前記第 1 レジスタのビジーフラグに基づいて、前記処理期間中に入力される外部トリガーを無視することができる。

【0018】

こうすると、外部トリガーが処理期間中に入力される毎に、処理期間が再設定されることを防止できる。

【0019】

(6) 本発明の一態様では、前記物理量センサー素子は、第 1 容量形成部と第 2 容量形成部とを含み、前記第 1、第 2 容量形成部からの差動信号を出力し、前記信号処理部は、前記差動信号の差分を増幅する差動増幅回路と、前記差動増幅回路の出力を、異なるゲインで増幅できるプログラマブルゲインアンプと、を有し、前記制御回路は、前記処理期間中に、前記差動増幅回路をイネーブルとした後に、前記プログラマブルゲインアンプをイネーブルとすることができる。

10

【0020】

このように、差動増幅回路で信号処理している間は、プログラマブルゲインアンプをイネーブルさせるタイミングを遅らせることで、消費電力を低減できる。

【0021】

(7) 本発明の一態様では、前記信号処理部は、前記差動信号が入力される第 1、第 2 の差動信号線と、前記第 1 容量形成部と前記第 2 容量形成部との間のオフセット量を格納する第 2 レジスタと、前記オフセット量に基づいて容量が設定され、前記第 1、第 2 の差動信号線の一方に接続される可変容量と、をさらに有し、前記制御回路は、前記差動増幅回路をイネーブルとした後であって、前記プログラマブルゲインアンプをイネーブルとする前に、前記可変容量をリセットすることができる。

20

【0022】

差動増幅回路は、処理期間または間欠測定モードでは、イネーブル状態が維持されている。一方、物理量検出するには、予め設定されているオフセット量に基づいて可変容量をリセットする必要がある。この可変容量のリセットは、処理期間または間欠測定モードの当初にてプログラマブルゲインアンプをイネーブルとする前に実施することができる。

【0023】

30

(8) 本発明の一態様では、前記物理量センサー素子は、複数の検出軸の各々に、前記第 1 容量形成部と前記第 2 容量形成部とを含み、前記第 2 レジスタは、前記複数の検出軸毎に前記オフセット量を格納し、前記信号処理部は、前記複数の検出軸の物理量信号を、前記処理期間中にシリアル処理し、前記制御回路は、前記処理期間を前記複数の検出軸毎に分割した分割処理期間の各々にて、前記プログラマブルゲインアンプをイネーブルとする前に、前記可変容量をリセットすることができる。

【0024】

差動増幅回路は、処理期間または間欠測定モードでは、イネーブル状態が維持されている。一方、各軸について物理量を検出するには、軸毎に予め設定されているオフセット量に基づいて可変容量をリセットする必要がある。この可変容量のリセットは、各々の分割処理期間の当初にてプログラマブルゲインアンプをイネーブルとする前に実施することができる。

40

【0025】

(9) 本発明の一態様では、前記信号処理部は、前記プログラマブルゲインアンプの出力をアナログ - デジタル変換するアナログ - デジタル変換器をさらに有し、前記制御回路は、前記アナログ - デジタル変換器が前記複数の検出軸の一軸の物理量信号をデジタル変換した後から、前記複数の検出軸の他の一軸の物理量信号をデジタル変換する前に、前記アナログ - デジタル変換器をディスイネーブルにすることができる。

【0026】

50

アナログ - デジタル変換器は、物理量信号のデジタル変換分解能に応じて変換に要する時間が異なり、分解能が低ければ変換時間は短縮される。特にデジタル変換分解能が低い場合には、各軸の物理量信号をアナログ - デジタル変換する動作期間の間に、アナログ - デジタル変換器をディスイネーブルとしている。それにより、消費電力を低減できる。

【 0 0 2 7 】

(1 0) 本発明の一態様では、前記物理量センサー素子は、温度センサー素子を含み、前記信号処理部は、前記温度センサー素子からの温度信号と、前記物理量信号とを、前記処理期間中にシリアル処理し、前記制御回路は、前記温度信号をシリアル処理する分割処理期間にて、前記プログラマブルゲインアンプをイネーブルとした後に、前記アナログ - デジタル変換器をイネーブルにすることができる。

10

【 0 0 2 8 】

物理量信号を温度補償するために温度信号が必要となる場合がある。そのために、物理量信号と共に温度信号が検出される。処理期間または間欠測定モードの当初にて温度信号をシリアル処理する分割処理期間にて、温度信号が入力されるプログラマブルゲインアンプが先ずイネーブルされ、その後にアナログ - デジタル変換器をイネーブルしている。プログラマブルゲインアンプで信号処理している間は、アナログ - デジタル変換器をイネーブルさせるタイミングを遅らせることで、消費電力を低減できる。

【 0 0 2 9 】

(1 1) 本発明の他の態様に係るセンサーユニットでは、(1) ~ (1 0) に記載の物理量センサーである第 1 物理量センサーと、前記第 1 物理量センサーが検出する物理量以外の物理量を検出する第 2 物理量センサーと、を有し、前記第 1 物理量センサーの前記信号処理部と、前記第 2 物理量センサーの信号処理部とは、前記外部トリガーに基づいて信号処理を開始するセンサーユニットに関する。

20

【 0 0 3 0 】

第 1 物理量センサーの信号処理部と、第 2 物理量センサーの信号処理部とが、外部トリガーに基づいて信号処理を開始することで、2 つの異なる物理量検出信号の位相を一致させることができる。それにより、例えば第 1 物理量信号が加速度信号であり、第 2 物理量信号が脈波信号である時、脈波信号に含まれる体動を加速度信号に基づいて除去することができる。

【 0 0 3 1 】

30

(1 2) 本発明のさらに他の態様に係るセンサーユニットでは、(1) ~ (1 0) に記載の物理量センサーである第 1 物理量センサーと、前記第 1 物理量センサーが検出する物理量以外の物理量を検出する第 2 物理量センサーと、を有し、前記第 1 物理量センサーの前記信号処理部と、前記第 2 物理量センサーの信号処理部とは、同一周波数にて信号処理することができる。

【 0 0 3 2 】

第 1 物理量センサーの信号処理部と、第 2 物理量センサーの信号処理部とが、同一周波数にて信号処理することで、周波数が同一の信号同士の間での位相合わせを行うことができる。よって、例えば第 1 物理量信号が加速度信号であり、第 2 物理量信号が脈波信号である時、脈波信号に含まれる体動を加速度信号に基づいて除去することができる。

40

【 0 0 3 3 】

(1 3) 本発明のさらに他の態様は、(1) ~ (1 0) に記載の物理量センサーを有する電子機器に関する。

【 0 0 3 4 】

(1 4) 本発明のさらに他の態様は、(1) ~ (1 0) に記載の物理量センサーを有する移動体に関する。

【 0 0 3 5 】

これらの電子機器および移動体も、上述した物理量センサーの作用・効果を奏することができる。

【 0 0 3 6 】

50

(1 5) 本発明のさらに他の態様は、外部トリガーに基づいて処理期間を設定し、前記処理期間に亘ってアナログ電源回路をイネーブルに設定し、イネーブルとなった前記アナログ電源回路から信号処理部に電圧を供給し、物理量センサー素子から入力される信号を前記処理期間毎に間欠的に処理する物理量検出方法に関する。

【 0 0 3 7 】

本発明方法によれば、外部トリガーに基づいて処理期間が設定され、処理期間内にアナログ電源回路をイネーブルとして、物理量センサー素子からの物理量信号を信号処理部にて処理期間毎に間欠的に処理させるので、消費電力の少ないモードで物理量を計測することができる

【図面の簡単な説明】

10

【 0 0 3 8 】

【図 1】本発明の一実施形態に係る物理量センサーを示す図である。

【図 2】図 2 (A) (B) は、物理量センサー素子の一例である差動容量型センサー素子を示す図である。

【図 3】物理量センサーのブロック図である。

【図 4】IC の電源系のブロック図である。

【図 5】1 回計測モードの外部トリガーが端子を介して入力される実施形態を示す図である。

【図 6】1 回計測モードの外部トリガーがインターフェイスを介して入力される実施形態を示す図である。

20

【図 7】外部トリガーをハードウェアトリガーとして IC に入力させる例を示すブロック図である。

【図 8】外部トリガーをソフトウェアトリガーとして IC に入力させる例を示すブロック図である。

【図 9】物理量センサーの動作タイミングチャートである。

【図 10】外部トリガーの二重入力の禁止を説明するためのタイミングチャートである。

【図 11】1 回測定モードの計測シーケンスを示す図である。

【図 12】第 1 レギュレータの回路図である。

【図 13】図 12 の第 1 レギュレータを改良した回路図である。

【図 14】第 2 レギュレータの回路図である。

30

【図 15】複合センサーユニットのブロック図である。

【図 16】電子機器の一具体例としてのスマートフォンの構成を概略的に示す概念図である。

【図 17】電子機器の他の具体例としてのデジタルスチルカメラの構成を概略的に示す概念図である。

【図 18】移動体の一具体例としての自動車の構成を概略的に示す概念図である。

【発明を実施するための形態】

【 0 0 3 9 】

以下、添付図面を参照しつつ本発明の一実施形態を説明する。なお、以下に説明する本実施形態は、特許請求の範囲に記載された本発明の内容を不当に限定するものではなく、本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

40

【 0 0 4 0 】

(1) 加速度センサー

図 1 は、本発明の物理量センサーの一実施形態に係る加速度センサーを示す。加速度センサー 1 は、例えば、インターポーザー基板 2 と、インターポーザー基板 2 上に形成されたガラス基板 3 と、ガラス基板 3 上に例えば Si (シリコン) 等の半導体材料を用いた MEMS (Micro Electro Mechanical Systems) により形成された加速度センサー素子 10 と、MEMS キャップ 4 と、MEMS キャップ 4 上に形成された加速度検出回路である集積回路 (IC) 100 とを有する。IC 100 はインターポーザー基板 2 及びガラス基板 3 上に形成された電極部に例えばワイヤーボンディング接続されている。インターポーザ

50

ー基板 2 上に搭載物 3 , 1 0 , 4 , 1 0 0 はモールド 5 により封止されている。

【 0 0 4 1 】

(2) 加速度センサー素子

図 2 (A) は、図 1 の加速度センサー素子 1 0 として用いられる例えば差動容量型センサー素子の構造を例示する図である。差動容量型加速度センサー素子 1 0 は、固定部 2 0 と可動部 3 0 とを有する。固定部 2 0 は、基板 (図示略) に固定されている部材である。可動部 3 0 は、加速度に応じて変位する構造体の一例であり、錘部 3 1 とばね部 3 2 とを有する。ばね部 3 2 の一端は基板に固定されており、他端は錘部 3 1 に接続されている。錘部 3 1 は、ばね部 3 2 により支持されている。図 2 (B) に示すように差動容量型加速度センサー素子 1 0 に加速度 a が加えられると、質量 m の錘部 3 1 には、 $F = m a$ の力が働く。この力により、ばね部 3 2 は変形し、錘部 3 1 は固定部 2 0 に対して相対的に変位する。

10

【 0 0 4 2 】

錘部 3 1 は、可動電極 3 1 A および可動電極 3 1 B を有する。固定部 2 0 は、固定電極 2 1 ~ 2 4 を有する。可動電極 3 1 A は固定電極 2 1 , 2 2 の間に配置され、可動電極 3 1 B は固定電極 2 3 , 2 4 の間に配置される。差動容量型加速度センサー素子 1 0 は、例えば、S i (シリコン) 等の半導体材料と、半導体加工技術を用いた M E M S (Micro Electro Mechanical Systems) で形成される。

【 0 0 4 3 】

ここで、可動電極 3 1 A と固定電極 2 1 とのペアと、可動電極 3 1 B と固定電極 2 3 とのペアとを、第 1 容量形成部 4 1 と称する。同様に、可動電極 3 1 A と固定電極 2 2 とのペアと、可動電極 3 1 B と固定電極 2 4 とのペアとを、第 2 容量形成部 4 2 と称する。差動容量型加速度センサー素子 1 0 は、第 1 容量形成部 4 1 の一端 1 1 と、第 2 容量形成部 4 2 の一端 1 2 と、第 1 , 第 2 容量形成部 4 1 , 4 2 の共通端 1 3 とを含む。図 2 (B) に示す加速度 a が作用したとき、第 1 容量形成部 4 1 の容量値は減少する一方で、第 2 容量形成部 4 2 の容量値は増大する。このため、共通端 1 3 に電荷を供給した状態で錘部 3 1 に加速度 a が作用すると、第 1 , 第 2 容量形成部 4 1 , 4 2 の一端 1 1 , 1 2 からそれぞれ出力される電荷 (信号) は絶対値が等しく符号が逆の差動信号対となる。

20

【 0 0 4 4 】

(3) 加速度センサーの回路図

30

図 2 (B) は、加速度 a が作用する一軸方向の加速度を検出する例について説明した。図 3 に示すか速度センサー 1 には、検出軸を N (N は 2 以上の整数) 軸とし、例えば $N = 3$ とする場合の直交三軸 (広義には交差 N 軸) である X 軸、 Y 軸および Z 軸をそれぞれの検出軸とする第 1 ~ 第 3 の差動容量型加速度センサー素子 1 0 X , 1 0 Y , 1 0 Z が設けられている。

【 0 0 4 5 】

第 1 ~ 第 3 の差動容量型加速度センサー素子 1 0 X , 1 0 Y , 1 0 Z の各々は、図 2 (A) に示す第 1 , 第 2 容量形成部 4 1 , 4 2 を有し、第 1 , 第 2 容量形成部 4 1 , 4 2 の固定容量間には軸毎に異なるオフセットがある。オフセットがあるまま加速度を検出すると、加速度が作用しない時でも加速度が存在する値が出力されてしまう。そこで、オフセット調整 (キャリブレーション) が必要となる。

40

【 0 0 4 6 】

I C 1 0 0 は、可変容量であるオフセット調整容量 1 2 0 が設けられている。オフセット調整容量 1 2 0 は、第 1 容量形成部 4 1 および第 2 容量形成部 4 2 の各々の固定容量間でのオフセット量に基づく容量値に軸毎にリセットされる

【 0 0 4 7 】

I C 1 0 0 には、第 1 ~ 第 3 の差動容量型加速度センサー素子 1 0 X , 1 0 Y , 1 0 Z から時分割で電荷が入力される。この時分割駆動のために、スイッチング駆動されるマルチプレクサー 1 1 0 が設けられている。

【 0 0 4 8 】

50

マルチプレクサ 110 の後段には、アナログ回路である容量検出回路（広義には信号処理部）130 として、例えば電荷 - 電圧変換（QV）アンプ 131、プログラマブルゲインアンプ（PGA）132 及びアナログ - デジタル変換器（ADC）133 等を有する。QVアンプ 131 は、時分割入力される差動容量型加速度センサー素子 10X, 10Y, 10Zからの電荷を電圧に変換する。差動容量型加速度センサー素子 10X, 10Y, 10Zからの出力は差動信号であるから、QVアンプ 131 は差動増幅回路として機能する。PGA 132 は、QVアンプ 131 の出力を、各軸毎に設定されたゲインで増幅する。ADC 133 は、PGA 132 の出力をアナログ - デジタル変換する。

【0049】

ADC 133 の後段には、デジタルフィルタ 140、レジスタ 150、シリアル - パラレルインターフェイス回路（SPI）160 が設けられている。容量検出回路 130 により検出された容量に基づく加速度信号は、SPI 160 を介して出力される。

【0050】

なお、IC 100 には温度センサー 190 を設けることができる。温度センサー 190 からの温度信号は、PGA 132 で増幅された後に、ADC 133 でデジタル信号に変換される。

【0051】

IC 100 は、制御回路 170 を有する。制御回路 170 には、発振回路（OSC）181、FAMOS（フローティングゲート型アバランシェ・インジェクション MOS）等の不揮発性メモリ 182、パワーオンリセット回路 183、レベルシフター 184、テスト回路 185、駆動回路 186 や、上述したデジタルフィルタ 140 及びレジスタ 150 等が接続される。予め測定されたオフセット容量値を設定するデータは、SPI 160 を介して外部から入力され、制御回路 170 により不揮発性メモリ 182 に格納される。加速度センサー 1 の起動時に、制御回路 170 により不揮発性メモリ 182 から読み出されたオフセット容量値設定用のデータは、レジスタ 150 に格納される。レジスタ 150 は、設定されたデータに基づいて、例えば電圧制御型のオフセット調整容量 120 に電圧を設定して、オフセット調整容量 120 を各軸のオフセット容量値に設定することができる。

【0052】

IC 100 には、外部から電源電圧 VDD, GND が入力される。IC 100 には、電源電圧 VDD（例えば 3V）を降圧してロジック電源電圧 VDDD（例えば 1.8V）を生成する第 1 レギュレータ REG1 と、電源電圧 VDD を降圧してアナログ電源電圧 VDDA（例えば 1.8V）を生成する第 2 レギュレータ REG2 とが設けられている。なお、第 1 レギュレータ REG1 は、加速度センサー 1 の起動によりイネーブルとなり、加速度センサー 1 が稼働している間（スタンバイ、休止期間等を含む）に亘ってロジック電源電圧 VDDL を生成するロジック電源回路である。一方、第 2 レギュレータ REG2 は、イネーブルまたはディスイネーブルに切り替えられるアナログ電源回路であり、イネーブル期間のみアナログ電源電圧 VDDA を生成する。

【0053】

IC 100 は、電源端子（VDD, VPP, VDDIO, GND）、入出力端子（SC L / SPC, SDA / SDI, SDO / SA0, CS）、テスト端子（TES1 - 3）の他に、割り込み端子（INT1, INT2）を有することができる。

【0054】

（4）IC の電源回路系

図 4 は、図 3 に示す IC 100 の電源回路系を示すブロック図である。なお、図 4 では電圧供給対象として、デジタル電源電圧で駆動される回路をロジック回路 180 と総称している。また、他の回路として、OSC 181 と不揮発性メモリ（FAMOS）182 を図示している。

【0055】

図 4 において、イネーブル信号 REG1 __ EN でイネーブルとなる第 1 レギュレータ R

10

20

30

40

50

REG1は、電源電圧VDDを降圧したロジック電源電圧VDDLをI/O160、ロジック回路180、OSC181及び不揮発性メモリ(FAMOS)182等に供給する。イネーブル信号REG2_ENでイネーブルとなる第2レギュレータREG2は、電源電圧VDDを降圧したアナログ電源電圧VDDAをアナログ回路130に供給する。

【0056】

ここで、ロジック電源電圧VDDLの電源線とアナログ電源電圧VDDAの電源線との間には、スイッチSWが設けられている。後述する図6に示す通り、休止期間(休止モード)が設定される。スタンバイモードや休止モードでは、イネーブル信号REG2_ENにより第2レギュレータREG2はディスイネーブルとなり、アナログ電源電圧VDDAの供給が遮断される。加速度を検出している時にアナログ回路130を動作させ、休止期間ではアナログ回路130をディスイネーブルにして消費電力を低減することができる。

10

【0057】

休止期間では、REG2_ENがディスイネーブルの時にイネーブルとなるREG2_XTHRにより、スイッチSWがオンされて、ロジック電源電圧VDDLの電源線とアナログ電源電圧VDDAの電源線とが接続される。それにより、アナログ電源電圧が生成されないスタンバイ期間や休止期間では、第1レギュレータREG1よりスイッチSWを介してアナログ回路130にロジック電源電圧VDDLが供給される。

【0058】

ここで、ディスイネーブル状態のアナログ回路130をイネーブル状態に復帰させるにも電圧が必要である。その際、第2レギュレータREG2をイネーブルとしてアナログ回路130にアナログ電源電圧VDDAを供給すると、時間を要する。本実施形態では、スタンバイモードや休止モードでは、第1レギュレータREG1からのロジック電源電圧VDDLをスイッチSWを介してアナログ回路130に供給することで、イネーブル信号に基づきアナログ回路130をイネーブル状態へと短期間で復帰させる動作を短縮できる。

20

【0059】

なお、本実施形態ではロジック電源電圧VDDLとアナログ電源電圧VDDAとの電圧レベルを共に等しく(例えば1.8V)としているが、アナログ回路130が正常に復帰動作する限り、異なる電圧レベルとしても良い。ただし、ロジック電源電圧VDDLとアナログ電源電圧VDDAとの電圧レベルに差があると、復帰動作時に電圧ドロップやリングングが発生し易いことから、ロジック電源電圧VDDLとアナログ電源電圧VDDAとの電圧レベルは実質的に等しいことが好ましい。

30

【0060】

(5) 外部トリガーによる間欠(1回)計測モード

本実施形態では、内部トリガーによる連続計測モードと、外部トリガーによる間欠(1回)計測モードのいずれかに設定することができる。図5は連続計測時のモード遷移を示す図であり、図6は間欠(一回)計測時のモード遷移を示す図である。図5にはスタンバイモードと計測モードが示されている。図5ではさらにローパワーモードが追加され、図6ではスタンバイモードと計測モードとの間に、休止モードとしてトリガー待ちの状態が設定される。

【0061】

40

スタンバイモードとは、電源投入により初期起動シーケンスが実施された後に設定される待機モードである。初期起動シーケンスが実施されるとレジスタ150がリセットされ、ワンタイムプログラマブルROMに記憶された制御データ等がレジスタ150に転送される。スタンバイモードでは、第1レギュレータREG1がイネーブルで第2レギュレータREG2はディスイネーブルとなり、上述した通り図4のスイッチSWがオンとなってアナログ回路130にはロジック電源電圧VDDLが供給される。

【0062】

計測モードとして、加速度信号のデジタル変換分解能が異なる3つのモード(例えば12ビット、10ビット及び8ビット)を信号により選択できるようになっている。計測モードでは、第1レギュレータREG1及び第2レギュレータREG2が共にイネーブルと

50

なり、上述した通り図4のスイッチSWがオフとなってアナログ回路130にはアナログ電源電圧VDDAが供給される。

【0063】

図5のローパワーモードとは、加速度が検出されない時に設定されるスリープ状態を検出ことで設定され、スリープが解除された状態が検出されるウェイクアップ検出時まで継続される。ローパワーモードは、デジタル変換分解能は8ビット固定となり、10ビットまたは12ビットを選択した場合よりも低消費電力となる。計測モードに対して出力データ周波数（例えば図7及び図8のSRレジスタで設定されるサンプリングレート）を低くすることで、より低消費電力とすることができる。

【0064】

図6の間欠（1回）計測時では、測定モードにてX軸、Y軸及びZ軸の加速度計測が所定回数例えば1回だけ行われる。間欠（1回）計測モードが終了すると休止モードとなり、次の外部トリガーを待機することになる。それにより、測定モードは間欠的に実施される。休止モード（休止期間）では、スタンバイモードと同じく、第1レギュレータREG1がイネーブルで第2レギュレータREG2はディスイネーブルとなり、上述した通り図4のスイッチSWがオンとなってアナログ回路130にはロジック電源電圧VDDLが供給される。

【0065】

図7及び図8は、間欠（1回）計測モードを設定する2つの方式を示している。なお、図7及び図8では、図3に示す制御回路170に設けられるタイミング制御回路170Aが示されている。また、図7及び図8では、図3に示すレジスタ150を機能別レジスタ150A～150Fとして示している。つまり、図3に示すレジスタ150は、図7または図8に示すX軸計測レジスタ150A、Y軸計測レジスタ150B、Z軸計測レジスタ150C、ビジーフラグ用レジスタ150D、SR（サンプリングレート）設定レジスタ150E、外部トリガーレジスタ150Fを含んでいる。さらに、図7及び図8では、図4に示すデジタルフィルター140とレジスタ150との間に、演算処理部187が追加されている。

【0066】

図7はハードウェアトリガーの方式を示し、図8はソフトウェアトリガーの方式を示している。ハードウェアトリガーを設定する端として、IC100Aの例えば割り込み端子INT1等の外部端子が用いられる。図7の加速度センサー1Aが接続されるCPU200は、例えばタイマー等から外部トリガーを割り込み端子INT1に出力する。図8は、CPU200から所定の通信プロトコルに従って送信される外部トリガーが、IC100Bのシリアル・パラレルインターフェイス160に入力され、外部トリガーレジスタ150Fに格納される。

【0067】

制御回路170は、図7のハードウェアトリガー方式と、図8のソフトウェアトリガー方式とを、信号設定により選択させても良い。図7のハードウェアトリガー方式は、CPU200の負担が少ない点で優れている。図8のソフトウェアトリガー方式は、兼用される割り込み端子INT1を他の用途に使用する機会を減少させない点で優れている。

【0068】

制御回路170は、図5に示す連続計測モードか、図6に示す間欠（1回）計測モードであるかは、フラグなどにより認識している。図9は、間欠（1回）計測モードでの制御回路170の制御により設定される各部のタイミングチャートである。起動と同時に第1レギュレータREG1がイネーブルとなってロジック電源電圧VDDLは生成されるが、第2レギュレータREG2は動作モード（計測モード）がアクティブの時のみアナログ電源電圧VDDAを生成する。動作モード（計測モード）がアクティブでないスタンバイモード及び休止モードでは、スイッチSWがオンして、アナログ回路130にはロジック電源電圧VDDLが供給される。

【0069】

10

20

30

40

50

図 7 及び図 8 に示す S R レジスタは、デジタル分解能を設定するサンプリングレートを設定するものである。図 7 及び図 8 に示すビジーフラグ用レジスタ 150D は、例えば計測処理期間中にアクティブとなるフラグがタイミング制御回路 170A により設定される。図 10 に示すように、外部トリガーがアクティブである時にクロックの立ち上がりで処理期間がスタートする。処理期間は所定クロック数（例えば 156 クロック）をカウントアップして終了する。ビジーフラグは、処理期間中に亘ってアクティブとなる。ビジーフラグがノンアクティブの時は休止期間であり、外部トリガーが受付可能となる。ビジーフラグがアクティブである期間に入力された外部トリガーは、タイミング制御回路 170A により無視される。それにより、間欠（1 回）計測モードの途中で同一モードが再スタートされることを防止できる。

10

【0070】

（6）アナログ回路のイネーブル/ディスイネーブル

図 11 は、間欠（1 回）測定モードでのタイミングチャートである。上述した外部トリガーにより、間欠（1 回）測定モードが開始される。1 回測定モードの場合、計測動作期間はクロックの例えば 156 サイクルである。1 回測定モードに設定されると、第 2 レギュレータ REG2 が起動される。その後、必要により QV 回路 131 をイネーブルとしてもよい。オフセット調整容量 120 がリセットされる。

【0071】

1 回計測モードは、図 11 に示すように、温度計測、X 軸加速度計測、Y 軸加速度計測及び Z 軸加速度計測が、シーケンシャルに実施される。4 回の計測期間の各々にて、PGA132 及び ADC133 が計測に必要な期間だけイネーブルとされる。なお、図 11 に示す例では、ADC133 は分解能が 10 ビットのデジタル信号に変換している。分解能が低ければ計測期間は短縮され、分解能が高ければ計測期間は増大する。PGA132 及び ADC133 は、温度、X 軸加速度、Y 軸加速度及び Z 軸加速度のように異なる物理量を検出した後に、一旦ディスイネーブルとされている。それにより、消費電力を低減している。

20

【0072】

また、PGA132 のイネーブル期間は、サンプル A 期間とサンプル B 期間とに二分される。同様に、ADC133 の動作期間は、サンプリング期間と比較期間とに二分される。PGA132 のサンプル B 期間は、ADC133 のサンプリング期間と時間軸上で重複して設定できる。また、ADC133 の比較期間は、PGA132 のサンプル A 期間と時間軸上で重複して設定できる。それにより、温度計測、X 軸加速度計測、Y 軸加速度計測及び Z 軸加速度計測の各期間を短縮でき、トータルの 1 回計測期間も短縮される。

30

【0073】

X 軸加速度計測の前に、QV アンプ 131 がイネーブルとなって起動される。QV アンプ 131 は、図 11 に示すようにクロックの例えば 95 サイクルの期間に亘ってイネーブル状態が維持される。また、QV アンプ 131 の起動後であって、X 軸加速度計測、Y 軸加速度計測及び Z 軸加速度計測が開始される前に、オフセット調整容量 120 が各軸のオフセット調整容量値にリセットされる。オフセット調整容量 120 のリセット期間は、PGA132 のディスイネーブル期間を利用して設定される。

40

【0074】

（7）第 1 レギュレータ REG1

図 12 に、第 1 レギュレータ REG1 の一例を示す。第 1 レギュレータ REG1 は、非反転入力端子と反転入力端子の間に、仕事関数差電圧によるオフセット電圧 VOFF を有する差動型の増幅回路 AM と、増幅回路 AM の出力ノード NQ1 と第 1 の電源ノード VSS との間に直列に設けられる第 1 の抵抗 RB1 及び第 2 の抵抗 RB2 と、第 1 の抵抗 RB1 と第 2 の抵抗 RB2 の接続ノード NQ2 に一端が接続される位相補償用キャパシタ C0 を含む。第 1、第 2 の抵抗 RB1、RB2 の接続ノード NQ2 の信号が、増幅回路 AM の非反転入力端子に帰還され、増幅回路 AM の出力ノード NQ1 の信号が、増幅回路 AM の反転入力端子に帰還される。

50

【 0 0 7 5 】

この第1レギュレータREG1によれば、増幅回路AMの非反転入力端子と反転入力端子の間のオフセット電圧と第1、第2の抵抗RB1、RB2の抵抗比により決まる定電圧が生成される。第1、第2の抵抗RB1、RB2の接続ノードには位相補償用キャパシターCOが設けられ、この接続ノードの信号が増幅回路AMの非反転入力端子に帰還されると共に、増幅回路AMの出力ノードの信号が反転入力端子に帰還される。これにより、安定した回路動作で定電圧を生成できる第1レギュレータREG1を構築できる。

【 0 0 7 6 】

また、図12に示す第1抵抗RB1は可変抵抗とすることができる。加速度センサー素子10及びIC100の検査工程などでは、1.8V系に対して例えば3V程度の高電圧が印加される。レジスタ設定変更により第1抵抗RB1の抵抗値を可変して、第1レギュレータREG1の出力電圧レベルを高電圧レベルに変更することができる。

10

【 0 0 7 7 】

図13に示す第1レギュレータREG1では、図12の増幅回路AMの破線で囲まれた個所に素子または回路を増設し、起動時とアクティブ時に増幅回路AMに流れる動作電流IOPを増大させ、能力を増大させている。図13に示すように、増幅回路AMの出力部QBの接地端側に設けられた出力トランジスタT1と並列にトランジスタT2を追加した。増幅回路AMの差動部DFに増設したトランジスタT3と、トランジスタT3と同一ゲート電圧が印加されるトランジスタT4とで、カレントミラー回路CMを構成している。カレントミラー回路CMの電流源として、起動時に動作する第1電流源IS1と、アクティブ時に動作する第2電流源IS2とが追加されている。起動時に動作する第1電流源IS1では、起動によりスタートスイッチSTSTRがオンされて、カレントミラー回路CMに電流を流す。

20

【 0 0 7 8 】

スタンバイ時ではカレントミラーCMに電流が流れず、増幅回路AMは弱反転領域で動作して、差動部DFに例えば150nAが流れ、出力部QBに例えば550nAが流れ、動作電流IOPとして700nAが流れる。起動時にスタートスイッチSTSTRがオンすると、カレントミラー回路CMの動作によって、増設されたトランジスタT2及びT3に破線の矢印で示すように20μAが流れ、動作電流IOPを50μAまで増大させることができる。なお、スタートスイッチSTSTRはパワーオンリセット信号を用いて、起動後の所定時間経過後にオフされる。第2レギュレータREG2がイネーブルとなったアクティブ時には、第1電流源IS1に代わって第2電流源IS2がオンされ、動作電流IOPを例えば30μAまで増大させることができる。こうして、第1レギュレータREG1の起動時及びアクティブ時（過負荷時）の能力を高めることができる。

30

【 0 0 7 9 】

(8) 第2レギュレータREG2

図14に、バンドギャップリファレンス回路を利用した第2レギュレータREG2を示す。図14において、第2レギュレータREG2のアンプAMPの負端子に、バンドギャップリファレンス回路BGRが発生するバンドギャップリファレンス電圧VBGR（例えば1.21V）が入力される。アンプAMPの正端子には、アンプAMPの出力電圧VDDAが分圧抵抗R1、R2により構成される分圧回路で分圧された電圧VDVが入力される。アンプAMPは、バンドギャップリファレンス電圧VBGRを基準電圧として、分圧回路R1、R2の電圧VDVとバンドギャップリファレンス電圧VBGRとの電位が一致するように、負帰還制御している。こうして、バンドギャップリファレンス電圧VBGRを増幅して、例えば1.8Vのアナログ電源電圧VDDAを生成することができる。

40

【 0 0 8 0 】

(9) 物理量検出装置

図15は、加速度センサー1と、他の物理量検出センサー例えば脈波センサー300とを含む複合センサーユニット320を有する物理量検出装置を示している。脈波センサー

50

300の出力信号には、脈波に体動成分が重畳される。これら2つのセンサー1, 300を含む複合センサーユニット320に接続されるCPU200は、体動除去部210を有することができる。

【0081】

ここで、脈波センサー300からの脈波信号中のノイズである体動成分は、加速度センサー1からの加速度信号を用いて除去することが可能である。その際に、脈波信号と加速度信号とが同一位相である必要がある。CPU200の外部トリガー設定部220は、ソフトウェアトリガーまたはハードウェアトリガーのいずれかの方式にて、加速度センサー1と脈波センサー300とに同時に外部トリガーを出力する。加速度センサー1の信号処理部100と脈波センサー300の信号処理部310とが、上述した外部トリガーに基づく間欠測定モードを実施すれば、脈波信号と加速度信号とが同一位相となる。

10

【0082】

脈波信号から加速度信号を用いて体動成分を除去するためには、脈波信号と加速度信号とが一周波数で計測されていても良い。周波数が同一であれば、信号同士の位相合わせを行うことができるので、体動成分を除去することが可能である。このために、図7及び図8に示すSRレジスタ150Eを加速度センサー1及び脈波センサー300が共に有し、それぞれのSRレジスタ150Eによりサンプリングレートを同一に設定することができる。あるいは、CPU200から一周波数の外部クロックを加速度センサー1及び脈波センサー300が入力し、その外部クロックに基づいて計測動作を実施しても良い。

【0083】

20

(10) 電子機器および移動体

図16は電子機器の一具体例としてのスマートフォン401を概略的に示す。スマートフォン401には図3に示す三軸加速度センサー1に加え、三軸ジャイロセンサーおよびそれに接続される検出回路を備えた物理量検出装置500が組み込まれる。物理量検出装置500はスマートフォン401の姿勢を検出することができる。いわゆるモーションセンシングが実施される。物理量検出装置500の検出信号は例えばマイクロコンピュータチップ(MPU)402に供給されることができる。MPU402はモーションセンシングに応じて様々な処理を実行することができる。その他、こういったモーションセンシングは、携帯電話機、携帯型ゲーム機、ゲームコントローラー、カーナビゲーションシステム、ポインティングデバイス、ヘッドマウンティングディスプレイ、タブレットパソコン等の電子機器で利用されることができる。モーションセンシングの実現にあたって物理量検出装置500は組み込まれることができる。

30

【0084】

図17は電子機器の他の具体例としてのデジタルスチルカメラ(以下「カメラ」という)403を概略的に示す。カメラ403には物理量検出装置500が組み込まれる。物理量検出装置500はカメラ403の姿勢を検出することができる。物理量検出装置500の検出信号は手ぶれ補正装置404に供給されることができる。手ぶれ補正装置404は物理量検出装置500の検出信号に応じて例えばレンズセット405内の特定のレンズを移動させることができる。こうして手ぶれは補正されることができる。その他、手ぶれ補正はデジタルビデオカメラで利用されることができる。手ぶれ補正の実現にあたって物理量検出装置500は組み込まれることができる。

40

【0085】

図18は移動体の一具体例としての自動車406を概略的に示す。自動車406には物理量検出装置500が組み込まれる。物理量検出装置500は車体407の姿勢を検出することができる。物理量検出装置500の検出信号は車体姿勢制御装置408に供給されることができる。車体姿勢制御装置408は例えば車体407の姿勢に応じてサスペンションの硬軟を制御したり個々の車輪409のブレーキを制御したりすることができる。その他、こういった姿勢制御は二足歩行ロボットや航空機、ヘリコプター等の各種移動体で利用されることができる。姿勢制御の実現にあたって物理量検出装置500は組み込まれることができる。

50

【 0 0 8 6 】

本実施形態について詳細に説明したが、本発明の新規事項および効果から実体的に逸脱しない多くの変形が可能であることは当業者には容易に理解できるであろう。したがって、このような変形例はすべて本発明の範囲に含まれる。例えば、明細書または図面において、少なくとも一度、より広義または同義な異なる用語とともに記載された用語は、明細書または図面のいかなる箇所においても、その異なる用語に置き換えられることができる。また、アナログ電源回路 R E G 2、信号処理部（アナログ回路）1 3 0、制御回路 1 7 0 等の構成および動作も本実施形態で説明したものに限定されず、種々の変形が可能である。また、本発明が適用される物理量検出回路は、デジタル出力するものに限らず、A D C 1 3 3 を有しないアナログ出力にも適用することができる。物理量センサーとしては、

10

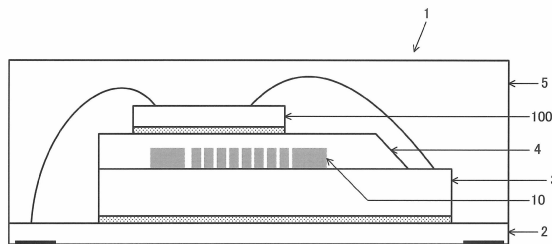
【符号の説明】

【 0 0 8 7 】

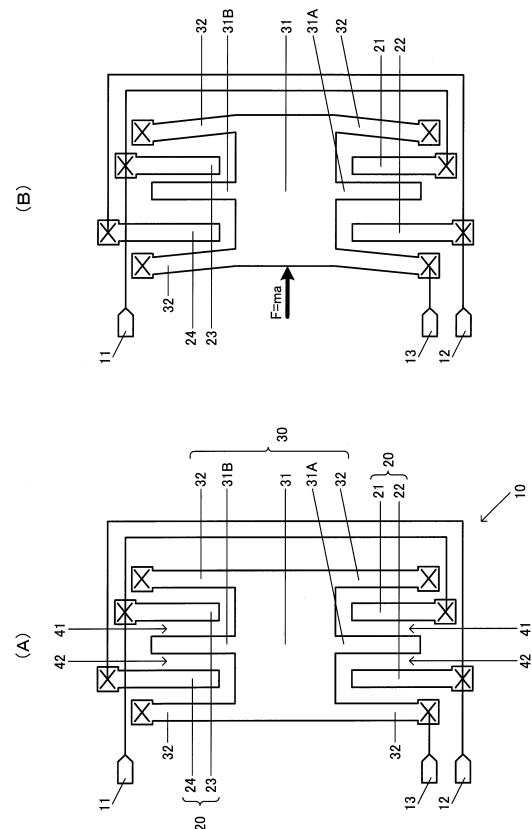
1 加速度センサー、1 0 加速度センサー素子、1 0 0 I C、1 3 0 信号処理部、1 3 1 Q V アンプ（差動増幅回路）、1 3 2 プログラマブルゲインアンプ（P G A）、1 3 3 アナログ - デジタル変換器（A D C）、1 5 0 レジスタ（第 2 レジスタ）、1 5 0 D 第 1 レジスタ（ビジーフラグレジスタ）、2 0 0 C P U、3 0 0 他の物理量検出センサー（脈波センサー）、3 1 0 信号処理部、3 2 0 センサーユニット、R E G 1 ロジック電源回路（第 1 レギュレータ）、R E G 2 アナログ電源回路（第 2 レギュレータ）

20

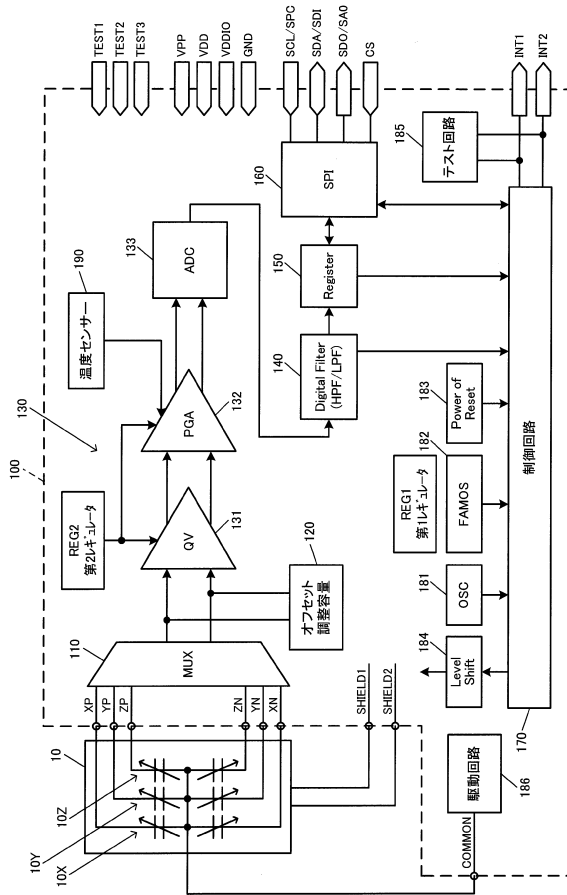
【図 1】



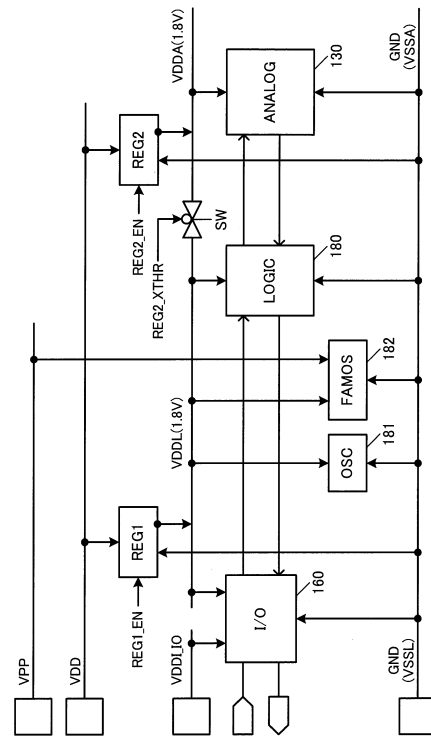
【図 2】



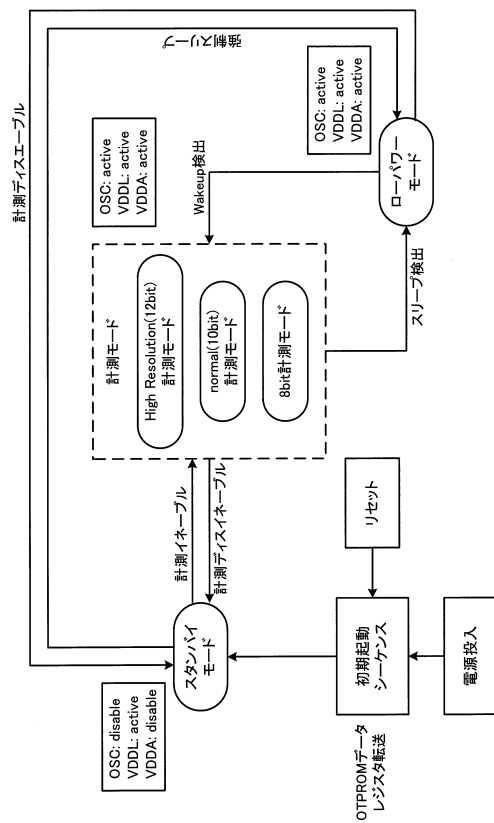
【 図 3 】



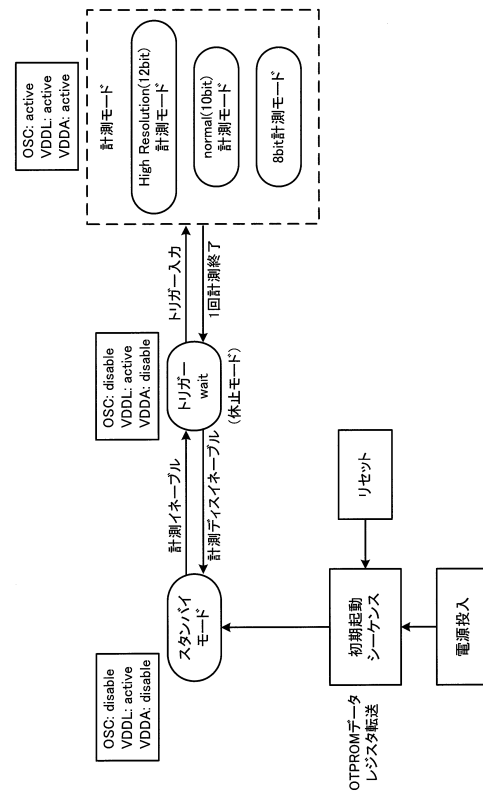
【 図 4 】



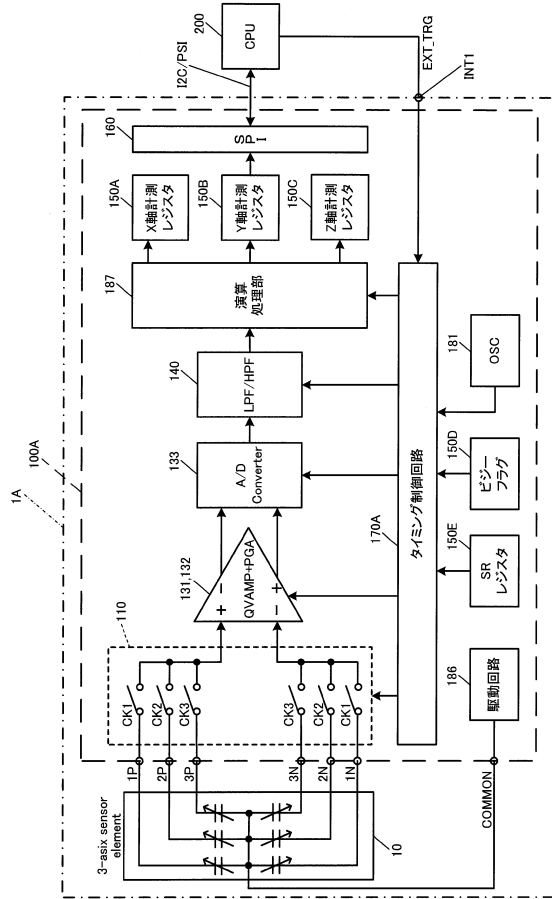
【 図 5 】



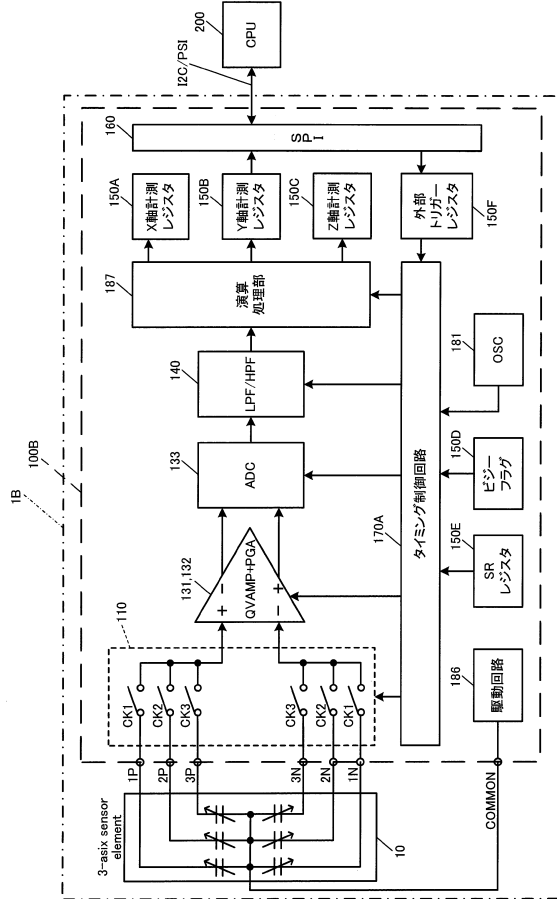
【 図 6 】



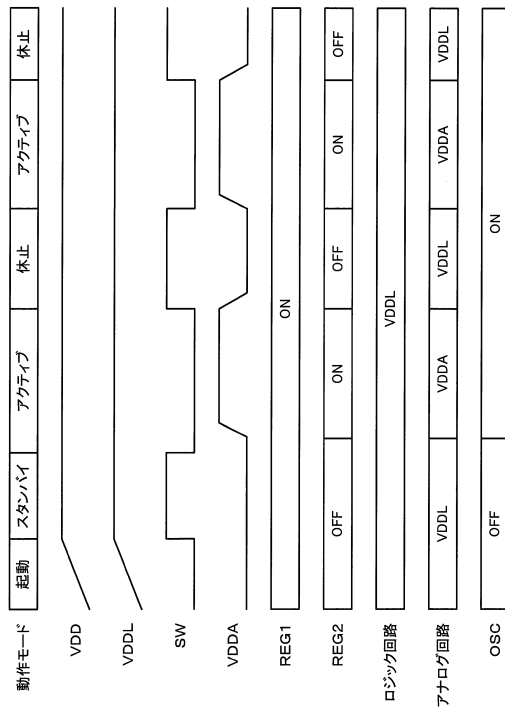
【図 7】



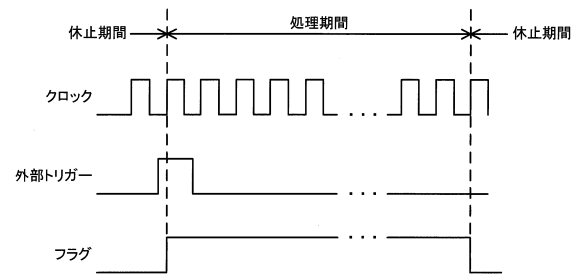
【図 8】



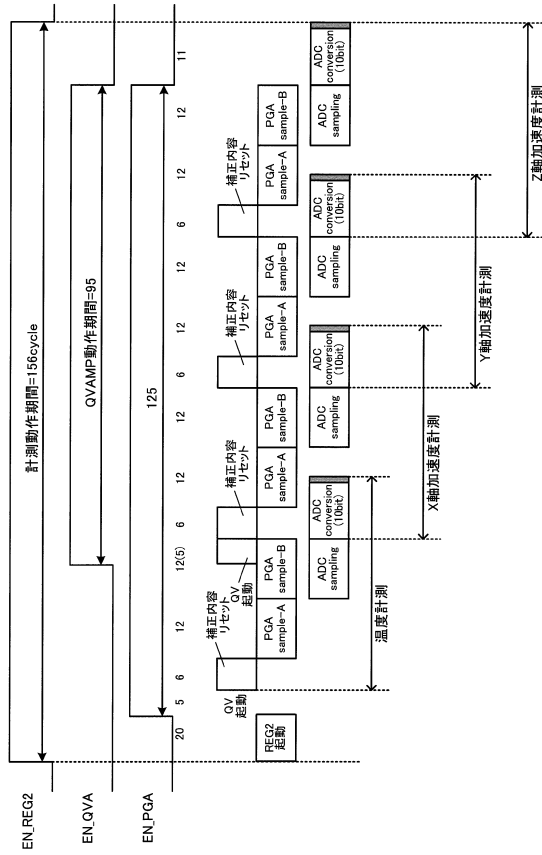
【図 9】



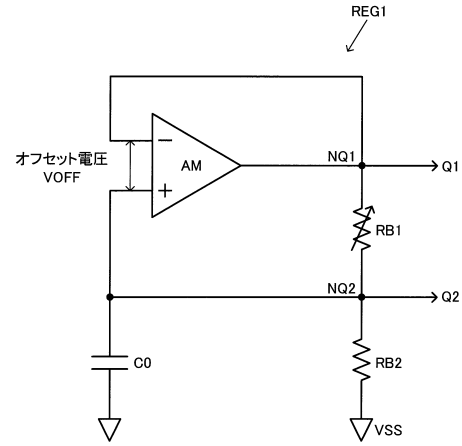
【図 10】



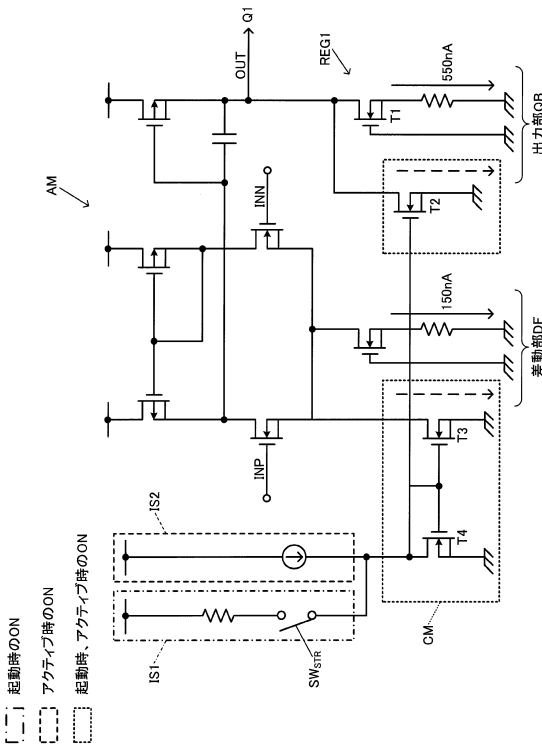
【図 1 1】



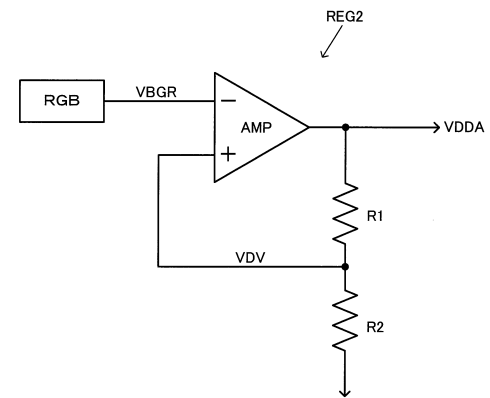
【図 1 2】



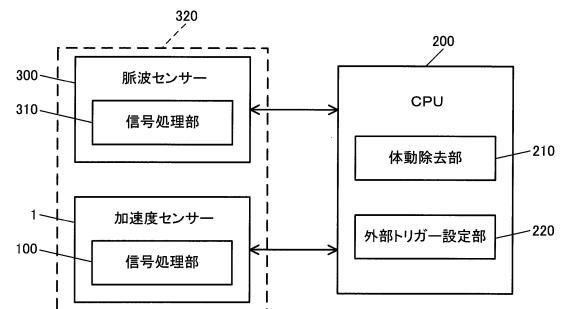
【図 1 3】



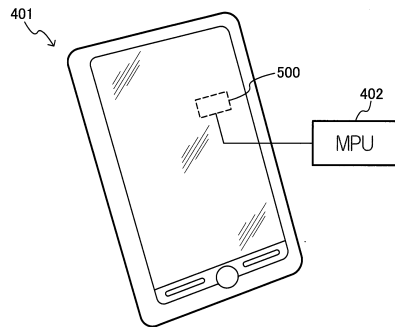
【図 1 4】



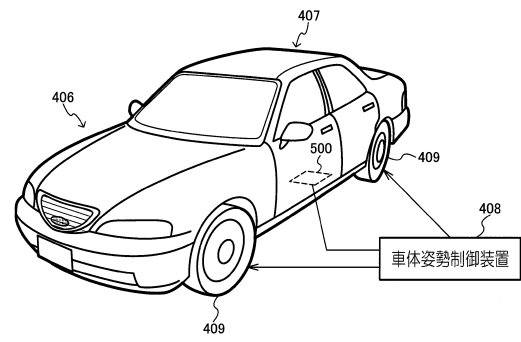
【図 1 5】



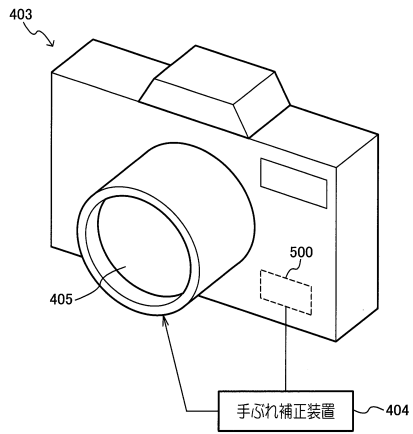
【図 16】



【図 18】



【図 17】



フロントページの続き

(51)Int.Cl. F I
G 0 1 L 13/06 (2006.01) G 0 1 L 13/06 C

(72)発明者 米澤 岳美
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72)発明者 村嶋 憲行
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 森 雅之

(56)参考文献 特許第4040595(JP, B2)

(58)調査した分野(Int.Cl., DB名)

G 0 1 C

G 0 1 D

G 0 1 P

G 0 8 C