



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0158596
(43) 공개일자 2022년12월01일

(51) 국제특허분류(Int. Cl.)
H01L 27/32 (2006.01) H01L 51/52 (2006.01)
(52) CPC특허분류
H01L 27/3276 (2022.01)
H01L 27/3216 (2013.01)
(21) 출원번호 10-2021-7028574
(22) 출원일자(국제) 2021년03월23일
심사청구일자 없음
(85) 번역문제출일자 2021년09월06일
(86) 국제출원번호 PCT/CN2021/082427
(87) 국제공개번호 WO 2021/190508
국제공개일자 2021년09월30일
(30) 우선권주장
PCT/CN2020/081154 2020년03월25일 중국(CN)

(71) 출원인
보에 테크놀로지 그룹 컴퍼니 리미티드
중국 베이징 100016, 차오양 디스트릭트, 지우시
양치아오 로드 10호
청두 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니
리미티드
중국 611731 쓰촨 프로빈스 청두 하이-테크 디벨
롭먼트 존 (웨스트 존) 허주오 로드 1188호
(72) 발명자
왕, 쓰위
중국 100176 베이징 비디에이 디저 로드 넘버 9
왕, 명치
중국 100176 베이징 비디에이 디저 로드 넘버 9
(뒷면에 계속)
(74) 대리인
양영준, 김성운, 백만기

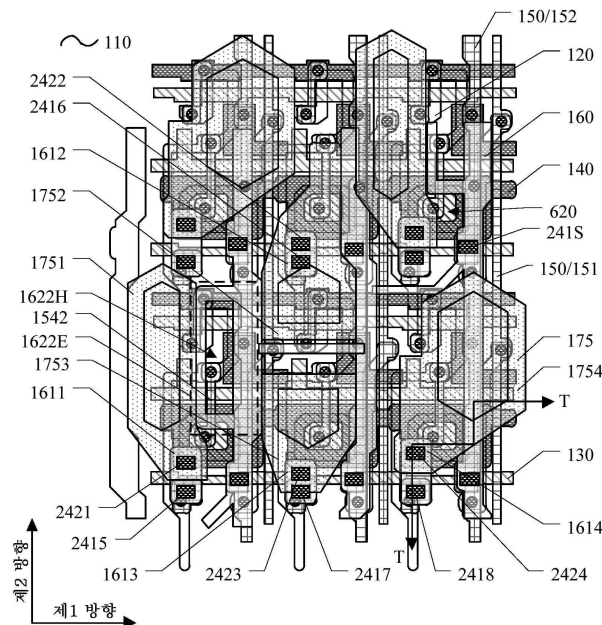
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 디스플레이 기관 및 디스플레이 디바이스

(57) 요약

디스플레이 기관 및 디스플레이 디바이스가 개시된다. 디스플레이 기관은 베이스 기관; 복수의 픽셀 구동 회로를 포함하는 픽셀 회로 층; 제1 도전층; 제1 평탄화 층; 및 제2 도전층을 포함하고, 제2 도전층은 복수의 도전성 부분을 포함하고, 복수의 도전성 부분은 제1 도전성 부분을 포함하고, 제1 도전성 부분은 폐쇄된 환형 부분을 포
(뒷면에 계속)

대표도 - 도39



함하고, 폐쇄된 환형 부분은 제2 도전층에서 제1 방향으로 그에 인접한 적어도 하나의 도전성 부분으로부터 분리되고, 각각의 발광 요소 그룹은 제1 발광 요소를 포함하고, 제1 발광 요소는 제1 애노드를 포함하고, 베이스 기관 상의 제1 애노드의 정사 투영은 베이스 기관 상의 폐쇄된 환형 부분의 정사 투영과 중첩하고; 복수의 도전성 부분은 제1 도전성 부분에 인접한 제2 도전성 부분을 더 포함하고, 베이스 기관 상의 제2 도전성 부분의 정사 투영은 베이스 기관 상의 제1 애노드의 정사 투영과 중첩한다. 따라서, 디스플레이 기관은 컬러 캐스트의 현상을 효과적으로 완화할 수 있다.

(52) CPC특허분류

H01L 27/3218 (2013.01)

H01L 27/3248 (2013.01)

H01L 51/5209 (2013.01)

H01L 51/525 (2013.01)

(72) 발명자

장, 순

중국 100176 베이징 비디에이 디저 로드 넘버 9

다이, 제

중국 100176 베이징 비디에이 디저 로드 넘버 9

상, 텅화

중국 100176 베이징 비디에이 디저 로드 넘버 9

명세서

청구범위

청구항 1

디스플레이 기관으로서,

베이스 기관;

반도체 층을 포함하는 복수의 픽셀 구동 회로;

상기 베이스 기관으로부터 먼 상기 반도체 층의 측면에 있는 제1 도전층;

상기 베이스 기관으로부터 먼 상기 제1 도전층의 측면에 있는 제1 평탄화 층;

상기 제1 도전층으로부터 먼 상기 제1 평탄화 층의 측면에 있는 제2 도전층;

상기 베이스 기관으로부터 먼 상기 제2 도전층의 측면에 있는 제2 평탄화 층; 및

상기 제2 도전층으로부터 먼 상기 제2 평탄화 층의 측면에 있는 복수의 발광 요소 그룹들을 포함하고,

상기 제2 도전층은 제1 방향을 따라 배열되는 복수의 도전성 부분을 포함하고, 제2 방향에서의 상기 복수의 도전성 부분 각각의 크기는 상기 제1 방향에서의 상기 복수의 도전성 부분 각각의 크기보다 더 크고, 상기 제2 방향은 상기 제1 방향과 교차하고, 상기 복수의 도전성 부분은 제1 도전성 부분을 포함하고, 상기 제1 도전성 부분은 폐쇄된 환형 부분을 포함하고, 상기 폐쇄된 환형 부분은 상기 제2 도전층에서 상기 제1 방향으로 그에 인접한 적어도 하나의 도전성 부분으로부터 분리되고,

상기 복수의 발광 요소 그룹 각각은 제1 발광 요소를 포함하고, 상기 제1 발광 요소는 제1 애노드를 포함하며, 상기 베이스 기관 상의 상기 제1 애노드의 정사 투영은 상기 베이스 기관 상의 상기 폐쇄된 환형 부분의 정사 투영과 중첩하고; 상기 복수의 도전성 부분은 상기 제1 도전성 부분에 인접한 제2 도전성 부분을 더 포함하고, 상기 베이스 기관 상의 상기 제2 도전성 부분의 정사 투영은 상기 베이스 기관 상의 상기 제1 애노드의 상기 정사 투영과 중첩하는, 디스플레이 기관.

청구항 2

제1항에 있어서, 상기 제1 방향에서의 상기 폐쇄된 환형 부분의 크기는 상기 제1 방향에서의 상기 제1 도전성 부분의 일부의 크기보다 적어도 더 크고, 상기 복수의 픽셀 구동 회로는 제1 픽셀 구동 회로를 포함하고, 상기 제1 픽셀 구동 회로는 상기 반도체 층 상에 반도체 패턴을 갖고, 상기 베이스 기관 상의 상기 제1 도전성 부분의 정사 투영은 상기 베이스 기관 상의 상기 제1 픽셀 구동 회로의 상기 반도체 패턴의 정사 투영과 중첩되고, 상기 제1 픽셀 구동 회로는 구동 트랜지스터를 포함하고, 상기 제1 도전층은 제1 도전성 패턴을 포함하고, 상기 제1 도전성 패턴은 상기 구동 트랜지스터의 게이트 전극과 동일한 전위를 갖고, 상기 제1 도전성 패턴과 상기 구동 트랜지스터의 상기 게이트 전극은 함께 게이트 전극 전위 금속을 구성하고, 상기 베이스 기관 상의 상기 폐쇄된 환형 부분 내부의 중공 영역의 정사 투영은 상기 베이스 기관 상의 상기 게이트 전극 전위 금속의 정사 투영과 중첩하는, 디스플레이 기관.

청구항 3

제1항에 있어서, 상기 폐쇄된 환형 부분의 내측은 중공 영역을 갖고, 상기 제1 도전성 부분은 상기 제2 방향을 따라 배열된 복수의 중공 영역을 갖고, 2개의 인접한 중공 영역의 형상들 및 크기들은 대략 동일한, 디스플레이 기관.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서, 상기 제1 발광 요소는 유효 발광 영역을 포함하고, 상기 제1 발광 요소의 상기 유효 발광 영역의 중심을 통과하고 상기 제2 방향으로 연장되는 직선의, 상기 베이스 기관 상의 정사 투영은, 상기 베이스 기관 상의 상기 제1 도전성 부분의 정사 투영과 상기 베이스 기관 상의 상기 제2 도전성 부분의 정사 투영 사이에 위치되는, 디스플레이 기관.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 제1 방향에서의 상기 폐쇄된 환형 부분의 2개의 예지는 상기 베이스 기관 상의 상기 발광 요소 그룹에서의 상기 복수의 발광 요소의 애노드들의 정사 투영들과 각각 중첩하고, 상기 베이스 기관 상의 상기 폐쇄된 환형 부분의 중공 영역의 정사 투영은 상기 베이스 기관 상의 상기 복수의 발광 요소의 상기 유효 발광 영역들의 정사 투영으로부터 분리되는, 디스플레이 기관.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서, 상기 제1 도전층은 상기 픽셀 구동 회로에 전력을 제공하도록 구성되는 도전성 금속을 더 포함하고, 상기 제1 평탄화 층은 도전성 금속 비아 홀을 포함하고, 상기 도전성 부분은 상기 도전성 금속 비아 홀을 통해 상기 도전성 금속과 전기적으로 연결되고,

상기 제1 픽셀 구동 회로는 제1 발광 제어 트랜지스터 및 저장 커패시터를 더 포함하고, 상기 저장 커패시터는 제1 전극 블록 및 제2 전극 블록을 포함하고, 상기 제2 전극 블록은 상기 베이스 기관으로부터 먼 상기 제1 전극 블록의 측면에 위치되고, 상기 도전성 금속은 상기 제1 발광 제어 트랜지스터의 상기 소스 전극 및 상기 제2 전극 블록과 각각 전기적으로 연결되는, 디스플레이 기관.

청구항 7

제6항에 있어서, 상기 베이스 기관 상의 상기 폐쇄된 환형 부분의 정사 투영은 상기 베이스 기관 상의 상기 제1 전극 블록의 정사 투영과 중첩되고,

상기 제2 전극 블록은 개구를 포함하고, 상기 베이스 기관 상의 상기 개구의 정사 투영은 상기 베이스 기관 상의 상기 제1 전극 블록의 정사 투영과 중첩되고, 상기 베이스 기관 상의 상기 폐쇄된 환형 부분의 정사 투영은 또한 상기 베이스 기관 상의 상기 개구의 상기 정사 투영과 중첩되는, 디스플레이 기관.

청구항 8

제7항에 있어서, 상기 제1 픽셀 구동 회로는 데이터 기입 트랜지스터, 보상 트랜지스터, 리셋 트랜지스터, 애노드 초기화 트랜지스터 및 제2 발광 제어 트랜지스터를 더 포함하고,

상기 디스플레이 기관은,

상기 리셋 트랜지스터의 게이트 전극에 연결된 리셋 신호 라인;

상기 보상 트랜지스터의 게이트 전극에 연결된 게이트 라인;

상기 제1 발광 제어 트랜지스터의 게이트 전극에 연결된 발광 제어 라인; 및

상기 리셋 트랜지스터의 소스 전극에 연결된 초기화 신호 라인을 더 포함하고,

상기 베이스 기관 상의 상기 폐쇄된 환형 부분의 정사 투영은 상기 베이스 기관 상의 상기 리셋 신호 라인, 상기 게이트 라인 및 상기 초기화 신호 라인의 정사 투영들과 각각 중첩하는, 디스플레이 기관.

청구항 9

제8항에 있어서, 상기 제1 도전성 패턴의 한 단부는 상기 개구를 통해 상기 구동 트랜지스터의 상기 게이트 전극에 전기적으로 연결되고, 상기 제1 도전성 패턴의 다른 단부는 상기 보상 트랜지스터의 상기 소스 전극 또는 드레인 전극에 전기적으로 연결되는, 디스플레이 기관.

청구항 10

제8항에 있어서, 상기 폐쇄된 환형 부분은 상기 제1 방향을 따라 배열되는 제1 부분 및 제2 부분, 및 상기 제2 방향을 따라 배열되는 제3 부분 및 제4 부분을 포함하고,

상기 제1 부분, 상기 제3 부분, 상기 제2 부분 및 상기 제4 부분은 상기 폐쇄된 환형 부분을 형성하기 위해 단부 대 단부로 연결되고, 상기 베이스 기관 상의 상기 제1 부분 및 상기 제2 부분의 정사 투영들은 상기 베이스 기관 상의 상기 제2 전극 블록의 정사 투영과 중첩되는, 디스플레이 기관.

청구항 11

제10항에 있어서, 상기 베이스 기판 상의 상기 제1 부분의 정사 투영은 상기 베이스 기판 상의 상기 제1 도전성 패턴의 정사 투영과 중첩하고,

상기 제1 도전성 패턴 및 상기 제1 부분은 모두 형상이 세장형이고, 상기 제1 도전성 패턴의 긴 에지의 연장 방향은 상기 제1 부분의 긴 에지의 연장 방향과 동일한, 디스플레이 기판.

청구항 12

제10항에 있어서, 상기 제1 도전층은 제2 도전성 패턴과 제3 도전성 패턴을 더 포함하고, 상기 제2 도전성 패턴은 상기 초기화 신호 라인 및 상기 리셋 트랜지스터의 상기 소스 전극과 각각 연결되고, 상기 제2 도전층은 애노드 연결 부분을 더 포함하고, 상기 제3 도전성 패턴은 상기 제2 발광 제어 트랜지스터의 드레인 전극 및 상기 애노드 연결 부분과 연결되고,

상기 베이스 기판 상의 상기 제3 부분의 정사 투영은 상기 베이스 기판 상의 상기 초기화 신호 라인의 정사 투영과 중첩하고, 상기 베이스 기판 상의 상기 제3 부분의 상기 정사 투영은 상기 베이스 기판 상의 상기 제2 도전성 패턴의 정사 투영과 중첩하고, 상기 베이스 기판 상의 상기 제4 부분의 정사 투영은 상기 베이스 기판 상의 상기 제1 도전성 패턴의 정사 투영과 중첩하는, 디스플레이 기판.

청구항 13

제10항 내지 제12항 중 어느 한 항에 있어서, 상기 베이스 기판 상의 상기 중공 영역의 정사 투영은 상기 베이스 기판 상의 상기 초기화 신호 라인의 정사 투영과 중첩되고, 상기 베이스 기판 상의 상기 중공 영역의 상기 정사 투영은 상기 베이스 기판 상의 상기 제2 도전성 패턴의 정사 투영과 중첩하고, 상기 베이스 기판 상의 상기 중공 영역의 상기 정사 투영은 상기 베이스 기판 상의 상기 제2 전극 블록의 정사 투영과 중첩하는, 디스플레이 기판.

청구항 14

제8항 내지 제13항 중 어느 한 항에 있어서, 상기 복수의 발광 요소 그룹은 상기 제1 방향을 따라 배열되어 복수의 발광 요소 열을 형성하고, 상기 제2 방향을 따라 배열되어 복수의 발광 요소 행을 형성하고, 상기 복수의 발광 요소 그룹 각각은 하나의 제1 발광 요소, 하나의 제2 발광 요소, 하나의 제3 발광 요소 및 하나의 제4 발광 요소를 포함하고, 상기 제1 애노드는 주 본체 부분을 포함하고, 상기 베이스 기판 상의 상기 제1 발광 요소의 유효 발광 영역의 정사 투영은 상기 베이스 기판 상의 상기 제1 애노드의 주 본체 부분의 정사 투영 내에 위치되고, 상기 제1 애노드 및 상기 제1 애노드의 주 본체 부분은 적어도 부분적으로 동일한 경계를 가지며,

상기 복수의 도전성 부분은 제2 도전성 부분을 포함하고, 상기 제1 도전성 부분 및 상기 제2 도전성 부분은 상기 제1 방향으로 상기 제1 발광 요소의 상기 유효 발광 영역의 양측에 각각 위치되고, 상기 베이스 기판 상의 상기 패쇄된 환형 부분의 정사 투영과 상기 베이스 기판 상의 상기 제1 발광 요소의 상기 유효 발광 영역의 중심의 정사 투영 사이의 거리는 상기 베이스 기판 상의 상기 제2 도전성 부분의 정사 투영과 상기 베이스 기판 상의 상기 제1 발광 요소의 상기 유효 발광 영역의 중심의 정사 투영 사이의 거리와 대략 동일한, 디스플레이 기판.

청구항 15

제14항에 있어서, 상기 베이스 기판 상의 상기 제1 애노드의 정사 투영은 상기 베이스 기판 상의 상기 제1 픽셀 구동 회로의 발광 제어 라인의 정사 투영과 중첩되고, 상기 제2 방향에서 상기 중공 영역의 중심에 인접한 위치에 제4 발광 요소가 배열되고, 상기 베이스 기판 상의 상기 제4 발광 요소의 애노드의 정사 투영은 상기 베이스 기판 상의 상기 게이트 라인, 상기 리셋 신호 라인 및 상기 초기화 신호 라인의 정사 투영들 모두와 중첩하는, 디스플레이 기판.

청구항 16

제14항에 있어서, 상기 베이스 기판 상의 상기 게이트 라인의 정사 투영은 상기 베이스 기판 상의 상기 제1 도전성 패턴의 정사 투영과 중첩되고,

상기 픽셀 구동 회로들 중 하나에서, 상기 베이스 기판 상의 상기 제1 전극 블록 및 상기 제2 전극 블록의 정사 투영들은 상기 베이스 기판 상의 상기 게이트 라인의 정사 투영과 상기 베이스 기판 상의 상기 발광 제어 라인

의 정사 투영 사이에 위치되고,

상기 베이스 기관 상의 상기 리셋 신호 라인의 정사 투영은 상기 베이스 기관 상의 상기 게이트 라인의 정사 투영과 상기 베이스 기관 상의 상기 초기화 신호 라인의 정사 투영 사이에 위치하고,

상기 발광 제어 라인, 상기 제1 전극 블록, 상기 게이트 라인, 상기 리셋 신호 라인 및 상기 초기화 신호 라인은 상기 제2 방향을 따라 배열되는, 디스플레이 기관.

청구항 17

제14항 내지 제16항 중 어느 한 항에 있어서, 상기 복수의 픽셀 구동 회로는 상기 베이스 기관에 가까운 상기 제1 도전층의 측면에 위치되는 제2 게이트 전극 층을 더 포함하고, 상기 제2 전극 블록은 상기 제2 게이트 전극 층에 위치되고, 상기 제2 전극 블록들 중 적어도 2개는 상기 제2 게이트 전극 층에서 연결되는, 디스플레이 기관.

청구항 18

제14항 내지 제17항 중 어느 한 항에 있어서, 상기 베이스 기관 상의 상기 제1 발광 요소의 유효 발광 영역 및 상기 제2 발광 요소의 유효 발광 영역의 정사 투영들은 상기 베이스 기관 상의 상기 도전성 부분의 정사 투영과 중첩하지 않고, 상기 제2 발광 요소는 녹색 광을 방출하도록 구성되고,

상기 베이스 기관 상의 상기 제4 발광 요소의 상기 유효 발광 영역의 중심의 정사 투영은 상기 베이스 기관 상의 상기 도전성 부분의 상기 정사 투영과 중첩되고, 상기 베이스 기관 상의 상기 제4 발광 요소의 상기 유효 발광 영역의 상기 중심과 상기 도전성 부분의 정사 투영들이 서로 중첩되는 부분은 중심 부분이며, 상기 제4 발광 요소는 청색 광을 방출하도록 구성되는, 디스플레이 기관.

청구항 19

제14항 내지 제18항 중 어느 한 항에 있어서, 상기 제2 발광 요소는 제2 애노드를 포함하고, 상기 베이스 기관 상의 상기 제2 발광 요소의 유효 발광 영역의 정사 투영은 상기 베이스 기관 상의 상기 제2 애노드의 주 본체 부분의 정사 투영 내에 위치되고, 상기 제2 애노드 및 상기 제2 애노드의 주 본체 부분은 적어도 부분적으로 동일한 경계를 가지며,

제1 방향에서 제2 애노드의 주 본체 부분의 2개의 중첩 영역 및 제2 애노드에 인접한 2개의 도전성 부분의 면적들은 대략 동일한, 디스플레이 기관.

청구항 20

제14항 내지 제19항 중 어느 한 항에 있어서, 상기 베이스 기관 상의 상기 증공 영역의 정사 투영은 상기 제1 발광 요소의 상기 유효 발광 영역과 상기 제2 발광 요소의 상기 유효 발광 영역 사이에 위치되고, 상기 제1 발광 요소 및 상기 제2 발광 요소는 상기 제1 방향에서 서로 가장 가까운 상기 제1 발광 요소 및 상기 제2 발광 요소인, 디스플레이 기관.

청구항 21

제14항 내지 제20항 중 어느 한 항에 있어서, 상기 제1 방향에서, 적색 광을 상기 제2 방향으로 방출하도록 구성된 상기 발광 요소의 애노드의 중간 부분의 크기는 상기 제2 방향에서의 상기 애노드의 에지 부분의 크기보다 더 크고,

상기 제1 방향에서, 청색 광을 상기 제2 방향으로 방출하도록 구성된 상기 발광 요소의 애노드의 중간 부분의 크기는 상기 제2 방향에서의 상기 애노드의 에지 부분의 크기보다 큰, 디스플레이 기관.

청구항 22

제14항 내지 제21항 중 어느 한 항에 있어서, 하나의 발광 요소 그룹에서, 상기 베이스 기관 상의 적어도 2개의 발광 요소의 애노드들의 정사 투영들은 상기 베이스 기관 상의 상기 제2 전극 블록의 개구의 정사 투영과 중첩되고, 상기 베이스 기관 상의 적어도 하나의 발광 요소의 상기 유효 발광 영역의 정사 투영은 상기 베이스 기관 상의 상기 제1 전극 블록 또는 상기 제2 전극 블록의 정사 투영과 중첩하지 않는, 디스플레이 기관.

청구항 23

제19항에 있어서, 상기 제1 발광 요소, 상기 제2 발광 요소, 상기 제3 발광 요소 및 상기 제4 발광 요소로 구성된 그룹으로부터 선택된 임의의 발광 요소에서, 상기 제1 평탄화 층은 애노드 홀을 갖고, 상기 발광 요소의 애노드는 상기 애노드 홀을 통해 상기 발광 요소에 대응하는 픽셀 구동 회로와 연결되고,

상기 베이스 기판 상의 적색 광을 방출하도록 구성된 상기 발광 요소의 애노드의 애노드 홀의 정사 투영은 상기 제2 방향으로 상기 베이스 기판 상의 상기 애노드의 상기 주 본체 부분의 정사 투영과 중첩되지 않고, 상기 베이스 기판 상의 적색 광을 방출하도록 구성된 상기 발광 요소의 애노드의 애노드 홀의 정사 투영은 상기 제2 방향으로 상기 베이스 기판 상의 적색 광을 방출하도록 구성된 상기 발광 요소의 유효 발광 영역의 정사 투영과 중첩되지 않고,

상기 베이스 기판 상의 청색 광을 방출하도록 구성된 상기 발광 요소의 애노드의 애노드 홀의 정사 투영은 상기 제2 방향으로 상기 베이스 기판 상의 상기 애노드의 상기 주 본체 부분의 정사 투영과 중첩되지 않고, 상기 베이스 기판 상의 청색 광을 방출하도록 구성된 상기 발광 요소의 애노드의 애노드 홀의 정사 투영은 상기 제2 방향으로 상기 베이스 기판 상의 청색 광을 방출하도록 구성된 상기 발광 요소의 유효 발광 영역의 정사 투영과 중첩하지 않는, 디스플레이 기판.

청구항 24

제1항 내지 제23항 중 어느 한 항에 있어서, 데이터 라인이 2개의 인접한 도전성 부분 사이에 배열되고, 상기 베이스 기판 상의 2개의 인접한 도전성 부분 중 임의의 하나의 정사 투영과 상기 데이터 라인 사이의 거리는 상기 베이스 기판 상의 상기 2개의 인접한 도전성 부분의 정사 투영들 사이의 거리 미만인, 디스플레이 기판.

청구항 25

제1항 내지 제24항 중 어느 한 항에 따른 디스플레이 기판을 포함하는 디스플레이 디바이스.

발명의 설명**기술 분야**

[0001] 본 출원은 2020년 3월 25일자로 출원된 PCT 국제 특허 출원 제PCT/CN2020/081154호에 대한 우선권을 주장하며, 그 전체 개시내용은 본 출원의 일부로서 본 명세서에 참고로 포함된다.

[0002] 기술 분야

[0003] 본 개시내용의 실시예들은 디스플레이 기판 및 디스플레이 디바이스에 관한 것이다.

배경 기술

[0004] 디스플레이 기술들의 지속적인 개발로, 유기 발광 다이오드(OLED) 디스플레이 기술은 자체-조명, 넓은 시야각, 높은 콘트라스트, 낮은 전력 소비 및 높은 반응 속도와 같은 그 장점들로 인해 다양한 전자 디바이스들에 점점 더 많이 적용되고 있다.

[0005] 한편, OLED 디스플레이 기술의 지속적인 개발과 더불어, 사람들은 OLED 디스플레이 제품들의 전력 소비, 컬러 캐스트, 휘도, 안정성 및 다른 성능에 대한 더 높은 요구들을 제기하고 있다.

발명의 내용**해결하려는 과제****과제의 해결 수단**

[0006] 본 개시내용의 실시예들은 디스플레이 기판 및 디스플레이 디바이스를 제공한다. 한편, 폐쇄된 환형 부분은 제1 애노드의 더 높은 편평도를 보장할 수 있음으로써, 상이한 방향들에서의 제1 애노드의 발광 강도가 일관된 것을 보장하고, 그래서 컬러 캐스트의 현상을 효과적으로 완화시킨다. 한편, 폐쇄된 환형 부분이 중공 설계를 갖

기 때문에, 디스플레이 기관의 광 투과율이 개선될 수 있고, 이는 언더-스크린 지문 인식 디바이스가 신호들을 수신하는 데 유익하다.

[0007] 본 개시내용의 적어도 하나의 실시예는 디스플레이 기관을 제공하며, 이는 베이스 기관; 반도체 층을 포함하는 복수의 픽셀 구동 회로; 베이스 기관으로부터 먼 반도체 층의 측면에 있는 제1 도전층; 베이스 기관으로부터 먼 제1 도전층의 측면에 있는 제1 평탄화 층; 제1 도전층으로부터 먼 제1 평탄화 층의 측면에 있는 제2 도전층; 베이스 기관으로부터 먼 제2 도전층의 측면에 있는 제2 평탄화 층; 및 제2 도전층으로부터 먼 제2 평탄화 층의 측면에 있는 복수의 발광 요소 그룹을 포함하고, 제2 도전층은 제1 방향을 따라 배열되는 복수의 도전성 부분을 포함하고, 제2 방향에서의 복수의 도전성 부분 각각의 크기는 제1 방향에서의 복수의 도전성 부분 각각의 크기보다 더 크고, 제2 방향은 제1 방향과 교차하고, 복수의 도전성 부분은 제1 도전성 부분을 포함하고, 제1 도전성 부분은 패쇄된 환형 부분을 포함하고, 패쇄된 환형 부분은 제2 도전층에서 제1 방향으로 그에 인접한 적어도 하나의 도전성 부분으로부터 분리되고, 복수의 발광 요소 그룹 각각은 제1 발광 요소를 포함하고, 제1 발광 요소는 제1 애노드를 포함하고, 베이스 기관 상의 제1 애노드의 정사 투영은 베이스 기관 상의 패쇄된 환형 부분의 정사 투영과 중첩하고; 복수의 도전성 부분은 제1 도전성 부분에 인접한 제2 도전성 부분을 더 포함하고, 베이스 기관 상의 제2 도전성 부분의 정사 투영은 베이스 기관 상의 제1 애노드의 정사 투영과 중첩한다.

[0008] 예를 들어, 본 개시내용의 일 실시예에 의해 제공되는 디스플레이 기관에서, 제1 방향에서의 패쇄된 환형 부분의 크기는 제1 방향에서의 제1 도전성 부분의 일부의 크기보다 적어도 더 크고, 복수의 픽셀 구동 회로는 제1 픽셀 구동 회로를 포함하고, 제1 픽셀 구동 회로는 반도체 층 상에 반도체 패턴을 갖고, 베이스 기관 상의 제1 도전성 부분의 정사 투영은 베이스 기관 상의 제1 픽셀 구동 회로의 반도체 패턴의 정사 투영과 중첩되고, 제1 픽셀 구동 회로는 구동 트랜지스터를 포함하고, 제1 도전층은 제1 도전성 패턴을 포함하고, 제1 도전성 패턴은 구동 트랜지스터의 게이트 전극과 동일한 전위를 갖고, 제1 도전성 패턴과 구동 트랜지스터의 게이트 전극은 함께 게이트 전극 전위 금속을 구성하고, 베이스 기관 상의 패쇄된 환형 부분 내부의 중공 영역의 정사 투영은 베이스 기관 상의 게이트 전극 전위 금속의 정사 투영과 중첩한다.

[0009] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 패쇄된 환형 부분의 내측은 중공 영역을 갖고, 제1 도전성 부분은 제2 방향을 따라 배열되는 복수의 중공 영역을 가지며, 2개의 인접한 중공 영역의 형상들 및 크기들은 대략 동일하다.

[0010] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 제1 발광 요소는 유효 발광 영역을 포함하고, 제1 발광 요소의 유효 발광 영역의 중심을 통과하고 제2 방향으로 연장되는 직선의, 베이스 기관 상의 정사 투영은, 베이스 기관 상의 제1 도전성 부분의 정사 투영과 베이스 기관 상의 제2 도전성 부분의 정사 투영 사이에 위치된다.

[0011] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 제1 방향에서의 패쇄된 환형 부분의 2개의 예지는 베이스 기관 상의 발광 요소 그룹에서의 복수의 발광 요소의 애노드들의 정사 투영들과 각각 중첩하고, 베이스 기관 상의 패쇄된 환형 부분의 중공 영역의 정사 투영은 베이스 기관 상의 복수의 발광 요소의 유효 발광 영역들의 정사 투영으로부터 분리된다.

[0012] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 제1 도전층은 픽셀 구동 회로에 전력을 제공하도록 구성되는 도전성 금속을 더 포함하고, 제1 평탄화 층은 도전성 금속 비아 홀을 포함하고, 도전성 부분은 도전성 금속 비아 홀을 통해 도전성 금속과 전기적으로 연결되고, 제1 픽셀 구동 회로는 제1 발광 제어 트랜지스터와 저장 커패시터를 더 포함하고, 저장 커패시터는 제1 전극 블록 및 제2 전극 블록을 포함하고, 제2 전극 블록은 베이스 기관으로부터 먼 제1 전극 블록의 측면에 위치되고, 도전성 금속은 제1 발광 제어 트랜지스터의 소스 전극 및 제2 전극 블록과 각각 전기적으로 연결된다.

[0013] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 베이스 기관 상의 패쇄된 환형 부분의 정사 투영은 베이스 기관 상의 제1 전극 블록의 정사 투영과 중첩되고, 제2 전극 블록은 개구를 포함하고, 베이스 기관 상의 개구의 정사 투영은 베이스 기관 상의 제1 전극 블록의 정사 투영과 중첩되고, 베이스 기관 상의 패쇄된 환형 부분의 정사 투영은 또한 베이스 기관 상의 개구의 정사 투영과 중첩된다.

[0014] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 제1 픽셀 구동 회로는 데이터 기입 트랜지스터, 보상 트랜지스터, 리셋 트랜지스터, 애노드 초기화 트랜지스터 및 제2 발광 제어 트랜지스터를 더 포함하고, 디스플레이 기관은 리셋 트랜지스터의 게이트 전극에 연결된 리셋 신호 라인; 보상 트랜지스터의 게이트 전극에 연결된 게이트 라인; 제1 발광 제어 트랜지스터의 게이트 전극에 연결된 발광 제어 라인; 및 리셋 트

랜지스터의 소스 전극에 연결된 초기화 신호 라인을 더 포함하고, 베이스 기관 상의 폐쇄된 환형 부분의 정사 투영은 베이스 기관 상의 리셋 신호 라인, 게이트 라인 및 초기화 신호 라인의 정사 투영들과 각각 중첩한다.

- [0015] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 제1 도전성 패턴의 한 단부는 개구를 통해 구동 트랜지스터의 게이트 전극에 전기적으로 연결되고, 제1 도전성 패턴의 다른 단부는 보상 트랜지스터의 소스 전극 또는 드레인 전극에 전기적으로 연결된다.
- [0016] 예를 들어, 본 개시내용의 일 실시예에 의해 제공되는 디스플레이 기관에서, 폐쇄된 환형 부분은 제1 방향을 따라 배열되는 제1 부분 및 제2 부분, 및 제2 방향을 따라 배열되는 제3 부분 및 제4 부분을 포함하며, 제1 부분, 제3 부분, 제2 부분 및 제4 부분은 폐쇄된 환형 부분을 형성하기 위해 단부 대 단부로 연결되고, 베이스 기관 상의 제1 부분 및 제2 부분의 정사 투영들은 베이스 기관 상의 제2 전극 블록의 정사 투영과 중첩한다.
- [0017] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 베이스 기관 상의 제1 부분의 정사 투영은 베이스 기관 상의 제1 도전성 패턴의 정사 투영과 중첩되고, 제1 도전성 패턴 및 제1 부분은 모두 형상이 세장형이고, 제1 도전성 패턴의 긴 에지의 연장 방향은 제1 부분의 긴 에지의 연장 방향과 동일하다.
- [0018] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 제1 도전층은 제2 도전성 패턴 및 제3 도전성 패턴을 더 포함하고, 제2 도전성 패턴은 초기화 신호 라인 및 리셋 트랜지스터의 소스 전극과 각각 연결되고, 제2 도전층은 애노드 연결 부분을 더 포함하고, 제3 도전성 패턴은 제2 발광 제어 트랜지스터의 드레인 전극 및 애노드 연결 부분과 연결되고, 베이스 기관 상의 제3 부분의 정사 투영은 베이스 기관 상의 초기화 신호 라인의 정사 투영과 중첩하고, 베이스 기관 상의 제3 부분의 정사 투영은 베이스 기관 상의 제2 도전성 패턴의 정사 투영과 중첩하고, 베이스 기관 상의 제4 부분의 정사 투영은 베이스 기관 상의 제1 도전성 패턴의 정사 투영과 중첩한다.
- [0019] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 베이스 기관 상의 중공 영역의 정사 투영은 베이스 기관 상의 초기화 신호 라인의 정사 투영과 중첩하고, 베이스 기관 상의 중공 영역의 정사 투영은 베이스 기관 상의 제2 도전성 패턴의 정사 투영과 중첩하고, 베이스 기관 상의 중공 영역의 정사 투영은 베이스 기관 상의 제2 전극 블록의 정사 투영과 중첩한다.
- [0020] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 복수의 발광 요소 그룹은 복수의 발광 요소 열을 형성하기 위해 제1 방향을 따라 그리고 복수의 발광 요소 행을 형성하기 위해 제2 방향을 따라 배열되고, 복수의 발광 요소 그룹 각각은 하나의 제1 발광 요소, 하나의 제2 발광 요소, 하나의 제3 발광 요소 및 하나의 제4 발광 요소를 포함하고, 제1 애노드는 주 본체 부분을 포함하고, 베이스 기관 상의 제1 발광 요소의 유효 발광 영역의 정사 투영은 베이스 기관 상의 제1 애노드의 주 본체 부분의 정사 투영 내에 위치되고, 제1 애노드 및 제1 애노드의 주 본체 부분은 적어도 부분적으로 동일한 경계를 갖고, 복수의 도전성 부분은 제2 도전성 부분을 포함하며, 제1 도전성 부분 및 제2 도전성 부분은 제1 방향으로 제1 발광 요소의 유효 발광 영역의 양측에 각각 위치되고, 베이스 기관 상의 폐쇄된 환형 부분의 정사 투영과 베이스 기관 상의 제1 발광 요소의 유효 발광 영역의 중심의 정사 투영 사이의 거리는 베이스 기관 상의 제2 도전성 부분의 정사 투영과 베이스 기관 상의 제1 발광 요소의 유효 발광 영역의 중심의 정사 투영 사이의 거리와 대략 동일하다.
- [0021] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 베이스 기관 상의 제1 애노드의 정사 투영은 베이스 기관 상의 제1 픽셀 구동 회로의 발광 제어 라인의 정사 투영과 중첩되고, 제2 방향에서 중공 영역의 중심에 인접한 위치에 제4 발광 요소가 배열되고, 베이스 기관 상의 제4 발광 요소의 애노드의 정사 투영은 베이스 기관 상의 게이트 라인, 리셋 신호 라인 및 초기화 신호 라인의 정사 투영들 모두와 중첩한다.
- [0022] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 베이스 기관 상의 게이트 라인의 정사 투영은 베이스 기관 상의 제1 도전성 패턴의 정사 투영과 중첩하고, 픽셀 구동 회로들 중 하나에서, 베이스 기관 상의 제1 전극 블록 및 제2 전극 블록의 정사 투영들은 베이스 기관 상의 게이트 라인의 정사 투영과 베이스 기관 상의 발광 제어 라인의 정사 투영 사이에 위치되고, 베이스 기관 상의 리셋 신호 라인의 정사 투영은 베이스 기관 상의 게이트 라인의 정사 투영과 베이스 기관 상의 초기화 신호 라인의 정사 투영 사이에 위치되고, 발광 제어 라인, 제1 전극 블록, 게이트 라인, 리셋 신호 라인 및 초기화 신호 라인은 제2 방향을 따라 배열된다.
- [0023] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 복수의 픽셀 구동 회로는 베이스 기관에 가까운 제1 도전층의 측면에 위치되는 제2 게이트 전극 층을 더 포함하고, 제2 전극 블록은 제2 게이트 전극 층에 위치되고, 제2 전극 블록들 중 적어도 2개는 제2 게이트 전극 층에서 연결된다.
- [0024] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 베이스 기관 상의 제1 발광 요소의 유

효 발광 영역 및 제2 발광 요소의 유효 발광 영역의 정사 투영들은 베이스 기관 상의 도전성 부분의 정사 투영과 중첩하지 않고, 제2 발광 요소는 녹색 광을 방출하도록 구성되고, 베이스 기관 상의 제4 발광 요소의 유효 발광 영역의 중심의 정사 투영은 베이스 기관 상의 도전성 부분의 정사 투영과 중첩되고, 베이스 기관 상의 제4 발광 요소의 유효 발광 영역의 중심과 도전성 부분의 정사 투영들이 서로 중첩되는 부분은 중실 부분이며, 제4 발광 요소는 청색 광을 방출하도록 구성된다.

[0025] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 제2 발광 요소는 제2 애노드를 포함하고, 베이스 기관 상의 제2 발광 요소의 유효 발광 영역의 정사 투영은 베이스 기관 상의 제2 애노드의 주 본체 부분의 정사 투영 내에 위치되고, 제2 애노드 및 제2 애노드의 주 본체 부분은 적어도 부분적으로 동일한 경계를 갖고, 제1 방향에서 제2 애노드의 주 본체 부분 및 제2 애노드에 인접한 2개의 도전성 부분의 2개의 중첩 영역의 면적들은 대략 동일하다.

[0026] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 베이스 기관 상의 중공 영역의 정사 투영은 제1 발광 요소의 유효 발광 영역과 제2 발광 요소의 유효 발광 영역 사이에 위치되고, 제1 발광 요소 및 제2 발광 요소는 제1 방향에서 서로 가장 가까운 제1 발광 요소 및 제2 발광 요소이다.

[0027] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 제1 방향에서, 제2 방향으로 적색 광을 방출하도록 구성되는 발광 요소의 애노드의 중간 부분의 크기는 제2 방향으로 애노드의 에지 부분의 크기보다 더 크고, 제1 방향에서, 제2 방향으로 청색 광을 방출하도록 구성되는 발광 요소의 애노드의 중간 부분의 크기는 제2 방향으로 애노드의 에지 부분의 크기보다 더 크다.

[0028] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 하나의 발광 요소 그룹에서, 베이스 기관 상의 적어도 2개의 발광 요소의 애노드들의 정사 투영들은 베이스 기관 상의 제2 전극 블록의 개구의 정사 투영과 중첩하고, 베이스 기관 상의 적어도 하나의 발광 요소의 유효 발광 영역의 정사 투영은 베이스 기관 상의 제1 전극 블록 또는 제2 전극 블록의 정사 투영과 중첩하지 않는다.

[0029] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 제1 발광 요소, 제2 발광 요소, 제3 발광 요소 및 제4 발광 요소로 구성된 그룹으로부터 선택된 임의의 발광 요소에서, 제1 평탄화 층은 애노드 홀을 갖고, 발광 요소의 애노드는 애노드 홀을 통해 발광 요소에 대응하는 픽셀 구동 회로와 연결되고, 베이스 기관 상의 적색 광을 방출하도록 구성된 발광 요소의 애노드의 애노드 홀의 정사 투영은 제2 방향으로 베이스 기관 상의 애노드의 주 본체 부분의 정사 투영과 중첩되지 않고, 베이스 기관 상의 적색 광을 방출하도록 구성된 발광 요소의 애노드의 애노드 홀의 정사 투영은 제2 방향으로 베이스 기관 상의 적색 광을 방출하도록 구성된 발광 요소의 유효 발광 영역의 정사 투영과 중첩되지 않고, 베이스 기관 상의 청색 광을 방출하도록 구성된 발광 요소의 애노드의 애노드 홀의 정사 투영은 제2 방향으로 베이스 기관 상의 애노드의 주 본체 부분의 정사 투영과 중첩되지 않고, 베이스 기관 상의 청색 광을 방출하도록 구성된 발광 요소의 애노드의 애노드 홀의 정사 투영은 제2 방향으로 베이스 기관 상의 청색 광을 방출하도록 구성된 발광 요소의 유효 발광 영역의 정사 투영과 중첩하지 않는다.

[0030] 예를 들어, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 데이터 라인은 2개의 인접한 도전성 부분 사이에 배열되고, 베이스 기관 상의 2개의 인접한 도전성 부분 중 임의의 하나의 정사 투영과 데이터 라인 사이의 거리는 베이스 기관 상의 2개의 인접한 도전성 부분의 정사 투영들 사이의 거리 미만이다.

[0031] 본 개시내용의 적어도 하나의 실시예는 위에서 설명한 디스플레이 기관 중 어느 하나를 포함하는 디스플레이 디바이스를 더 제공한다.

도면의 간단한 설명

[0032] 본 개시내용의 실시예들의 기술적 해결책을 보다 명확하게 예시하기 위해, 실시예들의 도면들이 이하에서 간략하게 설명될 것이다. 아래에 설명되는 도면들은 그에 대한 어떠한 제한도 구성하지 않고 본 개시내용의 일부 실시예들에만 관련된다는 점이 명백하다.

도 1은 디스플레이 기관의 개략적인 부분 단면도이다.

도 2는 광을 방출하는 도 1에 도시된 디스플레이 기관의 개략도를 예시한다.

도 3은 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 평면도이다.

도 4a는 도 3의 AA 방향을 따른 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다.

- 도 4b는 도 3의 AA 방향을 따르는 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 개략적인 단면도이다.
- 도 5a는 도 3의 BB 방향을 따르는 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다.
- 도 5b는 본 개시내용의 실시예에 따른 도 3에서의 GG 방향을 따르는 디스플레이 기관의 개략적인 단면도이다.
- 도 6은 본 개시내용의 실시예에 따른 디스플레이 기관 내의 발광 요소의 개략적인 평면도이다.
- 도 7은 본 개시내용의 실시예에 따른 디스플레이 기관 내의 제2 도전층과 애노드 층 사이의 평면 관계의 개략도이다.
- 도 8은 본 개시내용의 실시예에 따른 디스플레이 디바이스의 개략도이다.
- 도 9는 다른 디스플레이 기관의 개략적인 부분 단면도이다.
- 도 10은 다른 디스플레이 기관의 개략적인 부분 단면도이다.
- 도 11은 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 개략적인 평면도이다.
- 도 12a는 도 11의 HH 방향을 따르는 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다.
- 도 12b는 본 개시내용의 실시예에 따른 도 11의 JJ 방향을 따르는 디스플레이 기관의 개략적인 단면도이다.
- 도 13은 본 개시내용의 실시예에 따른 또 다른 디스플레이 기관의 개략적인 평면도이다.
- 도 14는 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 개략적인 평면도이다.
- 도 15는 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 개략적인 평면도이다.
- 도 16은 본 개시내용의 실시예에 따른 디스플레이 디바이스의 개략도이다.
- 도 17은 미세 금속 마스크 플레이트를 사용하는 기상 증착 프로세스의 개략도이다.
- 도 18은 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 평면도이다.
- 도 19는 도 18의 CC 방향을 따르는 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다.
- 도 20은 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 개략적인 평면도이다.
- 도 21은 도 20의 DD 방향을 따르는 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다.
- 도 22는 도 20의 EE 방향을 따르는 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다.
- 도 23은 본 개시내용의 실시예에 따른 디스플레이 디바이스의 개략도이다.
- 도 24는 본 개시내용의 실시예에 따른 디스플레이 기관의 제조 방법이다.
- 도 25 내지 도 27은 본 개시내용의 실시예에 따른 마스크 플레이트 그룹의 개략적인 평면도들이다.
- 도 28a는 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 부분 개략도이다.
- 도 28b는 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 부분 개략도이다.
- 도 29는 도 28a의 FF 방향을 따르는 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다.
- 도 30a 내지 도 30d는 본 개시내용의 실시예에 따른 디스플레이 기관 내의 복수의 필름 층의 개략적인 평면도들이다.
- 도 31은 본 개시내용의 실시예에 따른 디스플레이 기관 내의 픽셀 구동 회로의 등가 개략도이다.
- 도 32는 본 개시내용의 실시예에 따른 디스플레이 디바이스의 개략도이다.
- 도 33은 본 개시내용의 실시예에 따른 디스플레이 기관의 부분 개략도이다.
- 도 34는 도 33의 KK 방향을 따르는 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다.
- 도 35a는 도 33의 MM 방향을 따르는 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다.
- 도 35b는 도 33의 NN 방향을 따르는 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다.

도 35c는 도 33의 QQ 방향을 따른 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다.

도 36은 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 개략적인 평면도이다.

도 37a는 본 개시내용의 실시예에 따른 또 다른 디스플레이 기관의 부분 개략도이다.

도 37b는 본 개시내용의 실시예에 따른 또 다른 디스플레이 기관의 부분 개략도이다.

도 38은 본 개시내용의 실시예에 따른 디스플레이 디바이스의 개략도이다.

도 39는 본 개시내용의 실시예에 따른 디스플레이 기관의 개략도이다.

도 40은 도 39의 라인 TT를 따른 디스플레이 기관의 개략적인 단면도이다.

도 41은 본 개시내용의 실시예에 따른 디스플레이 기관 내의 제2 도전층 및 애노드 층의 개략도이다.

도 42는 본 개시내용의 실시예에 따른 디스플레이 디바이스의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 본 개시내용의 실시예들의 목적들, 기술적 세부사항들 및 장점들을 보다 명확하게 하기 위해, 실시예들의 기술적 해결책들이 본 개시내용의 실시예들에 관련된 도면들과 관련하여 명확하고 충분히 이해가능한 방식으로 설명될 것이다. 명백하게, 설명된 실시예들은 본 개시내용의 실시예들의 전부가 아니라 일부일 뿐이다. 본 명세서에 설명된 실시예들에 기초하여, 본 기술분야의 통상의 기술자는 임의의 창의적 작업 없이, 본 개시내용의 범위 내에 있어야 하는 다른 실시예(들)를 획득할 수 있다.
- [0034] 달리 정의되지 않는 한, 본 명세서에서 사용되는 모든 기술적 및 과학적 용어들은 본 개시내용이 속하는 기술분야의 통상의 기술자에 의해 통상적으로 이해되는 것과 동일한 의미들을 갖는다. 본 개시내용에서 사용되는 용어들 "제1", "제2" 등은 임의의 순서, 양 또는 중요도를 표시하도록 의도되는 것이 아니라, 다양한 컴포넌트들을 구별하려는 의도이다. 또한, 용어들 "포함하다(comprise)", "포함하는(comprising)", "포함하다(include)", "포함하는(including)" 등은 이 용어들 이전에 언급된 요소들 또는 대상들이 이 용어들 이후에 열거된 요소들 또는 대상들 및 그 등가물들을 포괄하지만, 다른 요소들 또는 대상들을 배제하지 않는다는 것을 특정하도록 의도된다.
- [0035] 디스플레이 디바이스는 전력 소비, 휘도 및 색도 좌표와 같은 복수의 성능 사양을 포함하며, 컬러 캐스트는 그 안에서 중요한 파라미터이다. 일반적으로, OLED 디스플레이 디바이스의 컬러 캐스트에 영향을 미치는 많은 인자가 존재한다. 디스플레이 기관(OLED의 어레이 기관 또는 배면 패널)의 설계의 관점에서, 애노드의 편평도는 컬러 캐스트에 크게 영향을 미친다.
- [0036] 도 1은 디스플레이 기관의 개략적인 부분 단면도이다. 도 2는 도 1에 도시된 디스플레이 기관에 의해 수행되는 발광의 개략도이다. 도 1에 도시된 바와 같이, 디스플레이 기관의 서브픽셀들은 베이스 기관(110), 반도체 층(120), 제1 게이트 전극 층(130), 제2 게이트 전극 층(140), 제1 도전층(150), 제1 평탄화 층(241), 제2 도전층(160), 제2 평탄화 층(242), 애노드(175), 및 픽셀 형성 층(190)을 포함하며, 이들은 순차적으로 배치된다. 반도체 층(120), 제1 게이트 전극 층(130), 제2 게이트 전극 층(140), 및 제1 도전층(150)은 박막 트랜지스터 및 저장 커패시터를 포함하는 픽셀 구동 회로를 형성할 수 있다. 제2 도전층(160)은 연결 전극(161)을 포함하고, 이는 제1 평탄화 층(241) 내의 비아 홀(도시되지 않음)을 통해 픽셀 구동 회로에 연결된다. 애노드(170)는 제2 평탄화 층(242) 내의 비아 홀(271)을 통해 연결 전극(161)에 연결된다. 픽셀 형성 층(190)은 애노드(170)의 일부를 노출시키는 개구(191)를 포함한다. 후속 유기 발광층(180)이 개구(191) 내에 형성될 때, 애노드(175)는 유기 발광층(180)과 접촉하고, 유기 발광층을 구동하여 광을 방출할 수 있다. 개구(191)에 의해 형성된 영역은 서브픽셀의 유효 발광 영역이다.
- [0037] 제2 평탄화 층(242) 내의 비아 홀(271)은 애노드(175)의 편평도에 영향을 미친다. 비아 홀(271)이 개구(191) (즉, 유효 발광 영역)에 비교적 가까우면, 개구(191)의 위치에서의 애노드(175)는 "경사" 현상을 포함한다. 그 결과, 서브픽셀의 발광 방향은 오프셋된다. 상이한 컬러들의 서브픽셀들 내의 애노드들의 "경사"의 방향들이 상이하면, 결과적으로, 상이한 방향들을 향해 상이한 컬러들(예를 들어, 적색, 녹색, 및 청색)의 서브픽셀들에 의해 방출된 광의 강도들은 서로 일치하지 않는다. 결과적으로, 컬러 캐스트의 현상이 발생한다. 예를 들어, 디스플레이 기관을 포함하는 디스플레이 디바이스의 측면으로부터 관찰할 때, 디스플레이 이미지는 적색이고, 디스플레이 디바이스의 다른 측면으로부터 관찰할 때, 디스플레이 이미지는 청색이다.

[0038] 이와 관련하여, 본 개시내용의 실시예들은 디스플레이 기관 및 디스플레이 디바이스를 제공한다. 디스플레이 기관은 베이스 기관, 제1 도전층, 제1 평탄화 층, 제2 도전층, 제2 평탄화 층, 및 복수의 발광 요소 그룹을 포함한다. 제1 도전층은 베이스 기관 상에 위치된다. 제1 평탄화 층은 베이스 기관으로부터 먼 제1 도전층의 측면에 위치한다. 제2 도전층은 제1 도전층으로부터 먼 제1 평탄화 층의 측면에 위치한다. 제2 평탄화 층은 제1 평탄화 층으로부터 먼 제2 도전층의 측면에 위치한다. 복수의 발광 요소 그룹은 베이스 기관으로부터 먼 제2 평탄화 층의 측면에 위치된다. 복수의 발광 요소 그룹은 제1 방향을 따라 배열되어 복수의 발광 요소 열을 형성하고, 제2 방향을 따라 배열되어 복수의 발광 요소 행들을 형성한다. 각각의 발광 요소 그룹은 제1 발광 요소, 제2 발광 요소, 제3 발광 요소, 및 제4 발광 요소를 포함한다. 제2 발광 요소 및 제3 발광 요소는 발광 요소 쌍을 형성하기 위해 제2 방향을 따라 배열된다. 제1 발광 요소, 발광 요소 쌍 및 제3 발광 요소는 제1 방향을 따라 배열된다. 제1 발광 요소는 제1 애노드를 포함한다. 제2 발광 요소는 제2 애노드를 포함한다. 제3 발광 요소는 제3 애노드를 포함한다. 제4 발광 요소는 제4 애노드를 포함한다. 제2 도전층은 제1 연결 전극, 제2 연결 전극, 제3 연결 전극 및 제4 연결 전극을 포함한다. 제2 평탄화 층은 제1 비아 홀, 제2 비아 홀, 제3 비아 홀, 및 제4 비아 홀을 포함한다. 제1 애노드는 제1 비아 홀을 통해 제1 연결 전극에 연결된다. 제2 애노드는 제2 비아 홀을 통해 제2 연결 전극에 연결된다. 제3 애노드는 제3 비아 홀을 통해 제3 연결 전극에 연결된다. 제4 애노드는 제4 비아 홀을 통해 제4 연결 전극에 연결된다. 하나의 발광 요소 행에 대응하는 복수의 제3 비아 홀은 제1 방향을 따라 연장되는 제1 직선 상에 대략 위치되고, 베이스 기관 상의 제1 직선에 가장 가까운 제4 비아 홀의 정사 투영은 제4 비아 홀에 대응하는 제4 애노드에 가까운 제1 직선의 측면에 위치된다. 따라서, 디스플레이 기관에서, 제4 비아 홀의 위치는 제4 애노드를 향해 이동되고, 그래서, 제4 비아 홀과 인접한 제1 발광 요소의 유효 발광 영역 사이의 거리가 증가되어, 제1 발광 요소의 유효 발광 영역에 위치한 제1 애노드의 편평도를 보장함으로써, 컬러 캐스트의 현상을 피하고; 제4 비아 홀과 제4 발광 요소의 유효 발광 영역 사이의 거리가 감소되고, 그래서, 제4 발광 요소의 유효 발광 영역에 위치한 제4 애노드와 제4 연결 전극 사이의 저항이 감소되며, 제1 애노드와 제4 애노드 사이의 거리가 증가되어, 제조 프로세스에서 남은 잔여물들로 인한 제1 애노드와 제4 애노드 사이의 단락을 피한다.

[0039] 본 개시내용의 실시예들에서 제공되는 디스플레이 기관 및 디스플레이 디바이스는 첨부 도면들을 참조하여 아래에 상세히 설명된다.

[0040] 본 개시내용의 실시예는 디스플레이 기관을 제공한다. 도 3은 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 평면도이다. 도 4a 및 도 4b는 도 3의 AA 방향을 따른 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도들이다. 도 5a는 도 3의 BB 방향을 따른 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다. 도 5b는 도 3의 GG 방향을 따른 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다. 도 6은 본 개시내용의 실시예에 따른 디스플레이 기관 내의 발광 요소의 개략적인 평면도이다.

[0041] 도 3, 도 4a, 도 4b, 도 5a, 도 5b, 및 도 6에 도시된 바와 같이, 디스플레이 기관(100)은 베이스 기관(110), 제1 도전층(150), 제1 평탄화 층(241), 제2 도전층(160), 제2 평탄화 층(242), 및 복수의 발광 요소 그룹들(310)을 포함한다. 제1 도전층(150)은 베이스 기관(110) 상에 위치된다. 제1 평탄화 층(241)은 베이스 기관(110)으로부터 먼 제1 도전층(150)의 측면에 위치된다. 제2 도전층(160)은 제1 도전층(150)으로부터 먼 제1 평탄화 층(241)의 측면에 위치한다. 제2 평탄화 층(242)은 제1 평탄화 층(241)으로부터 먼 제2 도전층(160)의 측면에 위치된다. 복수의 발광 요소 그룹들(310)은 베이스 기관(110)으로부터 먼 제2 평탄화 층(242)의 측면에 위치된다. 복수의 발광 요소 그룹(310)은 제1 방향을 따라 배열되어 복수의 발광 요소 열(320)을 형성하고, 제2 방향을 따라 배열되어 복수의 발광 요소 행(330)을 형성한다. 각각의 발광 요소 그룹(310)은 제1 발광 요소(311), 제2 발광 요소(312), 제3 발광 요소(313), 및 제4 발광 요소(314)를 포함한다. 제2 발광 요소(312) 및 제3 발광 요소(313)는 제2 방향을 따라 배열되어 발광 요소 쌍(315)을 형성한다. 제1 발광 요소(311), 발광 요소 쌍(315) 및 제4 발광 요소(314)는 제1 방향을 따라 배열된다. 제1 발광 요소(311)는 제1 애노드(1751)를 포함한다. 제2 발광 요소는 제2 애노드(1752)를 포함한다. 제3 발광 요소는 제3 애노드(1753)를 포함한다. 제4 발광 요소는 제4 애노드(1754)를 포함한다. 제2 도전층(160)은 제1 연결 전극(1611), 제2 연결 전극(1612), 제3 연결 전극(1613) 및 제4 연결 전극(1614)을 포함한다. 제2 평탄화 층(242)은 제1 비아 홀(2421), 제2 비아 홀(2422), 제3 비아 홀(2423), 및 제4 비아 홀(2424)을 포함한다. 제1 애노드(1751)는 제1 비아 홀(2421)을 통해 제1 연결 전극(1611)에 연결된다. 제2 애노드(1752)는 제2 비아 홀(2422)을 통해 제2 연결 전극(1612)에 연결된다. 제3 애노드(1753)는 제3 비아 홀(2423)을 통해 제3 연결 전극(1613)에 연결된다. 제4 애노드(1754)는 제4 비아 홀(2424)을 통해 제4 연결 전극(1614)에 연결된다. 발광 요소 행(330)에 대응하는 복수의 제3 비아 홀들(2423)은 제1 방향을 따라 연장되는 제1 직선(301) 상에 대략 위치되고, 베이스 기관(110) 상의 제1

직선(301)에 가장 가까운 제4 비아 홀(2424)의 정사 투영은 제4 비아 홀(2424)에 대응하는 제4 애노드(1754)에 가까운 제1 직선(301)의 측면에 위치된다. 위에서 설명한 제1 도전층 및 제2 도전층은 베이스 기판으로부터 멀어지는 방향을 따라 순차적으로 적층된다는 점에 유의해야 한다.

[0042] 본 개시내용의 이 실시예에서 제공되는 디스플레이 기판에서, 제2 발광 요소 및 제3 발광 요소는 발광 요소 쌍을 형성하기 위해 제2 방향을 따라 배열된다. 제1 발광 요소, 발광 요소 쌍 및 제3 발광 요소는 제1 방향을 따라 배열된다. 즉, 제2 애노드 및 제3 애노드는 애노드 쌍을 형성하기 위해 제2 방향을 따라 배열된다. 제1 애노드, 애노드 쌍, 및 제3 애노드는 제1 방향을 따라 배열된다. 베이스 기판 상의 제1 직선에 가장 가까운 제4 비아 홀의 정사 투영은 제4 애노드에 가까운 제1 직선의 측면에 위치된다. 즉, 디스플레이 기판에서, 제4 비아 홀의 위치는 제4 애노드를 향해 이동된다. 따라서, 디스플레이 기판은 다음의 유의한 효과들을 포함한다: (1) 제4 비아 홀과 인접한 제1 발광 요소의 유효 발광 영역 사이의 거리가 증가되어, 제1 발광 요소의 유효 발광 영역에 위치한 제1 애노드의 편평도를 보장함으로써, 컬러 캐스트의 현상을 피하고; (2) 제4 비아 홀과 제4 발광 요소의 유효 발광 영역 사이의 거리가 감소되고, 그래서, 제4 발광 요소의 유효 발광 영역에 위치한 제4 애노드와 제4 연결 전극 사이의 저항이 감소되며, (3) 제1 애노드와 제4 애노드 사이의 거리가 증가되어, 제조 프로세스에서 남은 잔여물들로 인한 제1 애노드와 제4 애노드 사이의 단락을 피한다.

[0043] 예를 들어, 도 5a, 도 5b 및 도 6에 도시된 바와 같이, 디스플레이 기판에서, 제4 비아 홀(2424)의 위치는 제4 애노드(1754)를 향해 이동된다. 따라서, 제4 비아 홀(2424)과 인접한 제1 발광 요소의 유효 발광 영역(즉, 개구(1951)에 의해 형성되는 영역) 사이의 거리가 증가된다. 또한, 제4 애노드는 제4 애노드 아래의 픽셀 구동 회로에 연결된 연결 부분을 포함하기 때문에, 제4 비아 홀(2424)의 위치가 제4 애노드(1754)를 향해 이동될 때, 제4 비아 홀(2424)은 제4 발광 요소의 유효 발광 영역(즉, 개구(1954)에 의해 형성되는 영역)과 중첩되지 않는다. 이 경우, 제4 비아 홀(2424)과 인접한 제1 발광 요소의 유효 발광 영역 사이의 거리 및 제4 비아 홀(2424)과 제4 발광 요소의 유효 발광 영역 사이의 거리 양자 모두가 적절하며, 그래서, 제1 발광 요소의 유효 발광 영역에 위치한 제1 애노드의 평탄성 및 제4 발광 요소의 유효 발광 영역에 위치한 제4 애노드의 평탄성이 양자 모두 보장될 수 있음으로써, 컬러 캐스트의 현상을 피할 수 있다.

[0044] 예를 들어, 도 5a, 도 5b 및 도 6에 도시된 바와 같이, 디스플레이 기판에서, 제4 비아 홀(2424)의 위치는 제4 애노드(1754)를 향해 이동되고, 그래서, 제4 비아 홀(2424)과 제4 발광 요소의 유효 발광 영역 사이의 거리가 감소됨으로써, 제4 발광 요소의 유효 발광 영역에 위치한 제4 애노드와 제4 연결 전극 사이의 저항을 감소시킨다. 한편, 디스플레이 기판에서, 제4 비아 홀(2424)의 위치는 제4 애노드(1754)를 향해 이동되고, 그래서, 제1 애노드(1751)와 제4 애노드(1754) 사이의 거리가 증가됨으로써, 제조 프로세스에서 남은 잔여물들로 인한 제1 애노드(1751)와 제4 애노드(1754) 사이의 단락을 피하도록 구성된다.

[0045] 예를 들어, 베이스 기판 상의 제1 애노드의 정사 투영과 베이스 기판 상의 인접한 제4 애노드의 정사 투영 사이의 최단 거리는 제1 방향에서의 제1 발광 요소의 유효 발광 영역의 폭의 0.8배보다 더 크고, 이에 의해 제조 프로세스에서 남은 잔여물들로 인한 제1 애노드와 제4 애노드 사이의 단락을 효과적으로 피한다.

[0046] 예를 들어, 도 6에 도시된 바와 같이, 제4 애노드(1754)는 본체 부분(1754A) 및 연결 부분(1754B)을 포함한다. 제4 발광 요소(314)의 유효 발광 영역은 베이스 기판(110) 상의 본체 부분(1754A)의 정사 투영에 속한다. 연결 부분(1754B)은 제4 비아 홀(2424)을 통해 대응하는 제4 연결 전극(1614)에 연결된다. 연결 부분(1754B)은 본체 부분(1754A)에 가까운 제1 직선(301)의 측면에 위치되어, 연결 부분의 면적을 효과적으로 감소시킴으로써, 제4 발광 요소의 유효 발광 영역에 위치한 제4 애노드와 제4 연결 전극 사이의 저항을 감소시킨다. 예를 들어, 도 6에 도시된 바와 같이, 제4 애노드(1754)는 복수의 픽셀 구동 회로 중 대응하는 픽셀 구동 회로에서 보상 박막 트랜지스터의 2개의 채널 영역을 커버할 수 있는 제1 보완 부분(1754C)을 더 포함하여, 보상 박막 트랜지스터의 안정성 및 서비스 수명을 개선함으로써, 디스플레이 기판의 장기 발광 안정성 및 서비스 수명을 개선한다.

[0047] 일부 예에서, 도 6에 도시된 바와 같이, 제1 보완 부분(1754C)은 제4 본체 부분(1754A)으로부터 제3 애노드(1753)를 향해 돌출되고, 제1 보완 부분(1754C)은 제4 본체 부분(1754A)에 가까운 제4 연결 부분(1754B)의 측면에 위치한다.

[0048] 일부 예들에서, 도 6에 도시된 바와 같이, 제1 보완 부분(1754C)은 제4 본체 부분(1754A) 및 제4 연결 부분(1754B) 양자 모두에 연결된다. 따라서, 디스플레이 기판은 디스플레이 기판 상의 면적을 완전히 사용하여, 제1 애노드, 제2 애노드, 제3 애노드, 및 제4 애노드를 조밀하게 배열할 수 있으므로, 디스플레이 기판의 해상도가 보장될 수 있다.

- [0049] 예를 들어, 도 4a에 도시된 바와 같이, 디스플레이 기판은 베이스 기판(110), 반도체 층(120), 제1 절연층(361), 제1 게이트 전극 층(130), 제2 절연층(362), 제2 게이트 전극 층(140), 층간 절연층(363), 제1 도전층(150), 제1 평탄화 층(241), 제2 도전층(160), 및 제2 평탄화 층(242)을 포함하고, 이들은 순차적으로 배치된다. 제1 게이트 전극 층(130)은 게이트 전극 라인(131) 및 제1 전극 블록(CE1)을 포함할 수 있다. 제2 게이트 전극 층은 제2 전극 블록(CE2)을 포함할 수 있다. 베이스 기판(110) 상의 제1 전극 블록(CE1)의 정사 투영은 베이스 기판(110) 상의 제2 전극 블록(CE2)의 정사 투영과 적어도 부분적으로 중첩되어, 저장 커패시터를 형성한다.
- [0050] 예를 들어, 도 4a에 도시된 바와 같이, 제1 도전층(150)은 전력 라인 및 데이터 라인을 더 포함할 수 있다. 제2 도전층(160)은 전력 라인과 중첩하는 도전층을 포함할 수 있다. 도전성 부분은 전력 라인에 전기적으로 연결되어, 전력 라인의 저항을 감소시킬 수 있다.
- [0051] 예를 들어, 도 4b에 도시된 바와 같이, 디스플레이 기판은 제1 도전층(150)과 제1 평탄화 층(241) 사이에 위치한 패시베이션 층(364)을 더 포함할 수 있다. 물론, 본 개시내용의 이 실시예는 이를 포함하지만 이에 제한되지는 않는다. 대안적으로, 패시베이션 층은 디스플레이 기판 상에 배치되지 않을 수 있다.
- [0052] 일부 예들에서, 도 6에 도시된 바와 같이, 제1 직선(301)에 대응하는 발광 요소 행(330)에 인접한 발광 요소 행(330)에 대응하는 복수의 제2 비아 홀들(2422)이 또한 대략 제1 직선(301) 상에 위치된다.
- [0053] 일부 예에서, 도 3에 도시된 바와 같이, 발광 요소 그룹(310)에서의 제4 비아 홀(2424)은 제2 방향에서 발광 요소 그룹(310)에 인접한 발광 요소 그룹(310)에서의 제1 애노드(1751)의 측면이면서 제2 방향에서 이등분선을 따르는 측면, 예를 들어, 제1 애노드(1751)가 제2 방향에서 이등분선을 따라 위치되는 발광 요소 그룹(310)에서의 제2 애노드(1752)에 가까운 제1 애노드(1751)의 측면에 위치된다. 즉, 발광 요소 그룹 내의 제4 비아 홀은 제2 방향에서 발광 요소 그룹에 인접한 발광 요소 그룹 내의 제1 애노드의 측면이면서 제2 방향에서 이등분선을 따르는 측면에 위치된다. 일부 예에서, 도 3에 도시된 바와 같이, 발광 요소 그룹(310)에서, 제1 비아 홀(2421)은 제2 방향으로 이등분선을 따라 제1 애노드(1751)의 측면, 예를 들어, 제2 방향으로 이등분선을 따라 제3 애노드(1753)에 가까운 제1 애노드(1751)의 측면에 위치되고; 제2 비아 홀(2422)은 제2 방향으로 이등분선을 따라 제1 애노드(1751)에 가까운 제2 애노드(1752)의 측면에 위치되고; 제3 비아 홀(2423)은 제2 방향으로 이등분선을 따라 제1 애노드(1751)에 가까운 제3 애노드(1753)의 측면에 위치된다.
- [0054] 일부 예들에서, 도 6에 도시된 바와 같이, 발광 요소 행(330)에 대응하는 복수의 제4 비아 홀(2424)은 제1 방향을 따라 연장되는 직선 상에 대략 위치된다. 직선은 발광 요소 행(330)에 대응하는 복수의 제1 애노드(1751) 또는 복수의 제1 비아 홀(2421)을 통해 연장된다.
- [0055] 일부 예들에서, 도 6에 도시된 바와 같이, 발광 요소 열(320)에 대응하는 복수의 제4 비아 홀들(2424)은 제2 방향을 따라 연장되는 제2 직선 상에 대략 위치된다. 제2 직선은 발광 요소 열(320)에 대응하는 복수의 제1 발광 요소(311)의 복수의 제1 애노드(1751) 또는 유효 발광 영역을 통해 연장된다.
- [0056] 일부 예에서, 도 6에 도시된 바와 같이, 제4 애노드(1754)와 제4 애노드(1754)에 가장 가까운 제1 애노드(1751) 사이의 거리는, 동일 행에 위치한 제1 애노드(1751)와 제1 애노드(1751)에 가장 가까운 제4 애노드(1754) 사이의 거리보다 작다.
- [0057] 일부 예들에서, 도 6에 도시된 바와 같이, 발광 요소 그룹들(310)은 제2 방향으로 인접한 제1 발광 요소 그룹 및 제2 발광 요소 그룹을 포함한다. 제1 발광 요소 그룹 및 제2 발광 요소 그룹은 2개의 인접한 발광 요소 행(330)에 각각 배치된다. 제1 발광 요소 그룹 내의 제4 애노드(1754)의 연결 부분 및 제2 발광 요소 그룹 내의 제1 애노드(1751)의 연결 부분은 양자 모두 제2 방향으로 이등분선을 따라 제4 애노드(1754)의 동일한 측면에 위치된다. 즉, 제4 애노드의 연결 부분 및 제2 방향에서 제4 애노드에 인접한 제1 애노드의 연결 부분은 제2 방향에서 이등분선을 따라 제4 애노드의 본체 부분의 동일한 측면에 제공된다.
- [0058] 일부 예에서, 도 6에 도시된 바와 같이, 제1 애노드(1751)의 본체 부분의 형상은 육각형을 포함하고, 제2 방향에서 제1 애노드(1751)에 인접한 제4 애노드(1754)에 가장 가까운 제1 애노드(1751)의 지점은 육각형의 정점이다.
- [0059] 일부 예들에서, 도 6에 도시된 바와 같이, 2개의 인접한 발광 요소 행들(330)은 1/2 피치만큼 서로 오프셋된다. 위에서 설명한 피치는 제1 방향으로 인접한 2개의 발광 요소 그룹(310) 내의 2개의 제1 발광 요소(311)의 유효 발광 영역들의 중심들 사이의 거리와 동일하다.

- [0060] 일부 예들에서, 도 6에 도시된 바와 같이, 제1 직선(301)은 2개의 인접한 발광 요소 행들(330) 사이에 위치된다.
- [0061] 일부 예에서, 도 5a, 도 5b, 및 도 6에 도시된 바와 같이, 베이스 기관(110) 상의 제1 직선(301)에 가장 가까운 제1 비아 홀(2421)의 정사 투영은 제1 비아 홀(2421)에 대응하는 제1 애노드(1751)에 가까운 제1 직선(301)의 측면에 위치한다. 즉, 디스플레이 기관에서, 제1 비아 홀의 위치는 제1 애노드를 향해 이동된다. 따라서, 디스플레이 기관은 다음의 유익한 효과들을 포함한다: (1) 제1 비아 홀과 제2 방향에서 제1 비아 홀에 가장 가까운 제4 발광 요소의 유효 발광 영역 사이의 거리가 증가되어, 인접한 제4 발광 요소의 유효 발광 영역에 위치한 제4 애노드의 편평도를 보장함으로써, 컬러 캐스트의 현상을 피하고; (2) 제1 비아 홀과 제1 발광 요소의 유효 발광 영역 사이의 거리가 감소되고, 그래서, 제1 발광 요소의 유효 발광 영역에 위치한 제1 애노드와 제1 연결 전극 사이의 저항이 감소되고, (3) 제1 애노드와 제4 애노드 사이의 거리가 증가되어, 제조 프로세스에서 남은 잔여물들로 인한 제1 애노드와 제4 애노드 사이의 단락을 피한다. 물론, 본 개시내용의 이 실시예는 이를 포함하지만 이에 제한되지는 않는다. 베이스 기관 상의 제1 비아 홀의 정사 투영은 대안적으로 제1 직선 상에 위치될 수 있다.
- [0062] 일부 예들에서, 도 6에 도시된 바와 같이, 베이스 기관(110) 상의 제4 비아 홀(2424)의 정사 투영과 베이스 기관(110) 상의 제1 직선(301)의 정사 투영 사이의 거리는 베이스 기관(110) 상의 제1 비아 홀(2421)의 정사 투영과 베이스 기관(110) 상의 제1 직선(301)의 정사 투영 사이의 거리보다 크다. 즉, 제1 직선과 비교하여, 제4 비아 홀의 오프셋의 양이 더 크다. 물론, 본 개시내용의 이 실시예는 이를 포함하지만 이에 제한되지는 않는다. 제1 직선과 비교하여, 제4 비아 홀의 오프셋의 양은 대안적으로 제1 비아 홀의 오프셋의 양과 동일할 수 있다.
- [0063] 일부 예들에서, 도 6에 도시된 바와 같이, 베이스 기관(110) 상의 제2 발광 요소(312)의 유효 발광 영역의 정사 투영과 베이스 기관(110) 상의 제2 비아 홀(2422)의 정사 투영 사이에 제1 최단 거리(L1)가 존재한다. 베이스 기관(110) 상의 제3 발광 요소(313)의 유효 발광 영역의 정사 투영과 베이스 기관(110) 상의 제3 비아 홀(2423)의 정사 투영 사이에 제2 최단 거리(L2)가 존재한다. 제1 최단 거리(L1)는 제2 최단 거리(L2)와 대략 동일하다. 위에서 설명한 제1 최단 거리가 제2 최단 거리와 대략 동일한 것은 제1 최단 거리가 제2 최단 거리와 완전히 동일한 경우를 포함하고, 또한, 제1 최단 거리와 제2 최단 거리 사이의 차이가 1 마이크로미터 미만인 경우를 포함한다는 점에 유의해야 한다.
- [0064] 따라서, 디스플레이 기관은 제2 발광 요소의 유효 발광 영역에 위치되는 제2 애노드의 경사도가 제3 발광 요소의 유효 발광 영역에 위치되는 제3 애노드의 경사도와 동일하게 할 수 있고, 그 경사 방향들이 반대가 되게 할 수 있어, 컬러 캐스트의 현상을 효과적으로 피한다. 제2 발광 요소의 유효 발광 영역에 위치하는 제2 애노드 및 제3 발광 요소의 유효 발광 영역에 위치하는 제3 애노드가 경사지지 않을 때, 제2 발광 요소의 유효 발광 영역에 위치하는 제2 애노드의 경사도 및 제3 발광 요소의 유효 발광 영역에 위치하는 제3 애노드의 경사도는 0인 것으로 간주될 수 있다는 점에 유의해야 한다. 또한, 베이스 기관 상의 제2 발광 요소의 유효 발광 영역의 정사 투영과 베이스 기관 상의 제2 비아 홀의 정사 투영 사이의 제1 최단 거리는 베이스 기관 상의 제2 발광 요소의 유효 발광 영역의 정사 투영의 에지와 베이스 기관 상의 제2 비아 홀의 정사 투영의 에지 사이의 최단 거리일 수 있다. 유사하게, 베이스 기관 상의 제3 발광 요소의 유효 발광 영역의 정사 투영과 베이스 기관 상의 제3 비아 홀의 정사 투영 사이의 제2 최단 거리는 베이스 기관 상의 제3 발광 요소의 유효 발광 영역의 정사 투영의 에지와 베이스 기관 상의 제3 비아 홀의 정사 투영의 에지 사이의 최단 거리일 수 있다.
- [0065] 일부 예에서, 도 6에 도시된 바와 같이, 베이스 기관(110) 상의 제4 비아 홀(2424)의 정사 투영과 베이스 기관(110) 상의 제2 방향으로 인접한 제1 발광 요소(311)의 유효 발광 영역의 정사 투영 사이의 거리 C는 제1 방향으로 제2 방향으로 인접한 제1 발광 요소(311)의 유효 발광 영역의 폭 A의 1.2배보다 크다. 따라서, 디스플레이 기관은 제1 발광 요소의 유효 발광 영역에 위치한 제1 애노드가 비교적 양호한 편평도를 포함하는 것을 보장할 수 있다.
- [0066] 일부 예에서, 도 6에 도시된 바와 같이, 발광 요소 그룹(310) 내의 제4 비아 홀(2424)과 인접한 발광 요소 그룹(310) 내의 제1 애노드(1751) 사이의 최단 거리 B는 발광 요소 그룹(310) 내의 제4 비아 홀(2424)과 대응하는 제4 발광 요소 그룹(314)의 유효 발광 영역 사이의 거리 E보다 작다.
- [0067] 일부 예에서, 도 6에 도시된 바와 같이, 제2 방향에서 발광 요소 그룹(310) 내의 제4 애노드(1754)와 제4 애노드(1754)에 가장 가까운 발광 요소 그룹(310) 내의 제1 애노드(1751) 사이의 최단 거리는 인접한 발광 요소 그룹(310) 내의 제1 애노드(1751)의 정점과 발광 요소 그룹(310) 내의 제4 애노드(1754) 사이의 거리이다. 즉,

인접한 발광 요소 그룹(310)에서의 제1 애노드(1751)의 정점은 발광 요소 그룹(310)에서의 제4 애노드(1754)에 가장 가까운 지점이다. 예를 들어, 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영의 형상은 육각형이고, 정점은 육각형의 장축 상의 정점이다.

[0068] 일부 예에서, 도 3, 도 4a, 도 4b, 도 5a, 도 5b 및 도 6에 도시된 바와 같이, 디스플레이 기관(100)은 픽셀 형성 층(190)을 더 포함한다. 픽셀 형성 층(190)은 베이스 기관(110)으로부터 먼 제1 애노드(1751), 제2 애노드(1752), 제3 애노드(1753), 및 제4 애노드(1754)의 측면에 위치한다. 픽셀 형성 층(190)은 제1 개구(1951), 제2 개구(1952), 제3 개구(1953), 및 제4 개구(1954)를 포함한다. 제1 발광 요소(311)는 제1 발광 부분(1851)을 포함한다. 제2 발광 요소(312)는 제2 발광 부분(1852)을 포함한다. 제3 발광 요소(313)는 제3 발광 부분(1853)을 포함한다. 제4 발광 요소(314)는 제4 발광 부분(1854)을 포함한다. 제1 개구(1951)는 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영 내에 속한다. 제1 발광 부분(1851)의 적어도 일부는 제1 개구(1951)에 위치하고 제1 애노드(1751)의 노출된 부분을 커버한다. 제2 개구(1952)는 베이스 기관(110) 상의 제2 애노드(1752)의 정사 투영 내에 속한다. 제2 발광 부분(1852)의 적어도 일부는 제2 개구(1952) 내에 위치하고 제2 애노드(1752)의 노출된 부분을 커버한다. 제3 개구(1953)는 베이스 기관(110) 상의 제3 애노드(1753)의 정사 투영 내에 속한다. 제3 발광 부분(1853)의 적어도 일부는 제3 개구(1953)에 위치하고 제3 애노드(1753)의 노출된 부분을 커버한다. 제4 개구(1954)는 베이스 기관(110) 상의 제4 애노드(1754)의 정사 투영 내에 속한다. 제4 발광 부분(1854)의 적어도 일부는 제4 개구(1954) 내에 위치하고 제4 애노드(1754)의 노출된 부분을 커버한다. 제1 개구(1951)에 의해 형성되는 영역은 제1 발광 요소(311)의 유효 발광 영역이다. 제2 개구(1952)에 의해 형성되는 영역은 제2 발광 요소(312)의 유효 발광 영역이다. 제3 개구(1953)에 의해 형성되는 영역은 제3 발광 요소(313)의 유효 발광 영역이다. 제4 개구(1954)에 의해 형성되는 영역은 제4 발광 요소(314)의 유효 발광 영역이다.

[0069] 일부 예들에서, 도 6에 도시된 바와 같이, 베이스 기관(110) 상의 제4 비아 홀(2424)의 정사 투영과 베이스 기관(110) 상의 제2 방향으로 인접한 제1 개구(1951)의 정사 투영 사이의 거리 C는 제1 방향에서의 제1 개구(1951)의 폭 A의 1.2배보다 크다. 따라서, 디스플레이 기관은 제1 개구 내에 위치한 제1 애노드(즉, 제1 애노드의 부분이며 제1 개구에 의해 노출된 부분)가 비교적 양호한 편평도를 포함하는 것을 보장할 수 있다.

[0070] 일부 예들에서, 도 3, 도 4a, 도 4b, 도 5a, 도 5b 및 도 6에 도시된 바와 같이, 디스플레이 기관(100)은 제1 평탄화 층(241) 및 제1 도전층(150)을 포함한다. 제1 평탄화 층(241)은 베이스 기관(110)에 가까운 제2 도전층(160)의 측면에 위치된다. 제1 도전층(150)은 베이스 기관(110)에 가까운 제1 평탄화 층(241)의 하나의 측면에 위치한다. 제1 도전층(150)은 제1 드레인 전극(1511), 제2 드레인 전극(1512), 제3 드레인 전극(1513) 및 제4 드레인 전극(1514)을 포함한다. 제1 평탄화 층(241)은 제5 비아 홀(2415), 제6 비아 홀(2416), 제7 비아 홀(2417), 및 제8 비아 홀(2418)을 포함한다. 제1 연결 전극(1611)은 제5 비아 홀(2415)을 통해 제1 드레인 전극(1511)에 연결된다. 제2 연결 전극(1612)은 제6 비아 홀(2416)을 통해 제2 드레인 전극(1512)에 연결된다. 제3 연결 전극(1613)은 제7 비아 홀(2417)을 통해 제3 드레인 전극(1513)에 연결된다. 제4 연결 전극(1614)은 제8 비아 홀(2418)을 통해 제4 드레인 전극(1514)에 연결된다.

[0071] 일부 예들에서, 도 4a 및 도 4b에 도시된 바와 같이, 디스플레이 기관(100)은 제1 픽셀 구동 회로(2651), 제2 픽셀 구동 회로(2652), 제3 픽셀 구동 회로(2653), 및 제4 픽셀 구동 회로(2654)를 더 포함한다. 제1 드레인 전극(1511)은 제1 픽셀 구동 회로(2651)의 일부이다. 제2 드레인 전극(1512)은 제2 픽셀 구동 회로(2652)의 일부이다. 제3 드레인 전극(1513)은 제3 픽셀 구동 회로(2653)의 일부이다. 제4 드레인 전극(1514)은 제4 픽셀 구동 회로(2654)의 일부이다. 제1 픽셀 구동 회로(2651)는 제1 연결 전극(1611)을 통해 제1 애노드(1751)에 연결되어, 제1 애노드(1751)에 구동 신호를 인가한다. 제2 픽셀 구동 회로(2652)는 제2 연결 전극(1612)을 통해 제2 애노드(1752)에 연결되어 구동 신호를 제2 애노드(1752)에 인가한다. 제3 픽셀 구동 회로(2653)는 제3 연결 전극(1613)을 통해 제3 애노드(1753)에 연결되어 제3 애노드(1753)에 구동 신호를 인가한다. 제4 픽셀 구동 회로(2654)는 제4 연결 전극(1614)을 통해 제4 애노드(1754)에 연결되어 구동 신호를 제4 애노드(1754)에 인가한다.

[0072] 도 7은 본 개시내용의 실시예에 따른 디스플레이 기관 내의 제2 도전층과 애노드 층 사이의 평면 관계의 개략도이다. 도 6 및 도 7에 도시된 바와 같이, 제2 애노드(1752) 및 제3 애노드(1753)는 제2 방향을 따라 배열되어 애노드 쌍(1755)을 형성한다. 제1 애노드(1751), 애노드 쌍(1755), 및 제4 애노드(1754)는 제1 방향을 따라 배열된다. 제2 도전층(160)은 제2 방향을 따라 연장되는 제1 도전성 부분(1621), 제2 도전성 부분(1622), 제3 도전성 부분(1623), 및 제4 도전성 부분(1624)을 더 포함한다. 제1 도전성 부분(1621)은 애노드 쌍(1755)으로부터 먼 제1 애노드(1751)의 측면에 위치한다. 제2 도전성 부분(1622)은 제1 애노드(1751)와 애노드 쌍(1755) 사

이에 위치한다. 제3 도전성 부분(1623)은 애노드 쌍(1755)과 제4 애노드(1754) 사이에 위치한다. 제4 도전성 부분(1624)은 제4 애노드(1754)와 중첩된다. 이 디스플레이 기관에서, 제2 방향을 따라 연장되는 제1 도전성 부분(1621), 제2 도전성 부분(1622), 제3 도전성 부분(1623), 및 제4 도전성 부분(1624)은 제1 도전층(150)에서의 전력 라인에 연결되어, 전력 라인의 저항을 감소시킬 수 있다.

[0073] 일부 예들에서, 도 7에 도시된 바와 같이, 베이스 기관(110) 상의 제1 도전성 부분(1621) 및 제2 도전성 부분(1622)의 정사 투영은 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영과 중첩되지 않는다. 베이스 기관(110) 상의 제2 도전성 부분(1622) 및 제3 도전성 부분(1623)의 정사 투영은 베이스 기관(110) 상의 애노드 쌍(1755)의 정사 투영과 중첩되지 않는다. 따라서, 제1 도전성 부분(1621) 및 제2 도전성 부분(1622)은 제1 애노드(1751)의 편평도에 비교적 작은 영향을 미친다. 제2 도전성 부분(1622) 및 제3 도전성 부분(1623)은 제2 애노드(1752) 및 제3 애노드(1753)의 편평도에 비교적 작은 영향을 미친다. 물론, 본 개시내용의 이 실시예는 이를 포함하지만 이에 제한되지는 않는다. 제1 도전성 부분, 제2 도전성 부분, 및 제3 도전성 부분은 대안적으로 애노드와 중첩될 수 있다.

[0074] 예를 들어, 베이스 기관(110) 상의 제1 도전성 부분(1621) 및 제2 도전성 부분(1622)의 정사 투영들은 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영과 제1 중첩 부분 및 제2 중첩 부분을 각각 형성한다. 제1 중첩 부분의 면적은 제2 중첩 부분의 면적과 대략 동일하며, 그래서, 제1 애노드(1751)의 편평도가 또한 개선될 수 있다. 유사하게, 베이스 기관(110) 상의 제2 도전성 부분(1622) 및 제3 도전성 부분(1623)의 정사 투영들은 베이스 기관(110) 상의 애노드 쌍(1755)의 정사 투영과 제3 중첩 부분 및 제4 중첩 부분을 각각 형성한다. 제3 중첩 부분의 면적은 제4 중첩 부분의 면적과 대략 동일하며, 그래서, 애노드 쌍(1755)의 제2 애노드(1752) 및 제3 애노드(1753)의 편평도 또한 역시 개선될 수 있다. 위에서 설명한 "대략 동일"은 정확한 등가의 경우, 및 둘 사이의 차이가 둘의 평균값의 10% 미만인 경우를 포함한다는 점에 유의해야 한다.

[0075] 예를 들어, 제1 중첩 부분 및 제2 중첩 부분은 제1 발광 요소(311)의 유효 발광 영역의 편평도를 더 개선하기 위해, 제2 방향으로 이등분선을 따라, 제1 애노드(1751)의 본체 부분, 즉, 제1 발광 요소(311)의 유효 발광 영역에 대해 대칭이다. 제3 중첩 부분 및 제4 중첩 부분은 제2 방향으로 이등분선을 따라 애노드 쌍(1755)에 대해 대칭이어서, 애노드 쌍(1755)의 제2 애노드(1752) 및 제3 애노드(1753)의 편평도를 추가로 개선시킨다.

[0076] 일부 예들에서, 도 7에 도시된 바와 같이, 베이스 기관(110) 상의 제4 도전성 부분(1624)의 정사 투영은 베이스 기관(110) 상의 제4 애노드(1754)의 정사 투영의 중심을 통해 연장하고, 제2 방향으로의 이등분선을 따른 베이스 기관(110) 상의 제4 도전성 부분(1624)의 정사 투영은 제2 방향으로의 이등분선을 따른 베이스 기관(110) 상의 제4 발광 요소(314)의 유효 발광 영역의 정사 투영과 중첩된다. 이러한 방식으로, 제4 애노드(1754)의 편평도 또한 역시 개선될 수 있다.

[0077] 일부 예들에서, 도 7에 도시된 바와 같이, 제2 도전층(160)은 제1 방향을 따라 연장되는 제5 도전성 부분(1625) 및 제6 도전성 부분(1626)을 더 포함한다. 제5 도전성 부분(1625)은 제2 도전성 부분(1622) 및 제3 도전성 부분(1623)에 개별적으로 연결되고, 제2 애노드(1752)와 제3 애노드(1753) 사이에 위치한다. 제6 도전성 부분(1626)은 제3 도전성 부분(1623) 및 제4 도전성 부분(1624)에 개별적으로 연결되고, 제2 방향으로 인접한 제1 애노드(1751)와 제4 애노드(1754) 사이에 위치한다. 따라서, 위에서 설명한 제1 도전성 부분(1621), 제2 도전성 부분(1622), 제3 도전성 부분(1623), 제4 도전성 부분(1624), 제5 도전성 부분(1625), 및 제6 도전성 부분(1626)은, 제1 도전층에서 전력 라인의 저항을 추가로 감소시키고 디스플레이 기관의 전기 성능을 추가로 개선시키기 위해, 직사각형 구조체를 형성할 수 있다.

[0078] 일부 예들에서, 도 7에 도시된 바와 같이, 제2 도전성 부분(1622)은 제2 방향을 따라 연장되는 본체 부분(1622A), 힐 블록(1622B), 및 연결 블록(1622C)을 포함한다. 힐 블록(1622B)은 제1 애노드(1751)에 가까운 본체 부분(1622A)의 하나의 측면에 위치하고, 그리고 본체 부분(1622A)으로부터 이격된다. 힐 블록(1622B)은 연결 블록(1622C)을 통해 본체 부분(1622A)에 연결된다. 일반적으로, 제1 방향에서의 제1 애노드의 크기(즉, 폭)가 비교적 작고, 제1 도전성 부분과 제2 도전성 부분의 본체 부분들 사이의 거리가 비교적 크기 때문에, 제1 애노드의 양측에 있는 제1 도전성 부분 및 제2 도전성 부분의 대칭성은 위에서 설명한 힐 블록을 배치함으로써 개선될 수 있으며, 따라서 제1 애노드의 편평도가 개선될 수 있다.

[0079] 일부 예들에서, 제1 발광 요소는 제1 컬러의 광을 방출하도록 구성되고; 제2 발광 요소 및 제3 발광 요소는 제2 컬러의 광을 방출하도록 구성되고; 제4 발광 요소는 제3 컬러의 광을 방출하도록 구성된다.

[0080] 예를 들어, 제1 컬러는 적색(R)이고, 제2 컬러는 녹색(G)이고, 제3 컬러는 청색(B)이다. 즉, 디스플레이 기관

은 GGRB의 픽셀 배열 구조체를 사용한다.

[0081] 본 개시내용의 실시예는 디스플레이 디바이스를 제공한다. 도 8은 본 개시내용의 실시예에 따른 디스플레이 디바이스의 개략도이다. 도 8에 도시된 바와 같이, 디스플레이 디바이스(400)는 임의의 위에서 설명한 디스플레이 기관(100)을 포함한다. 따라서, 디스플레이 디바이스는 디스플레이 기관의 유익한 효과들에 대응하는 유익한 효과들을 포함한다. 예를 들어, 디스플레이 디바이스에서, 제1 발광 요소의 유효 발광 영역에 위치한 제1 애노드의 편평도가 보장될 수 있음으로써, 컬러 캐스트의 현상을 피하고, 제4 발광 요소의 유효 발광 영역에 위치한 제4 애노드와 제4 연결 전극 사이의 저항이 감소될 수 있고, 제1 애노드와 제4 애노드 사이의 거리가 증가되어 제조 프로세스에서 남은 잔여물들로 인한 제1 애노드와 제4 애노드 사이의 단락을 피할 수 있다.

[0082] 예를 들어, 디스플레이 디바이스는 디스플레이 패널일 수 있거나, 또는 TV, 컴퓨터, 노트북 컴퓨터, 태블릿 컴퓨터, 이동 전화, 내비게이터, 또는 전자 사진 프레임과 같은 디스플레이 기능을 포함하는 전자 제품일 수 있다.

[0083] 한편, 본 출원의 발명자는 애노드 아래의 제2 소스-드레인 금속층의 두께가 비교적 크고 두께의 분포가 불균일하기 때문에, 제2 소스-드레인 금속층 또한 애노드가 불균일해지게 한다는 것을 발견하였다.

[0084] 도 9는 다른 디스플레이 기관의 개략적인 부분 단면도이다. 도 10은 다른 디스플레이 기관의 개략적인 부분 단면도이다. 도 9에 도시된 바와 같이, 제2 소스-드레인 금속층(160)은 복수의 배선(168)을 포함한다. 배선(168)이 애노드(175) 아래의 일 측면에 존재하고, 다른 측면에 배선(168)이 존재하지 않는 경우, 애노드(175)의 양측의 높이들 사이의 차이가 발생한다. 결과적으로, 애노드(175)는 "경사" 현상을 포함하며, 이는 또한 컬러 캐스트 현상을 유발한다. 도 10에 도시된 바와 같이, 배선들(168)이 애노드(175)의 양측에 존재하거나, 배선(168)이 애노드(175)아래에 배치되지 않는 경우, 애노드(175)는 비교적 높은 편평도를 보장하여, 상이한 방향들에서의 애노드(175)의 발광 강도들이 일관된 것을 보장함으로써, 컬러 캐스트의 현상을 효과적으로 개선할 수 있다.

[0085] 이와 관련하여, 본 개시내용의 실시예들은 디스플레이 기관 및 디스플레이 디바이스를 제공한다. 디스플레이 기관은 베이스 기관, 제1 도전층, 제1 평탄화 층, 제2 도전층, 제2 평탄화 층, 및 복수의 발광 요소 그룹을 포함한다. 제1 도전층은 베이스 기관 상에 위치된다. 제1 평탄화 층은 베이스 기관으로부터 먼 제1 도전층의 측면에 위치한다. 제2 도전층은 제1 도전층으로부터 먼 제1 평탄화 층의 측면에 위치한다. 제2 평탄화 층은 제1 평탄화 층으로부터 먼 제2 도전층의 측면에 위치한다. 복수의 발광 요소 그룹은 제2 도전층으로부터 먼 제2 평탄화 층의 측면에 위치한다. 복수의 발광 요소 그룹은 제1 방향을 따라 배열되어 복수의 발광 요소 열을 형성하고, 제2 방향을 따라 배열되어 복수의 발광 요소 행들을 형성한다. 발광 요소 그룹들 각각은 제1 발광 요소, 제2 발광 요소, 제3 발광 요소, 및 제4 발광 요소를 포함한다. 제1 발광 요소는 제1 애노드를 포함한다. 제2 도전층은 제2 방향을 따라 연장되는 제1 도전성 부분 및 제2 도전성 부분을 포함한다. 제1 도전성 부분은 제1 애노드의 측면에 위치된다. 제2 도전성 부분은 제1 도전성 부분으로부터 먼 제1 애노드의 측면에 위치된다. 제1 도전성 부분은 연장 부분 및 오프셋 부분을 포함한다. 제2 방향을 따라 연장되는 직선 상의 제1 발광 요소의 유효 발광 영역의 정사 투영은 직선 상의 오프셋 부분의 정사 투영에 의해 커버된다. 베이스 기관 상의 오프셋 부분의 정사 투영은 베이스 기관 상의 제1 애노드의 정사 투영으로부터 이격된다. 제2 도전성 부분에 가깝고 제2 방향을 따라 연장되는 연장 부분의 에지가 위치되는 직선은 제1 직선이다. 오프셋 부분은 제1 직선으로부터 이격되고 제2 도전성 부분으로부터 먼 제1 직선의 측면에 위치된다. 따라서, 제1 도전성 부분이 제1 애노드의 측면에 위치되고, 제2 도전성 부분은 제1 도전성 부분으로부터 먼 제1 애노드의 측면에 위치되고, 베이스 기관 상의 오프셋 부분의 정사 투영은 베이스 기관 상의 제1 애노드의 정사 투영으로부터 이격되기 때문에, 제2 도전층 내의 제1 도전성 부분 및 제2 도전성 부분은 제1 애노드의 편평도에 비교적 작은 영향을 미치므로, 제1 애노드는 비교적 높은 편평도를 보장할 수 있어 상이한 방향들에서의 제1 애노드의 발광 강도들이 일관된 것을 보장함으로써, 컬러 캐스트의 현상을 효과적으로 개선시킨다.

[0086] 본 개시내용의 실시예들에서 제공되는 디스플레이 기관 및 디스플레이 디바이스는 첨부 도면들을 참조하여 아래에 상세히 설명된다.

[0087] 본 개시내용의 실시예는 디스플레이 기관을 제공한다. 도 11은 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 개략적인 평면도이다. 도 12a는 도 11의 HH 방향을 따른 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다. 도 12b는 도 11의 JJ 방향을 따른 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다. 도 13은 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 개략적인 평면도이다. 도 14는 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 개략적인 평면도이다. 제2 도전층 내의 도전성

부분들과 애노드들 사이의 위치 관계를 명확하게 도시하기 위해, 도 14는 제2 도전층 및 애노드 층만을 도시한다.

[0088] 도 11 내지 도 14에 도시된 바와 같이, 디스플레이 기관(100)은 베이스 기관(110), 제1 도전층(150), 제1 평탄화 층(241), 제2 도전층(160), 제2 평탄화 층(242), 및 복수의 발광 요소 그룹들(310)을 포함한다. 제2 도전층(160)은 베이스 기관(110) 상에 위치된다. 제2 평탄화 층(242)은 베이스 기관(110)으로부터 먼 제2 도전층(160)의 측면에 위치된다. 복수의 발광 요소 그룹들(310)은 베이스 기관(110)으로부터 먼 제2 평탄화 층(242)의 측면에 위치된다. 복수의 발광 요소 그룹들(310)은 제1 방향을 따라 배열되어 복수의 발광 요소 열(320)을 형성하고, 제2 방향을 따라 배열되어 복수의 발광 요소 행(330)을 형성한다. 발광 요소 그룹들(310) 각각은 제1 발광 요소(311), 제2 발광 요소(312), 제3 발광 요소(313), 및 제4 발광 요소(314)를 포함한다. 제1 발광 요소(311)는 제1 애노드(1751)를 포함한다. 제2 발광 요소(312)는 제2 애노드(1752)를 포함한다. 제3 발광 요소(313)는 제3 애노드(1753)를 포함한다. 제4 발광 요소(314)는 제4 애노드(1754)를 포함한다. 제2 애노드(1752) 및 제3 애노드(1753)는 제2 방향을 따라 배열되어 애노드 쌍(1755)을 형성한다. 제1 애노드(1751), 애노드 쌍(1755), 및 제4 애노드(1754)는 제1 방향을 따라 배열된다. 제2 도전층(160)은 제2 방향을 따라 연장되는 제1 도전성 부분(1621) 및 제2 도전성 부분(1622)을 포함한다. 제1 도전성 부분(1621)은 애노드 쌍(1755)으로부터 먼 제1 애노드(1751)의 측면에 위치한다. 제2 도전성 부분(1622)은 제1 애노드(1751)와 애노드 쌍(1755) 사이에, 즉 제1 도전성 부분(1621)으로부터 먼 제1 애노드(1751)의 측면에 위치된다. 제1 도전성 부분(1621)은 연장 부분(1621A) 및 오프셋 부분(1621B)을 포함한다. 제2 방향을 따라 연장되는 직선 상의 제1 발광 요소(311)의 유효 발광 영역의 정사 투영은 직선 상의 오프셋 부분(1621B)의 정사 투영에 의해 커버된다. 즉, 제1 도전성 부분(1621) 상의 제1 발광 요소(311)의 유효 발광 영역의 정사 투영은 오프셋 부분(1621B)의 위치에 위치된다. 즉, 오프셋 부분(1621B)은 제1 발광 요소(311)의 유효 발광 영역에 대응한다. 베이스 기관(110) 상의 오프셋 부분(1621B)의 정사 투영은 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영으로부터 이격된다. 제2 도전성 부분(1622)에 가깝고 제2 방향을 따라 연장되는 연장 부분(1621A)의 에지가 위치되는 직선은 제1 직선(302)이다. 오프셋 부분(1621B)은 제1 직선(302)으로부터 이격되고, 제2 도전성 부분(1622)으로부터 먼 제1 직선(302)의 측면에 위치된다. 위에서 설명한 제1 도전층 및 제2 도전층은 베이스 기관으로부터 멀어지는 방향을 따라 순차적으로 적층된다는 점에 유의해야 한다.

[0089] 본 개시내용의 이 실시예에서 제공되는 디스플레이 기관에서, 제1 도전성 부분이 제1 애노드의 측면에 위치되고, 제2 도전성 부분은 제1 도전성 부분으로부터 먼 제1 애노드의 측면에 위치되고, 베이스 기관 상의 오프셋 부분의 정사 투영은 베이스 기관 상의 제1 애노드의 정사 투영으로부터 이격되기 때문에, 제2 도전층 내의 제1 도전성 부분 및 제2 도전성 부분은 제1 애노드의 편평도에 비교적 작은 영향을 미치므로, 제1 애노드는 비교적 높은 편평도를 보장할 수 있어 상이한 방향들에서의 제1 애노드의 발광 강도들이 일관된 것을 보장함으로써, 컬러 캐스트의 현상을 효과적으로 개선시킨다. 또한, 오프셋 부분이 제1 직선으로부터 이격되고 제2 도전성 부분으로부터 먼 제1 직선의 측면에 위치되기 때문에, 오프셋 부분이 제1 애노드로부터 멀리 오프셋되어 제1 애노드를 배치하기 위한 공간을 제공하므로, 애노드들의 조밀한 배열이 구현되면서 제1 애노드의 비교적 높은 편평도가 보장될 수 있다.

[0090] 복수의 발광 요소들의 배열 방식에 대해, 도 6에 도시된 배열 방식이 참조될 수 있는데, 즉, 2개의 인접한 발광 요소 행은 1/2 피치만큼 서로로부터 오프셋된다는 점에 유의해야 한다. 위에서 설명한 피치는 제1 방향으로 인접한 2개의 발광 요소 그룹 내의 2개의 제1 발광 요소의 유효 발광 영역들의 중심들 사이의 거리와 동일하다.

[0091] 일부 예들에서, 제1 발광 요소(311)는 제1 컬러의 광을 방출하도록 구성되고; 제2 발광 요소(312) 및 제3 발광 요소(313)는 제2 컬러의 광을 방출하도록 구성되고; 제4 발광 요소(314)는 제3 컬러의 광을 방출하도록 구성된다.

[0092] 일부 예들에서, 제1 컬러는 적색이고, 제2 컬러는 녹색이고, 제3 컬러는 청색이다.

[0093] 일부 예에서, 도 11 내지 도 14에 도시된 바와 같이, 베이스 기관(110) 상의 제1 직선(302)의 정사 투영은 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영을 통해 연장된다. 따라서, 디스플레이 기관에서, 애노드들의 조밀한 배열이 구현되면서 제1 애노드의 비교적 높은 편평도가 보장될 수 있다.

[0094] 일부 예들에서, 도 11 내지 도 14에 도시된 바와 같이, 제2 방향을 따라 연장되면서 연장 부분(1621A)의 이등분선이 위치하는 직선은 제2 직선들(303)이다. 오프셋 부분(1621B)은 제2 직선(303)으로부터 이격되고, 제2 도전성 부분(1622)으로부터 먼 제2 직선(303)의 측면에 위치된다. 따라서, 오프셋 부분은 제2 직선으로부터 이격되고 애노드 쌍으로부터 먼 제2 직선의 측면에 위치하기 때문에, 오프셋 부분이 제1 애노드로부터 멀리 오프셋되

어 제1 애노드를 배치하기 위한 공간을 제공하므로, 애노드들의 조밀한 배열이 구현되면서 제1 애노드의 비교적 높은 편평도가 보장될 수 있다.

[0095] 일부 예에서, 도 11 내지 도 14에 도시된 바와 같이, 베이스 기관(110) 상의 제2 직선(303)의 정사 투영은 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영을 통해 연장된다. 따라서, 디스플레이 기관에서, 애노드들의 조밀한 배열이 구현되면서 제1 애노드의 비교적 높은 편평도가 보장될 수 있다.

[0096] 일부 예들에서, 도 11 내지 도 14에 도시된 바와 같이, 제1 애노드(1751)는 제2 방향을 따라 연장되고, 제2 도전성 부분(1622)은 제2 방향을 따라 연장되는 본체 부분(1622A) 및 힐 블록(1622B)을 포함하고, 베이스 기관(110) 상의 본체 부분(1622A)의 정사 투영은 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영으로부터 이격되고, 힐 블록(1622B)은 제1 애노드(1751)에 가까운 본체 부분(1622A)의 하나의 측면에 위치하고, 베이스 기관(110) 상의 힐 블록(1622B)의 정사 투영과 베이스 기관(110) 상의 제1 발광 요소(311)의 유효 발광 영역의 중심의 정사 투영 사이의 거리는 베이스 기관(110) 상의 제1 도전성 부분(1621)의 정사 투영과 베이스 기관(110) 상의 제1 발광 요소(311)의 유효 발광 영역의 중심의 정사 투영 사이의 거리와 대략 동일하다.

[0097] 디스플레이 기관에서, 일반적으로, 제1 방향에서의 제1 애노드의 크기(즉, 폭)는 비교적 작기 때문에, 제1 도전성 부분과 제2 도전성 부분의 본체 부분들 사이의 거리는 비교적 크다. 베이스 기관 상의 힐 블록의 정사 투영과 베이스 기관 상의 제1 발광 요소의 유효 발광 영역의 중심의 정사 투영 사이의 거리가 베이스 기관 상의 제1 도전성 부분의 정사 투영과 베이스 기관 상의 제1 발광 요소의 유효 발광 영역의 중심의 정사 투영 사이의 거리와 대략 동일하기 때문에, 제1 애노드의 양측에 있는 제1 도전성 부분 및 제2 도전성 부분의 대칭성은 위에서 설명한 힐 블록을 배치함으로써 개선될 수 있으며, 따라서 제1 애노드의 편평도가 개선될 수 있다.

[0098] 일부 예들에서, 도 11 내지 도 14에 도시된 바와 같이, 베이스 기관(110) 상의 제1 도전성 부분(1621)의 정사 투영과 베이스 기관(110) 상의 제1 발광 요소(311)의 유효 발광 영역의 중심의 정사 투영 사이의 거리는, 베이스 기관(110) 상의 본체 부분(1622A)의 정사 투영과 베이스 기관(110) 상의 제1 발광 요소(311)의 유효 발광 영역의 중심의 정사 투영 사이의 거리보다 작다.

[0099] 예를 들어, 베이스 기관(110) 상의 본체 부분(1622A)의 정사 투영과 베이스 기관(110) 상의 제1 발광 요소(311)의 유효 발광 영역의 중심의 정사 투영 사이의 거리에 대한 베이스 기관(110) 상의 제1 도전성 부분(1621)의 정사 투영과 베이스 기관(110) 상의 제1 발광 요소(311)의 유효 발광 영역의 중심의 정사 투영 사이의 거리의 비율은 1/3 이하이다.

[0100] 일부 예들에서, 도 11 내지 도 14에 도시된 바와 같이, 베이스 기관(110) 상의 힐 블록(1622B)의 정사 투영은 베이스 기관(110) 상의 본체 부분(1622A)의 정사 투영으로부터 이격된다. 제2 도전성 부분(1622)은 도전성 부분(1622C)을 더 포함한다. 힐 블록(1622B)은 도전성 부분(1622C)을 통해 본체 부분(1622A)에 연결된다. 따라서, 힐 블록(1622B)은 연결 부분(1622C)을 통해 본체 부분(1622A)에 연결되고, 본체 부분(1622A)과 일체로 형성되지 않기 때문에, 제2 도전성 부분(1622)이 반도체 층 또는 게이트 전극 층과 같은 아래의 막과 너무 많이 중첩하는 것이 방지될 수 있고, 이에 의해 제2 도전성 부분(1622) 아래의 막의 부하를 증가시키는 것을 방지한다. 따라서, 디스플레이 기관에서, 힐 블록이 추가되면서 서브픽셀들의 정상 작동이 보장될 수 있다.

[0101] 예를 들어, 도 12b에 도시된 바와 같이, 제1 도전층(150)은, 전력 라인(151), 데이터 라인(152), 제1 연결 블록(1541), 및 제2 방향을 따라 연장되는 제2 연결 블록(1542)을 포함한다. 제1 연결 블록(1541)은 초기화 신호 라인을 픽셀 구동 회로의 대응하는 소스 영역에 연결하도록 구성된다. 제2 연결 블록(1542)은 보상 박막 트랜지스터의 드레인 영역을 제1 전극 블록(CE1)에 연결하도록 구성된다. 제1 전극 블록(CE1)은 제2 전극 블록(CE2)과 함께 저장 커패시터를 형성할 수 있고, 또한 구동 박막 트랜지스터의 게이트 전극으로서 사용된다. 따라서, 힐 블록(1622B)은 연결 부분(1622C)을 통해 본체 부분(1622A)에 연결되고 본체 부분(1622A)과 일체로 형성되지 않기 때문에, 제2 도전성 부분(1622)이 제2 연결 블록(1542)과 너무 많이 중첩하는 것이 방지되어, 제2 연결 블록(1542)의 부하, 즉 보상 박막 트랜지스터의 드레인 전극의 부하 및 구동 박막 트랜지스터의 게이트 전극의 부하를 감소시켜, 디스플레이 기관의 성능을 추가로 개선할 수 있다. 디스플레이 기관은 7T1C 픽셀 구동 회로를 사용한다는 점에 유의해야 한다. 물론, 본 개시내용의 이 실시예는 이를 포함하지만 이에 제한되지는 않는다. 디스플레이 기관은 다른 적절한 픽셀 구동 회로 구조를 사용할 수 있다.

[0102] 예를 들어, 도 12b에 도시된 바와 같이, 베이스 기관(110) 상의 오프셋 부분(1621B)의 정사 투영은 베이스 기관 상의 제1 애노드(1751)의 정사 투영으로부터 이격되고, 베이스 기관(110) 상의 힐 블록(1622B)의 정사 투영은 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영으로부터 이격된다. 예를 들어, 도 12b에 도시된 바와 같

이, 디스플레이 기판은 제1 도전층(150)과 제1 평탄화 층(241) 사이에 위치한 패시베이션 층(364)을 더 포함할 수 있다. 물론, 본 개시내용의 이 실시예는 이를 포함하지만 이에 제한되지는 않는다. 대안적으로, 패시베이션 층은 디스플레이 기판 상에 배치되지 않을 수 있다.

[0103] 일부 예들에서, 도 11 내지 도 14에 도시된 바와 같이, 베이스 기판(110) 상의 힐 블록(1622B)의 정사 투영과 베이스 기판(110) 상의 본체 부분(1622A)의 정사 투영 사이의 거리는 제1 방향을 따른 베이스 기판(110) 상의 힐 블록(1622B)의 정사 투영의 폭보다 크다. 따라서, 디스플레이 기판에서, 제2 도전성 부분(1622)이 반도체 층 또는 게이트 전극 층과 같은 아래의 막과 너무 많이 중첩되는 것이 추가로 방지될 수 있고, 이에 의해, 반도체 층 또는 게이트 전극 층과 같은 막의 부하를 증가시키는 것을 방지한다. 따라서, 디스플레이 기판에서, 힐 블록이 추가되면서 서브픽셀들의 정상 작동이 보장될 수 있다.

[0104] 일부 예에서, 도 11 내지 도 14에 도시된 바와 같이, 제2 도전성 부분(1622)은 2개의 연결 부분(1622C)을 포함한다. 2개의 연결 부분(1622C)은 각각 제2 방향에서 힐 블록(1622B)의 2개의 단부에 위치한다. 힐 블록(1622B), 2개의 연결 부분(1622C), 및 본체 부분(1622A)은 직사각형 개구를 둘러싼다. 따라서, 디스플레이 기판에서, 제2 도전성 부분(1622)이 반도체 층 또는 게이트 전극 층과 같은 아래의 막과 너무 많이 중첩되는 것이 추가로 방지될 수 있고, 이에 의해, 반도체 층 또는 게이트 전극 층과 같은 막의 부하를 증가시키는 것을 방지한다. 따라서, 디스플레이 기판에서, 힐 블록이 추가되면서 서브픽셀들의 정상 작동이 보장될 수 있다.

[0105] 일부 예들에서, 제1 방향에서의 본체 부분의 폭에 대한 제1 방향에서의 힐 블록의 폭의 비율은 $1/2$ 이하이고, 본체 부분과 힐 블록 사이의 거리에 대한 제1 방향에서의 힐 블록의 폭의 비율은 $1/2$ 이하이다.

[0106] 일부 예들에서, 제2 방향에서의 제1 발광 요소의 유효 발광 영역의 길이에 대한 제2 방향에서의 힐 블록의 길이의 비율은 $7/8$ 이상이다.

[0107] 일부 예들에서, 제1 방향과 제1 발광 요소의 유효 발광 영역과 힐 블록의 중심들을 연결하는 라인 사이의 각도는 30° 미만이다. 예를 들어, 제1 방향과, 제1 발광 요소의 유효 발광 영역의 중심들과 힐 블록을 연결하는 라인 사이의 각도는 0° 이다. 즉, 제1 발광 요소의 유효 발광 영역의 중심들과 힐 블록을 연결하는 라인은 제1 방향에 평행하다.

[0108] 일부 예들에서, 베이스 기판 상의 힐 블록의 정사 투영은 베이스 기판 상의 제1 애노드의 정사 투영으로부터 이격되고, 베이스 기판 상의 제1 도전성 부분의 정사 투영은 베이스 기판 상의 제1 애노드의 정사 투영으로부터 이격된다.

[0109] 일부 예들에서, 베이스 기판 상의 힐 블록의 정사 투영이 베이스 기판 상의 제1 애노드의 정사 투영과 중첩되는 면적은 베이스 기판 상의 제1 도전성 부분의 정사 투영이 베이스 기판 상의 제1 애노드의 정사 투영과 중첩되는 면적과 대략 동일하다. 일부 예들에서, 도 11 내지 도 14에 도시된 바와 같이, 제2 도전층(160)은 제2 방향을 따라 연장되는 제3 도전성 부분(1623) 및 제4 도전성 부분(1624)을 더 포함한다. 제3 도전성 부분(1623)은 애노드 쌍(1755)과 제4 애노드(1754) 사이에 위치한다. 제4 도전성 부분(1624)은 제4 애노드(1754)와 중첩된다.

[0110] 일부 예들에서, 도 11 내지 도 14에 도시된 바와 같이, 베이스 기판(110) 상의 제2 도전성 부분(1622)의 본체 부분(1622A)의 정사 투영과 제2 방향으로 이등분선을 따른 베이스 기판(110) 상의 제2 발광 요소(312)의 유효 발광 영역의 정사 투영 사이의 거리는, 베이스 기판(110) 상의 제3 도전성 부분(1623)의 정사 투영과 제2 방향으로 이등분선을 따른 베이스 기판(110) 상의 제2 발광 요소(312)의 유효 발광 영역의 정사 투영 사이의 거리와 대략 동일하다. 따라서, 디스플레이 기판은 애노드 쌍의 양측 상의 제2 도전성 부분 및 제3 도전성 부분의 대칭성을 개선시킬 수 있음으로써, 제2 및 제3 애노드의 편평도를 개선시킨다.

[0111] 일부 예들에서, 도 11 내지 도 14에 도시된 바와 같이, 제4 애노드(1754)는 제2 방향을 따라 연장되고, 베이스 기판(110) 상의 제4 도전성 부분(1624)의 정사 투영은 베이스 기판(110) 상의 제4 발광 요소(314)의 유효 발광 영역의 정사 투영의 중심을 통해 연장된다. 따라서, 제4 도전성 부분(1624)이 제4 애노드(1754)와 중첩되더라도, 베이스 기판(110) 상의 제4 도전성 부분(1624)의 정사 투영은 베이스 기판(110) 상의 제4 발광 요소(314)의 유효 발광 영역의 정사 투영의 중심을 통해 연장하기 때문에, 제4 도전성 부분은 제4 애노드가 비교적 높은 편평도를 포함하는 것을 보장할 수 있어, 상이한 방향들에서의 제4 애노드의 발광 강도들이 일관된 것을 보장하고, 이에 의해 컬러 캐스트의 현상을 효과적으로 개선한다.

[0112] 일부 예들에서, 도 11 내지 도 14에 도시된 바와 같이, 제2 도전층(160)은 제1 방향을 따라 연장되는 제5 도전성 부분(1625) 및 제6 도전성 부분(1626)을 더 포함한다. 제5 도전성 부분(1625)은 본체 부분(1622A) 및 제3 도전성 부분(1623)에 개별적으로 연결되고, 그리고 애노드 쌍(1755)에서 제2 애노드(1752)와 제3 애노드(1753)

사이에 위치한다. 제6 도전성 부분(1626)은 제3 도전성 부분(1623) 및 제4 도전성 부분(1624)에 개별적으로 연결되고, 제2 방향으로 인접한 제1 애노드(1751)와 제4 애노드(1754) 사이에 위치한다. 따라서, 위에서 설명한 제1 도전성 부분(1621), 제2 도전성 부분(1622), 제3 도전성 부분(1623), 제4 도전성 부분(1624), 제5 도전성 부분(1625), 및 제6 도전성 부분(1626)은, 제1 도전층에서 전력 라인의 저항을 추가로 감소시키고 디스플레이 기관의 전기 성능을 추가로 개선시키기 위해, 직사각형 구조체를 형성할 수 있다.

[0113] 일부 예들에서, 도 11 내지 도 14에 도시된 바와 같이, 제2 도전층(160)은 제1 연결 전극(1611), 제2 연결 전극(1612), 제3 연결 전극(1613) 및 제4 연결 전극(1614)을 포함한다. 제2 평탄화 층(242)은 제1 비아 홀(2421), 제2 비아 홀(2422), 제3 비아 홀(2423), 및 제4 비아 홀(2424)을 포함한다. 제1 애노드(1751)는 제1 비아 홀(2421)을 통해 제1 연결 전극(1611)에 연결된다. 제2 애노드(1752)는 제2 비아 홀(2422)을 통해 제2 연결 전극(1612)에 연결된다. 제3 애노드(1753)는 제3 비아 홀(2423)을 통해 제3 연결 전극(1613)에 연결된다. 제4 애노드(1754)는 제4 비아 홀(2424)을 통해 제4 연결 전극(1614)에 연결된다.

[0114] 일부 예에서, 도 11 내지 도 14에 도시된 바와 같이, 제1 평탄화 층(241)은 베이스 기관(110)에 가까운 제2 도전층(160)의 측면에 위치하고, 제1 도전층(150)은 베이스 기관(110)에 가까운 제1 평탄화 층(241)의 하나의 측면에 위치한다. 제1 도전층(150)은 제1 드레인 전극(1511), 제2 드레인 전극(1512), 제3 드레인 전극(1513) 및 제4 드레인 전극(1514)을 포함한다. 제1 평탄화 층(241)은 제5 비아 홀(2415), 제6 비아 홀(2416), 제7 비아 홀(2417), 및 제8 비아 홀(2418)을 포함한다. 제1 연결 전극(1611)은 제5 비아 홀(2415)을 통해 제1 드레인 전극(1511)에 연결된다. 제2 연결 전극(1612)은 제6 비아 홀(2416)을 통해 제2 드레인 전극(1512)에 연결된다. 제3 연결 전극(1613)은 제7 비아 홀(2417)을 통해 제3 드레인 전극(1513)에 연결된다. 제4 연결 전극(1614)은 제8 비아 홀(2418)을 통해 제4 드레인 전극(1514)에 연결된다.

[0115] 일부 예들에서, 도 11 내지 도 14에 도시된 바와 같이, 디스플레이 기관(100)은 제1 픽셀 구동 회로(2651), 제2 픽셀 구동 회로(2652), 제3 픽셀 구동 회로(2653), 및 제4 픽셀 구동 회로(2654)를 더 포함한다. 제1 드레인 전극(1511)은 제1 픽셀 구동 회로(2651)의 일부이다. 제2 드레인 전극(1512)은 제2 픽셀 구동 회로(2652)의 일부이다. 제3 드레인 전극(1513)은 제3 픽셀 구동 회로(2653)의 일부이다. 제4 드레인 전극(1514)은 제4 픽셀 구동 회로(2654)의 일부이다. 제1 픽셀 구동 회로(2651)는 제1 연결 전극(1611)을 통해 제1 애노드(1751)에 연결되어, 제1 애노드(1751)에 구동 신호를 인가한다. 제2 픽셀 구동 회로(2652)는 제2 연결 전극(1612)을 통해 제2 애노드(1752)에 연결되어 구동 신호를 제2 애노드(1752)에 인가한다. 제3 픽셀 구동 회로(2653)는 제3 연결 전극(1613)을 통해 제3 애노드(1753)에 연결되어 제3 애노드(1753)에 구동 신호를 인가한다. 제4 픽셀 구동 회로(2654)는 제4 연결 전극(1614)을 통해 제4 애노드(1754)에 연결되어 구동 신호를 제4 애노드(1754)에 인가한다.

[0116] 예를 들어, 제2 도전층의 두께는 0.6 마이크로미터 내지 0.8 마이크로미터, 예컨대 0.7 마이크로미터의 범위일 수 있고, 제2 평탄화 층의 두께는 1.3 마이크로미터 내지 1.7 마이크로미터, 예컨대 1.5 마이크로미터의 범위일 수 있다.

[0117] 도 15는 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 개략적인 평면도이다. 제2 도전층 내의 도전성 부분들과 애노드들 사이의 위치 관계를 명확하게 도시하기 위해, 도 15는 제2 도전층과 애노드 층만을 도시한다. 도 15에 도시된 바와 같이, 제2 도전층(160)의 제2 도전성 부분(1622)에는 힐 블록이 제공되지 않는다. 제2 도전층(160)의 제1 도전성 부분(1621)은 연장 부분(1621A) 및 오프셋 부분(1621B)을 포함한다. 제1 도전성 부분(1621) 상의 제1 발광 요소(311)의 유효 발광 영역의 정사 투영은 오프셋 부분(1621B)의 위치에 위치된다. 즉, 오프셋 부분(1621B)은 제1 발광 요소(311)의 유효 발광 영역에 대응한다. 베이스 기관(110) 상의 오프셋 부분(1621B)의 정사 투영은 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영으로부터 이격된다. 제1 애노드(1751)에 가깝고 제2 방향을 따라 연장되는 연장 부분(1621A)의 에지가 위치하는 직선은 제1 직선(302)이다. 오프셋 부분(1621B)은 제1 직선(302)으로부터 이격되고, 애노드 쌍(1755)으로부터 먼 제1 직선(302)의 측면에 위치한다.

[0118] 본 개시내용의 이 실시예에서 제공되는 디스플레이 기관에서, 제1 도전성 부분이 애노드 쌍으로부터 떨어진 제1 애노드의 측면에 위치되고, 제2 도전성 부분은 제1 애노드와 애노드 쌍 사이에 위치되고, 베이스 기관 상의 오프셋 부분의 정사 투영은 베이스 기관 상의 제1 애노드의 정사 투영으로부터 이격되기 때문에, 제2 도전층 내의 제1 도전성 부분 및 제2 도전성 부분은 제1 애노드의 편평도에 비교적 작은 영향을 미치므로, 제1 애노드는 비교적 높은 편평도를 보장할 수 있어 상이한 방향들에서의 제1 애노드의 발광 강도들이 일관된 것을 보장함으로써, 컬러 캐스트의 현상을 효과적으로 개선시킨다. 또한, 오프셋 부분은 제1 직선으로부터 이격되고 애노드 쌍

으로부터 먼 제1 직선의 측면에 위치하기 때문에, 오프셋 부분이 제1 애노드로부터 멀리 오프셋되어 제1 애노드를 배치하기 위한 공간을 제공하므로, 애노드들의 조밀한 배열이 구현되면서 제1 애노드의 비교적 높은 편평도가 보장될 수 있다.

[0119] 예를 들어, 도 15에 도시된 바와 같이, 제1 애노드(1751)는 본체 부분(1751A), 연결 부분(1751B), 및 보완 부분(1751C)을 포함할 수 있다. 제1 발광 요소의 유효 발광 영역은 본체 부분(1751A)에 속한다. 연결 부분(1751B)은 제1 애노드(1751)를 복수의 픽셀 구동 회로 중 대응하는 하나에 연결하도록 구성된다. 보완 부분(1751C)은 픽셀 구동 회로들 중 대응하는 픽셀 구동 회로 내의 구동 박막 트랜지스터(T1)의 게이트 전극(G1) 및 보상 박막 트랜지스터(T3)의 드레인(D3) 상의 전위들을 커버하여, 구동 박막 트랜지스터(T1)의 게이트 전극(G1) 및 보상 박막 트랜지스터(T3)의 드레인(D3) 상의 전위들을 안정화시킬 수 있고, 이에 의해 디스플레이 기관의 장기 간 발광 안정성 및 서비스 수명을 개선한다.

[0120] 예를 들어, 도 15에 도시된 바와 같이, 제1 애노드(1751)와 오프셋 부분(1621B) 사이의 거리는, 2.5 마이크로미터 내지 3.2 마이크로미터 범위, 예컨대, 2.9 마이크로미터일 수 있다. 제1 애노드(1751)의 본체 부분(1751A)과 제2 도전성 부분(1622) 사이의 거리는, 9 마이크로미터 내지 11 마이크로미터 범위, 예컨대, 10.5 마이크로미터일 수 있다. 제1 애노드(1751)의 연결 부분(1751B)과 제2 도전성 부분(1622) 사이의 거리는 5 마이크로미터 내지 7 마이크로미터의 범위일 수 있다. 제1 애노드(1751)의 보완 부분(1751C)은 제2 도전성 부분(1622)과 부분적으로 중첩될 수 있고, 제1 방향에서의 중첩 부분의 폭은 1 마이크로미터 미만, 예컨대 0.79 마이크로미터이다. 제2 도전성 부분에 가까운 보완 부분의 에지가 본체 부분으로부터 비교적 멀리 떨어져 있기 때문에, 보완 부분(1751C)과 제2 도전성 부분(1622) 사이의 부분 중첩은 제1 애노드의 편평도에 대한 비교적 작은 영향을 포함한다.

[0121] 본 개시내용의 실시예는 디스플레이 디바이스를 제공한다. 도 16은 본 개시내용의 실시예에 따른 디스플레이 디바이스의 개략도이다. 도 16에 도시된 바와 같이, 디스플레이 디바이스(400)는 임의의 위에서 설명한 디스플레이 기관(100)을 포함한다. 따라서, 디스플레이 디바이스는 디스플레이 기관의 유익한 효과들에 대응하는 유익한 효과들을 포함한다. 예를 들어, 디스플레이 디바이스에서, 제1 발광 요소의 유효 발광 영역에 위치한 제1 애노드의 편평도가 보장될 수 있음으로써, 컬러 캐스트의 현상을 피하고, 제4 발광 요소의 유효 발광 영역에 위치한 제4 애노드와 제4 연결 전극 사이의 저항이 감소될 수 있고, 제1 애노드와 제4 애노드 사이의 거리가 증가되어 제조 프로세스에서 남은 잔여물들로 인한 제1 애노드와 제4 애노드 사이의 단락을 피할 수 있다.

[0122] 예를 들어, 디스플레이 디바이스는 TV, 컴퓨터, 노트북 컴퓨터, 태블릿 컴퓨터, 이동 전화, 내비게이터, 또는 전자 사진 프레임과 같은 디스플레이 기능을 포함하는 전자 제품일 수 있다.

[0123] OLED 디스플레이 디바이스를 제조하는 프로세스에서, 유기 재료 층을 제조하기 위해 증착 프로세스가 일반적으로 채택된다. 또한, 증착 프로세스에서 FMM이 OLED 디스플레이 기관에 접촉하여 손상시키는 것을 방지하기 위해, 스페이서는 일반적으로 OLED 디스플레이 기관 상에 형성될 필요가 있고, FMM은 스페이서 상에 배치된다. 이 경우, 스페이서가 OLED 디스플레이 기관을 보호하기 위해 FMM을 지지할 수 있다.

[0124] 그러나, 연구에서, 본 출원의 발명자는, 일반적으로, 스페이서가 서브픽셀의 유효 발광 영역의 직선 에지의 중간 위치에 위치되고; 증착 프로세스가 FMM을 사용하여 수행될 때, FMM의 개구 에지가 스페이서의 중간 위치에 위치되고; 스페이서의 중간 위치는 일반적으로 그 준비 프로세스 및 다른 이유들로 인해 스페이서의 두께가 가장 큰 위치(즉, 스페이서의 상단부)이고, FMM의 개구 에지가 스페이서의 상단부와 정확하게 접촉하고, 결과적으로 스페이서를 쉽게 스크래치하고 입자들과 같은 이물질들을 생성한다는 것을 알았다. 도 17은 FMM을 사용한 증착 프로세스의 개략도이다. 도 17에 도시된 바와 같이, FMM (250)의 개구 에지(252)는 스페이서(220)의 상단부에 위치하고, 스페이서(200)의 상단부를 쉽게 스크래치하고, 입자들과 같은 이물질들이 생성된다. 증착 프로세스 이후에, 패키징 층과 같은 막이 디스플레이 기관 상에 형성되고, 입자들과 같은 생성된 이물질들은 패키징 층이 불리한 상태, 예컨대, 크랙들을 생성하는 상태가 되게 하기 쉬워, 제품의 안정성 및 신뢰성의 감소를 초래한다.

[0125] 이와 관련하여, 본 개시내용의 실시예들은 디스플레이 기관, 그 제조 방법 및 디스플레이 디바이스를 추가로 제공한다. 디스플레이 기관은 기관, 발광층 및 스페이서를 포함하고; 발광층은 베이스 기관 상에 위치되고 복수의 발광 부분들을 포함하고; 스페이서는 베이스 기관으로부터 먼 발광층의 측면에 위치되고; 베이스 기관 상의 스페이서의 상단부의 정사 투영 및 베이스 기관 상의 발광 부분의 정사 투영의 에지가 간격을 두고 배열된다. 따라서, 미세 금속 마스크 플레이트가 발광 부분을 형성하기 위한 기상 증착 프로세스에 사용될 때, 베이스 기관 상의 미세 금속 마스크 플레이트의 개구 에지의 정사 투영 및 베이스 기관 상의 스페이서의 상단부의 정사

투영은 간격을 두고 배열되고, 그래서, 미세 금속 마스크 플레이트의 개구 에지와 스페이서의 상단부 사이의 접촉을 피할 수 있으며, 그리고 입자들과 같은 이물질들을 피할 수 있고, 이에 의해 디스플레이 기관의 수율을 개선시킨다.

- [0126] 이하, 본 개시내용의 실시예들에 따른 디스플레이 기관, 그 제조 방법 및 디스플레이 디바이스가 도면들을 참조하여 상세히 설명될 것이다.
- [0127] 본 개시내용의 실시예는 디스플레이 기관을 제공한다. 도 18은 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 평면도이고; 도 19는 도 18의 CC 방향을 따른 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다.
- [0128] 도 18 및 19에 예시된 바와 같이, 디스플레이 기관(100)은 베이스 기관(110), 발광층(180) 및 스페이서(220)를 포함한다. 발광층(180)은 베이스 기관(110) 상에 위치되고 복수의 발광 부분들(185)을 포함하고; 스페이서(220)는 발광층(180)이 위치되는 베이스 기관(110)의 측면에 위치된다. 베이스 기관(110) 상의 스페이서(220)의 상단부(225)의 정사 투영 및 베이스 기관(110) 상의 발광 부분(185)의 정사 투영의 에지는 간격을 두고 배열된다. 위에서 설명한 스페이서의 상단부는 베이스 기관으로부터 먼 스페이서의 부분, 즉 더 큰 두께를 갖는 부분을 지칭하고, 또한, 위에서 언급된 "간격을 두고 배열됨"은 베이스 기관 상의 베이스 기관으로부터 떨어진 스페이서의 상단부의 정사 투영 및 베이스 기관 상의 발광 부분의 정사 투영이 특정 간격을 갖고 서로 중첩 또는 접촉하지 않는다는 것을 의미한다는 점에 유의해야 한다.
- [0129] 본 개시내용의 실시예에 따른 디스플레이 기관의 제조 프로세스에서, 발광 부분(185)이 미세 금속 마스크 플레이트(250)를 사용하여 기상 증착에 의해 형성될 때, 도 19에 예시된 바와 같이, 베이스 기관(110) 상의 미세 금속 마스크 플레이트(250)의 개구 에지(252)의 정사 투영은 베이스 기관(110) 상의 스페이서(220)의 상단부(225)의 정사 투영으로부터 이격되고, 따라서, 미세 금속 마스크 플레이트(250)의 개구 에지(252)는 스페이서(220)의 상단부(225)와 접촉하는 것이 방지될 수 있으며, 그리고 입자들과 같은 이물질들이 회피될 수 있다. 예를 들어, 도 19에 예시된 바와 같이, 미세 금속 마스크 플레이트(250)의 개구 에지(252)는 스페이서(220)의 에지 부분에 위치되고, 스페이서(220)의 에지 부분의 두께가 스페이서(220)의 상단부(225)의 두께보다 작기 때문에, 미세 금속 마스크 플레이트(250)의 개구 에지(252)는 부유된 상태에 있고 스페이서(220)와 접촉하지 않으며, 따라서 스크래핑으로 인한 입자들과 같은 이물질들의 발생을 회피한다. 따라서, 디스플레이 기관은 디스플레이 기관의 안정성 및 신뢰성 및 제품들의 수율을 개선할 수 있다.
- [0130] 일부 예에서, 도 19에 예시된 바와 같이, 베이스 기관(110)에 수직인 방향에서의 스페이서(220)의 중간 부분의 크기는 베이스 기관(110)에 수직인 방향에서의 스페이서(220)의 에지 부분의 크기보다 크다. 즉, 스페이서(220)의 중간 부분의 두께는 스페이서(220)의 에지 부분의 두께보다 크다. 따라서, 베이스 기관 상의 미세 금속 마스크 플레이트의 개구 에지의 정사 투영 및 베이스 기관 상의 스페이서의 중간 부분(즉, 스페이서의 상단부)의 정사 투영이 간격을 두고 배열될 때, 미세 금속 마스크 플레이트의 개구 에지는 스페이서와 접촉하지 않고 부유된 상태에 있을 수 있으며, 이에 의해 스크래핑으로 인한 입자들과 같은 이물질들의 발생을 회피한다.
- [0131] 예를 들어, 도 19에 예시된 바와 같이, 베이스 기관(110)에 수직인 평면에 의해 절단된 스페이서(220)의 섹션의 형상은 반원을 포함할 수 있다. 물론, 본 개시내용의 실시예들은 이를 포함하지만 이에 제한되지 않는다. 예를 들어, 스페이서(220)의 섹션의 형상이 반원형일 때, 반원의 경사각은 범위가 8 내지 10도이다.
- [0132] 일부 예들에서, 도 18에 예시된 바와 같이, 베이스 기관(110) 상의 스페이서(220)의 정사 투영의 형상은 직사각형이고, 베이스 기관(110) 상의 길이 방향으로의 스페이서(220)의 중심 축의 정사 투영은 베이스 기관(110) 상의 발광 부분(185)의 정사 투영의 에지로부터 이격된다. 따라서, 디스플레이 기관은 미세 금속 마스크 플레이트의 개구 에지와 스페이서의 상단부 사이의 접촉을 회피하고, 입자들과 같은 이물질들의 발생을 회피할 수 있으며, 이에 의해 디스플레이 기관의 안정성 및 신뢰성 및 제품들의 수율을 개선한다. 물론, 본 개시내용의 일 실시예에서의 베이스 기관 상의 스페이서의 정사 투영의 형상은 위에서 설명된 직사각형을 포함하지만, 이것으로 제한되지는 않고, 또한 다른 형상들일 수 있다.
- [0133] 일부 예에서, 도 18에 예시된 바와 같이, 베이스 기관(110) 상의 길이 방향으로의 스페이서(220)의 중심 축의 정사 투영과 베이스 기관(110) 상의 발광 부분(185)의 정사 투영의 에지 사이의 거리는 6 마이크로미터보다 크다. 따라서, 디스플레이 기관은 미세 금속 마스크 플레이트의 개구 에지와 스페이서의 상단부 사이의 접촉을 효과적으로 회피하고, 입자들과 같은 이물질들의 발생을 회피할 수 있으며, 이에 의해 디스플레이 기관의 안정성 및 신뢰성 및 제품들의 수율을 개선한다.

- [0134] 도 20은 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 개략적인 평면도이고; 도 21은 본 개시내용의 실시예에 따른 도 20에서의 DD 방향을 따른 디스플레이 기관의 개략적인 단면도이다. 스페이서와 발광 부분 사이의 관계를 명확하게 예시하기 위해, 베이스 기관, 애노드 층, 발광층 및 스페이서만이 도 20에 예시되어 있다. 도 20에 예시된 바와 같이, 베이스 기관(110) 상의 베이스 기관(110)으로부터 떨어진 스페이서(220)의 상단부(225)의 정사 투영 및 베이스 기관(110) 상의 발광 부분(185)의 정사 투영은 간격을 두고 배열된다. 도 21에 예시된 바와 같이, 미세 금속 마스크 플레이트가 위에서 언급된 발광 부분을 형성하기 위해 증착에 사용될 때, 미세 금속 마스크 플레이트(250)의 개구 에지(252)는 스페이서(220)와 접촉하지 않고 부유된 상태에 있다. 따라서, 디스플레이 기관은 미세 금속 마스크 플레이트의 개구 에지와 스페이서의 상단부 사이의 접촉을 회피하고, 입자들과 같은 이물질들의 발생을 회피할 수 있으며, 이에 의해 디스플레이 기관의 안정성 및 신뢰성 및 제품들의 수율을 추가로 개선한다.
- [0135] 일부 예들에서, 도 20에 예시된 바와 같이, 복수의 발광 부분들(185)은 복수의 발광 그룹들(1850)을 포함하고, 복수의 발광 그룹(1850)은 제1 방향으로 배열되어 복수의 발광 그룹 열(280)을 형성하고, 제2 방향으로 배열되어 복수의 발광 그룹 행(290)을 형성하고; 각각의 발광 그룹(1850)은 제1 발광 부분(1851), 제2 발광 부분(1852), 제3 발광 부분(1853) 및 제4 발광 부분(1854)을 포함한다. 2개의 인접한 발광 그룹 행들(290)은 1/2 피치 오프셋으로 배열되고, 피치는 제1 방향에서 2개의 인접한 발광 그룹(1850) 내의 2개의 제1 발광 부분(1851)의 중심들 사이의 거리와 동일하고; 제2 발광 부분(1852) 및 제3 발광 부분(1853)은 제2 방향을 따라 배열되어 발광 쌍(1855)을 형성하고, 제1 발광 부분(1851), 발광 쌍(1855) 및 제4 발광 부분(1854)은 제1 방향을 따라 배열된다. 도 20에 예시된 바와 같이, 베이스 기관(110) 상의 스페이서(220)의 상단부(225)의 정사 투영은 베이스 기관(110) 상의 하나의 발광 그룹(1850) 내의 제1 발광 부분(1851) 및 제3 발광 부분(1853)의 정사 투영과, 베이스 기관(110) 상의 제2 방향으로 인접한 다른 발광 그룹(1850) 내의 제2 발광 부분(1852) 및 제4 발광 부분(1854)의 정사 투영 사이에 위치된다. 따라서, 디스플레이 기관은 베이스 기관(110) 상의 스페이서(220)의 상단부(225)의 정사 투영과 베이스 기관(110) 상의 제1 발광 부분(1851), 제2 발광 부분(1852), 제3 발광 부분(1853) 및 제4 발광 부분(1854)의 정사 투영이 간격을 두고 배열되고, 디스플레이 기관의 공간을 완전히 사용하는 것을 보장할 수 있다.
- [0136] 예를 들어, 제1 방향과 제2 방향은 실질적으로 수직이다. 실질적으로 수직인 제1 방향 및 제2 방향은 제1 방향과 제2 방향 사이의 끼인각이 90도인 경우를 포함하고, 또한 제1 방향과 제2 방향 사이의 끼인각이 85도 내지 95도 범위인 경우를 포함한다는 점에 유의해야 한다.
- [0137] 예를 들어, 도 20에 예시된 바와 같이, 디스플레이 기관(100)에서, 제2 방향으로의 2개의 인접한 발광 그룹(1850)은 제1 발광 그룹(1850A) 및 제2 발광 그룹(1850B)일 수 있으며, 베이스 기관(110) 상의 스페이서(220)의 상단부(225)의 정사 투영은 베이스 기관(110) 상의 제1 발광 그룹(1850A)의 제1 발광 부분(1851)의 정사 투영, 베이스 기관(110) 상의 제1 발광 그룹(1850A)의 제3 발광 부분(1853)의 정사 투영, 베이스 기관(110) 상의 제2 발광 그룹(1850B)의 제2 발광 부분(1852)의 정사 투영, 및 베이스 기관(110) 상의 제2 발광 그룹(1850B)의 제4 발광 부분의 정사 투영 사이에 위치된다. 따라서, 디스플레이 기관은 베이스 기관(110) 상의 스페이서(220)의 상단부(225)의 정사 투영과 베이스 기관(110) 상의 제1 발광 부분(1851), 제2 발광 부분(1852), 제3 발광 부분(1853) 및 제4 발광 부분(1854)의 정사 투영이 모두 간격을 두고 배열되고, 디스플레이 기관의 공간을 완전히 사용하는 것을 보장할 수 있다.
- [0138] 예를 들어, 베이스 기관(110) 상의 스페이서(220)의 정사 투영은 20 마이크로미터의 길이 및 9.5 마이크로미터의 폭을 갖는 직사각형일 수 있다. 이때, 베이스 기관(110) 상의 스페이서(220)의 정사 투영과 베이스 기관(110) 상의 제1 발광 그룹(1850A)의 제3 애노드(1753)의 정사 투영 사이의 거리는 8.5 내지 9.5 마이크로미터 범위, 예를 들어, 8.9 마이크로미터일 수 있다. 베이스 기관(110) 상의 스페이서(220)의 정사 투영과 베이스 기관(110) 상의 제2 발광 그룹(1850B)의 제4 애노드(1754)의 정사 투영 사이의 거리는 6 내지 7 마이크로미터 범위, 예를 들어 6.3 마이크로미터일 수 있다.
- [0139] 예를 들어, 베이스 기관(110) 상의 스페이서(220)의 정사 투영과 베이스 기관(110) 상의 제1 발광 그룹(1850A)의 제3 발광 부분(1853)의 정사 투영 사이의 거리는 0 마이크로미터이거나, 심지어 서로 중첩될 수 있다. 베이스 기관(110) 상의 스페이서(220)의 정사 투영과 베이스 기관(110) 상의 제2 발광 그룹(1850B)의 제2 발광 부분(1852)의 정사 투영 사이의 거리는 0 마이크로미터이거나, 심지어 서로 중첩될 수 있다.
- [0140] 일부 예에서, 도 20 및 도 21에 예시된 바와 같이, 디스플레이 기관(100)은 애노드 층(170) 및 픽셀 형성 층(190)을 더 포함하고; 애노드 층(170)은 베이스 기관(110)과 스페이서(220) 사이에 위치되고, 픽셀 형성 층

(190)은 스페이서(220)에 가까운 애노드 층(170)의 측면에 위치한다. 애노드 층(170)은 복수의 애노드(175)를 포함하고, 픽셀 형성 층(190)은 복수의 애노드(175)를 노출시키기 위한 복수의 개구(195)를 포함한다. 복수의 애노드(175)는 복수의 발광 부분(185)에 대응하여 배열되고, 복수의 개구(195)는 복수의 발광 부분(185)에 대응하여 배열되고, 복수의 개구들(195)은 복수의 개구 그룹들(1950)을 포함하고, 각각의 개구 그룹(1950)은 제1 개구(1951), 제2 개구(1952), 제3 개구(1953) 및 제4 개구(1954)를 포함하고, 복수의 애노드(175)는 복수의 발광 부분(185)에 대응하여 배열된다. 복수의 애노드(175)는 복수의 애노드 그룹(1750)을 포함하고, 각각의 애노드 그룹(1750)은 제1 애노드(1751), 제2 애노드(1752), 제3 애노드(1753) 및 제4 애노드(1754)를 포함한다. 제1 발광 부분(1851)은 적어도 부분적으로 제1 개구(1951) 내에 위치하고, 노출되는 제1 애노드(1751)를 커버하고, 제2 발광 부분(1852)은 적어도 부분적으로 제2 개구(1952) 내에 위치하고 노출되는 제2 애노드(1752)를 커버하고, 제3 발광 부분(1853)은 적어도 부분적으로 제3 개구(1953) 내에 위치하고 노출되는 제3 애노드(1753)를 커버하고, 제4 발광 부분(1854)은 제4 개구(1954) 내에 적어도 부분적으로 위치하고 노출되는 제4 애노드(1753)를 커버한다.

- [0141] 예를 들어, 도 20 및 도 21에 예시된 바와 같이, 베이스 기관(110) 상의 스페이서(220)의 정사 투영은 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영과 부분적으로 중첩될 수 있다.
- [0142] 예를 들어, 도 20 및 21에 예시된 바와 같이, 제1 가상 직선은 스페이서(220)의 길이 방향에 평행하고 스페이서(220)의 중심을 통과하고; 베이스 기관(110) 상의 제1 개구(1951)의 정사 투영의 형상은 대략 타원이고, 장축 방향에서의 타원의 정점과 제1 가상 직선 사이의 거리와, 제1 개구(1951)와 제1 가상 직선 사이의 최단 거리의 비율은 1.5 내지 1의 범위이다.
- [0143] 예를 들어, 제1 개구(1951)와 제2 개구(1952) 사이의 거리는 20 내지 25 마이크로미터의 범위이고; 제1 개구(1951)와 제3 개구(1953) 사이의 거리는 또한 20 내지 25 마이크로미터의 범위이다. 제1 개구(1951)와 제4 개구(1954) 사이의 거리는 또한 20 내지 25 마이크로미터의 범위이다. 물론, 본 개시내용의 실시예들은 이를 포함하지만 이에 제한되지 않고, 상이한 개구들 사이의 거리는 실제 제품 크기에 따라 결정될 수 있다.
- [0144] 일부 예들에서, 도 20 및 21에 예시된 바와 같이, 베이스 기관(110) 상의 스페이서(220)의 정사 투영 및 베이스 기관(110) 상의 제1 개구(1951)의 패드 블록은 오프셋 배열된다. 따라서, 본 개시내용의 실시예에 따른 디스플레이 기관의 제조 프로세스에서, 미세 금속 마스크 플레이트가 위에서 언급된 발광 부분을 형성하기 위해 증착에 사용될 때, 디스플레이 기관은 미세 금속 마스크 플레이트의 개구 에지와 스페이서의 상단부 사이의 접촉을 회피하고, 입자들과 같은 이물질들의 발생을 회피할 수 있다.
- [0145] 예를 들어, 도 20 및 도 21에 예시된 바와 같이, 베이스 기관(110) 상의 스페이서(220)의 정사 투영과 베이스 기관(110) 상의 제1 개구(1951)의 정사 투영은 간격을 두고 배열된다.
- [0146] 일부 예들에서, 도 20 및 21에 예시된 바와 같이, 베이스 기관(110) 상의 제1 개구(1951)의 정사 투영의 형상은 대략 타원형이고, 베이스 기관(110) 상의 스페이서(220)의 정사 투영의 형상은 직사각형이다. 베이스 기관(110) 상의 제1 개구(1951)의 정사 투영의 형상의 장축 방향과 베이스 기관(110) 상의 스페이서(220)의 정사 투영의 형상의 연장 방향 사이의 끼인각은 20 내지 70도 범위이다.
- [0147] 일부 예에서, 도 20 및 도 21에 예시된 바와 같이, 디스플레이 기관(100)은 픽셀 회로 층(260)을 더 포함하고; 픽셀 회로 층(260)은 베이스 기관(110)에 가까운 애노드 층(170)의 측면에 위치되고, 복수의 픽셀 구동 회로(265)를 포함하고; 복수의 픽셀 구동 회로(265)와 복수의 애노드(175)는 대응하여 배열되고, 각각의 애노드(175)는 대응하는 픽셀 구동 회로(265)와 전기적으로 연결되고, 제1 애노드(1751)는 본체 부분(1751A) 및 본체 부분(1751A)과 연결된 연결 부분(1751B)을 포함한다. 베이스 기관(110) 상의 제1 개구(1951)의 정사 투영은 베이스 기관(110) 상의 본체 부분(1751A)의 정사 투영 내에 속하고, 연결 부분(1751B)은 대응하는 픽셀 구동 회로(265)와 전기적으로 연결된다.
- [0148] 일부 예들에서, 도 20 및 21에 예시된 바와 같이, 베이스 기관(110) 상의 스페이서(220)의 정사 투영은 베이스 기관(110) 상의 연결 부분(1751B)의 정사 투영과 적어도 부분적으로 중첩된다. 따라서, 디스플레이 기관은 미세 금속 마스크 플레이트의 개구 에지와 스페이서의 상단부 사이의 접촉을 회피하고, 입자들과 같은 이물질들의 발생을 회피하고, 디스플레이 기관의 공간을 완전히 사용할 수 있다.
- [0149] 일부 예들에서, 도 20 및 21에 예시된 바와 같이, 연결 부분(1751B)은 본체 부분(1751A)이 동일한 발광 그룹(1850) 내의 제3 애노드(1753) 및 제2 방향으로 인접한 발광 그룹(1850) 내의 제4 애노드(1754)에 가까운 위치에 위치된다.

- [0150] 일부 예들에서, 제1 개구(1951)에 의해 형성된 영역은 제1 서브픽셀의 제1 유효 발광 영역이고, 제2 개구(1952)에 의해 형성된 영역은 제2 서브픽셀의 제2 유효 발광 영역이고, 제3 개구(1953)에 의해 형성된 영역은 제3 서브픽셀의 제3 유효 발광 영역이고, 제4 개구(1954)에 의해 형성된 영역은 제4 서브픽셀의 제4 유효 발광 영역이다. 따라서, 위에서 언급된 복수의 발광 그룹들, 복수의 개구 그룹들 및 복수의 애노드 그룹들은 각각 복수의 픽셀 구조체들에 대응한다.
- [0151] 일부 예들에서, 제1 발광 부분은 제1 컬러의 광을 방출하도록 구성되고, 제2 발광 부분은 제3 발광 부분과 연결되고, 양자 모두 제2 컬러의 광을 방출하도록 구성되며, 제4 발광 부분은 제3 컬러의 광을 방출하도록 구성된다.
- [0152] 예를 들어, 제1 컬러는 적색(R)이고, 제2 컬러는 녹색(G)이고, 제3 컬러는 청색(B)이다. 즉, 디스플레이 기판은 GGRB의 픽셀 배열 구조체를 채택한다.
- [0153] 도 22는 도 20에서의 EE 방향을 따른 디스플레이 기판의 개략적인 단면도이다. 도 22에 예시된 바와 같이, 실제 제조 프로세스에서, 미세 금속 마스크 플레이트에 의해 형성되는 발광 부분들(185)(예를 들어, 제1 발광층(1851) 및 제4 발광층(1854))은 더 얇은 확산 부분들(예를 들어, 확산 부분들(1851A 및 1854A))을 형성하기 위해 확산할 것이고, 결국 획득된 발광층(185)의 크기는 미세 금속 마스크 플레이트의 개구 크기보다 더 크게 되고, 스페이서(220)와 중첩할 것이며, 심지어 인접한 발광 부분들이 접촉하거나 중첩할 것이다. 이때, 위에서 언급한 발광층은 발광층의 두께가 확산 부분의 두께 이상인 부분을 지칭하고, 확산 부분은 포함하지 않는다.
- [0154] 본 개시내용의 실시예는 디스플레이 디바이스를 추가로 제공한다. 도 23은 본 개시내용의 실시예에 따른 디스플레이 디바이스의 개략도이다. 도 23에 예시된 바와 같이, 디스플레이 디바이스(400)는 위에서 설명된 디스플레이 기판들(100) 중 임의의 하나를 포함한다. 따라서, 디스플레이 디바이스는 디스플레이 기판의 유익한 효과들에 대응하는 유익한 효과들을 갖는다. 예를 들어, 디스플레이 디바이스는 제조 프로세스에서 미세 금속 마스크 플레이트의 개구 에지(252)와 스페이서의 상단부 사이의 접촉을 회피하고, 입자들과 같은 이물질들의 발생을 회피할 수 있으며, 이에 의해 디스플레이 기판의 안정성 및 신뢰성 및 제품들의 수율을 개선한다.
- [0155] 예를 들어, 디스플레이 디바이스는 텔레비전들, 컴퓨터들, 노트북 컴퓨터들, 플랫 컴퓨터들, 이동 전화들, 내비게이터들, 및 전자 사진 프레임들과 같은 디스플레이 기능들을 갖는 전자 제품들일 수 있다.
- [0156] 본 개시내용의 실시예는 디스플레이 기판을 제조하는 방법을 제공한다. 도 24는 본 개시내용의 실시예에 따른 디스플레이 기판을 제조하기 위한 방법을 도시한다. 도 24에 도시된 바와 같이, 디스플레이 기판을 제조하는 방법은 다음의 단계들 S101 내지 S103을 포함한다.
- [0157] 단계 S101: 베이스 기판 상에 픽셀 형성 층을 형성하는 단계- 픽셀 형성 층은 복수의 개구를 포함함 -.
- [0158] 예를 들어, 베이스 기판은 석영 기판, 유리 기판, 플라스틱 기판 등을 사용할 수 있다. 픽셀 형성 층은 기상 증착 프로세스를 사용하여 제조될 수 있다. 복수의 개구는 에칭 프로세스를 사용하여 제조될 수 있다. 물론, 본 개시내용의 이 실시예는 이를 포함하지만 이에 제한되지는 않는다.
- [0159] 단계 S102: 베이스 기판으로부터 먼 픽셀 형성 층의 측면에 스페이서를 형성하는 단계.
- [0160] 예를 들어, 스페이서 및 픽셀 형성 층은 하프 톤 마스크 또는 그레이 톤 마스크를 통해 동일한 막을 사용함으로써 형성될 수 있어, 마스크 프로세스들을 감소시키고, 이에 의해 비용들을 감소시킨다. 예를 들어, 픽셀 형성 층 및 스페이서를 형성하기 위해 사용되는 층 구조체가 베이스 기판 상에 먼저 형성될 수 있고; 그 다음, 제1 포토레지스트 패턴이 하프 톤 마스크 또는 그레이 톤 마스크를 사용함으로써 베이스 기판으로부터 먼 층 구조체의 측면에 형성된다. 제1 포토레지스트 패턴은 완전히 유지된 부분, 부분적으로 유지된 부분, 및 완전히 제거된 부분을 포함한다. 층 구조체는 제1 포토레지스트 패턴을 사용하여 에칭되고(예를 들어, 습식 에칭 프로세스), 완전히 제거된 부분에 대응하는 층 구조체가 제거되어, 픽셀 형성 층의 복수의 개구를 형성한다. 그 후, 제1 포토레지스트 패턴에 에칭 프로세스가 수행되고, 부분적으로 유지된 부분을 제거하여 제2 포토레지스트 패턴을 형성한다. 층 구조체는 제2 포토레지스트 패턴을 사용하여 추가로 에칭되어, 완전히 유지된 부분에 대응하는 층 구조체에서 스페이서를 형성하고, 부분적으로 유지된 부분에 대응하는 층 구조체에서 픽셀 형성 층을 형성한다. 물론, 본 개시내용의 이 실시예는 이를 포함하지만 이에 제한되지는 않는다. 스페이서는 대안적으로 개별적으로 형성될 수 있다.
- [0161] 단계 S103: 마스크 플레이트를 베이스 기판으로부터 먼 스페이서의 측면에 배치하고, 마스크 플레이트를 마스크로서 이용하여 발광 재료들을 복수의 개구 내로 증착시켜 복수의 발광 부분을 포함하는 발광층을 형성하는 단계

- 마스크 플레이트는 복수의 마스크 개구를 포함하고, 베이스 기판 상의 스페이서의 상단부의 정사 투영 및 베이스 기판 상의 마스크 개구의 정사 투영의 에지는 간격을 두고 배열됨 -.

[0162] 본 개시내용의 실시예에 따른 디스플레이 기판의 제조 프로세스에서, 마스크 플레이트가 베이스 기판으로부터 먼 스페이서의 측면에 배치되고, 발광 재료들이 마스크로서 마스크 플레이트를 이용하여 복수의 개구 내에 증착되어 복수의 발광 부분을 포함하는 발광층을 형성할 때, 베이스 기판 상의 마스크 플레이트의 개구 에지의 정사 투영은 베이스 기판 상의 스페이서의 상단부의 정사 투영으로부터 이격되고, 이에 의해 마스크 플레이트의 개구 에지와 스페이서의 상단부 사이의 접촉을 회피하고, 입자들과 같은 이물질들의 발생을 회피한다. 따라서, 디스플레이 기판의 제조 방법은 디스플레이 기판의 안정성 및 신뢰성 및 제품들의 수율을 개선할 수 있다.

[0163] 일부 예들에서, 상기 마스크 플레이트는 미세 금속 마스크 플레이트(FMM)이다.

[0164] 일부 예들에서, 베이스 기판 상의 스페이서의 정사 투영의 형상은 직사각형이고, 베이스 기판 상의 길이 방향으로의 스페이서의 중심 축의 정사 투영은 베이스 기판 상의 발광 부분의 정사 투영의 에지로부터 이격된다. 따라서, 디스플레이 기판의 제조 방법은 미세 금속 마스크 플레이트의 개구 에지와 스페이서의 상단부 사이의 접촉을 회피하고 입자들과 같은 이물질들의 발생을 회피할 수 있으며, 이에 의해 디스플레이 기판의 안정성 및 신뢰성 및 제품들의 수율을 개선한다.

[0165] 일부 예들에서, 베이스 기판 상의 스페이서의 정사 투영은 베이스 기판 상의 발광 부분의 정사 투영의 에지로부터 이격된다. 따라서, 디스플레이 기판은 미세 금속 마스크 플레이트의 개구 에지와 스페이서의 상단부 사이의 접촉을 추가로 회피하고, 입자들과 같은 이물질들의 발생을 회피할 수 있으며, 이에 의해 디스플레이 기판의 안정성 및 신뢰성 및 제품들의 수율을 추가로 개선한다.

[0166] 도 25 내지 도 27은 본 개시내용의 실시예에 따른 마스크 그룹의 개략적인 평면도들이다. 도 25 내지 도 27에 도시된 바와 같이, 마스크 그룹은 제1 마스크(510), 제2 마스크(520) 및 제3 마스크(530)를 포함한다. 제1 마스크(510)는 복수의 제1 마스크 개구들(412)을 포함한다. 제1 마스크 개구(412) 각각은 위에서 설명한 제1 유기 재료 부분(1851)을 형성하는 데 사용된다. 제2 마스크(520)는 복수의 제2 마스크 개구들(422)을 포함한다. 제2 마스크 개구(422)들 각각은 제2 유기 재료 부분(1852) 및 제3 유기 재료 부분(1853)을 형성하는 데 사용된다. 즉, 제2 유기 재료 부분(1852) 및 제3 유기 재료 부분(1853)은 동일한 마스크 개구를 사용하여 형성될 수 있다. 제3 마스크(530)는 복수의 제3 마스크 개구들(432)을 포함한다. 제3 마스크 개구(432) 각각은 위에서 설명한 제4 유기 재료 부분(1854)을 형성하는데 사용된다.

[0167] 예를 들어, 도 25 내지 도 27에 도시된 바와 같이, 디스플레이 기판을 제조하는 방법에서, 위에서 설명한 단계 S103은 다음을 포함할 수 있다: 도 25에 도시된 바와 같이, 제1 마스크(510)를 베이스 기판(110)으로부터 먼 스페이서(220)의 측면에 배치하고, 제1 마스크(510)를 마스크로서 사용하여 복수의 개구(1951) 내의 발광 재료를 증착시켜, 복수의 제1 유기 재료 부분(1851)을 형성하는 단계; 제1 마스크(510)를 제거하는 단계; 도 26에 도시된 바와 같이, 제2 마스크(520)를 베이스 기판(110)으로부터 먼 스페이서(220)의 측면에 배치하고, 제2 마스크(520)를 마스크로서 사용하여 복수의 개구(1951 및 1952) 내의 발광 재료를 증착시켜, 복수의 제2 유기 재료 부분(1852) 및 복수의 제3 유기 재료 부분(1853)을 형성하는 단계; 제2 마스크(520)를 제거하는 단계; 및 도 27에 도시된 바와 같이, 제3 마스크(530)를 베이스 기판(110)으로부터 먼 스페이서(220)의 측면에 배치하고, 제3 마스크(530)를 마스크로서 사용하여 복수의 개구(1954) 내의 발광 재료를 증착시켜, 복수의 제4 유기 재료 부분(1854)을 형성하는 단계.

[0168] 예를 들어, 도 25 내지 도 27에 도시된 바와 같이, 베이스 기판(110) 상의 베이스 기판(110)으로부터 먼 스페이서(220)의 상단부의 정사 투영은, 베이스 기판(110) 상의 제1 유기 재료 부분(1851) 또는 제4 유기 재료 부분(1854)의 정사 투영의 에지로부터 이격된다.

[0169] 한편, OLED 디스플레이 기술의 지속적인 개발과 더불어, 사람들은 디스플레이 효과에 대한 점점 더 높은 요구들을 제기한다. 연구에서, 본 출원의 발명자는 OLED 디스플레이 디바이스의 디스플레이 효과에 영향을 미치는 많은 인자들이 있다는 것을 인지하고 있다. 게이트 전극 층의 부하의 크기는 픽셀 구동 회로의 충전 시간에 영향을 미치고, 픽셀 구동 회로의 충전 시간은 디스플레이 효과에 대한 비교적 큰 영향을 포함한다. 일반적으로, 게이트 전극 층의 부하는 주로 게이트 전극 라인 및 리셋 신호 라인에 의해 형성된다. 한편, 데이터 라인(또는 소스 라인)의 부하의 크기는 IC의 전력 소비와 직접 관련된다. 데이터 라인의 더 큰 부하는 IC 드라이버에 대한 더 높은 요건을 나타내며, 이는 IC의 더 높은 전력 소비를 유발한다. 따라서, 게이트 전극 라인과 리셋 신호 라인 사이의 부하 및 데이터 라인 상의 부하가 제어될 때, OLED 디스플레이 디바이스의 디스플레이 효과가

개선될 수 있고, OLED 디스플레이 디바이스의 전력 소비가 감소될 수 있다.

[0170] 이와 관련하여, 본 개시내용의 실시예들은 디스플레이 기관 및 디스플레이 디바이스를 제공한다. 디스플레이 기관은 베이스 기관, 제1 게이트 전극 층, 제2 게이트 전극 층 및 제1 도전층을 포함한다. 제1 게이트 전극 층은 베이스 기관 상에 위치된다. 제2 게이트 전극 층은 베이스 기관으로부터 먼 제1 게이트 전극 층의 측면에 위치된다. 제1 도전층은 베이스 기관으로부터 먼 제2 게이트 전극 층의 측면에 위치한다. 제1 게이트 전극 층은 제1 방향을 따라 연장되는 리셋 신호 라인 및 제1 전극 블록을 포함한다. 제2 게이트 전극 층은 제2 전극 블록을 포함한다. 제2 전극 블록은 제1 전극 블록과 함께 저장 커패시터를 형성하도록 구성된다. 제1 도전층은 제2 방향을 따라 연장되는 전력 라인을 포함한다. 리셋 신호 라인과 전력 라인 사이에 제1 중첩 영역이 있다. 제2 전극 블록과 전력 라인 사이에 제2 중첩 영역이 있다. 제1 중첩 영역에 위치한 전력 라인의 폭은 제2 중첩 영역에 위치한 전력 라인의 폭보다 작다. 제1 방향은 제2 방향과 교차한다. 따라서, 리셋 신호 라인이 전력 라인과 중첩되는 제1 중첩 영역에서의 전력 라인의 폭을 감소시킴으로써, 디스플레이 기관은 리셋 신호 라인의 부하를 감소시켜, 픽셀 구동 회로의 충전 시간을 개선할 수 있고, 이에 의해 디스플레이 기관의 디스플레이 효과를 개선한다.

[0171] 본 개시내용의 실시예들에서 제공되는 디스플레이 기관 및 디스플레이 디바이스는 첨부 도면들을 참조하여 아래에 상세히 설명된다.

[0172] 본 개시내용의 실시예는 디스플레이 기관을 제공한다. 도 28a는 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 부분 개략도이다. 도 28b는 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 부분 개략도이다. 도 29는 도 28a의 FF 방향을 따른 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다. 디스플레이 기관 내의 픽셀 구동 회로 구조 내의 필름들의 계층화된 구조를 명확하게 도시하기 위해, 애노드 층 및 제2 도전층이 도 28b에서 생략된다.

[0173] 도 28a, 도 28b 및 도 29에 도시된 바와 같이, 디스플레이 기관(100)은 베이스 기관(110), 제1 게이트 전극 층(130), 제2 게이트 전극 층(140) 및 제1 도전층(150)을 포함한다. 제1 게이트 전극 층(130)은 베이스 기관(110) 상에 위치된다. 제2 게이트 전극 층(140)은 베이스 기관(110)으로부터 먼 제1 게이트 전극 층(130)의 측면에 위치된다. 제1 도전층(150)은 베이스 기관(110)으로부터 먼 제2 게이트 전극 층(140)의 측면에 위치한다. 제1 게이트 전극 층(130)은 제1 방향을 따라 연장되는 리셋 신호 라인(131) 및 제1 전극 블록(CE1)을 포함한다. 제2 게이트 전극 층(140)은 제2 전극 블록(CE2)을 포함한다. 제2 전극 블록(CE2)은 제1 전극 블록(CE1)과 함께 저장 커패시터를 형성하도록 구성된다. 제1 도전층(150)은 제2 방향을 따라 연장되는 전력 라인(151)을 포함한다. 리셋 신호 라인(131)과 전력 라인(151) 사이에는 제1 중첩 영역(351)이 존재한다. 제2 전극 블록(CE2)과 전력 라인(151) 사이에 제2 중첩 영역(352)이 존재한다. 제1 중첩 영역(351)에 위치한 전력 라인(151)의 폭은 제2 중첩 영역(352)에 위치한 전력 라인(151)의 폭보다 작다. 즉, 제1 중첩 영역(351) 내의 전력 라인(151)의 폭이 단축되고, 제1 방향은 예를 들어 제2 방향과 교차하고, 그에 수직이다. 위에서 설명한 전력 라인의 폭은 제1 방향을 따른 전력 라인의 크기라는 점에 유의해야 한다. 이에 대응하여, 전력 라인의 길이는 제2 방향을 따른 전력 라인의 크기이다.

[0174] 본 개시내용의 이 실시예에서 제공되는 디스플레이 기관에서, 리셋 신호 라인이 전력 라인과 중첩되는 제1 중첩 영역에서의 전력 라인의 폭이 전력 라인과 중첩될 때, 리셋 신호 라인이 전력 라인과 중첩되는 면적이 감소될 수 있고, 이에 의해 리셋 신호 라인과 전력 라인 사이의 기생 용량을 감소시킬 수 있다. 따라서, 리셋 신호 라인이 전력 라인과 중첩되는 제1 중첩 영역에서의 전력 라인의 폭을 감소시킴으로써, 디스플레이 기관은 리셋 신호 라인의 부하를 감소시켜, 픽셀 구동 회로의 충전 시간을 개선할 수 있고, 이에 의해 디스플레이 기관의 디스플레이 효과를 개선한다.

[0175] 일부 예들에서, 제1 도전층은 제1 소스-드레인 금속층일 수 있다. 디스플레이 기관은 제2 도전층, 즉 제2 소스-드레인 금속층을 더 포함할 수 있다. 디스플레이 기관 상의 막 구조를 명확하게 도시하기 위해, 제2 도전층(제2 소스-드레인 금속층)은 도 28a에 도시된 디스플레이 기관 상에 도시되지 않는다는 점에 유의해야 한다. 물론, 본 개시내용의 이 실시예는 이를 포함하지만 이에 제한되지는 않는다. 디스플레이 기관은 대안적으로 제2 도전층을 포함하지 않을 수 있고, 단일 소스-드레인 금속 층의 디스플레이 기관일 수 있다.

[0176] 일부 예에서, 제1 중첩 영역(351)에 위치한 전력 라인(151)의 폭은 전력 라인(151)의 평균 폭보다 작다.

[0177] 일부 예에서, 도 28a 및 도 28b에 도시된 바와 같이, 제1 중첩 영역(351)에 위치한 전력 라인(151)의 폭은 전력 라인(151)의 가장 큰 폭의 5/7보다 작다. 따라서, 디스플레이 기관에서, 리셋 신호 라인의 부하가 효과적으로

감소될 수 있다.

- [0178] 일부 예에서, 도 28b에 도시된 바와 같이, 전력 라인(151)은 본체 연장 부분(151A) 및 협소화 부분(151B)을 포함한다. 협소화 부분(151B)의 폭은 본체 연장 부분(151A)의 폭보다 작다. 베이스 기관(110) 상의 협소화 부분(151B)의 정사 투영은 베이스 기관(110) 상의 리셋 신호 라인(131)의 정사 투영과 중첩된다.
- [0179] 일부 예들에서, 도 28a 및 도 28b에 도시된 바와 같이, 제1 게이트 전극 층(130)은 제1 방향을 따라 연장하는 게이트 전극 라인(132)을 더 포함한다. 게이트 전극 라인(132)과 전력 라인(151) 사이에 제3 중첩 영역(353)이 있다. 제3 중첩 영역(353)에서의 전력 라인(151)의 폭은 제2 중첩 영역(352)에 위치한 전력 라인(151)의 폭보다 작다. 즉, 제3 중첩 영역에서의 전력 라인의 폭도 단축된다. 따라서, 게이트 전극 라인이 전력 라인과 중첩되는 제2 중첩 영역에서의 전력 라인의 폭을 감소시킴으로써, 디스플레이 기관은 게이트 전극 라인의 부하를 감소시킬 수 있어, 픽셀 구동 회로의 충전 시간을 추가로 개선함으로써, 디스플레이 기관의 디스플레이 효과를 개선한다.
- [0180] 일부 예에서, 제3 중첩 영역(353)에 위치한 전력 라인(151)의 폭은 전력 라인(151)의 평균 폭보다 작다.
- [0181] 일부 예에서, 도 28a 및 도 28b에 도시된 바와 같이, 제3 중첩 영역(353)에 위치한 전력 라인(151)의 폭은 전력 라인(151)의 가장 큰 폭의 5/7보다 작다. 따라서, 디스플레이 기관에서, 리셋 신호 라인의 부하가 효과적으로 감소될 수 있다.
- [0182] 일부 예에서, 도 28b에 도시된 바와 같이, 전력 라인(151)은 본체 연장 부분(151A) 및 협소화 부분(151B)을 포함한다. 협소화 부분(151B)의 폭은 본체 연장 부분(151A)의 폭보다 작다. 베이스 기관(110) 상의 협소화 부분(151B)의 정사 투영은 베이스 기관(110) 상의 게이트 전극 라인(132)의 정사 투영과 중첩된다.
- [0183] 일부 예들에서, 도 28a 및 도 28b에 도시된 바와 같이, 제1 도전층(150)은 제2 방향을 따라 연장되는 데이터 라인(152)을 더 포함한다. 데이터 라인(152)과 리셋 신호 라인(131) 사이에는 제4 중첩 영역(354)이 존재한다. 제4 중첩 영역(354)에서의 리셋 신호 라인(131)의 폭은 리셋 신호 라인(131)의 평균 폭보다 작다. 이 디스플레이 기관에서, 제4 중첩 영역에서의 리셋 신호 라인의 폭이 감소될 때, 리셋 신호 라인이 데이터 라인과 중첩되는 면적이 감소될 수 있고, 이에 의해 리셋 신호 라인과 데이터 라인 사이의 기생 용량을 감소시킨다. 따라서, 제4 중첩 영역에서의 리셋 신호 라인의 폭을 감소시킴으로써, 디스플레이 기관은 데이터 라인의 부하를 감소시켜, 드라이버의 전력 소비를 감소시킴으로써, 디스플레이 기관의 전력 소비를 감소시킬 수 있다. 위에서 설명한 리셋 신호 라인의 폭은 제2 방향을 따른 리셋 신호 라인의 크기라는 점에 유의해야 한다. 대응하여, 리셋 신호 라인의 길이는 제1 방향을 따른 리셋 신호 라인의 크기이다.
- [0184] 일부 예에서, 도 28a 및 도 28b에 도시된 바와 같이, 제4 중첩 영역(354)에 위치한 리셋 신호 라인(131)의 폭은 리셋 신호 라인(131)의 가장 큰 폭의 3/4보다 작다. 따라서, 디스플레이 기관에서, 데이터 라인의 부하가 효과적으로 감소될 수 있다.
- [0185] 일부 예에서, 도 28a 및 도 28b에 도시된 바와 같이, 디스플레이 기관(100)은 베이스 기관(110)에 가까운 제1 게이트 전극 층(130)의 하나의 측면에 위치한 반도체 층(120)을 더 포함한다. 제2 게이트 전극 층(140)은 제1 방향을 따라 연장되는 초기화 신호 라인(141)을 포함한다. 데이터 라인(152)과 초기화 신호 라인(141) 사이에는 제5 중첩 영역(355)이 있다. 초기화 신호 라인(141)과 반도체 층(120) 사이에 제6 중첩 영역(356)이 있다. 제5 중첩 영역(355)에 위치한 초기화 신호 라인(141)의 폭은 제6 중첩 영역(356)에 위치한 초기화 신호 라인(141)의 폭보다 작다. 이 디스플레이 기관에서, 제5 중첩 영역에서의 초기화 신호 라인의 폭이 감소될 때, 초기화 신호 라인이 데이터 라인과 중첩되는 면적이 감소될 수 있고, 이에 의해 초기화 신호 라인과 데이터 라인 사이의 기생 용량을 감소시킨다. 따라서, 제5 중첩 영역에서의 초기화 신호 라인의 폭을 감소시킴으로써, 디스플레이 기관은 데이터 라인의 부하를 더 감소시켜, 드라이버의 전력 소비를 감소시킴으로써, 디스플레이 기관의 전력 소비를 감소시킬 수 있다. 위에서 설명한 초기화 신호 라인의 폭은 제2 방향을 따른 초기화 신호 라인의 크기라는 점에 유의해야 한다. 대응적으로, 초기화 신호 라인의 길이는 제1 방향을 따른 초기화 신호 라인의 크기이다.
- [0186] 일부 예에서, 제4 중첩 영역(354)에 위치한 초기화 신호 라인(141)의 폭은 초기화 신호 라인(141)의 평균 폭보다 작다.
- [0187] 예를 들어, 도 28b에 도시된 바와 같이, 베이스 기관(110) 상의 리셋 신호 라인(131)과 중첩되는 협소화 부분(151B)의 정사 투영은 베이스 기관(110) 상의 초기화 신호 라인(141)의 정사 투영과 더 중첩된다.

- [0188] 일부 예에서, 도 28b에 도시된 바와 같이, 전력 라인(151)은 본체 연장 부분(151A) 및 협소화 부분(151B)을 포함한다. 협소화 부분(151B)의 폭은 본체 연장 부분(151A)의 폭보다 작다. 베이스 기관(110) 상의 협소화 부분(151B)의 정사 투영은 베이스 기관(110) 상의 반도체 층(110)의 정사 투영과 중첩하지 않는다.
- [0189] 일부 예들에서, 도 28b에 도시된 바와 같이, 제2 게이트 전극 층(140)은 도전성 블록(143)을 더 포함한다. 본체 연장 부분(151A)은 도전성 블록(143)에 연결된 연결 부분(151C)을 포함한다. 베이스 기관(110) 상의 연결 부분(151C)의 정사 투영은 베이스 기관(110) 상의 반도체 층(110)의 정사 투영과 부분적으로 중첩된다. 연결 부분(151C)은 제2 방향으로 협소화 부분(151B)에 인접한다.
- [0190] 예를 들어, 도 28b에 도시된 바와 같이, 연결 부분(151C)은 2개의 협소화 부분(151B) 사이에 위치할 수 있다.
- [0191] 일부 예에서, 도 28a 및 도 28b에 도시된 바와 같이, 제4 중첩 영역(354)에 위치한 초기화 신호 라인(141)의 폭은 초기화 신호 라인(151)의 가장 큰 폭의 3/4보다 작다. 따라서, 디스플레이 기관에서, 데이터 라인의 부하가 효과적으로 감소될 수 있다.
- [0192] 예를 들어, 반도체 층(120)은 폴리실리콘과 같은 실리콘계 반도체 재료를 사용할 수 있다. 물론, 본 개시내용의 이 실시예는 이를 포함하지만 이에 제한되지는 않는다. 반도체 층은 대안적으로 반도체 재료를 사용할 수 있다.
- [0193] 도 30a 내지 도 30d는 본 개시내용의 실시예에 따른 디스플레이 기관 내의 복수의 필름의 개략적인 평면도들이다. 도 31은 본 개시내용의 실시예에 따른 디스플레이 기관 내의 픽셀 구동 회로의 등가 개략도이다.
- [0194] 예를 들어, 도 30a에 도시된 바와 같이, 반도체 층(120)은 제1 유닛(121), 제2 유닛(122), 제3 유닛(123), 제4 유닛(124), 제5 유닛(125), 제6 유닛(126), 및 제7 유닛(127)을 포함한다. 제1 유닛(121)은 제1 채널 영역(C1) 및 제1 채널 영역(C1)의 양측에 위치한 제1 소스 영역(S1) 및 제1 드레인 영역(D1)을 포함한다. 제2 유닛(122)은 제2 채널 영역(C2) 및 제2 채널 영역(C2)의 양측에 위치한 제2 소스 영역(S2) 및 제2 드레인 영역(D2)을 포함한다. 제3 유닛(123)은 제3 채널 영역(C3)과 제3 채널 영역(C3)의 양측에 위치한 제3 소스 영역(S3) 및 제3 드레인 영역(D3)을 포함한다. 제4 유닛(124)은 제4 채널 영역(C4)과 제4 채널 영역(C4)의 양측에 위치한 제4 소스 영역(S4) 및 제4 드레인 영역(D4)을 포함한다. 제5 유닛(125)은 제5 채널 영역(C5)과 제5 채널 영역(C5)의 양측에 위치한 제5 소스 영역(S5) 및 제5 드레인 영역(S5)을 포함한다. 제6 유닛(126)은 제6 채널 영역(C6)과 제6 채널 영역(C6)의 양측에 위치한 제6 소스 영역(S6) 및 제6 드레인 영역(D6)을 포함한다. 제7 유닛(127)은 제7 채널 영역(C7) 및 제7 채널 영역(C7)의 양측에 위치한 제7 소스 영역(S7) 및 제7 드레인 영역(D7)을 포함한다.
- [0195] 예를 들어, 도 30a 및 도 31에 도시된 바와 같이, 제6 드레인 영역(D6)은 제3 드레인 영역(D3)에 연결되고, 제3 소스 영역(S3), 제1 드레인 영역(D1), 및 제5 소스 영역(S5)은 제1 노드(N1)에 연결되고, 제1 소스 영역(S1), 제2 드레인 영역(D2), 및 제4 드레인 영역(D4)은 제2 노드(N2)에 연결되고, 제5 드레인 영역(D5)은 제7 드레인 영역(D7)에 연결된다.
- [0196] 예를 들어, 도 30b에 도시된 바와 같이, 제1 게이트 전극 층(130)은 제1 방향을 따라 연장되는 리셋 신호 라인(131), 제1 방향을 따라 연장되는 게이트 전극 라인(132) 및 제1 전극 블록(CE1), 및 제1 방향을 따라 연장되는 발광 제어 라인(133)을 포함한다.
- [0197] 예를 들어, 도 30c에 도시된 바와 같이, 제2 게이트 전극 층(140)은 제1 방향을 따라 연장되는 초기화 신호 라인(141), 제2 전극 블록(CE2) 및 도전성 블록(143)을 포함한다. 예를 들어, 도전성 블록(143)은 전력 라인의 저항을 감소시키기 위해 전력 라인에 연결될 수 있다.
- [0198] 도 31에 도시된 바와 같이, 제6 소스 영역(S6) 및 제7 소스 영역(S7)은 초기화 신호 라인(141)에 연결된다. 제1 전극 블록(CE1) 및 제2 전극 블록(CE2)은 저장 커패시터(Cst)를 형성할 수 있다.
- [0199] 예를 들어, 도 30d에 도시된 바와 같이, 제1 도전층(150)은 제2 방향을 따라 연장되는 전력 라인(151), 데이터 라인(152), 제1 연결 블록(1541), 제2 연결 블록(1542), 및 제3 연결 블록(1543)을 포함한다. 제1 연결 블록(1541)은 초기화 신호 라인(141)을 제6 소스 영역(S6) 및 제7 소스 영역(S7)에 연결하도록 구성된다. 제2 연결 블록(1542)은 제3 드레인 영역(D3)을 제1 전극 블록(CE1)에 연결하도록 구성된다. 제3 연결 블록(1543)은 제5 드레인 영역(D5)에 연결되고, 드레인으로서 대응하는 애노드에 연결될 수 있다.
- [0200] 예를 들어, 도 31에 도시된 바와 같이, 제2 소스 영역(S2)은 데이터 라인(152)에 연결되고, 제4 소스 영역(S4)은 전력 라인(151)에 연결된다. 따라서, 반도체 층(120)의 제1 유닛(121), 제2 유닛(122), 제3 유닛(123), 제

4 유닛(124), 제5 유닛(125), 제6 유닛(126), 및 제7 유닛(127)은 위에서 설명한 리셋 신호 라인(131) 및 게이트 전극 라인(132)을 갖는 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2), 제3 박막 트랜지스터(T3), 제4 박막 트랜지스터(T4), 제5 박막 트랜지스터(T5), 제6 박막 트랜지스터(T6), 및 제7 박막 트랜지스터(T7)를 형성할 수 있다.

[0201] 다음은 도 31에 도시된 픽셀 구동 회로의 작동 방식을 개략적으로 설명한다. 먼저, 리셋 신호가 리셋 신호 라인(131)으로 송신되어 제7 박막 트랜지스터(T7)를 도통시킬 때, 각각의 서브픽셀의 애노드를 통해 흐르는 나머지 전류는 제7 박막 트랜지스터(T7)를 통해 제6 박막 트랜지스터(T6)로 방전되어, 각각의 서브픽셀의 애노드를 통해 흐르는 나머지 전류에 의해 야기되는 발광을 억제한다. 그 후, 리셋 신호 라인(131)에 리셋 신호가 송신되고, 초기화 신호 라인(141)에 초기화 신호가 송신될 때, 제6 박막 트랜지스터(T6)가 도통되고, 초기화 전압(Vint)이 제6 박막 트랜지스터(T6)를 통해 제1 박막 트랜지스터(T1)의 제1 게이트 전극 및 저장 커패시터(Cst)의 제1 전극 블록(CE1)에 인가되고, 그래서, 제1 게이트 전극 및 저장 커패시터(Cst)가 초기화된다. 제1 게이트 전극의 초기화는 제1 박막 트랜지스터(T1)를 도통시킬 수 있다.

[0202] 후속하여, 게이트 전극 신호가 게이트 전극 라인(132)에 송신되고 데이터 신호가 데이터 라인(152)에 송신될 때, 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 양자 모두가 도통되고, 데이터 전압(Vd)은 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3)를 통해 제1 게이트 전극에 인가된다. 이 경우, 제1 게이트 전극에 인가되는 전압은 보상 전압 $V_d + V_{th}$ 이고, 제1 게이트 전극에 인가되는 보상 전압은 또한 저장 커패시터(Cst)의 제1 전극 블록(CE1)에 인가된다.

[0203] 후속하여, 전력 라인(151)은 저장 커패시터(Cst)의 제2 전극 블록(CE2)에 구동 전압(V_{el})을 인가하고, 제1 전극 블록(CE1)에 보상 전압($V_d + V_{th}$)을 인가하며, 그래서 저장 커패시터(Cst)의 2개의 전극에 각각 인가되는 전압들 사이의 차이에 대응하는 전하들이 저장 커패시터(Cst)에 저장되고, 제1 박막 트랜지스터(T1)의 도통이 미리 설정된 시간에 도달한다.

[0204] 후속하여, 발광 제어 신호가 발광 제어 라인(133)에 인가될 때, 제4 박막 트랜지스터(T4) 및 제5 박막 트랜지스터(T5) 양자 모두가 도통되며, 그래서, 제4 박막 트랜지스터(T4)는 구동 전압(V_{el})을 제5 박막 트랜지스터(T5)에 인가한다. 구동 전압(V_{el})이 저장 커패시터(Cst)에 의해 도통되는 제1 박막 트랜지스터(T1)를 통해 흐를 때, 대응하는 구동 전압(V_{el})과 저장 커패시터(Cst)를 통해 제1 게이트 전극에 인가되는 전압 사이의 차이는 제1 박막 트랜지스터(T1)의 제1 드레인 영역(D3)을 통해 흐르도록 전류(I_d)를 구동하고, 제5 박막 트랜지스터(T5)를 통해 각각의 서브픽셀에 인가되도록 전류(I_d)를 구동하여, 각각의 서브픽셀의 발광층이 광을 방출하게 한다.

[0205] 일부 예에서, 도 29 및 도 31에 도시된 바와 같이, 디스플레이 기관(100)은 제1 평탄화 층(241), 제2 도전층(160), 제2 평탄화 층(242) 및 애노드(175)를 더 포함한다. 제1 평탄화 층(241)은 베이스 기관(110)으로부터 먼 제1 도전층(150)의 측면에 위치된다. 제2 도전층(160)은 제1 도전층(150)으로부터 먼 제1 평탄화 층(241)의 측면에 위치하고, 연결 전극(161)을 포함한다. 제2 평탄화 층(242)은 제1 평탄화 층(241)으로부터 먼 제2 도전층(160)의 측면에 위치된다. 애노드(175)는 제2 도전층(160)으로부터 먼 제2 평탄화 층(242)의 측면에 위치된다. 제1 평탄화 층(241)은 제1 비아 홀(H1)을 포함한다. 연결 전극(161)은 제1 비아 홀(H1)을 통해 제5 드레인 영역(S5)에 연결된다. 제2 평탄화 층(242)은 제2 비아 홀(H2)을 포함한다. 애노드(175)는 제2 비아 홀(H2)을 통해 연결 전극(161)에 연결된다.

[0206] 본 개시내용의 실시예는 디스플레이 디바이스를 제공한다. 도 32는 본 개시내용의 실시예에 따른 디스플레이 디바이스의 개략도이다. 도 32에 도시된 바와 같이, 디스플레이 디바이스(400)는 임의의 위에서 설명한 디스플레이 기관(100)을 포함한다. 따라서, 디스플레이 디바이스는 디스플레이 기관의 유익한 효과들에 대응하는 유익한 효과들을 포함한다. 예를 들어, 디스플레이 디바이스는 게이트 전극 층의 부하를 감소시켜, 픽셀 구동 회로의 충전 시간을 개선할 수 있고, 이에 의해 디스플레이 기관의 디스플레이 효과를 개선한다.

[0207] 예를 들어, 디스플레이 디바이스는 TV, 컴퓨터, 노트북 컴퓨터, 태블릿 컴퓨터, 이동 전화, 내비게이터, 또는 전자 사진 프레임과 같은 디스플레이 기능을 포함하는 전자 제품일 수 있다.

[0208] 한편, OLED 디스플레이 디바이스의 장기간 발광 안정성도 OLED 디스플레이 디바이스의 중요한 사양 또는 지수이다. 연구에서, 본 출원의 발명자는 OLED 디스플레이 디바이스의 장기간 발광 안정성에 영향을 미치는 많은 인자들이 있다는 것을 인지하였다. 발광 재료의 수명 서비스에 더하여, 픽셀 구동 회로 내의 박막 트랜지스터의 작동 상태는 발광 휘도 및 장기간 발광 안정성에 대한 영향을 어느 정도 포함한다.

- [0209] 이와 관련하여, 본 개시내용의 실시예들은 디스플레이 기관 및 디스플레이 디바이스를 제공한다. 디스플레이 기관은 베이스 기관, 픽셀 회로 층, 및 애노드 층을 포함한다. 픽셀 회로 층은 베이스 기관 상에 위치되고, 복수의 픽셀 구동 회로를 포함한다. 애노드 층은 베이스 기관으로부터 먼 픽셀 회로 층의 측면에 위치되고, 복수의 애노드를 포함한다. 복수의 픽셀 구동 회로와 복수의 애노드는 일대일 대응 방식으로 배치된다. 각각의 픽셀 구동 회로는 기능적 박막 트랜지스터를 포함한다. 복수의 픽셀 구동 회로는 서로 인접한 제1 픽셀 구동 회로 및 제2 픽셀 구동 회로를 포함한다. 베이스 기관 상의 제1 픽셀 구동 회로 내의 기능적 박막 트랜지스터의 채널 영역 및 제2 픽셀 구동 회로 내의 기능적 박막 트랜지스터의 채널 영역의 정사 투영들은 양자 모두 베이스 기관 상의 제1 픽셀 구동 회로에 대응하는 애노드의 정사 투영과 중첩한다. 따라서, 디스플레이 기관에서, 제1 픽셀 구동 회로 내의 기능적 박막 트랜지스터의 채널 영역 및 제2 픽셀 구동 회로 내의 기능적 박막 트랜지스터의 채널 영역은 애노드를 통해 동시에 차폐되어, 기능적 박막 트랜지스터의 안정성 및 서비스 수명을 개선하고, 이에 의해 디스플레이 기관의 장기간 발광 안정성 및 서비스 수명을 개선한다.
- [0210] 이하, 본 개시내용의 실시예들에서 제공되는 디스플레이 기관 및 디스플레이 디바이스가 첨부 도면들을 참조하여 상세히 설명된다.
- [0211] 본 개시내용의 실시예는 디스플레이 기관을 제공한다. 도 33은 본 개시내용의 실시예에 따른 디스플레이 기관의 부분 개략도이다. 도 34는 도 33의 KK 방향을 따른 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다. 도 35a는 도 33의 MM 방향을 따른 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다. 도 35b는 도 33의 NN 방향을 따른 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다. 도 35c는 도 33의 QQ 방향을 따른 본 개시내용의 실시예에 따른 디스플레이 기관의 개략적인 단면도이다.
- [0212] 도 33 및 도 34에 도시된 바와 같이, 디스플레이 기관(100)은 베이스 기관(110), 픽셀 회로 층(260), 및 애노드 층(170)을 포함한다. 픽셀 회로 층(260)은 베이스 기관(110) 상에 위치되고, 복수의 픽셀 구동 회로(265)를 포함한다. 애노드 층(170)은 베이스 기관(110)으로부터 먼 픽셀 회로 층(260)의 측면에 위치되고, 복수의 애노드(175)를 포함한다. 복수의 픽셀 구동 회로(265) 및 복수의 애노드(175)는 일대일 대응 방식으로 배치된다. 각각의 픽셀 구동 회로(265)는 보상 박막 트랜지스터(T3)와 같은 기능적 박막 트랜지스터를 포함한다. 복수의 픽셀 구동 회로(265)는 서로 인접한 제1 픽셀 구동 회로(2657) 및 제2 픽셀 구동 회로(2658)를 포함한다. 베이스 기관(110) 상의 제1 픽셀 구동 회로(2657) 내의 보상 박막 트랜지스터(T3)의 채널 영역 및 제2 픽셀 구동 회로(2658) 내의 보상 박막 트랜지스터(T3)의 채널 영역의 정사 투영들은 양자 모두 베이스 기관(110) 상의 제1 픽셀 구동 회로(2657)에 대응하는 애노드(175)의 정사 투영과 중첩된다. 위에서 설명한 제1 픽셀 구동 회로 및 제2 픽셀 구동 회로에서의 "제1" 및 "제2"는 2개의 픽셀 구동 회로를 문자 그대로 구별하기 위해서만 사용된다는 것을 유의해야 한다. 2개의 픽셀 구동 회로의 특정 구조는 동일하다. 또한, 위에서 설명한 기능적 박막 트랜지스터는 대안적으로 픽셀 구동 회로 내의 다른 박막 트랜지스터일 수 있다.
- [0213] 본 개시내용의 이 실시예에서 제공되는 디스플레이 기관에서, 베이스 기관(110) 상의 제1 픽셀 구동 회로(2657) 내의 보상 박막 트랜지스터(T3)의 채널 영역 및 제2 픽셀 구동 회로(2658) 내의 보상 박막 트랜지스터(T3)의 채널 영역의 정사 투영들 모두가 베이스 기관(110) 상의 제1 픽셀 구동 회로(2657)에 대응하는 애노드(175)의 정사 투영과 중첩하기 때문에, 제1 픽셀 구동 회로(2657)에 대응하는 애노드(175)는 제1 픽셀 구동 회로(2657) 내의 보상 박막 트랜지스터(T3)의 채널 영역 및 제2 픽셀 구동 회로(2658) 내의 보상 박막 트랜지스터(T3)의 채널 영역을 부분적으로 차폐하거나 완전히 차폐할 수 있다. 따라서, 디스플레이 기관에서, 제1 픽셀 구동 회로 내의 보상 박막 트랜지스터(T3) 및 제2 픽셀 구동 회로(2658) 내의 보상 박막 트랜지스터(T3)의 안정성 및 서비스 수명이 개선될 수 있고, 이에 의해 디스플레이 기관의 장기간 발광 안정성 및 서비스 수명을 개선한다. 도 30a 내지 도 30d는 본 개시내용의 실시예에 따른 디스플레이 기관 내의 복수의 필름의 개략적인 평면도들이다. 도 31은 본 개시내용의 실시예에 따른 디스플레이 기관 내의 픽셀 구동 회로의 등가 개략도이다. 픽셀 구동 회로는 7T1C 픽셀 구동 구조체를 사용한다. 발광 스테이지에서, 노드(N3)의 전압은 제1 박막 트랜지스터(T1)(즉, 구동 박막 트랜지스터)의 온/오프 상태를 제어할 수 있고, 제1 박막 트랜지스터(T1)의 안정성은 OLED 디스플레이 디바이스의 장기 발광 안정성에 직접 영향을 미친다. 충전 스테이지에서, 노드(N3)의 충전 전압은 제3 박막 트랜지스터(T3)(즉, 보상 박막 트랜지스터), 제1 박막 트랜지스터(T1), 및 제2 박막 트랜지스터(T2)의 상태들과 관련된다. 일반적으로, 박막 트랜지스터는 특히 조명에 민감하다. 조명될 때, 박막 트랜지스터(특히 채널 영역)는 박막 트랜지스터의 특성이 쉽게 드리프트하게 하여, 픽셀 구동 회로의 정상 작동에 영향을 미친다. 본 개시내용의 이 실시예에서, 보상 박막 트랜지스터의 채널 영역은 애노드를 통해 차폐되고, 보상 박막 트랜지스터의 안정성 및 서비스 수명이 개선될 수 있도록 함으로써, 디스플레이 기관의 장기간 발광 안정성 및 서비스

수명을 개선시킨다.

- [0214] 일부 예에서, 도 33 내지 도 35c에 도시된 바와 같이, 제1 픽셀 구동 회로(2657) 내의 보상 박막 트랜지스터(T3)의 채널 영역 및 제2 픽셀 구동 회로(2658) 내의 보상 박막 트랜지스터(T3)의 채널 영역 양자 모두는 베이스 기관(110) 상의 제1 픽셀 구동 회로(2657)에 대응하는 애노드(175)(제4 애노드(1754)에 대응함)의 정사 투영에 속하고, 제1 픽셀 구동 회로(2657)에 대응하는 애노드(175)는 제1 픽셀 구동 회로(2657)에서의 보상 박막 트랜지스터(T3)의 채널 영역 및 제2 픽셀 구동 회로(2658)에서의 보상 박막 트랜지스터(T3)의 채널 영역을 완전히 차폐하여, 보상 박막 트랜지스터의 안정성 및 서비스 수명을 추가로 개선함으로써, 디스플레이 기관의 장기간 발광 안정성 및 서비스 수명을 개선할 수 있다.
- [0215] 일부 예들에서, 도 30a에 도시된 바와 같이, 보상 박막 트랜지스터(T3)는 보상 박막 트랜지스터의 신뢰성을 개선시키기 위해 듀얼 게이트 전극 구조를 갖는 박막 트랜지스터일 수 있다. 보상 박막 트랜지스터(T3)의 채널 영역은 서로 이격된 제1 채널 영역(C1) 및 제2 채널 영역(C2)을 포함한다. 보상 박막 트랜지스터(T3)는 제1 채널 영역(C1)과 제2 채널 영역(C2) 사이에 위치한 공통 전극(SE)을 더 포함한다. 도 33 내지 도 35b에 도시된 바와 같이, 베이스 기관(110) 상의 제1 픽셀 구동 회로(2657) 내의 보상 박막 트랜지스터(T3)의 공통 전극(SE) 및 제2 픽셀 구동 회로(2658) 내의 보상 박막 트랜지스터(T3)의 공통 전극(SE)의 정사 투영들은 양자 모두 베이스 기관(110) 상의 제1 픽셀 구동 회로(2657)에 대응하는 애노드(175)의 정사 투영과 중첩한다. 따라서, 제1 픽셀 구동 회로(2657)에 대응하는 애노드(175)는 제1 픽셀 구동 회로(2657) 내의 보상 박막 트랜지스터(T3)의 공통 전극(SE) 및 제2 픽셀 구동 회로(2658) 내의 보상 박막 트랜지스터(T3)의 공통 전극(SE)을 부분적으로 차폐하거나 완전히 차폐하여, 보상 박막 트랜지스터의 안정성 및 서비스 수명을 개선함으로써, 디스플레이 기관의 장기간 발광 안정성 및 서비스 수명을 개선할 수 있다.
- [0216] 도 36은 본 개시내용의 실시예에 따른 또 다른 디스플레이 기관의 개략적인 평면도이다. 도 36에 도시된 바와 같이, 복수의 애노드(175)는 복수의 애노드 그룹(1750)을 포함한다. 애노드 그룹들(1750)의 각각은 제1 애노드(1751), 제2 애노드(1752), 제3 애노드(1753), 및 제4 애노드(1754)를 포함한다. 위에서 설명한 제1 애노드, 제2 애노드, 제3 애노드, 및 제4 애노드는 상이한 형상들 및 상이한 컬러들의 서브픽셀들의 애노드들일 수 있다는 점에 유의하여야 한다. 물론, 본 개시내용의 이 실시예는 이를 포함하지만 이에 제한되지는 않는다. 위에서 설명한 제1 애노드, 제2 애노드, 제3 애노드, 및 제4 애노드 중 적어도 2개는 동일한 형상 및 동일한 컬러의 서브픽셀들의 애노드들일 수 있다.
- [0217] 일부 예들에서, 도 36에 도시된 바와 같이, 복수의 애노드(175)는 복수의 애노드 그룹(1750)을 포함한다. 복수의 애노드 그룹(1750)은 제1 방향을 따라 배열되어 복수의 애노드 그룹 열(380)을 형성하고, 제2 방향을 따라 배열되어 복수의 애노드 그룹 행(390)을 형성한다. 애노드 그룹들(1750)의 각각은 제1 애노드(1751), 제2 애노드(1752), 제3 애노드(1753), 및 제4 애노드(1754)를 포함한다. 2개의 인접한 애노드 그룹 행들(390)은 1/2 피치만큼 서로로부터 오프셋된다. 피치는 제1 방향으로 인접한 2개의 애노드 그룹(1750) 내의 2개의 제1 애노드(1751)의 중심들 사이의 거리와 동일하다. 제2 애노드(1752) 및 제3 애노드(1753)는 제2 방향을 따라 배열되어 애노드 쌍(1755)을 형성한다. 제1 애노드(1751), 애노드 쌍(1755), 및 제4 애노드(1754)는 제2 방향을 따라 배열된다. 따라서, 디스플레이 기관은 디스플레이 기관을 사용하는 디스플레이 디바이스의 디스플레이 효과가 개선될 수 있도록 픽셀 배열 구조체를 제공할 수 있다. 본 개시내용의 이 실시예에서 제공되는 애노드 그룹은 위에서 설명한 픽셀 배열 구조체를 포함하지만 이에 제한되지 않는다는 점에 유의해야 한다. 또한, 제1 애노드의 중심은 제1 애노드의 본체 부분의 중심, 즉, 제1 애노드에 대응하는 제1 발광 요소의 유효 발광 영역이다. 예를 들어, 제1 방향은 제2 방향에 대략 수직이다. 제1 방향이 제2 방향에 대략 수직인 것은 제1 방향과 제2 방향 사이의 각도가 90도인 경우를 포함하고, 제1 방향과 제2 방향 사이의 각도가 85도 내지 95도 범위인 경우를 또한 포함한다는 점에 유의해야 한다.
- [0218] 일부 예들에서, 도 33에 도시된 바와 같이, 제1 픽셀 구동 회로(2657) 및 제2 픽셀 구동 회로(2658)는 제1 방향을 따라 배치된다. 애노드 그룹(1750) 내의 제4 애노드(1754)는 제1 픽셀 구동 회로(2657)에 대응하여 배치되고 전기적으로 연결되고, 다른 애노드 그룹(1750) 내의 제2 애노드(1752)는 제2 픽셀 구동 회로(2658)에 대응하여 배치되고 전기적으로 연결된다.
- [0219] 일부 예에서, 도 33, 도 34, 및 도 36에 도시된 바와 같이, 디스플레이 기관(100)은 픽셀 형성 층(190)을 더 포함한다. 픽셀 형성 층(190)은 베이스 기관(110)으로부터 먼 애노드 층(170)의 측면에 위치되고, 복수의 개구(195)를 포함한다. 복수의 개구(195)는 복수의 개구 그룹(1950)을 포함한다. 각각의 개구 그룹(1950)은 제1 개구(1951), 제2 개구(1952), 제3 개구(1953) 및 제4 개구(1954)를 포함한다. 제1 개구(1951)는 제1 애노드

(1751)에 대응하여 배치되고 제1 애노드(1751)를 노출시킨다. 제2 개구(1952)는 제2 애노드(1752)에 대응하여 배치되고 제2 애노드(1752)를 노출시킨다. 제3 개구(1953)는 제3 애노드(1753)에 대응하여 배치되고 제3 애노드(1753)를 노출시킨다. 제4 개구(1954)는 제4 애노드(1754)에 대응하여 배치되고 제4 애노드(1754)를 노출시킨다.

[0220] 도 33 및 도 36에 도시된 바와 같이, 제1 애노드(1751)는 제1 본체 부분(1751A) 및 제1 연결 부분(1751B)을 포함한다. 베이스 기관(110) 상의 제1 개구(1951)의 정사 투영은 베이스 기관(110) 상의 제1 본체 부분(1751A)의 정사 투영에 속한다. 제1 연결 부분(1751B)은 제1 애노드(1751)에 대응하는 픽셀 구동 회로(265)에 연결된다. 제2 애노드(1752)는 제2 본체 부분(1752A) 및 제2 연결 부분(1752B)을 포함한다. 베이스 기관(110) 상의 제2 개구(1952)의 정사 투영은 베이스 기관(110) 상의 제2 본체 부분(1752A)의 정사 투영에 속하고, 제2 연결 부분(1752B)은 제2 애노드(1752)에 대응하는 픽셀 구동 회로(265)에 연결된다. 제3 애노드(1753)는 제3 본체 부분(1753A)과 제3 연결 부분(1753B)을 포함한다. 베이스 기관(110) 상의 제3 개구(1953)의 정사 투영은 베이스 기관(110) 상의 제3 본체 부분(1753A)의 정사 투영에 속하고, 제3 연결 부분(1753B)은 제3 애노드(1753)에 대응하는 픽셀 구동 회로(265)에 연결된다. 제4 애노드(1754)는 제4 본체 부분(1754A) 및 제4 연결 부분(1754B)을 포함한다. 베이스 기관(110) 상의 제4 개구(1954)의 정사 투영은 베이스 기관(110) 상의 제4 본체 부분(1754A)의 정사 투영에 속하고, 제4 연결 부분(1754B)은 제4 애노드(1754)에 대응하는 픽셀 구동 회로(265)(예를 들어, 위에서 설명한 제1 픽셀 구동 회로(2657))에 연결된다.

[0221] 일부 예들에서, 도 33 및 도 36에 도시된 바와 같이, 제1 본체 부분(1751A)의 형상은 제1 개구(1951)의 형상과 대략 동일하고; 제2 본체 부분(1752A)의 형상은 제2 개구(1952)의 형상과 대략 동일하고; 제3 본체 부분(1753A)의 형상은 제3 개구(1953)의 형상과 대략 동일하고; 제4 본체 부분(1754A)의 형상은 제4 개구(1954)의 형상과 대략 동일하다. 예를 들어, 제4 개구(1954)의 형상이 육각형일 때, 제4 본체 부분(1754A)의 형상도 육각형이다. 물론, 제4 개구와 제4 본체 부분의 형상은 육각형으로 제한되지 않고, 예를 들어, 타원 같은 다른 형상일 수 있다.

[0222] 예를 들어, 도 33 내지 도 36에 도시된 바와 같이, 제4 애노드(1754)는 제1 보완 부분(1754C)을 더 포함한다. 베이스 기관(110)상의 제4 애노드(1754)에 대응하는 제1 픽셀 구동 회로(2657)에서의 보상 박막 트랜지스터(T3)의 제1 채널 영역(C31) 및 제2 채널 영역(C32)의 정사 투영은 베이스 기관(110)상의 제1 보완 부분(1754C)의 정사 투영과 개별적으로 중첩된다. 이 디스플레이 기관에서, 제1 보완 부분이 제4 애노드에 추가되고, 그래서, 제4 애노드는 픽셀 구동 회로들 중 대응하는 하나에서 보상 박막 트랜지스터의 2개의 채널 영역을 커버할 수 있어서, 보상 박막 트랜지스터의 안정성 및 서비스 수명을 개선시키고, 이에 의해 디스플레이 기관의 장기간 발광 안정성 및 서비스 수명을 개선시킨다.

[0223] 일부 예들에서, 도 33 내지 도 36에 도시된 바와 같이, 제1 보완 부분(1754C)은 제4 본체 부분(1754A)으로부터 제3 애노드(1753)를 향해 돌출되고, 제1 보완 부분(1754C)은 제4 본체 부분(1754A)에 가까운 제4 연결 부분(1754B)의 측면에 위치한다. 일부 예들에서, 도 33 내지 도 36에 도시된 바와 같이, 제1 보완 부분(1754C)은 제4 본체 부분(1754A) 및 제4 연결 부분(1754B) 양자 모두에 연결된다. 따라서, 디스플레이 기관은 디스플레이 기관 상의 면적을 완전히 사용하여, 제1 애노드, 제2 애노드, 제3 애노드, 및 제4 애노드를 조밀하게 배열할 수 있으므로, 디스플레이 기관의 해상도가 보장될 수 있다.

[0224] 일부 예들에서, 도 35a에 도시된 바와 같이, 베이스 기관(110) 상의 제1 보완 부분(1754C)의 정사 투영은 베이스 기관(110) 상의 보상 박막 트랜지스터(T3)의 공통 전극(SE)의 정사 투영과 부분적으로 중첩된다.

[0225] 예를 들어, 도 35a에 도시된 바와 같이, 베이스 기관(110) 상의 제1 보완 부분(1754C)의 정사 투영은 베이스 기관(110) 상의 보상 박막 트랜지스터(T3)의 제2 채널 영역(C32)의 정사 투영을 커버한다.

[0226] 예를 들어, 도 35a에 도시된 바와 같이, 베이스 기관(110) 상의 제4 본체 부분(1754A)의 정사 투영은 보상 박막 트랜지스터(T3)의 드레인 영역(D3)을 커버한다. 예를 들어, 도 35c에 도시된 바와 같이, 제1 도전층(150)은 제2 연결 블록(1542)을 포함한다. 제2 연결 블록(1542)은 보상 박막 트랜지스터의 드레인 영역을 제1 전극 블록(CE1)에 연결하도록 구성된다. 제1 전극 블록(CE1)은 제2 전극 블록(CE2)과 함께 저장 커패시터를 형성할 수 있고, 또한 구동 박막 트랜지스터의 게이트 전극으로서 사용된다. 제2 애노드(1752)의 연결 부분(1752B)이 제3 애노드(1753)로부터 멀어지게 연장되고 제2 연결 블록(1542)과 중첩되고, 심지어 위에서 설명한 제2 연결 블록(1542)을 커버하기 때문에, 연결 부분(1752B)은 구동 박막 트랜지스터의 게이트 전극 및 보상 박막 트랜지스터의 드레인 전극 상의 전위들을 안정화시킬 수 있으며, 이에 의해 디스플레이 기관의 장기 발광 안정성 및 서비스 수명을 개선한다.

- [0227] 도 37a는 본 개시내용의 실시예에 따른 다른 디스플레이 기관의 부분 개략도이다. 도 37b는 본 개시내용의 실시예에 따른 또 다른 디스플레이 기관의 부분 개략도이다. 애노드들의 형상을 명확하게 도시하기 위해, 도 37b는 애노드 층만을 도시한다.
- [0228] 도 37a 및 도 37b에 도시된 바와 같이, 제4 애노드(1754)는 제2 보완 부분(1754D)을 더 포함한다. 베이스 기관(110)상의 제2 픽셀 구동 회로(2658) 내의 보상 박막 트랜지스터(T3)의 제2 채널 영역(C2)의 정사 투영은 베이스 기관(110)상의 제2 보완 부분(1754D)의 정사 투영과 중첩된다. 제2 보완 부분이 제4 애노드에 추가되어, 제4 애노드는 제2 픽셀 구동 회로(2658)에서 보상 박막 트랜지스터(T3)의 제2 채널 영역(C2)을 부분적으로 또는 심지어 완전히 커버할 수 있고, 그래서, 보상 박막 트랜지스터의 안정성 및 서비스 수명을 개선하고, 이에 의해 디스플레이 기관의 장기 발광 안정성 및 서비스 수명을 개선한다.
- [0229] 일부 예에서, 도 37a 및 도 37b에 도시된 바와 같이, 제2 보완 부분(1754D)은 제4 본체 부분(1754A)으로부터 제1 방향으로 인접한 애노드 그룹(1750) 내의 제1 애노드(1751)를 향해 돌출된다.
- [0230] 도 37a 및 도 37b에 도시된 바와 같이, 제2 픽셀 구동 회로(2658) 내의 보상 박막 트랜지스터(T3)의 제1 채널 영역(C1)의 정사 투영은 베이스 기관(110) 상의 제4 본체 부분(1754A)의 정사 투영에 속할 수 있다는 점에 유의해야 한다.
- [0231] 일부 예들에서, 도 37a 및 도 37b에 도시된 바와 같이, 베이스 기관(110) 상의 제1 픽셀 구동 회로(2657) 내의 보상 박막 트랜지스터(T3)의 공통 전극(SE)의 정사 투영은 베이스 기관(110) 상의 제1 보완 부분(1754C)의 정사 투영과 중첩된다. 베이스 기관(110) 상의 제2 픽셀 구동 회로(2658) 내의 보상 박막 트랜지스터(T3)의 공통 전극(SE)의 정사 투영은 베이스 기관(110) 상의 제1 픽셀 구동 회로(2657)에 대응하는 제4 애노드(1754)의 제4 본체 부분(1754A)의 정사 투영과 중첩된다.
- [0232] 일부 예에서, 도 37a 및 도 37b에 도시된 바와 같이, 제1 애노드(1751)에 대응하는 픽셀 구동 회로(265) 내의 보상 박막 트랜지스터(T3)의 채널 영역의 정사 투영은 베이스 기관(110) 상의 제1 본체 부분(1751A)의 정사 투영에 속한다.
- [0233] 일부 예에서, 도 38에 도시된 바와 같이, 픽셀 구동 회로(265)는 구동 박막 트랜지스터(T1)를 더 포함한다. 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 보상 박막 트랜지스터(T3)의 드레인(D3)에 연결된다. 도 37a에 도시된 바와 같이, 제1 애노드(1751)는 제1 본체 부분(1751A)으로부터 제3 애노드(1753)를 향해 생성되는 제3 보완 부분(1751C)을 더 포함한다. 베이스 기관(110) 상의 제1 애노드(1751)에 대응하는 픽셀 구동 회로(265) 내의 구동 박막 트랜지스터(T1)의 게이트 전극(G1) 및 보상 박막 트랜지스터(T3)의 드레인(D3)의 정사 투영은 베이스 기관(110) 상의 제3 보완 부분(1751C)의 정사 투영에 속한다. 따라서, 디스플레이 기관에서, 구동 박막 트랜지스터(T1)의 게이트 전극(G1) 및 보상 박막 트랜지스터(T3)의 드레인(D3) 상의 전위들은 제3 보완 부분(1751C)을 통해 안정화될 수 있으며, 이에 의해 디스플레이 기관의 장기간 발광 안정성 및 서비스 수명을 개선한다.
- [0234] 일부 예에서, 도 37a 및 도 37b에 도시된 바와 같이, 베이스 기관(110) 상의 제3 애노드(1753)에 대응하는 픽셀 구동 회로(265) 내의 보상 박막 트랜지스터(T3)의 제1 채널 영역(C31)의 정사 투영은 베이스 기관(110) 상의 제3 본체 부분(1753A)의 정사 투영에 속한다.
- [0235] 일부 예들에서, 도 37a 및 도 37b에 도시된 바와 같이, 제3 애노드(1753)는 제4 보완 부분(1753C)을 더 포함한다. 베이스 기관(110)상의 제3 애노드(1753)에 대응하는 픽셀 구동 회로(265)에서의 보상 박막 트랜지스터(T3)의 제2 채널 영역(C32)의 정사 투영은 베이스 기관(110)상의 제4 보완 부분(1753C)의 정사 투영에 속한다. 따라서, 제3 애노드의 본체 부분 및 제4 보완 부분은 제3 애노드(1753)에 대응하는 픽셀 구동 회로(265)에서 보상 박막 트랜지스터(T3)의 제1 채널 영역(C31) 및 제2 채널 영역(C32)을 부분적으로 또는 완전히 차폐하여 보상 박막 트랜지스터의 안정성 및 서비스 수명을 개선함으로써, 디스플레이 기관의 장기 발광 안정성 및 서비스 수명을 개선할 수 있다.
- [0236] 일부 예들에서, 도 33 및 도 34에 도시된 바와 같이, 픽셀 회로 층(260)은 반도체 층(120), 제1 게이트 전극 층(130), 제2 게이트 전극 층(140), 및 제1 도전층(150)을 더 포함한다. 제1 게이트 전극 층(130)은 베이스 기관(110)으로부터 먼 반도체 층(120)의 측면에 위치된다. 제2 게이트 전극 층(140)은 베이스 기관(110)으로부터 먼 제1 게이트 전극 층(130)의 측면에 위치된다. 제1 도전층(150)은 베이스 기관(110)으로부터 먼 제2 게이트 전극 층(140)의 측면에 위치한다.

- [0237] 예를 들어, 도 30a에 도시된 바와 같이, 반도체 층(120)은 복수의 애노드(175)에 대응하여 배치된 복수의 픽셀 구동 유닛(1200)을 포함한다. 각각의 픽셀 구동 유닛(1200)은 제1 유닛(121), 제2 유닛(122), 제3 유닛(123), 제4 유닛(124), 제5 유닛(125), 제6 유닛(126), 및 제7 유닛(127)을 포함한다. 제1 유닛(121)은 제1 채널 영역(C1) 및 제1 채널 영역(C1)의 양측에 위치한 제1 소스 영역(S1) 및 제1 드레인 영역(D1)을 포함한다. 제2 유닛(122)은 제2 채널 영역(C2) 및 제2 채널 영역(C2)의 양측에 위치한 제2 소스 영역(S2) 및 제2 드레인 영역(D2)을 포함한다. 제3 유닛(123)은 제3 채널 영역(C3)과 제3 채널 영역(C3)의 양측에 위치한 제3 소스 영역(S3) 및 제3 드레인 영역(D3)을 포함한다. 제4 유닛(124)은 제4 채널 영역(C4)과 제4 채널 영역(C4)의 양측에 위치한 제4 소스 영역(S4) 및 제4 드레인 영역(D4)을 포함한다. 제5 유닛(125)은 제5 채널 영역(C5)과 제5 채널 영역(C5)의 양측에 위치한 제5 소스 영역(S5) 및 제5 드레인 영역(D5)을 포함한다. 제6 유닛(126)은 제6 채널 영역(C6)과 제6 채널 영역(C6)의 양측에 위치한 제6 소스 영역(S6) 및 제6 드레인 영역(D6)을 포함한다. 제7 유닛(127)은 제7 채널 영역(C7) 및 제7 채널 영역(C7)의 양측에 위치한 제7 소스 영역(S7) 및 제7 드레인 영역(D7)을 포함한다.
- [0238] 예를 들어, 도 30a 및 도 31에 도시된 바와 같이, 제6 드레인 영역(D6)은 제3 드레인 영역(D3)에 연결되고, 제3 소스 영역(S3), 제1 드레인 영역(D1), 및 제5 소스 영역(S5)은 제1 노드(N1)에 연결되고, 제1 소스 영역(S1), 제2 드레인 영역(D2), 및 제4 드레인 영역(D4)은 제2 노드(N2)에 연결되고, 제5 드레인 영역(D5)은 제7 드레인 영역(D7)에 연결된다.
- [0239] 예를 들어, 도 30b에 도시된 바와 같이, 제1 게이트 전극 층(130)은 제1 방향을 따라 연장되는 리셋 신호 라인(131), 제1 방향을 따라 연장되는 게이트 전극 라인(132) 및 제1 전극 블록(CE1), 및 제1 방향을 따라 연장되는 발광 제어 라인(133)을 포함한다. 리셋 신호 라인(131)은 제7 채널 영역(C7) 및 제6 채널 영역(C6)과 중첩하여, 제7 유닛(127) 및 제6 유닛(126)을 갖는 제7 박막 트랜지스터(T7) 및 제6 박막 트랜지스터(T6)를 형성할 수 있다. 게이트 전극 라인(132)은 제3 채널 영역(C3) 및 제2 채널 영역(C2)과 개별적으로 중첩되어, 제3 유닛(123) 및 제2 유닛(122)을 갖는 제3 박막 트랜지스터(T3) 및 제2 박막 트랜지스터(T2)를 형성한다. 제1 전극 블록(CE1)은 제1 채널 영역(C1)과 중첩되어, 제1 유닛(121)을 갖는 제3 박막 트랜지스터(T1)를 형성한다. 발광 제어 라인(133)은 제4 채널 영역(C4) 및 제5 채널 영역(C5)과 중첩되어, 제4 유닛(124) 및 제5 유닛(125)을 갖는 제4 박막 트랜지스터(T4) 및 제5 박막 트랜지스터(T5)를 형성한다. 위에서 설명한 박막 트랜지스터(T3)는 보상 박막 트랜지스터라는 것을 알 수 있다.
- [0240] 예를 들어, 도 30b에 도시된 바와 같이, 리셋 신호 라인(131), 게이트 전극 라인(132), 및 발광 제어 라인(133)은 모두 제1 방향을 따라 연장되고, 리셋 신호 라인(131), 게이트 전극 라인(132), 제1 전극 블록(CE1), 및 발광 제어 라인(133)은 제2 방향을 따라 배열된다.
- [0241] 예를 들어, 도 30c에 도시된 바와 같이, 제2 게이트 전극 층(140)은 제1 방향을 따라 연장되는 초기화 신호 라인(141), 제2 전극 블록(CE2) 및 도전성 블록(143)을 포함한다. 예를 들어, 도전성 블록(143)은 전력 라인의 저항을 감소시키기 위해 전력 라인에 연결될 수 있다. 또한, 초기화 신호 라인(141)은 제7 소스 영역(S7) 및 제1 소스 영역(S1)에 연결된다. 베이스 기판(110) 상의 제2 전극 블록(CE2)의 정사 투영은 베이스 기판(110) 상의 제1 전극 블록(CE1)의 정사 투영과 적어도 부분적으로 중첩되어, 저장 커패시터(Cst)를 형성한다. 도전성 블록은 또한 차광 기능을 구현할 수 있다는 점에 유의해야 한다. 또한, 도 33의 최좌측 측면의 도전성 블록의 형상은 다른 도전성 블록들의 형상들과 동일하다.
- [0242] 예를 들어, 도 30d에 도시된 바와 같이, 제1 도전층(150)은 제2 방향을 따라 연장되는 전력 라인(151), 데이터 라인(152), 제1 연결 블록(1541), 제2 연결 블록(1542), 및 제3 연결 블록(1543)을 포함한다. 데이터 라인(152)은 제2 소스 영역(S2)에 연결될 수 있다. 제4 소스 영역(S4)은 전력 라인(151)에 연결된다. 제1 연결 블록(1541)은 초기화 신호 라인(141)을 제6 소스 영역(S6) 및 제7 소스 영역(S7)에 연결하도록 구성된다. 제2 연결 블록(1542)은 제3 드레인 영역(D3)을 제1 전극 블록(CE1)에 연결하도록 구성된다. 제3 연결 블록(1543)은 제5 드레인 영역(D5)에 연결되고, 드레인으로서 대응하는 애노드에 연결될 수 있다.
- [0243] 다음은 도 31에 도시된 픽셀 구동 회로의 작동 방식을 개략적으로 설명한다. 먼저, 리셋 신호가 리셋 신호 라인(131)으로 송신되어 제7 박막 트랜지스터(T7)를 도통시킬 때, 각각의 서브픽셀의 애노드를 통해 흐르는 나머지 전류는 제7 박막 트랜지스터(T7)를 통해 제6 박막 트랜지스터(T6)로 방전되어, 각각의 서브픽셀의 애노드를 통해 흐르는 나머지 전류에 의해 야기되는 발광을 억제한다. 그 후, 리셋 신호 라인(131)에 리셋 신호가 송신되고, 초기화 신호 라인(141)에 초기화 신호가 송신될 때, 제6 박막 트랜지스터(T6)가 도통되고, 초기화 전압(Vint)이 제6 박막 트랜지스터(T6)를 통해 제1 박막 트랜지스터(T1)의 제1 게이트 전극 및 저장 커패시터(Cst)

의 제1 전극 블록(CE1)에 인가되고, 그래서, 제1 게이트 전극 및 저장 커패시터(Cst)가 초기화된다. 제1 게이트 전극의 초기화는 제1 박막 트랜지스터(T1)를 도통시킬 수 있다.

[0244] 후속하여, 게이트 전극 신호가 게이트 전극 라인(132)에 송신되고 데이터 신호가 데이터 라인(152)에 송신될 때, 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3) 양자 모두가 도통되고, 데이터 전압(Vd)은 제2 박막 트랜지스터(T2) 및 제3 박막 트랜지스터(T3)를 통해 제1 게이트 전극에 인가된다. 이 경우, 제1 게이트 전극에 인가되는 전압은 보상 전압 $V_d + V_{th}$ 이고, 제1 게이트 전극에 인가되는 보상 전압은 또한 저장 커패시터(Cst)의 제1 전극 블록(CE1)에 인가된다.

[0245] 후속하여, 전력 라인(151)은 저장 커패시터(Cst)의 제2 전극 블록(CE2)에 구동 전압(V_{el})을 인가하고, 제1 전극 블록(CE1)에 보상 전압($V_d + V_{th}$)을 인가하며, 그래서 저장 커패시터(Cst)의 2개의 전극에 각각 인가되는 전압들 사이의 차이에 대응하는 전하들이 저장 커패시터(Cst)에 저장되고, 제1 박막 트랜지스터(T1)의 도통이 미리 설정된 시간에 도달한다.

[0246] 후속하여, 발광 제어 신호가 발광 제어 라인(133)에 인가될 때, 제4 박막 트랜지스터(T4) 및 제5 박막 트랜지스터(T5) 양자 모두가 도통되며, 그래서, 제4 박막 트랜지스터(T4)는 구동 전압(V_{el})을 제5 박막 트랜지스터(T5)에 인가한다. 구동 전압(V_{el})이 저장 커패시터(Cst)에 의해 도통되는 제1 박막 트랜지스터(T1)를 통해 흐를 때, 대응하는 구동 전압(V_{el})과 저장 커패시터(Cst)를 통해 제1 게이트 전극에 인가되는 전압 사이의 차이는 제1 박막 트랜지스터(T1)의 제1 드레인 영역(D3)을 통해 흐르도록 전류(I_d)를 구동하고, 제5 박막 트랜지스터(T5)를 통해 각각의 서브픽셀에 인가되도록 전류(I_d)를 구동하여, 각각의 서브픽셀의 발광층이 광을 방출하게 한다.

[0247] 일부 예에서, 도 33 및 도 34에 도시된 바와 같이, 디스플레이 기관(100)은 제1 평탄화 층(241), 제2 도전층(160), 제2 평탄화 층(242) 및 애노드(175)를 더 포함한다. 제1 평탄화 층(241)은 베이스 기관(110)으로부터 먼 제1 도전층(150)의 측면에 위치된다. 제2 도전층(160)은 제1 도전층(150)으로부터 먼 제1 평탄화 층(241)의 측면에 위치하고, 연결 전극(161)을 포함한다. 제2 평탄화 층(242)은 제1 평탄화 층(241)으로부터 먼 제2 도전층(160)의 측면에 위치된다. 애노드(175)는 제2 도전층(160)으로부터 먼 제2 평탄화 층(242)의 측면에 위치된다. 제1 평탄화 층(241)은 제1 비아 홀(H1)을 포함한다. 연결 전극(161)은 제1 비아 홀(H1)을 통해 제6 드레인 영역(S6)에 연결된다. 제2 평탄화 층(242)은 제2 비아 홀(H2)을 포함한다. 애노드(175)는 제2 비아 홀(H2)을 통해 연결 전극(161)에 연결된다.

[0248] 일부 예에서, 도 33, 도 34, 및 도 36에 도시된 바와 같이, 디스플레이 기관(100)은, 베이스 기관(110)으로부터 먼 애노드 층(170)의 하나의 측면에 위치하고 복수의 발광 부분(185)을 포함하는 발광층(180)을 더 포함한다. 복수의 발광 부분(185)은 복수의 발광 그룹(1850)을 포함한다. 각각의 발광 그룹(1850)은 제1 발광 부분(1851), 제2 발광 부분(1852), 제3 발광 부분(1853), 및 제4 발광 부분(1854)을 포함한다. 제1 발광 부분(1851)은 제1 개구(1951) 내에 적어도 부분적으로 위치하고 제1 애노드(1751)의 노출된 부분을 커버한다. 제2 발광 부분(1852)은 제2 개구(1952) 내에 적어도 부분적으로 위치하고 제2 애노드(1752)의 노출된 부분을 커버한다. 제3 발광 부분(1853)은 제3 개구(1953)에 적어도 부분적으로 위치하고 제3 애노드(1753)의 노출된 부분을 커버한다. 제4 발광 부분(1854)은 제4 개구(1954) 내에 적어도 부분적으로 위치하고 제4 애노드(1754)의 노출된 부분을 커버한다. 제1 발광 부분(1851)은 제1 컬러의 광을 방출하도록 구성된다. 제2 발광 부분(1852) 및 제3 발광 부분(1853)은 제2 컬러의 광을 방출하도록 구성된다. 제4 발광 부분(1854)은 제3 컬러의 광을 방출하도록 구성된다.

[0249] 예를 들어, 제1 컬러는 적색(R)이고, 제2 컬러는 녹색(G)이고, 제3 컬러는 청색(B)이다. 즉, 디스플레이 기관은 GGRB의 픽셀 배열 구조체를 사용한다.

[0250] 예를 들어, 도 34에 도시된 바와 같이, 제2 애노드(1752)로부터 먼 제1 애노드(1751)의 측면에 위치한 제1 도전성 부분(1621)이 제1 도전층(150)에 위치한 전력 라인(151)과 중첩되는 면적은 제2 애노드(1752)에 가까운 제1 애노드(1751)의 측면에 위치한 제2 도전성 부분(1622)이 제1 도전층(150) 내의 전력 라인(151)과 중첩되는 면적보다 더 작다.

[0251] 본 개시내용의 실시예는 디스플레이 디바이스를 제공한다. 도 38은 본 개시내용의 실시예에 따른 디스플레이 디바이스의 개략도이다. 도 38에 도시된 바와 같이, 디스플레이 디바이스(400)는 임의의 위에서 설명한 디스플레이 기관(100)을 포함한다. 따라서, 디스플레이 디바이스는 디스플레이 기관의 유익한 효과들에 대응하는 유익한 효과들을 포함한다. 따라서, 디스플레이 디바이스에서, 보상 박막 트랜지스터의 안정성 및 서비스 수명이

개선될 수 있고, 이에 의해 디스플레이 기관의 장기간 발광 안정성 및 서비스 수명을 개선시킨다.

- [0252] 예를 들어, 디스플레이 디바이스는 TV, 컴퓨터, 노트북 컴퓨터, 태블릿 컴퓨터, 이동 전화, 내비게이터, 또는 전자 사진 프레임과 같은 디스플레이 기능을 포함하는 전자 제품일 수 있다.
- [0253] 본 개시내용의 실시예는 디스플레이 기관을 추가로 제공한다. 도 39는 본 개시내용의 실시예에 따른 디스플레이 기관의 개략도이고; 도 40은 도 39의 라인 TT를 따른 디스플레이 기관의 개략적인 단면도이고; 도 41은 본 개시내용의 실시예에 따른 디스플레이 기관 내의 제2 도전층 및 애노드 층의 개략도이다.
- [0254] 도 39 내지 도 41에 예시된 바와 같이, 디스플레이 기관은 베이스 기관(110), 픽셀 회로 층(610), 제1 도전층(150), 제1 평탄화 층(241), 제2 도전층(160), 제2 평탄화 층(242), 및 복수의 발광 요소 그룹들(310)을 포함한다. 픽셀 회로 층(610)은 복수의 픽셀 구동 회로들(265)을 포함하고, 복수의 픽셀 구동 회로(265)는 반도체 층(120)을 포함한다. 제1 도전층(150)은 베이스 기관(110)으로부터 먼 반도체 층(120)의 측면에 위치된다. 제1 평탄화 층(241)은 반도체 층(120)으로부터 먼 제1 도전층(150)의 측면에 위치된다. 제2 도전층(160)은 제1 도전층(150)으로부터 먼 제1 평탄화 층(241)의 측면에 위치한다. 제2 평탄화 층(242)은 베이스 기관(110)으로부터 먼 제2 도전층(162)의 측면에 위치한다. 복수의 발광 요소 그룹들(310)은 제2 도전층(162)으로부터 먼 제2 평탄화 층(242)의 측면에 위치된다. 제2 도전층(160)은 제1 방향을 따라 배열된 복수의 도전성 부분(162)을 포함하고, 제2 방향에서의 각각의 도전성 부분(162)의 크기는 제1 방향에서의 크기보다 크고, 제2 방향은 제1 방향과 교차하며, 복수의 도전성 부분(162)은 제1 도전성 부분(1622)을 포함하고, 제1 도전성 부분(1622)은 폐쇄된 환형 부분(1622E)을 포함하고, 폐쇄된 환형 부분(1622E)은 중공 영역(1622H)을 포함한다.
- [0255] 도 39 내지 도 41에 예시된 바와 같이, 각각의 발광 요소 그룹(310)은 제1 발광 요소(311)를 포함하고, 제1 발광 요소(311)는 제1 애노드(1751)를 포함하고, 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영은 베이스 기관(110) 상의 폐쇄된 환형 부분(1622E)의 정사 투영과 중첩한다. 복수의 도전성 부분(162)은 또한 제1 도전성 부분들(1622)에 인접한 제2 도전성 부분(1621)을 포함하고, 베이스 기관(110) 상의 제2 도전성 부분(1621)의 정사 투영은 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영과 중첩된다.
- [0256] 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 폐쇄된 환형 부분(1622E)을 제공함으로써, 제1 애노드(1751)는 폐쇄된 환형 부분(1622E) 및 제2 도전성 부분(1621)과 동시에 중첩될 수 있고, 그래서, 제1 애노드(1751)는 편평하게 유지될 수 있고, 경사에 의해 유발되는 컬러 캐스트가 회피될 수 있다. 또한, 폐쇄된 환형 부분(1622E)은 중공 설계를 갖기 때문에, 디스플레이 기관의 광 투과율이 개선될 수 있고, 이는 언더-스크린 지문 인식 디바이스가 신호들을 수신하는 데 유익하다.
- [0257] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 폐쇄된 환형 부분(1622E)은 제2 도전층(160)에서 제1 방향으로 그에 인접한 적어도 하나의 도전성 부분(162)으로부터 분리되고, 제1 방향에서의 폐쇄된 환형 부분(1622E)의 크기는 제1 방향에서의 제1 도전성 부분(1622)의 일부의 크기보다 적어도 더 크다. 복수의 픽셀 구동 회로(265)는 제1 픽셀 구동 회로(2651)를 포함하고, 제1 픽셀 구동 회로(2651)는 반도체 층(120) 상에 반도체 패턴을 갖고, 베이스 기관(110) 상의 제1 도전성 부분(1622)의 정사 투영은 베이스 기관(110) 상의 제1 픽셀 구동 회로(2651)의 반도체 패턴의 정사 투영과 중첩된다. 제1 픽셀 구동 회로(2651)는 구동 트랜지스터(T1)를 포함하고, 제1 도전층(150)은 제1 도전성 패턴(1542)을 포함하고, 제1 도전성 패턴(1542)은 구동 트랜지스터(T1)의 게이트 전극과 동일한 전위를 갖는다. 제1 도전성 패턴(1542) 및 구동 트랜지스터(T1)의 게이트 전극은 함께 게이트 전극 전위 금속을 구성하고, 베이스 기관(110) 상의 폐쇄된 환형 부분(1622E) 내부의 중공 영역(1622H)의 정사 투영은 베이스 기관 상의 게이트 전극 전위 금속의 정사 투영과 중첩된다.
- [0258] 한편, 본 개시내용의 실시예에 의해 제공되는 디스플레이 기관에서, 폐쇄된 환형 부분(1622E)은 제1 애노드(1751)의 더 높은 편평도를 보장할 수 있음으로써, 상이한 방향들에서의 제1 애노드(1751)의 발광 강도가 일관된 것을 보장하고, 다음에 컬러 캐스트의 현상을 효과적으로 완화하고; 한편, 베이스 기관(110) 상의 폐쇄된 환형 부분(1622E) 내부의 중공 영역(1622H)의 정사 투영은 베이스 기관 상의 게이트 전극 전위 금속의 정사 투영과 중첩하고, 그래서, 구동 트랜지스터의 게이트 전극의 리셋 속도 및 충전 속도가 개선될 수 있다.
- [0259] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 폐쇄된 환형 부분(1622E)의 내측은 중공 영역(1622H)을 포함하고, 제1 도전성 부분(1622)은 제2 방향을 따라 배열된 복수의 중공 영역(1622h)을 갖는다. 2개의 인접한 중공 영역(1622H)은 대략 동일한 형상 및 크기를 가진다. 제1 도전성 부분(1622)은 복수의 제1 애노드(1751)에 대응할 수 있으므로, 복수의 중공 영역(1622H)을 갖는다.
- [0260] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 제1 발광 요소(311)는 유효 발광 영역을 포함하고, 제1

발광 요소(311)의 유효 발광 영역의 중심을 통과하고 제2 방향으로 연장되는 직선의, 베이스 기판(110) 상의 정사 투영은 베이스 기판(110) 상의 제1 도전성 부분(1622)과 제2 도전성 부분(1621)의 정사 투영들 사이에 위치된다.

[0261] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 제1 방향에서의 폐쇄된 환형 부분(1622E)의 2개의 에지는 각각 베이스 기판 상의 발광 요소 그룹에서의 복수의 발광 요소의 애노드들의 정사 투영들과 중첩하고, 폐쇄된 환형 부분(1622E)의 중공 영역들(1622H)의 정사 투영들은 베이스 기판(110) 상의 복수의 발광 요소의 유효 발광 영역들의 정사 투영들로부터 분리된다(즉, 간격을 두고 배열된다). 따라서, 디스플레이 기판은 한편으로는 디스플레이 기판 상의 공간을 완전히 사용할 수 있고, 다른 한편으로는 발광 요소들의 디스플레이에 대한 악영향들을 회피할 수 있다.

[0262] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 제1 도전층(150)은 픽셀 구동 회로(265)에 전력을 공급하도록 구성되는 도전성 금속(152)을 더 포함하고, 제1 평탄화 층(241)은 도전성 금속 비아 홀(241S)을 포함하고, 그리고 도전성 부분(162)은 전력 라인 비아 홀(241S)을 통해 도전성 금속(152)과 전기적으로 연결되고; 제1 픽셀 구동 회로(2651)는 제1 발광 제어 트랜지스터(T4) 및 저장 커패시터(Cst)를 더 포함하고, 저장 커패시터는 제1 전극 블록(CE1) 및 제2 전극 블록(CE2)을 포함하고, 제2 전극 블록(CE2)은 베이스 기판(110)으로부터 먼 제1 전극 블록(CE1)의 측면에 위치되고, 도전성 금속(152)은 제1 발광 제어 트랜지스터(T4)의 소스 전극 및 제2 전극 블록(CE2)과 각각 전기적으로 연결된다. 따라서, 디스플레이 기판은 도전성 금속의 저항을 감소시키고, 전압 강하를 감소시키고, 제2 도전층의 복수의 도전성 부분들을 통해 전체 디스플레이 패널의 균일성을 개선할 수 있다.

[0263] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 베이스 기판(110) 상의 폐쇄된 환형 부분(1622E)의 정사 투영은 베이스 기판(110) 상의 제1 전극 블록(CE1)의 정사 투영과 중첩되고; 제2 전극 블록(CE2)은 개구(620)를 포함하고, 베이스 기판(110) 상의 개구(620)의 정사 투영은 베이스 기판(110) 상의 제1 전극 블록(CE1)의 정사 투영과 중첩되고, 베이스 기판(110) 상의 폐쇄된 환형 부분(1622E)의 정사 투영은 또한 베이스 기판(110) 상의 개구(620)의 정사 투영과 중첩한다. 따라서, 커패시터 전극을 차폐함으로써, 커패시터가 광에 의해 과도하게 조사되는 것이 방지될 수 있고, 커패시터 전위는 안정화되고 충전 및 방전 속도는 빠르다.

[0264] 일부 예에서, 도 39 내지 도 41에 예시된 바와 같이, 제1 픽셀 구동 회로(2651)는 데이터 기입 트랜지스터(T2), 보상 트랜지스터(T3), 리셋 트랜지스터(T6), 애노드 초기화 트랜지스터(T7) 및 제2 발광 제어 트랜지스터(T5)를 더 포함한다. 디스플레이 기판은 리셋 트랜지스터(T6)의 게이트 전극 및 애노드 초기화 트랜지스터(T7)의 게이트 전극에 각각 연결된 리셋 신호 라인(131); 보상 트랜지스터(T3)의 게이트 전극 및 데이터 기입 트랜지스터(T2)의 게이트 전극에 각각 연결된 게이트 라인(132); 제1 발광 제어 트랜지스터(T4)의 게이트 전극 및 제2 발광 제어 트랜지스터(T5)의 게이트 전극에 각각 연결된 발광 제어 라인(133); 리셋 트랜지스터(T6)의 소스 전극 및 애노드 초기화 트랜지스터(T7)의 소스 전극에 각각 연결되는 초기화 신호 라인(141)을 더 포함하고, 베이스 기판(110) 상의 폐쇄된 환형 부분(1622E)의 정사 투영은 베이스 기판(110) 상의 리셋 신호 라인(131), 게이트 라인(132) 및 초기화 신호 라인(133)의 정사 투영들과 각각 중첩된다. 폐쇄된 환형 부분이 중공이기 때문에, 리셋 신호 라인(131), 게이트 라인(132) 및 초기화 신호 라인(133)과의 중첩 면적은 작고, 이들 신호 라인들에 대한 전위 간섭이 회피될 수 있다. 픽셀 구동 회로의 상기 계층화된 개략도 및 각각의 트랜지스터의 연결 관계는 도 30a 내지 도 30d 및 도 31의 관련 설명에서 볼 수 있다는 점에 유의해야 한다.

[0265] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 제1 도전성 패턴(1542)의 한 단부는 개구(620)를 통해 구동 트랜지스터(T1)의 게이트 전극에 전기적으로 연결되고, 제1 도전성 패턴(1542)의 다른 단부는 보상 트랜지스터(T3)의 드레인 전극 또는 소스 전극에 전기적으로 연결된다. 따라서, 제1 도전성 패턴(1542)은 구동 트랜지스터(T1)의 게이트 전극과 동일한 전위를 갖는다.

[0266] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 폐쇄된 환형 부분(1622E)은 제1 방향을 따라 배열된 제1 부분(631) 및 제2 부분(632), 및 제2 방향을 따라 배열된 제3 부분(633) 및 제4 부분(634)을 포함한다. 제1 부분(631), 제3 부분(633), 제2 부분(632) 및 제4 부분(634)은 단부 대 단부로 연결되어 폐쇄된 환형 부분(1622E)을 형성하고, 베이스 기판(110) 상의 제1 부분(631) 및 제2 부분(632)의 정사 투영은 베이스 기판(110) 상의 제2 전극 블록(CE2)의 정사 투영과 중첩된다. 따라서, 저장 커패시터(Cst)의 커패시턴스가 증가될 수 있다.

[0267] 예를 들어, 베이스 기판(110) 상의 제3 부분(633)의 정사 투영은 베이스 기판(110) 상의 제2 전극 블록(CE2)의 정사 투영과 중첩되고, 그래서, 저장 커패시터(Cst)의 커패시턴스가 더 증가될 수 있다.

- [0268] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 베이스 기관(110) 상의 제1 부분(631)의 정사 투영은 베이스 기관(110) 상의 제1 도전성 패턴(1542)의 정사 투영과 중첩하고, 제1 도전성 패턴(1542) 및 제1 도전성 패턴(1542)은 양자 모두 그 형상이 세장형이고, 제1 도전성 패턴(1542)의 긴 에지의 연장 방향은 제1 부분(631)의 긴 에지의 연장 방향과 동일하다. 제1 부분과 제1 도전성 패턴의 연장 방향을 동일하게 함으로써, 제1 부분과 제1 도전성 패턴의 중첩 영역의 면적은 가능한 한 작고, 이에 의해 구동 트랜지스터의 게이트 전극의 부하를 감소시키고 구동 트랜지스터의 게이트 전극의 리셋 속도 및 충전 속도를 개선한다.
- [0269] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 제1 도전층(150)은 제2 도전성 패턴(1541)을 더 포함하고, 제2 도전성 패턴(1541)은 초기화 신호 라인(141) 및 리셋 트랜지스터(T6)의 소스 전극과 각각 연결된다. 베이스 기관(110) 상의 제3 부분(633)의 정사 투영은 베이스 기관(110) 상의 초기화 신호 라인(141)의 정사 투영과 중첩하고, 베이스 기관(110) 상의 제3 부분(633)의 정사 투영은 베이스 기관(110) 상의 제2 도전성 패턴(1541)의 정사 투영과 중첩하고, 베이스 기관(110) 상의 제4 부분(634)의 정사 투영은 베이스 기관(110) 상의 제1 도전성 패턴(1542)의 정사 투영과 중첩한다.
- [0270] 일부 예에서, 도 39 내지 도 41에 예시된 바와 같이, 베이스 기관(110) 상의 중공 영역(1622H)의 정사 투영은 베이스 기관(110) 상의 초기화 신호 라인(141)의 정사 투영과 중첩하고, 베이스 기관(110) 상의 중공 영역(1622H)의 정사 투영은 베이스 기관(110) 상의 제2 도전성 패턴(1541)의 정사 투영과 중첩하고, 베이스 기관(110) 상의 중공 영역(1622H)의 정사 투영은 베이스 기관(110) 상의 제2 전극 블록(CE2)의 정사 투영과 중첩된다.
- [0271] 일부 예들에서, 도 39 내지 도 41에 도시된 바와 같이, 디스플레이 기관은 베이스 기관(110)으로부터 먼 제2 도전층(160)의 측면에 위치한 제2 평탄화 층(242); 및 제2 도전층(160)으로부터 먼 제2 평탄화 층(242)의 측면에 위치한 복수의 발광 요소 그룹들(310)을 더 포함한다. 복수의 발광 요소 그룹(310)은 제1 방향을 따라 배열되어 복수의 발광 요소 열(320)을 형성하고, 제2 방향을 따라 배열되어 복수의 발광 요소 행(330)을 형성한다. 각각의 발광 요소 그룹(310)은 제1 발광 요소(311), 제2 발광 요소(312), 제3 발광 요소(313) 및 제4 발광 요소(314)를 포함한다. 제2 발광 요소(312) 및 제3 발광 요소(313)는 제2 방향을 따라 배열되어 발광 요소 쌍(315)을 형성하고, 제1 발광 요소(311), 발광 요소 쌍(315) 및 제4 발광 요소(314)는 제1 방향을 따라 배열된다. 제1 발광 요소(311)는 제1 애노드(1751)를 포함하고, 제2 발광 요소(312)는 제2 애노드(1752)를 포함하고, 제3 발광 요소(313)는 제3 애노드(1753)를 포함하고, 제4 발광 요소(314)는 제4 애노드(1754)를 포함한다. 제2 도전층(160)은 제1 연결 전극(1611), 제2 연결 전극(1612), 제3 연결 전극(1613) 및 제4 연결 전극(1614)을 포함하고, 제2 평탄화 층(242)은 제1 비아 홀(2421), 제2 비아 홀(2422), 제3 비아 홀(2423) 및 제4 비아 홀(2424)을 포함한다. 제1 애노드(1751)는 제1 비아 홀(2421)을 통해 제1 연결 전극(1611)과 연결되고, 제2 애노드(1752)는 제2 비아 홀(2422)을 통해 제2 연결 전극(1612)에 연결되고, 제3 애노드(1753)는 제3 비아 홀(2423)을 통해 제3 연결 전극(1613)에 연결되고, 제4 애노드(1754)는 제4 비아 홀(2424)을 통해 제4 연결 전극(1614)에 연결된다.
- [0272] 일부 예에서, 제1 애노드(1751)는 주 본체 부분을 포함하고, 베이스 기관(110) 상의 제1 발광 요소(311)의 유효 발광 영역의 정사 투영은 베이스 기관(110) 상의 제1 애노드(1751)의 주 본체 부분의 정사 투영 내에 위치하고, 제1 애노드(1751) 및 제1 애노드(1751)의 주 본체 부분은 적어도 부분적으로 동일한 경계를 갖는다. 제2 애노드(1752)는 주 본체 부분을 포함하고, 베이스 기관(110) 상의 제2 발광 요소(312)의 유효 발광 영역의 정사 투영은 베이스 기관(110) 상의 제2 애노드(1752)의 주 본체 부분의 정사 투영 내에 위치하고, 제2 애노드(1752) 및 제2 애노드(1752)의 주 본체 부분은 적어도 부분적으로 동일한 경계를 갖는다. 제3 애노드(1753)는 주 본체 부분을 포함하고, 베이스 기관(110) 상의 제3 발광 요소(313)의 유효 발광 영역의 정사 투영은 베이스 기관(110) 상의 제3 애노드(1753)의 주 본체 부분의 정사 투영 내에 위치하고, 제3 애노드(1753) 및 제3 애노드(1753)의 주 본체 부분은 적어도 부분적으로 동일한 경계를 갖는다. 제4 애노드(1754)는 주 본체 부분을 포함하고, 베이스 기관(110) 상의 제4 발광 요소(314)의 유효 발광 영역의 정사 투영은 베이스 기관(110) 상의 제4 애노드(1754)의 주 본체 부분의 정사 투영 내에 위치하고, 제4 애노드(1754) 및 제4 애노드(1754)의 주 본체 부분은 적어도 부분적으로 동일한 경계를 갖는다.
- [0273] 일부 예들에서, 복수의 도전성 부분(162)은 제2 도전성 부분(1621)을 포함하고, 제1 도전성 부분(1622) 및 제2 도전성 부분(1621)은 제1 방향으로 제1 발광 요소(311)의 유효 발광 영역의 양측에 각각 위치하고, 베이스 기관(110) 상의 폐쇄된 환형 부분(1622E)의 정사 투영과 베이스 기관(110) 상의 제1 발광 요소(311)의 유효 발광 영역의 중심의 정사 투영 사이의 거리는 베이스 기관(110) 상의 제2 도전성 부분(1621)의 정사 투영과 베이스 기관(110) 상의 제1 발광 요소(311)의 유효 발광 영역의 중심의 정사 투영 사이의 거리와 대략 동일하다.

따라서, 폐쇄된 환형 부분(1622E)은 제1 애노드(1751)의 높은 편평도를 보장할 수 있음으로써, 제1 애노드(1751)의 발광 강도가 상이한 방향들에서 일관된 것을 보장하고, 컬러 캐스트를 더욱 효과적으로 완화시킨다.

[0274] 일부 예에서, 도 39 내지 도 41에 예시된 바와 같이, 베이스 기관(110) 상의 제1 애노드(1751)의 정사 투영은 베이스 기관(110) 상의 제1 픽셀 구동 회로(2651)의 발광 제어 라인(133)의 정사 투영과 중첩한다. 제1 애노드를 발광 제어 라인과 중첩시킴으로써, 제2 도전층에 위치한 제1 애노드의 연결 전극은 아래로 이동될 수 있고, 그래서, 제1 도전층에서의 제3 도전성 패턴의 중심이 발광 제어 라인과 중첩되도록 하여, 제3 도전성 패턴의 편평도를 보장하고 비아 홀 연결의 유효성을 개선시킨다.

[0275] 일부 예에서, 도 39 내지 도 41에 예시된 바와 같이, 제4 발광 요소(314)는 제2 방향에서 중공 영역(1622H)의 중심에 인접한 위치에 배열되고, 베이스 기관(110) 상의 제4 발광 요소(314)의 정사 투영(예를 들어, 제4 발광 요소(314)의 제4 애노드(1754))은 베이스 기관(110) 상의 게이트 라인(132), 리셋 신호 라인(131) 및 초기화 신호 라인(141)의 정사 투영들 모두와 중첩한다.

[0276] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 제1 도전층(151)은 제3 도전성 패턴(1543)을 더 포함하고, 제2 도전층(160)은 애노드 연결 부분(161), 즉 위에서 언급한 연결 전극을 더 포함하고, 제3 도전성 패턴(1543)은 제2 발광 제어 트랜지스터(T5)의 드레인 전극 및 애노드 연결 부분(161)과 연결된다.

[0277] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 베이스 기관(110) 상의 게이트 라인(132)의 정사 투영은 베이스 기관(110) 상의 제1 도전성 패턴(1542)의 정사 투영과 중첩한다.

[0278] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 베이스 기관(110) 상의 제1 전극 블록(CE1) 및 제2 전극 블록(CE2)의 정사 투영들은 베이스 기관(110) 상의 게이트 라인(132)의 정사 투영과 베이스 기관(110) 상의 발광 제어 라인(133)의 정사 투영 사이에 위치되고, 즉, 베이스 기관(110) 상의 저장 커패시터(Cst)의 정사 투영은 기관(110) 상의 게이트 라인(132)의 정사 투영과 베이스 기관(110) 상의 발광 제어 라인(133)의 정사 투영 사이에 위치되고, 그래서 공간이 합리적으로 이용될 수 있다.

[0279] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 베이스 기관(110) 상의 리셋 신호 라인(131)의 정사 투영은 베이스 기관(110) 상의 게이트 라인(132)의 정사 투영과 베이스 기관(110) 상의 초기화 신호 라인(141)의 정사 투영 사이에 위치되고, 또한, 하나의 픽셀 구동 회로(265)에서, 발광 제어 라인(133), 제1 전극 블록(CE1), 게이트 라인(132), 리셋 신호 라인(131) 및 초기화 신호 라인(141)은 제2 방향을 따라 배열되고, 그래서, 디스플레이 기관 상의 공간이 합리적으로 이용될 수 있다.

[0280] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 복수의 픽셀 구동 회로(265)는 제2 게이트 전극 층(140)을 포함하고, 제2 전극 블록(CE2)은 제2 게이트 전극 층(140)에 위치하고, 적어도 2개의 제2 전극 블록(CE2)이 제1 방향으로 연결된다. 즉, 제2 게이트 전극 층(140)에 위치한 적어도 2개의 제2 전극 블록(CE2)은 서로 전기적으로 연결될 수 있으며, 그래서, 전체 디스플레이 패널 내의 상이한 서브픽셀들의 저장 커패시터의 균일성이 또한 개선될 수 있다.

[0281] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 베이스 기관(110) 상의 제1 발광 요소(312) 및 제2 발광 요소(313)의 유효 발광 영역들의 정사 투영들은 베이스 기관(110) 상의 도전성 부분(162)의 정사 투영과 중첩하지 않는다. 따라서, 도전성 부분이 제1 발광 요소(311) 및 제2 발광 요소(312)의 편평도에 악영향을 미치는 것을 회피할 수 있다. 예를 들어, 제2 발광 요소(312)는 녹색 광을 방출하도록 구성된다.

[0282] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 베이스 기관(110) 상의 제4 발광 요소(314)의 유효 발광 영역의 중심의 정사 투영은 베이스 기관(110) 상의 도전성 부분(162)의 정사 투영과 중첩한다. 도전성 부분(162)과 제4 발광 요소(314)의 유효 발광 영역의 중심의 정사 투영들이 되는 부분은 중실 부분이다. 따라서, 제4 발광 요소(314)의 유효 발광 영역이 도전성 부분(162)과 중첩하지만, 베이스 기관(110) 상의 제4 발광 요소(314)의 유효 발광 영역의 중심의 정사 투영은 베이스 기관(110) 상의 도전성 부분(162)의 정사 투영과 중첩하고, 이는 도전성 부분이 제4 발광 요소(314)의 편평도에 악영향을 미치는 것을 방지할 수 있다. 예를 들어, 제4 발광 요소(314)는 청색 광을 방출하도록 구성된다. 위에서 언급된 "중실 부분"은 부분이 중공을 포함하지 않는다는 것을 의미한다는 점에 유의하여야 한다.

[0283] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 제2 발광 요소(312)는 제2 애노드(1752)를 포함하고, 제3 발광 요소(313)는 제3 애노드(1753)를 포함하고; 제1 방향에서 제2 애노드(1752)의 주 본체 부분의 2개의 중첩 영역 및 제2 애노드(1752)에 인접한 2개의 도전성 부분(162)의 면적들은 대략 동일하고, 제3 애노드(1753)의 주 본체 부분의 2개의 중첩 영역 및 제1 방향에서 제3 애노드(1753)에 인접한 2개의 도전성 부분(162)의 면적들

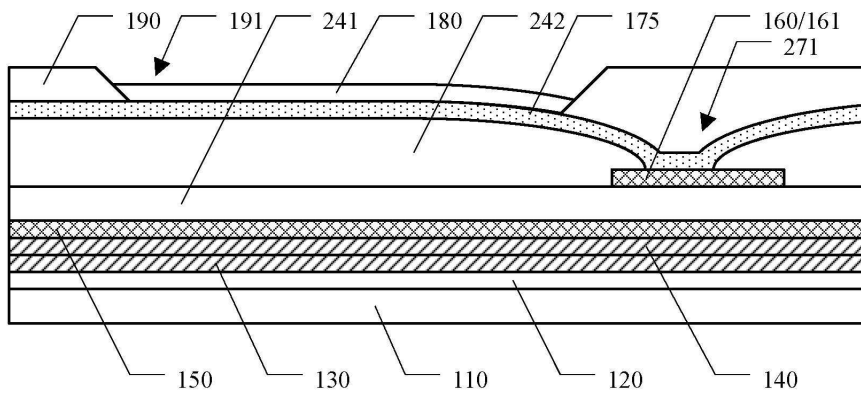
은 대략 동일하다. 따라서, 제2 애노드 및 제3 애노드의 편평도가 추가로 개선될 수 있다.

- [0284] 일부 예에서, 도 39 내지 도 41에 예시된 바와 같이, 베이스 기관(110) 상의 중공 영역(1622H)의 정사 투영은, 제1 발광 요소(311)의 유효 발광 영역과 제2 발광 요소(312)의 유효 발광 영역 사이에 위치한다. 따라서, 중공 영역은 유효 발광 영역을 피할 수 있고, 유효 발광 영역 내의 애노드가 새겨져서 컬러 캐스트를 야기하는 것을 피할 수 있다. 제1 발광 요소 및 제2 발광 요소는 제1 방향에서 서로 가장 가까운 제1 발광 요소 및 제2 발광 요소라는 점에 유의해야 한다.
- [0285] 일부 예에서, 도 39 내지 도 41에 예시된 바와 같이, 제1 방향에서, 제2 방향으로 적색 광을 방출하도록 구성된 발광 요소의 애노드(예를 들어, 제1 애노드)의 중간 부분의 크기는 제2 방향으로 애노드의 에지 부분의 크기보다 크다, 예를 들어, 애노드의 형상은 대략 긴 육각형일 수 있고; 제1 방향에서, 청색 광을 제2 방향으로 방출하도록 구성된 발광 요소의 애노드(예를 들어, 제4 애노드)의 중간 부분의 크기는 제2 방향에서의 애노드의 에지 부분의 크기보다 크다. 따라서, 디스플레이 기관은 상이한 애노드들 사이의 공간을 완전히 사용할 수 있고, 동일한 프로세스 정확도 하에서, 적색 광을 방출하도록 구성되는 발광 요소 및 청색 광을 방출하도록 구성되는 발광 요소의 애노드들의 면적들이 최대화된다.
- [0286] 일부 예들에서, 도 39 내지 도 41에 예시된 바와 같이, 하나의 발광 요소 그룹에서, 베이스 기관(110) 상의 적어도 2개의 발광 요소들의 애노드들(175)의 정사 투영들은 베이스 기관(110) 상의 제2 전극 블록(CE2)의 개구의 정사 투영과 중첩한다. 따라서, 제2 전극 블록의 개구를 차폐함으로써, 구동 트랜지스터의 게이트 전극이 차폐되고 광에 의해 과도하게 조사되는 것이 방지될 수 있다. 베이스 기관(110) 상의 적어도 하나의 발광 요소(311, 312, 313 또는 314)의 유효 발광 영역의 정사 투영은 베이스 기관(110) 상의 제1 전극 블록(CE1) 또는 제2 전극 블록(CE2)의 정사 투영과 중첩되지 않고, 그래서, 커패시터가 유효 발광 영역을 상승시키는 것을 회피하고 컬러 캐스트 또는 컬러 편차를 회피할 수 있다.
- [0287] 일부 예들에서, 제1 발광 요소(311), 제2 발광 요소(312), 제3 발광 요소(313) 및 제4 발광 요소(314)로 구성된 그룹으로부터 선택된 임의의 발광 요소에서, 제1 평탄화 층(241)은 애노드 홀을 갖고, 발광 요소의 애노드는 애노드 홀을 통해 발광 요소에 대응하는 픽셀 구동 회로에 연결된다.
- [0288] 일부 예에서, 도 39 내지 도 41에 예시된 바와 같이, 베이스 기관(110) 상에 적색 광을 방출하도록 구성된 발광 요소의 애노드(예를 들어, 제1 애노드(1751))의 애노드 홀(예를 들어, 제1 비아 홀(2421))의 정사 투영은, 제2 방향에서 베이스 기관 상의 애노드의 주 본체 부분의 정사 투영과 중첩되지 않는다. 베이스 기관(110) 상의 애노드의 애노드 홀의 정사 투영은 제2 방향으로 베이스 기관(110) 상에 적색 광을 방출하도록 구성되는 발광 요소의 유효 발광 영역의 정사 투영과 중첩하지 않고, 그래서, 적색 광을 방출하도록 구성된 발광 요소의 애노드의 애노드 홀이 제1 발광 요소의 편평도에 악영향을 미치는 것을 방지할 수 있다.
- [0289] 일부 예에서, 도 39 내지 도 41에 예시된 바와 같이, 베이스 기관(110) 상에 청색 광을 방출하도록 구성된 발광 요소의 애노드(예를 들어, 제4 애노드(1754))의 애노드 홀(예를 들어, 제4 비아 홀(2424))의 정사 투영은, 제2 방향에서 베이스 기관 상의 애노드의 주 본체 부분의 정사 투영과 중첩하지 않는다. 베이스 기관(110) 상의 애노드의 애노드 홀의 정사 투영은 제2 방향으로 베이스 기관(110) 상에 청색 광을 방출하도록 구성되는 발광 요소의 유효 발광 영역의 정사 투영과 중첩하지 않고, 그래서, 청색 광을 방출하도록 구성된 발광 요소의 애노드의 애노드 홀이 제4 발광 요소의 편평도에 악영향을 미치는 것을 방지할 수 있다.
- [0290] 일부 예에서, 도 39 내지 도 41에 예시된 바와 같이, 데이터 라인(152)은 2개의 인접한 도전성 부분(162)들 사이에 배열되고, 베이스 기관(110) 상의 2개의 인접한 도전성 부분(162) 및 데이터 라인(152) 중 임의의 하나의 정사 투영들 사이의 거리는 베이스 기관(110) 상의 2개의 인접한 도전성 부분(162)의 정사 투영들 사이의 거리 미만이다.
- [0291] 본 개시내용의 실시예는 디스플레이 디바이스를 추가로 제공한다. 도 42는 본 개시내용의 실시예에 따른 디스플레이 디바이스의 개략도이다. 도 42에 예시된 바와 같이, 디스플레이 디바이스(400)는 위에서 설명된 바와 같은 디스플레이 기관들(100) 중 임의의 하나를 포함한다. 따라서, 디스플레이 디바이스는 디스플레이 기관의 유익한 효과들에 대응하는 유익한 효과들을 갖는다. 예를 들어, 디스플레이 디바이스는 보상 박막 트랜지스터의 안정성 및 수명을 개선할 수 있고, 이에 의해 디스플레이 기관의 장기간 발광 안정성 및 수명을 개선한다.
- [0292] 예를 들어, 디스플레이 디바이스는 텔레비전들, 컴퓨터들, 노트북 컴퓨터들, 플랫 컴퓨터들, 이동 전화들, 내비게이터들, 및 전자 사진 프레임들과 같은 디스플레이 기능들을 갖는 전자 제품들일 수 있다.

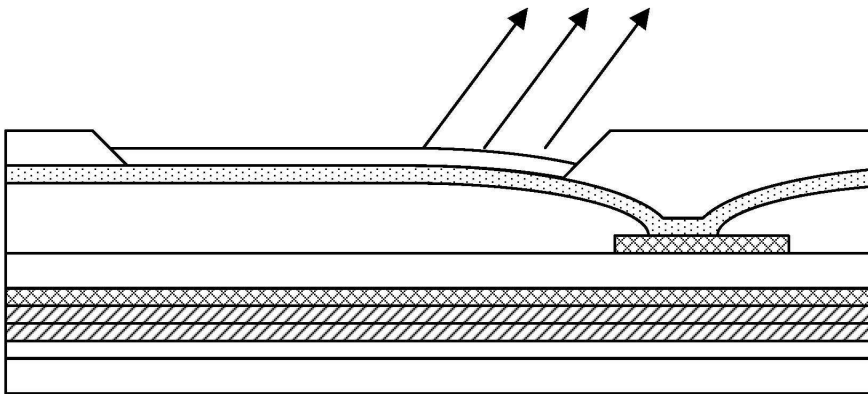
- [0293] 다음을 유의하여야 한다:
- [0294] (1) 본 개시내용의 실시예들의 도면들에서, 본 개시내용의 실시예들에 관련된 구조들만이 수반되고, 다른 구조들은 공통 설계(들)를 참조할 수 있다.
- [0295] (2) 충돌이 없는 경우, 본 개시내용의 일 실시예 또는 상이한 실시예들에서의 특징들이 조합될 수 있다.
- [0296] 상기는 본 개시내용의 특정 실시예들에 불과하고 본 개시내용의 범위를 제한하지 않으며; 본 개시내용의 범위들은 첨부된 청구항들에서 정의되어야 한다.

도면

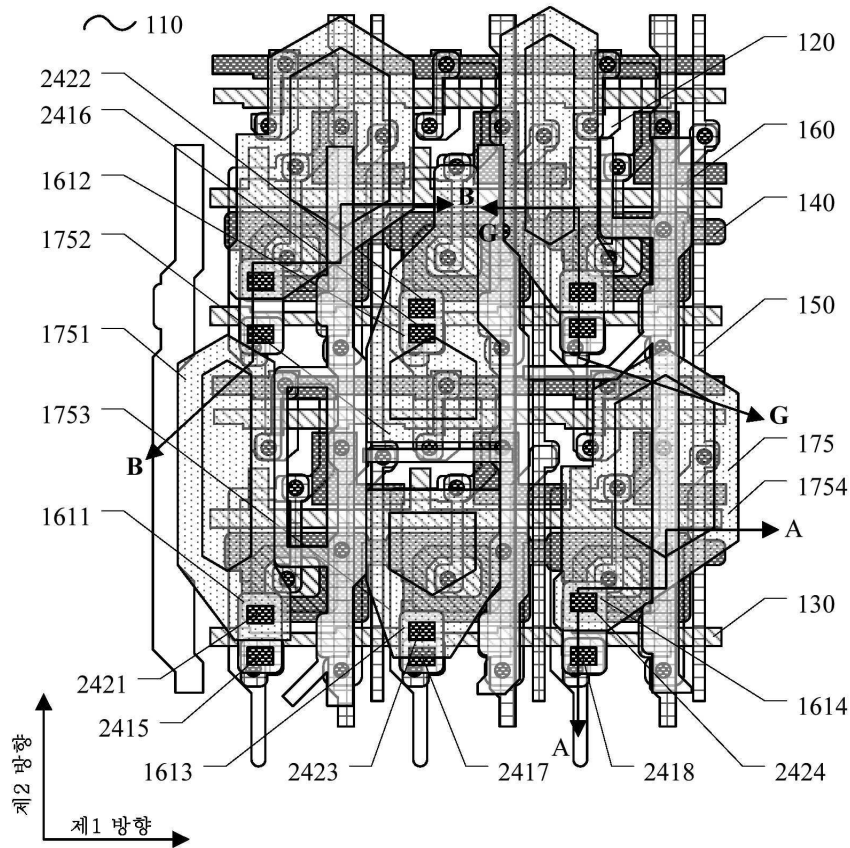
도면1



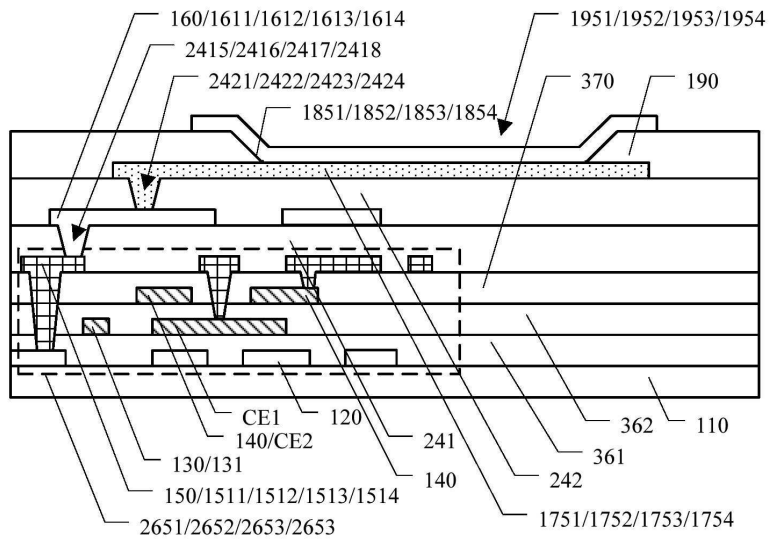
도면2



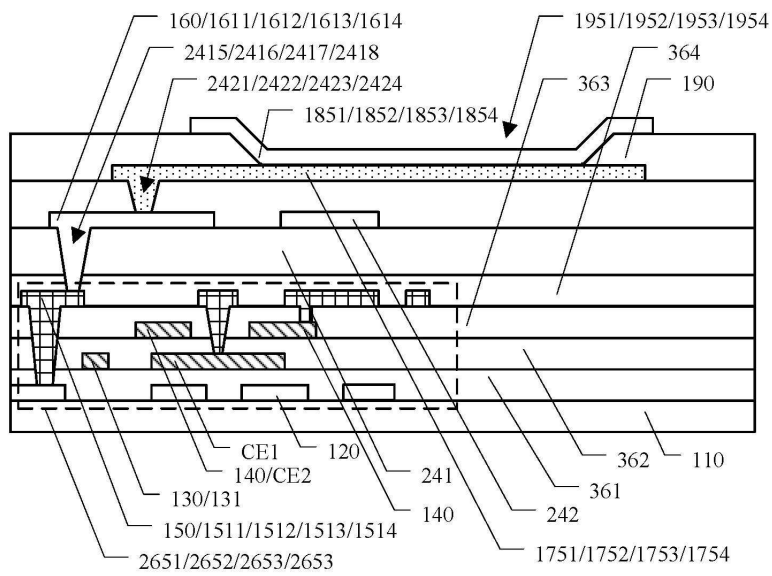
도면3



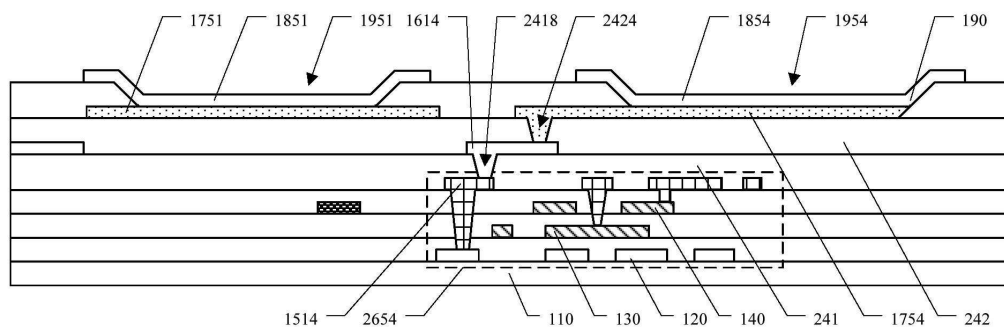
도면4a



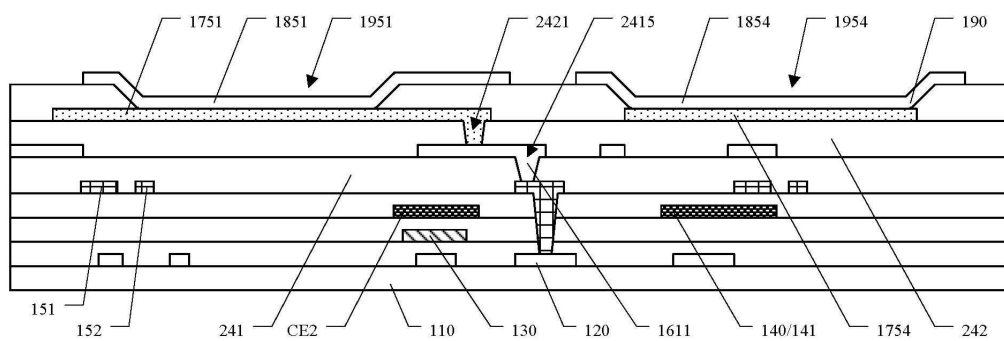
도면4b



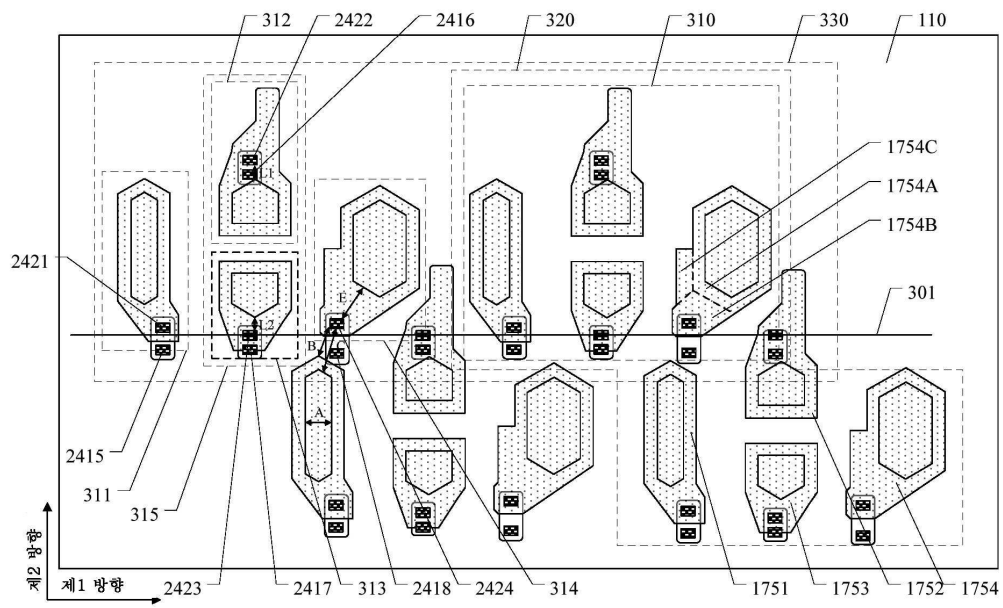
도면5a



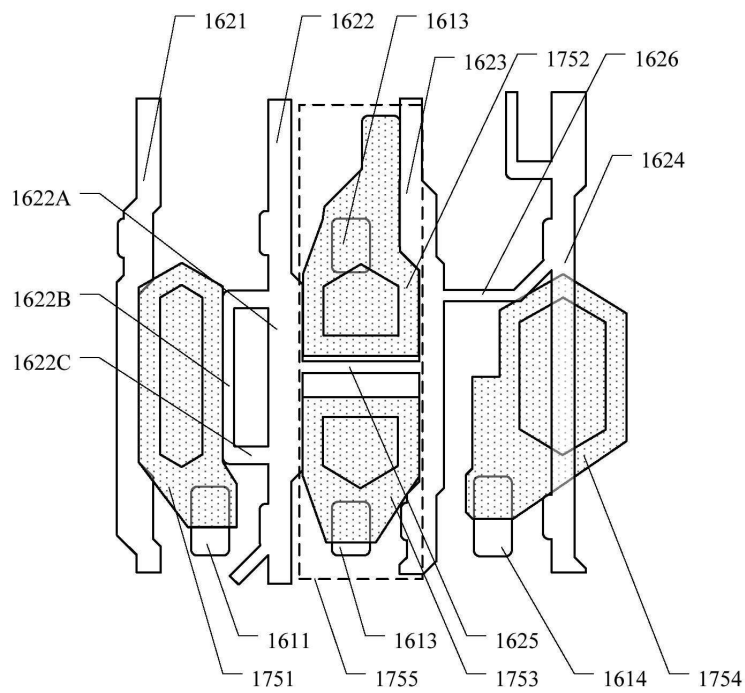
도면5b



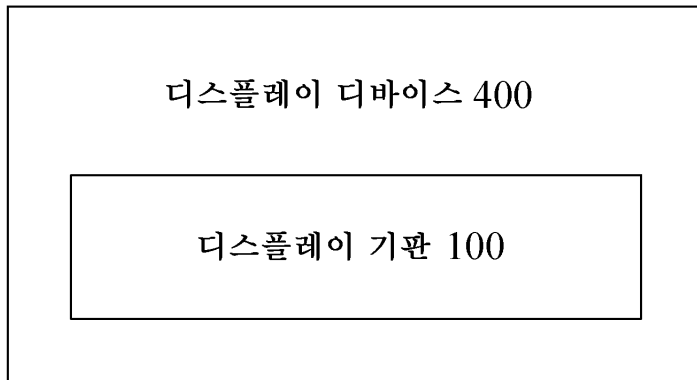
도면6



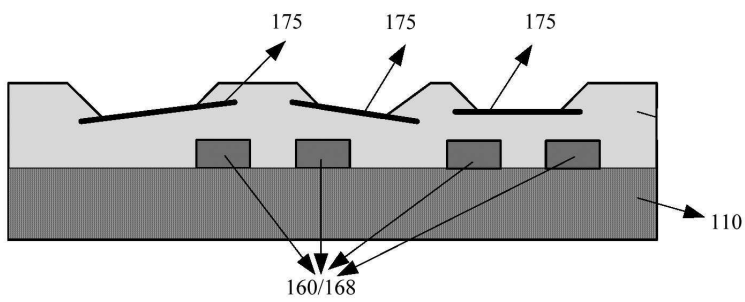
도면7



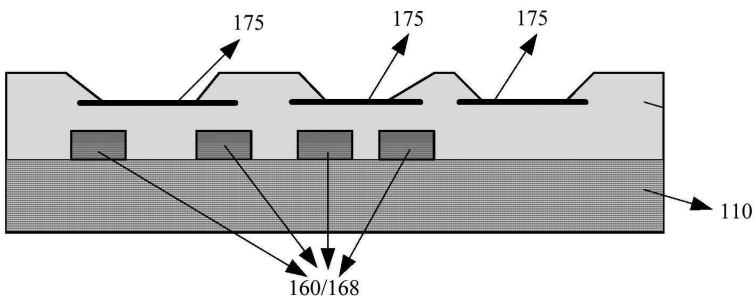
도면8



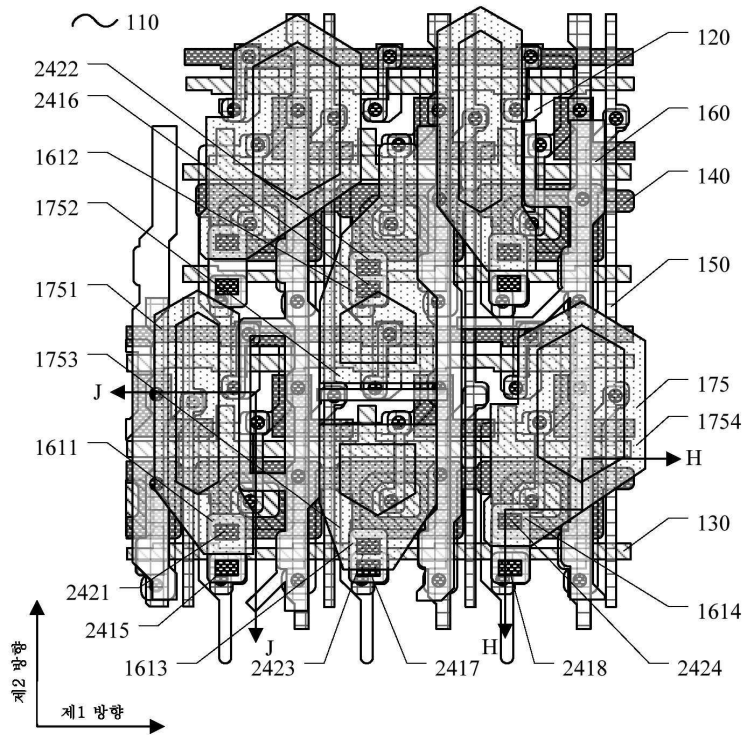
도면9



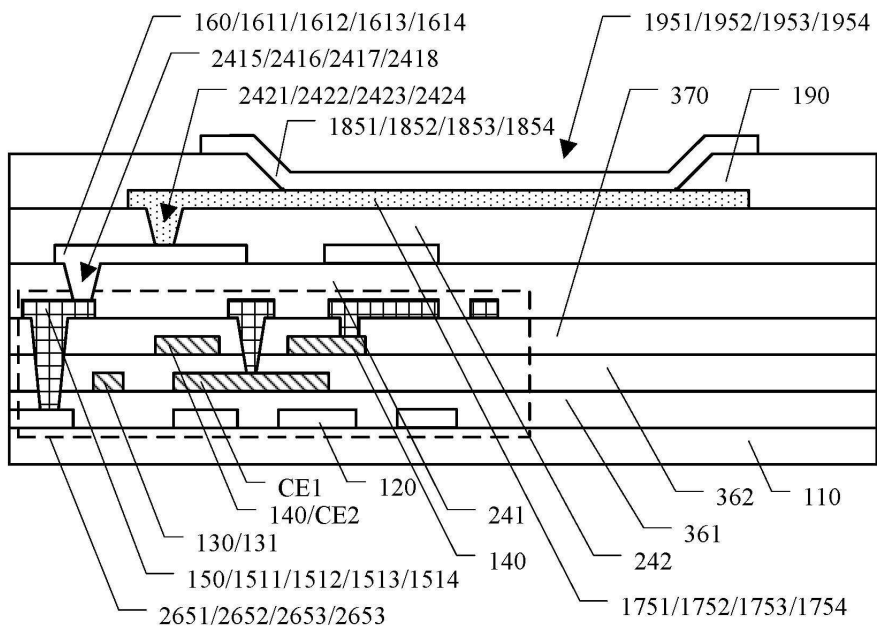
도면10



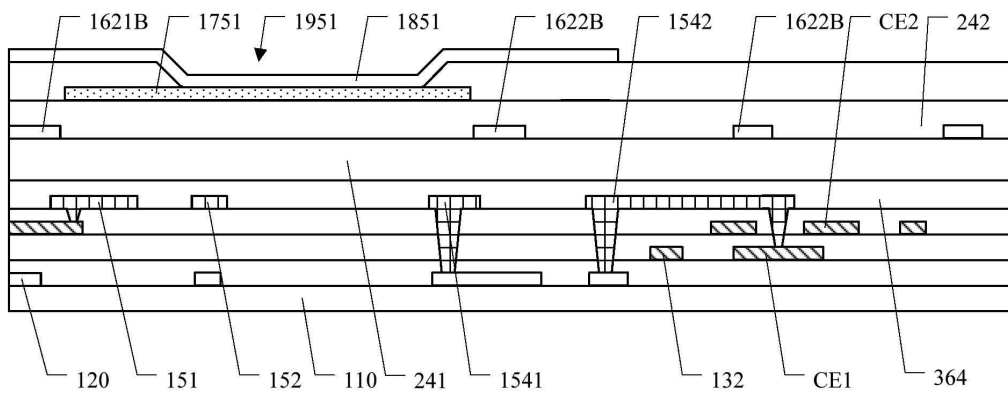
도면11



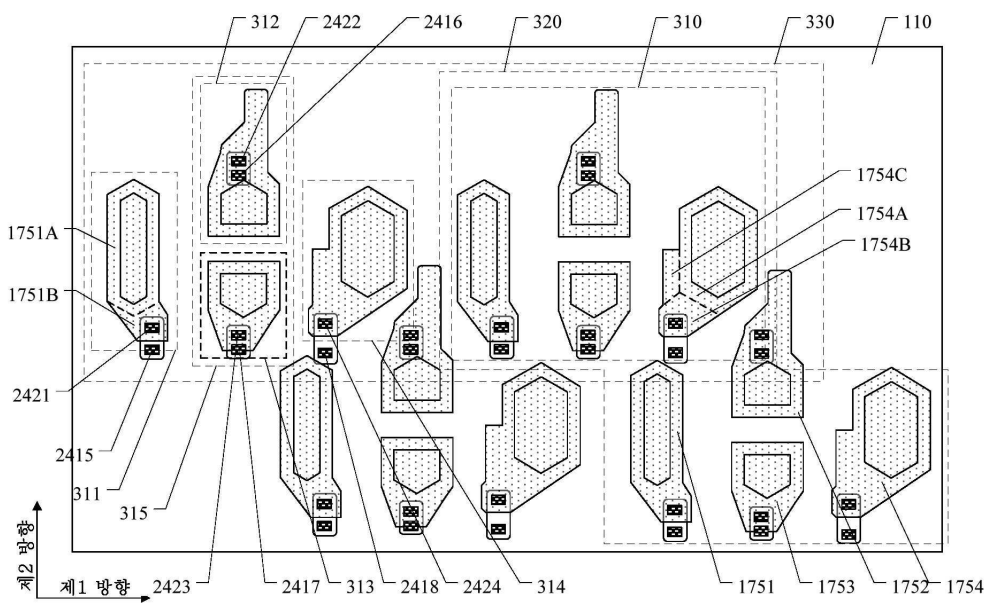
도면12a



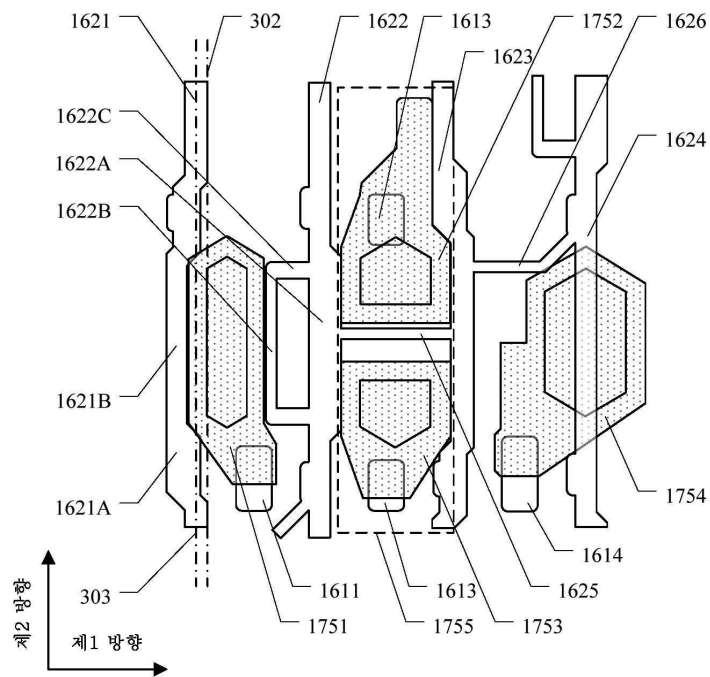
도면12b



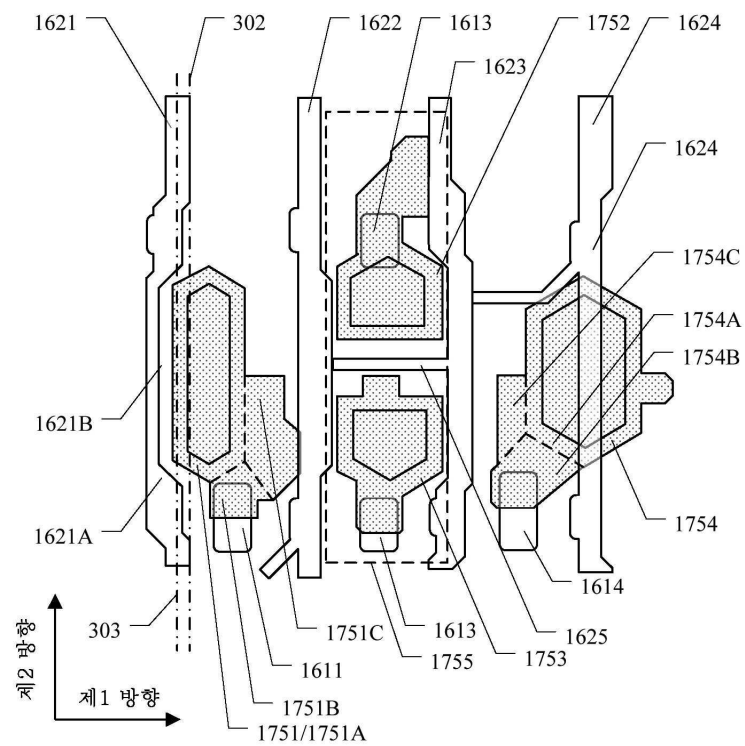
도면13



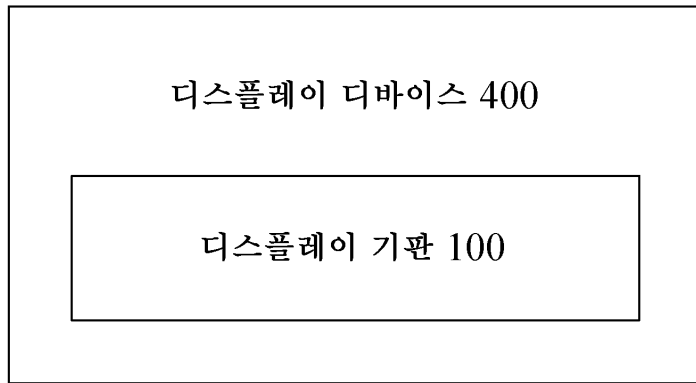
도면14



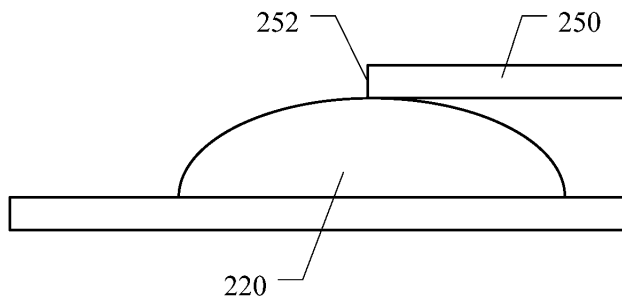
도면15



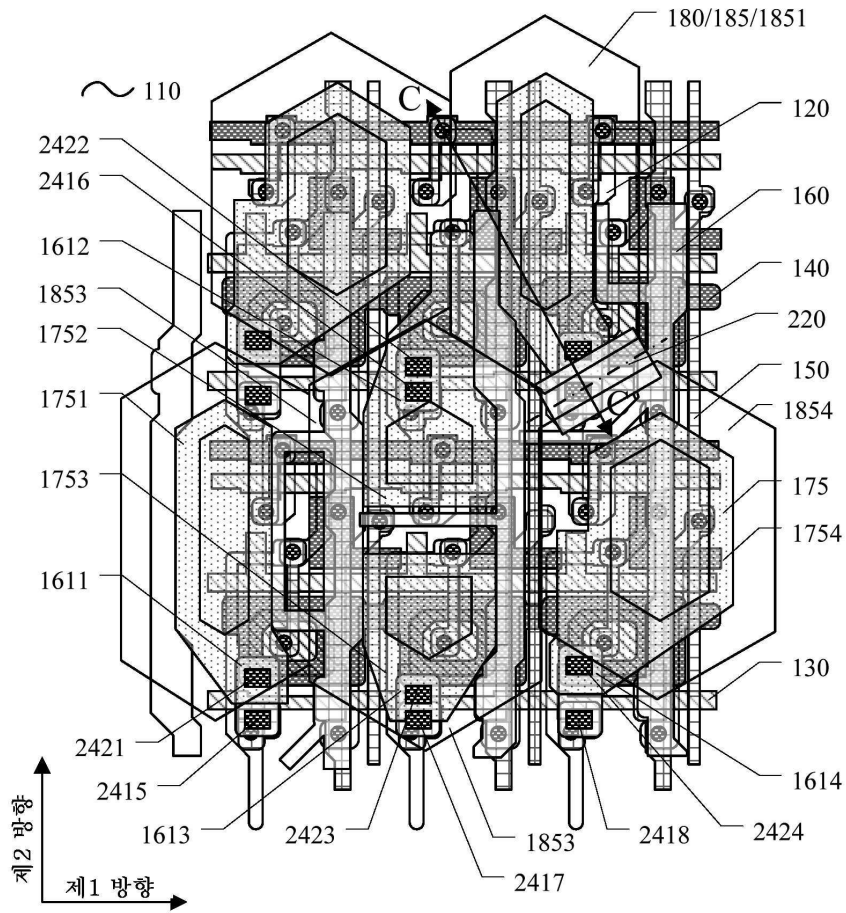
도면16



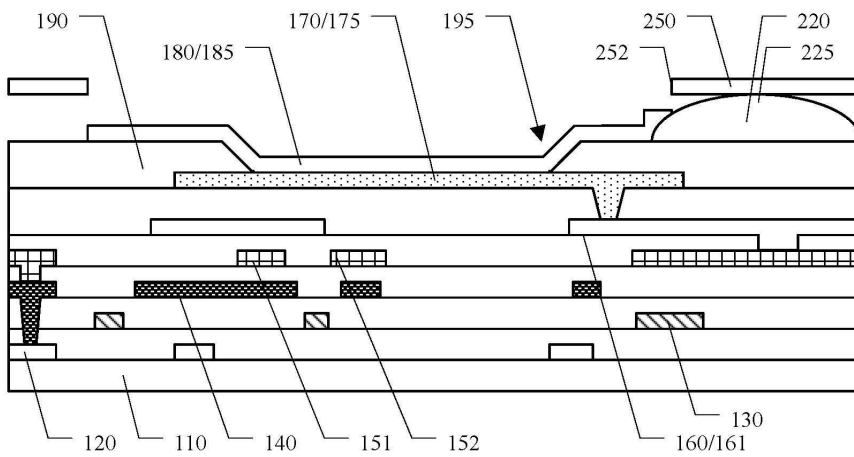
도면17



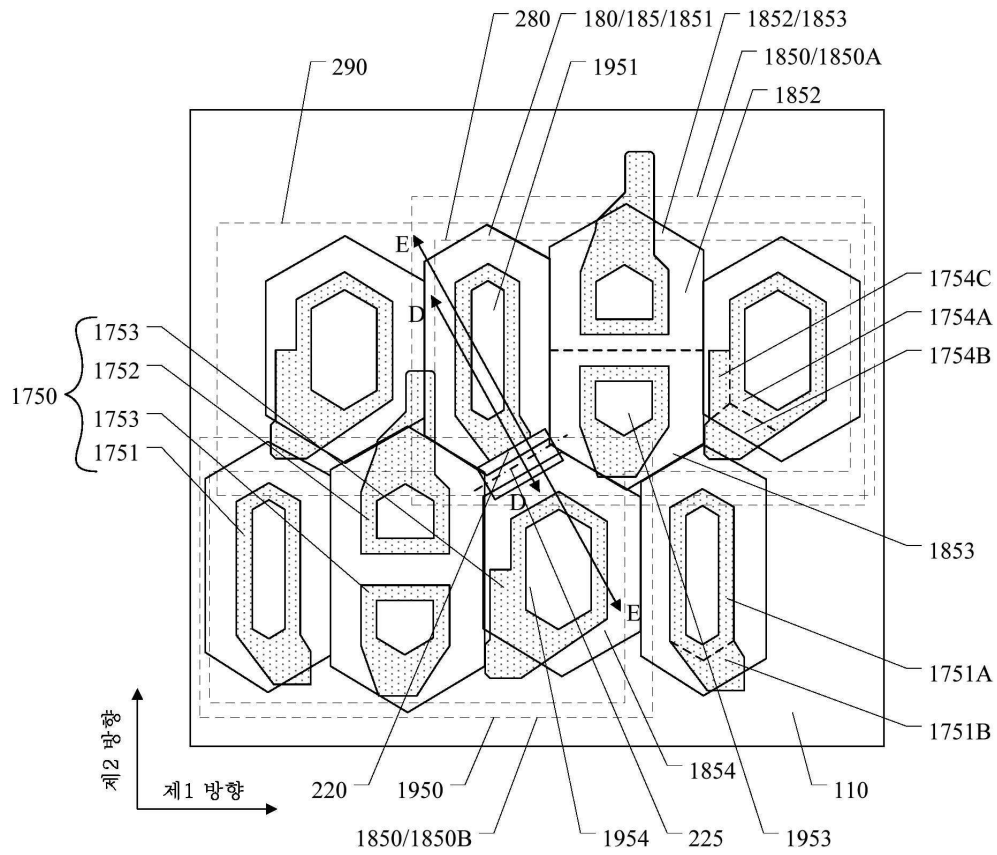
도면18



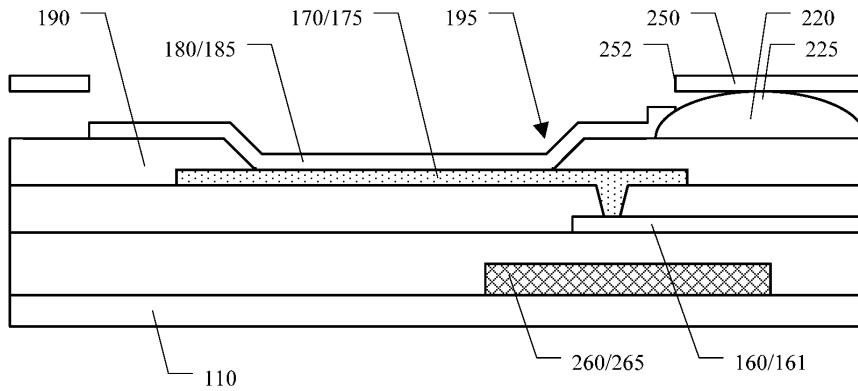
도면19



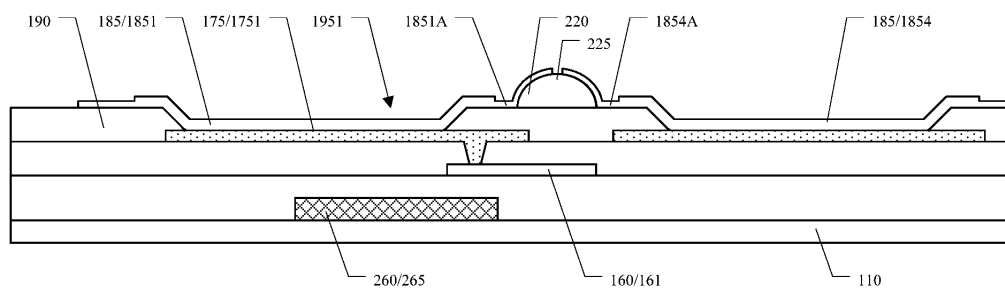
도면20



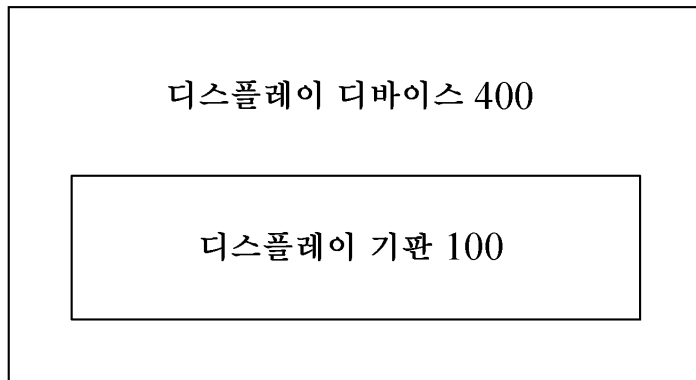
도면21



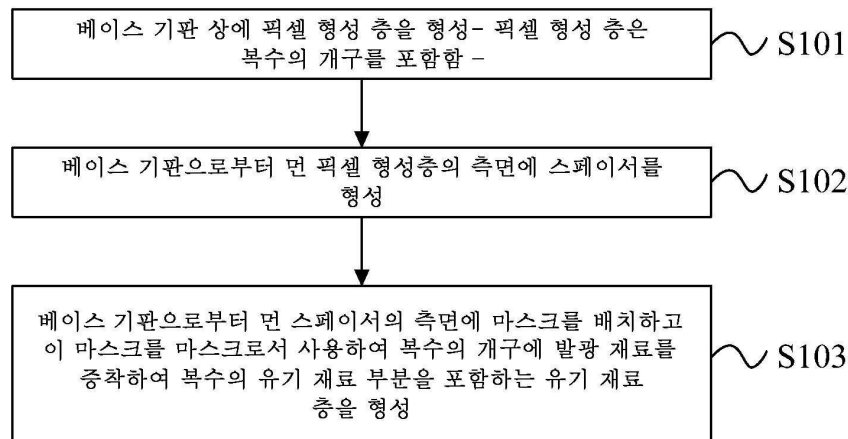
도면22



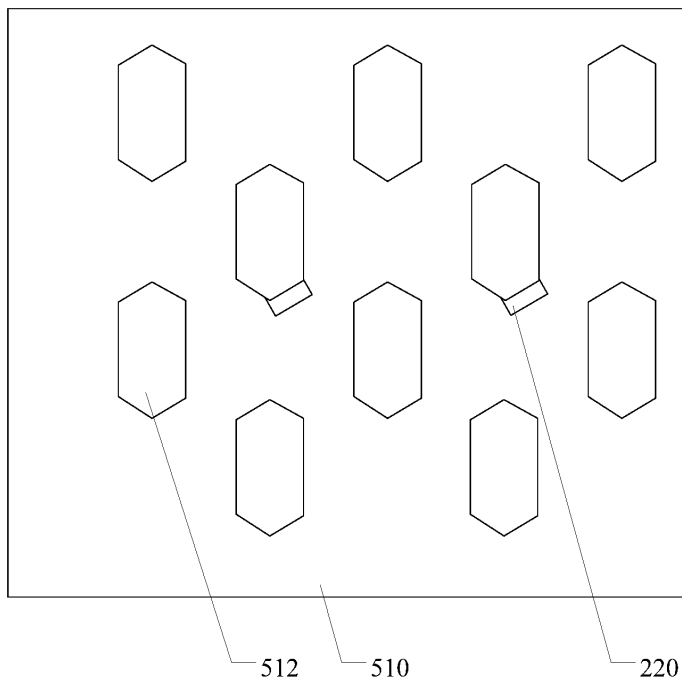
도면23



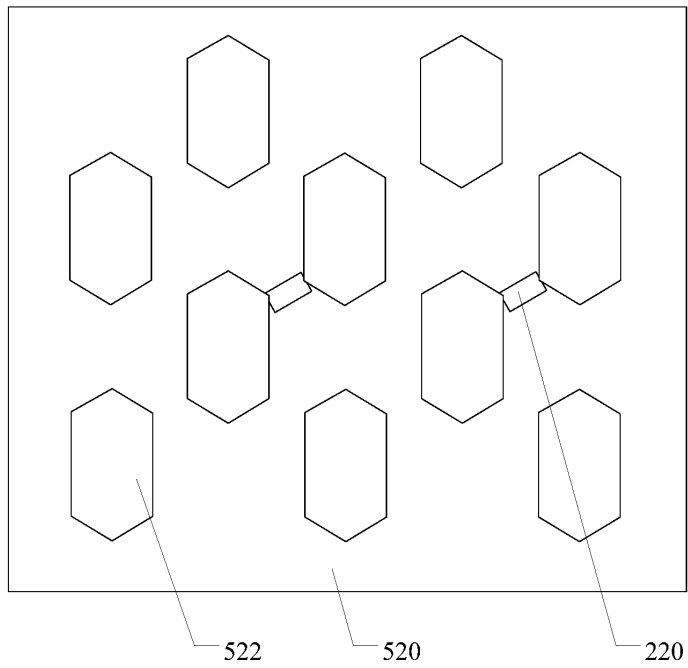
도면24



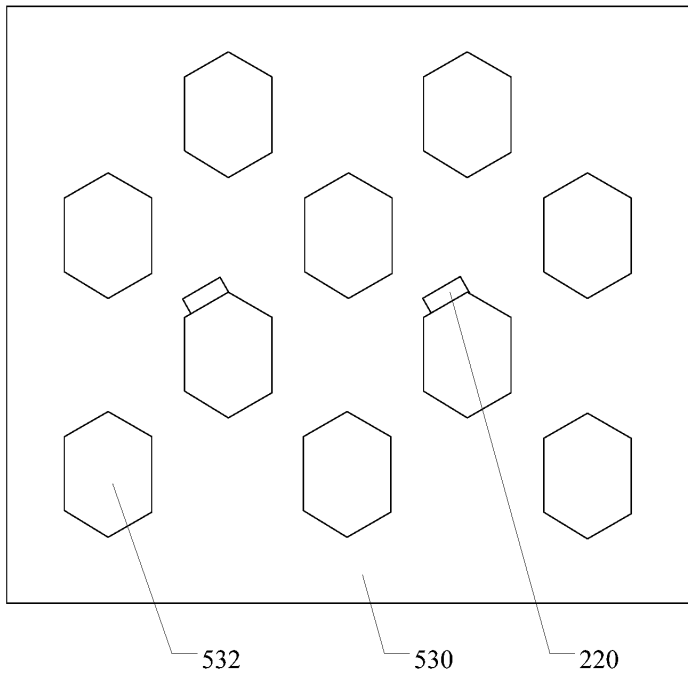
도면25



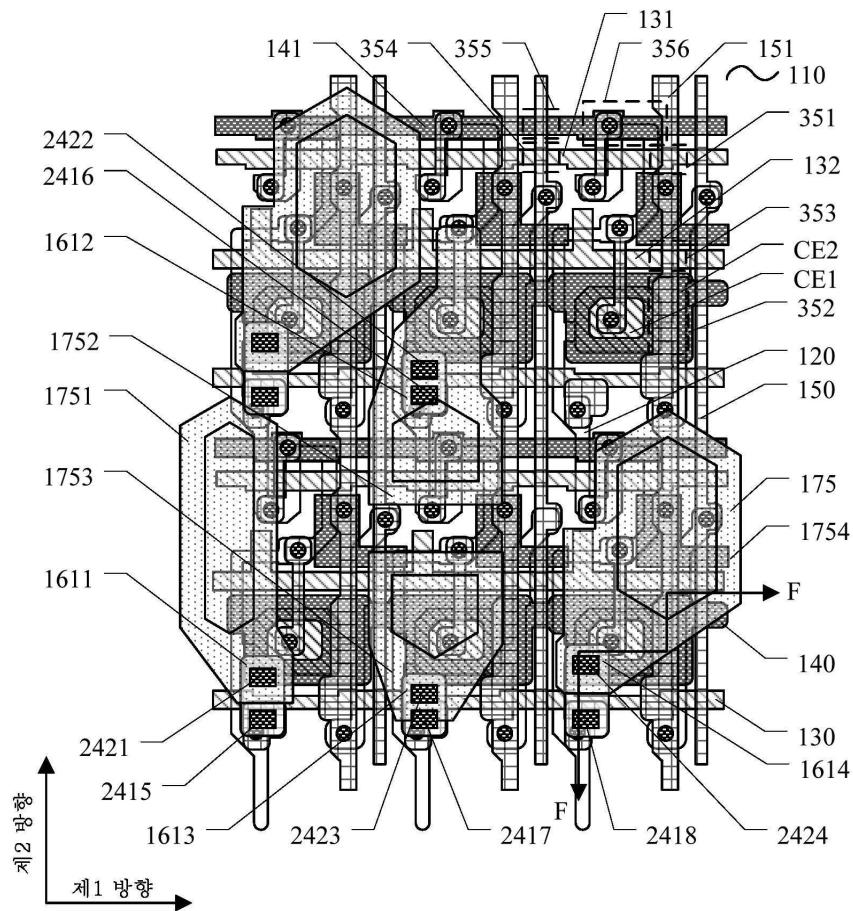
도면26



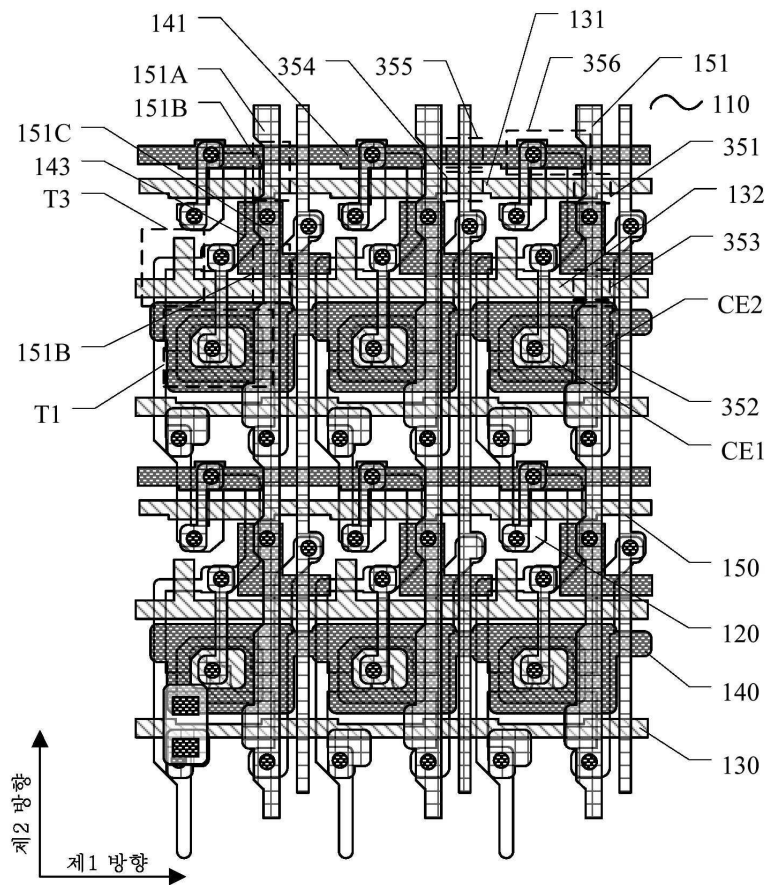
도면27



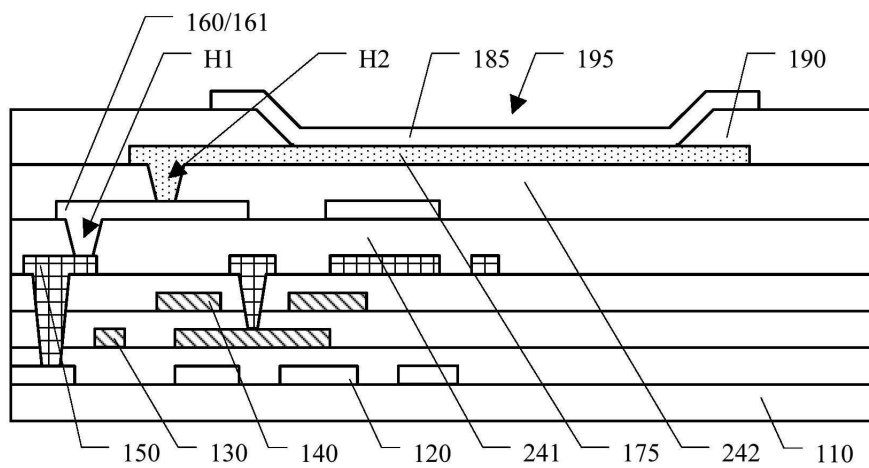
도면28a



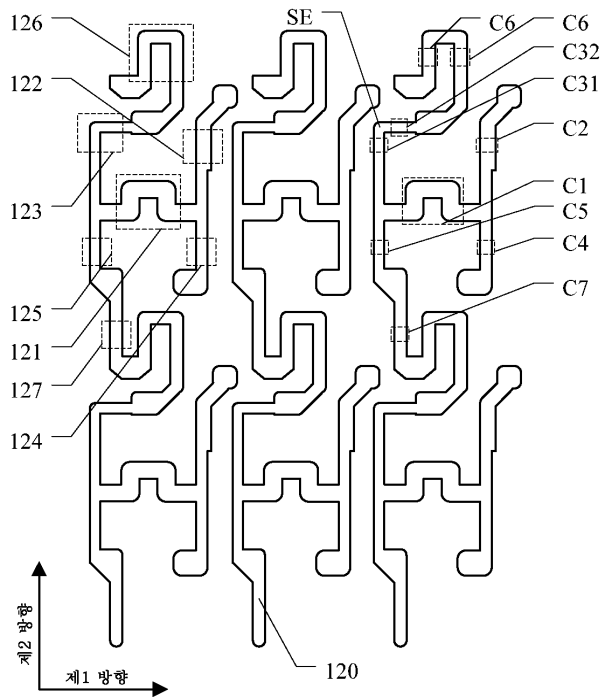
도면 28b



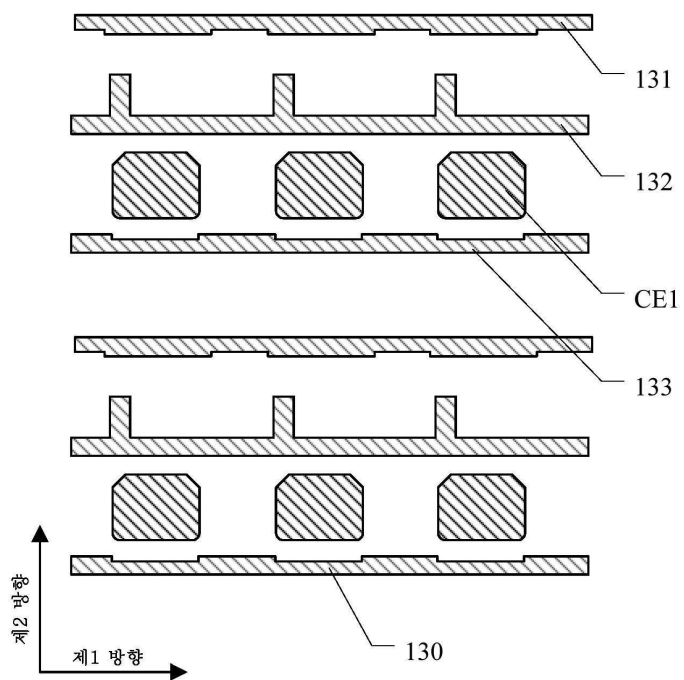
도면 29



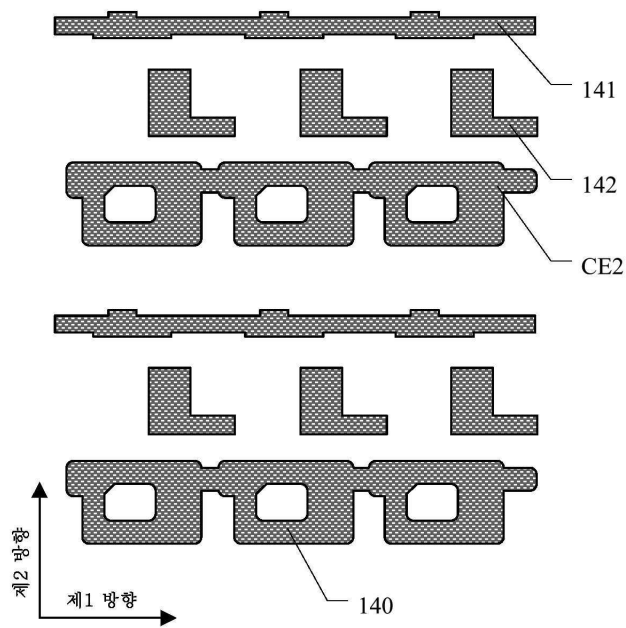
도면30a



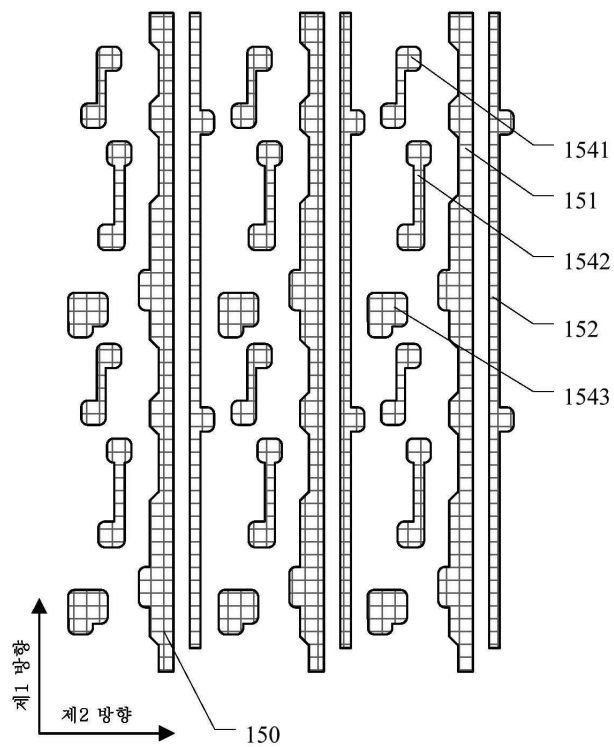
도면30b



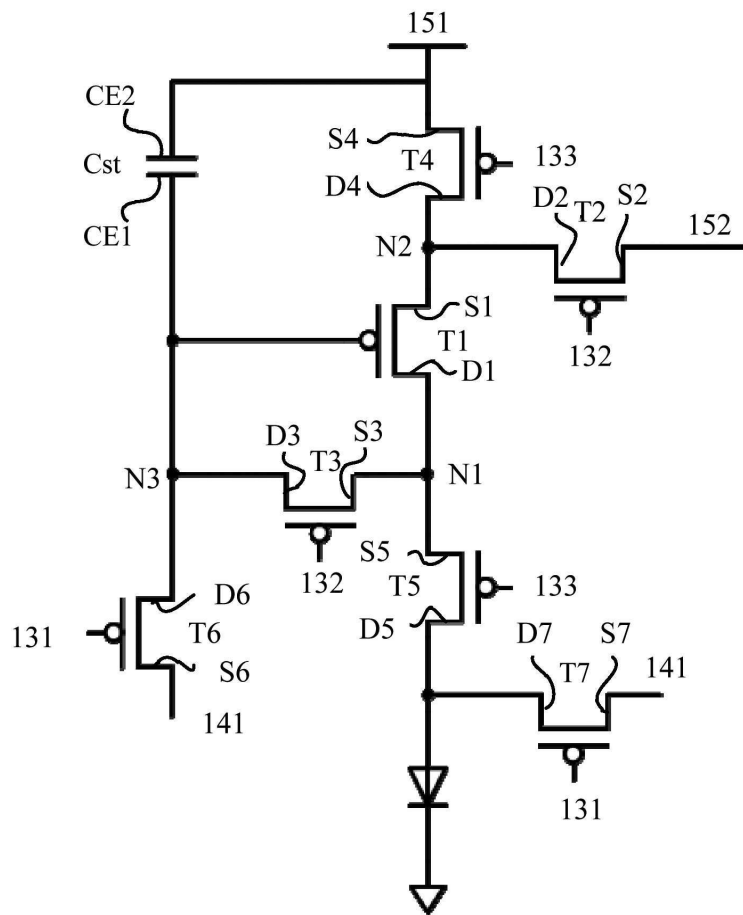
도면30c



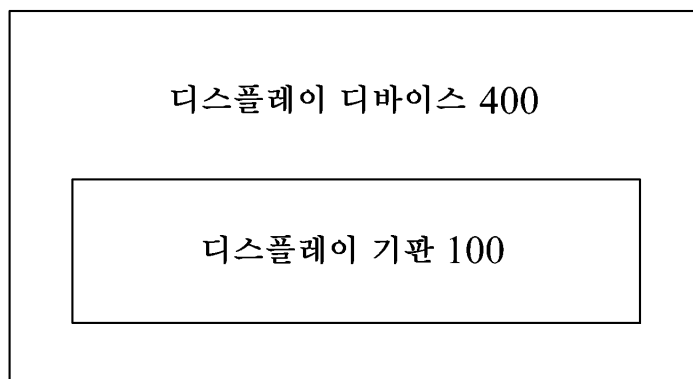
도면30d



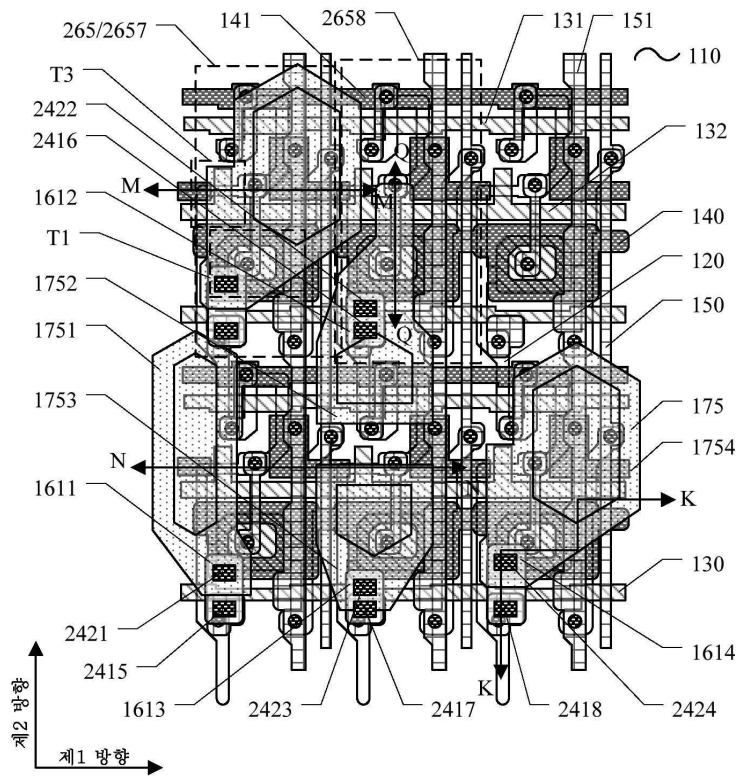
도면31



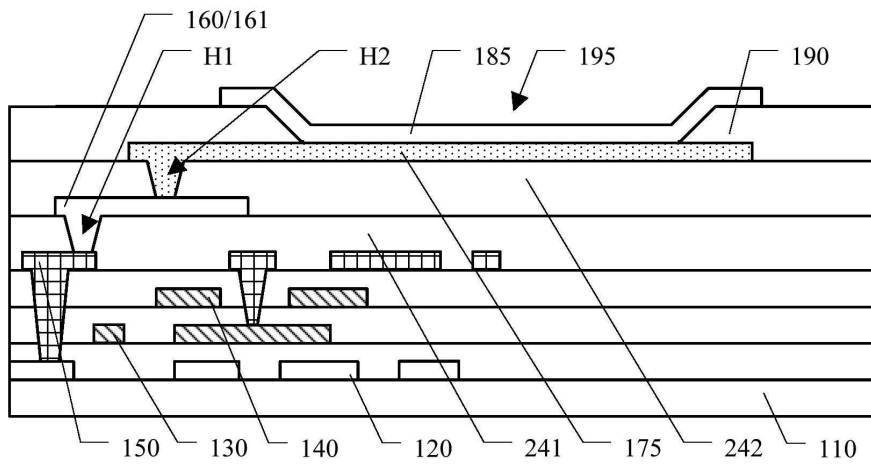
도면32



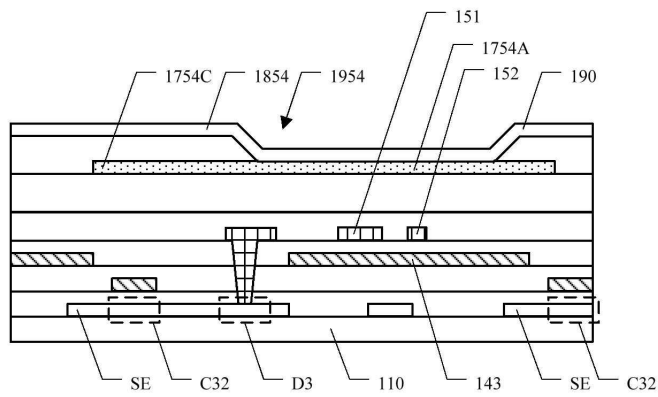
도면33



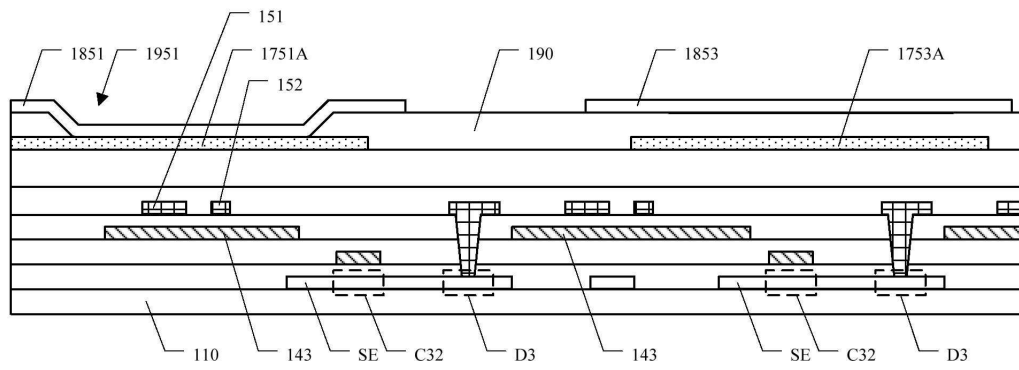
도면34



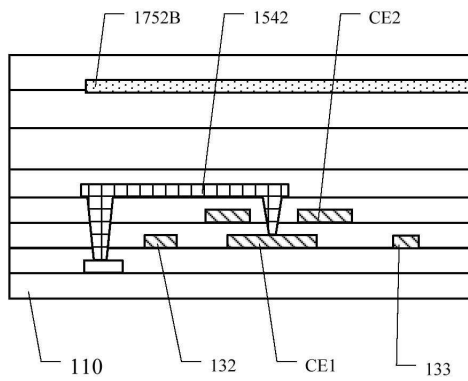
도면 35a



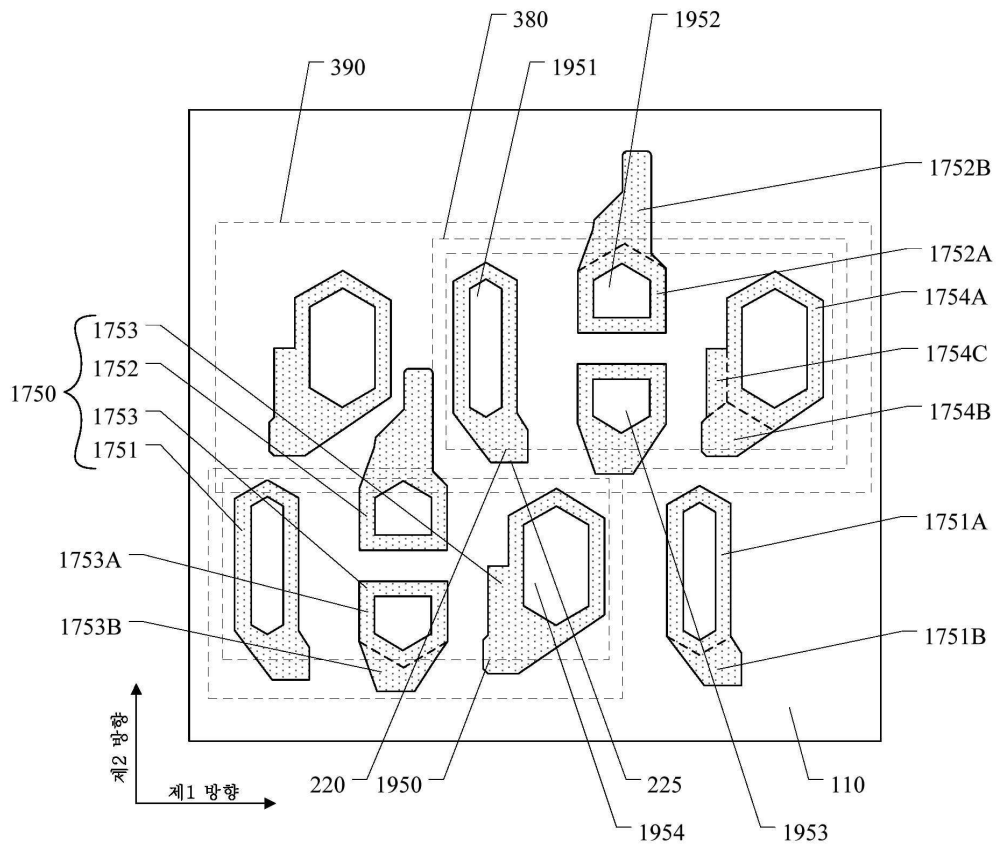
도면 35b



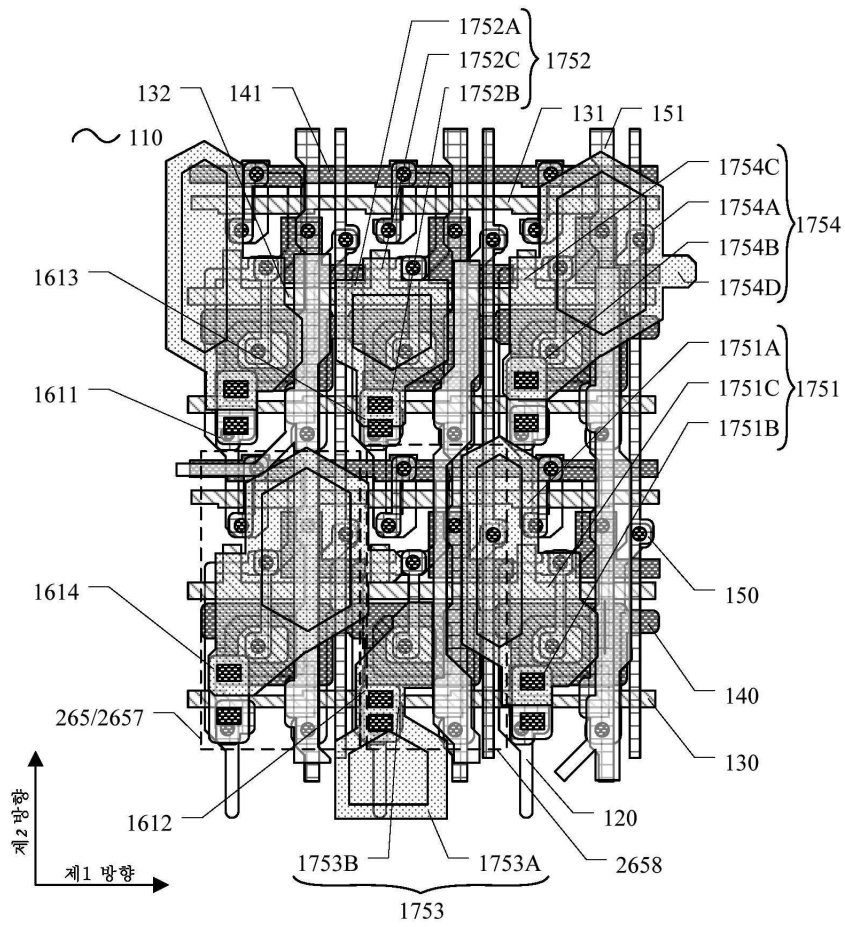
도면 35c



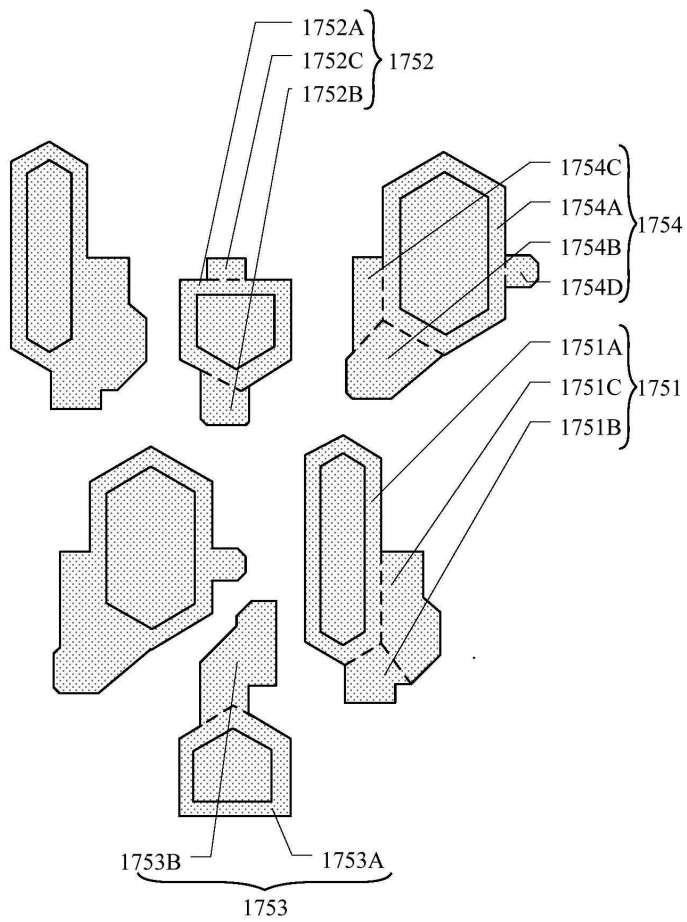
도면36



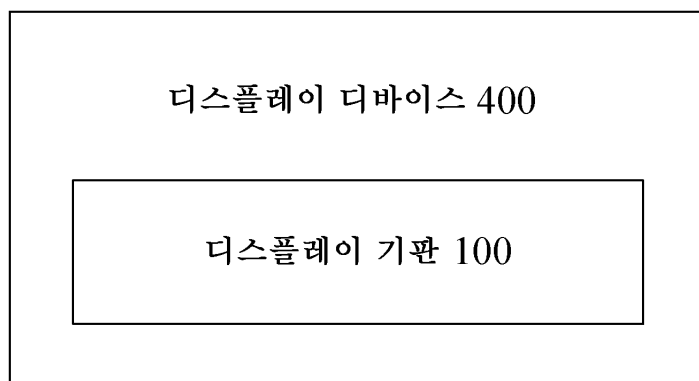
도면37a



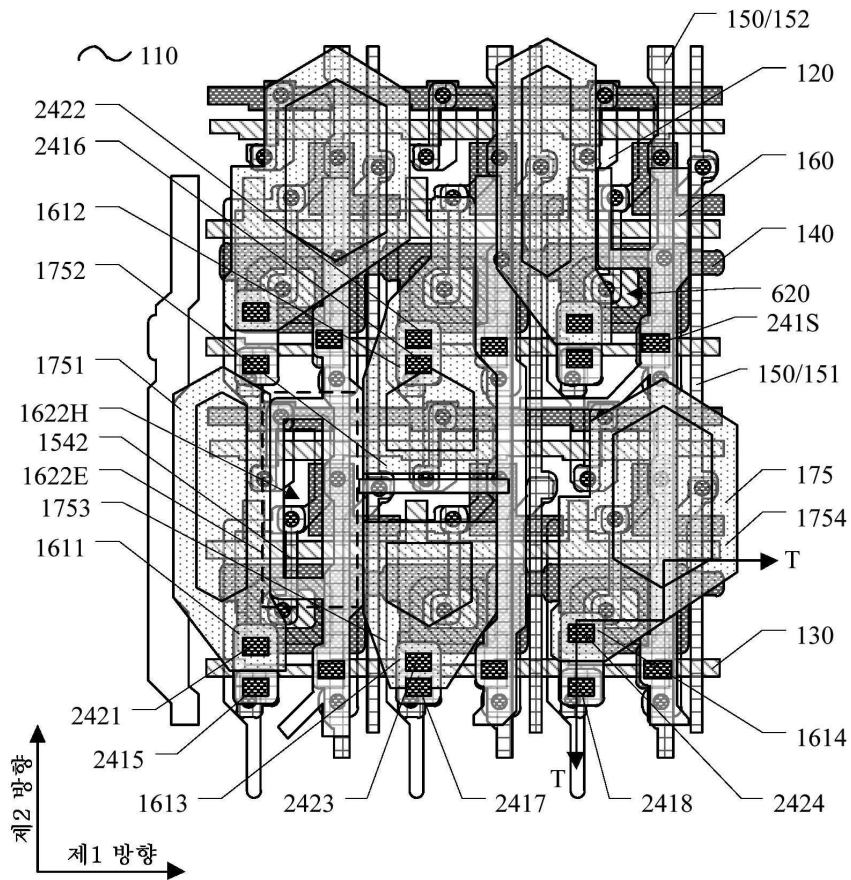
도면37b



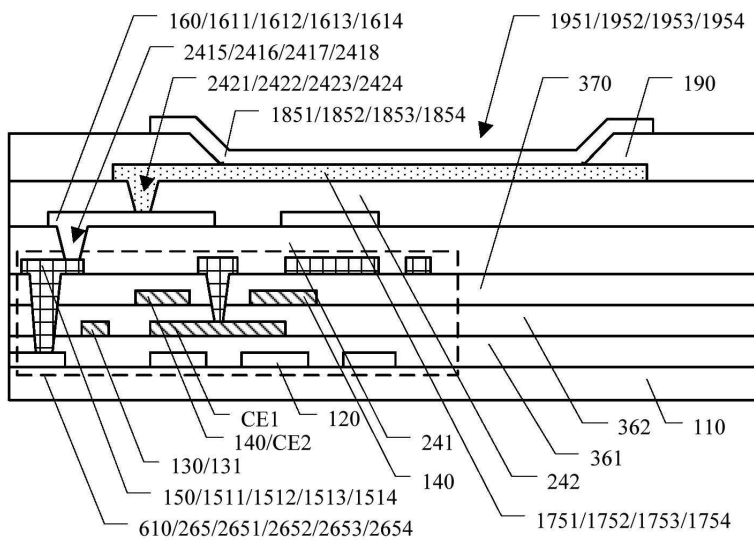
도면38



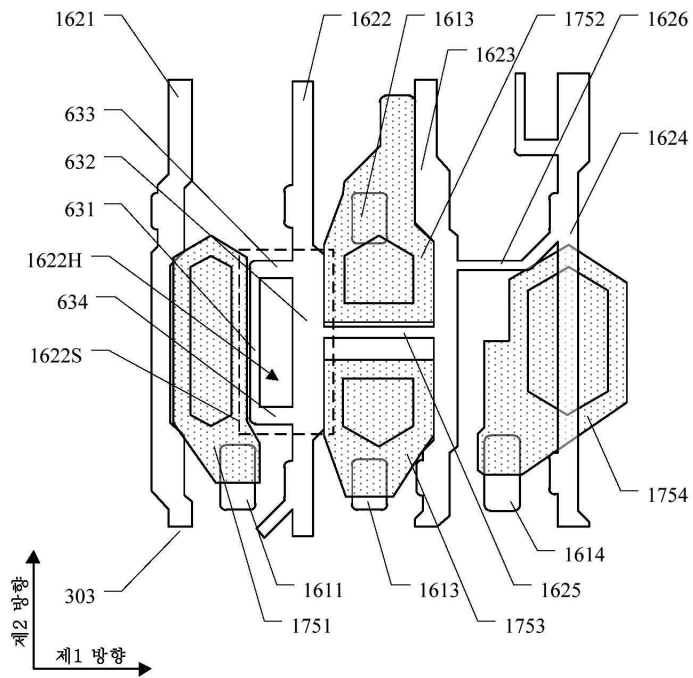
도면39



도면40



도면41



도면42

