



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

211667

(11) (B1)

/22/ Přihlášeno 26 02 80
/21/ /PV 1304-80/

(51) Int. Cl.³
H 02 P 7/74

(40) Zveřejněno 31 07 81

(45) Vydáno 15 05 83

(75)
Autor vynálezu

SOLDÁT PETR ing., BĀDĀL JIŘÍ ing., PRAHA

(54) Zapojení obvodu pro synchronní řízení skupin pohonů

Předmět vynálezu se týká zapojení obvodu pro synchronní řízení skupin pohonů s volitelným omezením maximálního počtu otáček a maximální hodnoty zrychlení.

Ve značném množství technologických procesů se požaduje synchronní chod většího počtu pohonů s volitelným omezením maximálního počtu otáček a maximální hodnoty zrychlení, kde musí být zaručena dlouhodobá teplotní stabilita při vysokých požadavcích na přesnost souběhu. Dále existuje řada pohonů, u kterých se požadují extrémně dlouhé doby rozběhu tj. malé zrychlení, případně i s možností dlouhodobé prodlevy na kontrastních otáčkách. Tato úloha se dosud řeší analogovými omezovači amplitudy a zrychlení.

Při tomto řešení je problém zajistit přesnost souběhu při malých zrychleních, kdy v důsledku chyb integrátorů v omezovačích zrychlení dochází k nepřípustným rozdílům v otáčkách pohonů a tím k narušení technologického procesu. Kromě toho přesné a ve větším počtu pohonů reprodukovatelné nastavení omezení hodnoty zrychlení a počtu maximálních otáček v řadě přepínatelných stupňů je v rámci analogové techniky těžko splnitelné. Rovněž realizace analogových přepínačů je složitá, chceme-li se vyhnout kontaktním přepínačům s malou spolehlivostí.

Popsané nedostatky řeší zapojení obvodu pro synchronní řízení skupin pohonů podle vynálezu, jehož postata spočívá v tom, že první a druhý vstup bloku řízení čítače je spojen s výstupem bloku generujícího vstupní frekvenci a její znaménkový člen. Výstupy bloku řízení čítače jsou spojeny se vstupy reverzačního čítače, jehož jednotlivé bitové výstupy jsou spojeny jednak se vstupy paralelního komparátoru, jednak se vstupy digitální násobičky, jejíž další vstup je spojen s výstupem generátoru hodinové frekvence a jejíž výstup je spojen s třetím vstupem bloku řízení čítače, jehož čtvrtý vstup je spojen s výstupem

211667

paralelního komparátoru, jehož další vstup je spojen s výstupem bloku zadávání maximální výstupní frekvence. Pátý vstup bloku řízení čítače je spojen s výstupem bloku nastavitelného dělení, jehož první vstup je spojen s výstupem generátoru hodinové frekvence a jehož druhý vstup je spojen s výstupem bloku zadávání rychlosti změny výstupní frekvence.

Zapojení obvodu pro synchronní řízení skupin pohonů podle vynálezu umožňuje reprodukovatelné nastavení omezení hodnoty zrychlení a maximálního počtu otáček a dále synchronizaci chodu většího počtu pohonů s absolutní přesností. Přitom užitím degenerovaného seriového kódu, kde měronosnou složkou je střední hodnota počtu pulsů podposloupností vybraných z posloupnosti hodinových pulsů, se zužuje šíře toku informací, což umožňuje jednoduchou realizaci obvodu.

Na přiloženém výkresu je znázorněno blokové schéma zapojení obvodu pro synchronní řízení skupin pohonů podle vynálezu. První a druhý vstup bloku 1 řízení čítače je spojen s výstupem bloku 2 generujícího vstupní frekvenci a její znaménkový člen. Výstupy bloku 1 řízení čítače jsou spojeny se vstupy reverzačního čítače 3, jehož jednotlivé bitové výstupy jsou spojeny jednak se vstupy paralelního komparátoru 4, jednak se vstupy digitální násobičky 5, jejíž další vstup je spojen s výstupem generátoru 6 hodinové frekvence a jejíž výstup je spojen s třetím vstupem bloku 1 řízení čítače, jehož čtvrtý vstup je spojen s výstupem paralelního komparátoru 4.

Další vstup paralelního komparátoru 4 je spojen s výstupem bloku 7 zadávání maximální výstupní frekvence. Pátý vstup bloku 1 řízení čítače je spojen s výstupem bloku 8 nastavitelného dělení, jehož první vstup je spojen s výstupem generátoru 6 hodinové frekvence a jehož druhý vstup je spojen s výstupem bloku 2 zadávání rychlosti změny výstupní frekvence.

Funkce popsaného obvodu dle vynálezu je následující.

Na první vstup bloku 1 řízení čítače je přivedena vstupní frekvence f_{vst} úměrná žádané hodnotě otáček a na druhý vstup je přiveden znaménkový člen $S_{g_{vst}}$ její hodnoty. Na třetí vstup bloku 1 řízení čítače je přivedena výstupní frekvence $f_{výst}$ z výstupu digitální násobičky 5. Výstupní a vstupní frekvence jsou v bloku 1 řízení čítače navzájem odečítány a z rozdílu $f_{vst} - f_{výst}$ je vyhodnoceno jeho znaménko a po srovnání s žádaným znaménkem $S_{g_{vst}}$ vstupní frekvence je řízena na výstupu bloku 1 řízení čítače frekvence určená pro zvyšování nebo snižování obsahu reverzačního čítače 3.

Tato frekvence je přivedena z bloku 8 nastavitelného dělení, kde je vytvořena dělením hodinové frekvence f_T číslem, které určuje rychlost změny výstupní frekvence na jeho vstupu. Dále je tato frekvence blokována signálem z výstupu paralelního komparátoru 4 v okamžiku, kdy obsah reverzačního čítače 3 dosáhne hodnoty maximální výstupní frekvence. Číslo obsažené v reverzačním čítači 3 je vedeno jednak do paralelního komparátoru 4 jednak do digitální násobičky 5, kde je vynásobeno hodinovou frekvencí f_T . Na výstupu digitální násobičky 5 je pak výstupní frekvence $f_{výst}$, která je v ustáleném stavu shodná se vstupní frekvencí f_{vst} a je úměrná obsahu reverzačního čítače 3, který je rovněž vyveden v paralelním kódu.

Při skokové změně vstupní frekvence f_{vst} dojde k nenulovému rozdílu $f_{vst} - f_{výst}$ a podle znaménka tohoto rozdílu se objeví na výstupu bloku 1 řízení čítače frekvence, která je přivedena na vstup reverzačního čítače 3 a zvyšuje nebo snižuje jeho obsah, přičemž rychlost této změny je určena dělením hodinové frekvence f_T v bloku 8 nastavitelného dělení podle nastavení čísla rychlosti změny výstupní frekvence. Tato frekvence je přesně definována výše uvedenými konstantami a proto je ji možno reprodukovatelně nastavit na několika obvodech tohoto provedení. Stejně tak i omezení maximální hodnoty výstupní frekvence

PŘEDMĚT VYNÁLEZU

Zapojení obvodu pro synchronní řízení skupin pohonů, sestávající z bloku generujícího vstupní frekvenci a její znaménkový člen, bloku řízení čítače, reverzačního čítače, generátoru hodinové frekvence, paralelního komparátoru, bloku nastavitelného dělení, digitální násobičky, bloku zadávání rychlosti změny výstupní frekvence a bloku zadávání maximální výstupní frekvence vyznačené tím, že první a druhý vstup bloku (1) řízení čítače je spojen s výstupem bloku (2) pro generování vstupní frekvence a jejího znaménkového členu, výstupy bloku (1) řízení čítače jsou spojeny se vstupy reverzačního čítače (3), jehož jednotlivé bitové výstupy jsou spojeny jednak se vstupy paralelního komparátoru (4), jednak se vstupy digitální násobičky (5), jejíž další vstup je spojen s výstupem generátoru (6) hodinové frekvence a jejíž výstup je spojen s třetím vstupem bloku (1) řízení čítače, jehož čtvrtý vstup je spojen s výstupem paralelního komparátoru (4), jehož další vstup je spojen s výstupem bloku (7) zadávání maximální výstupní frekvence, přičemž pátý vstup bloku (1) řízení čítače je spojen s výstupem bloku (8) nastavitelného dělení, jehož první vstup je spojen s výstupem generátoru (6) hodinové frekvence a jehož druhý vstup je spojen s výstupem bloku (9) zadávání rychlosti změny výstupní frekvence.

1 výkres

