

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P31404PP

※ 申請日期：P3-12-24

※IPC 分類：

G11C8/00

一、發明名稱：(中文/英文)

用於對每一排組進行多列快取記憶體存取動作之方法及裝置

METHOD AND APPARATUS FOR MULTIPLE ROW CACHES PER BANK

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

英特爾公司/INTEL CORPORATION

代表人：(中文/英文)

塞門 大衛/SIMON, DAVID

住居所或營業所地址：(中文/英文)

美國加州聖塔克萊拉市密遜大學道2200號

2200 Mission College Blvd., Santa Clara, CA 95052, USA

國 籍：(中文/英文)

美國/USA

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 哈伯特 約翰 B. /HALBERT, JOHN B.

2. 伊利斯 羅伯特 M. /ELLIS, ROBERT M.

3. 貝恩斯 庫吉特 S. /BAINS, KULJIT S.

4. 佛里曼 克里斯 B. /FREEMAN, CHRIS B.

國 籍：(中文/英文)

1. 2. 4. 美國/USA

3. 印度/India

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國; 2003,12,30; 10/750,038

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

發明領域

本發明係關於用於對每一排組進行多列快取記憶體存取動作之方法及裝置。

【先前技術】

發明背景

比較於包含其他記憶體(尤其是，包含靜態隨機存取記憶體(SRAM)裝置)之技術，動態隨機存取記憶體(DRAM)裝置提供較高儲存密度和較少功率消耗之益處。但是，這些益處卻得自，當於固定區間以及即時地在從記憶胞存取任一讀取資料或寫入資料至該記憶胞之前和之後的時間週期時，存取構成DRAM裝置之記憶胞所招致之各種延遲。

如熟習本技術者所習知的，這些大量延遲起因於如DRAM裝置名稱的資料儲存之動態性質。由電晶體構成之各記憶胞被組態以非常類似電容器地作用而儲存代表資料位元的二進位0或1之電荷。這類似電容器之電晶體組態，比SRAM裝置之記憶胞，需要較少的電晶體和較少的功率，使得DRAM裝置可能具有較高的密度和較低功率消耗。但是，這類似電容器之電晶體組態通常會洩漏電荷，而使電荷衰減，並且導致需要執行更新操作以在固定區間重新儲存電荷。當代表二進位0或1之電荷從記憶胞被讀取時，這類似電容器組態也完全地損失其電荷(亦即，放電)，因而需要實施其後的操作以重新儲存代表正被讀取之二進位0或1

的電荷。更進一步地，當二進位0或1數值被讀取時，由於從記憶胞被接收之放電電荷的微小振幅以及短暫的生命期限，感應放大器需要放大且鎖定從記憶胞接收之放電電荷。這細小振幅同時也需要自記憶胞攜帶放電電荷至對應的感應放大器之導體被預充電至不遮蔽或覆蓋放電電荷之電壓位準，以防止感應放大器精確地接收且鎖定自記憶胞所讀取之二進位0和1的數值。

更新操作保持被儲存於各記憶胞中之電荷、重新儲存放電時遺失的電荷而供用於讀取操作、預充電導體以攜帶放電電荷、以及其他的維持操作，其皆加重採用DRAM技術所遭受的各種延遲結果。這些延遲可能有限制資料被寫入DRAM裝置或自DRAM裝置被讀取之速率之效應，並且雖然例如，處理器構件，已有大的進展而成為更快，相對地自類似電容器之記憶胞之資料讀取和寫入速率的增加僅有些微之進步。

各種技術已被發明以“隱藏”在處理器和DRAM記憶體裝置之間之速率的不等成長，包含使用SRAM裝置作為快取以及交錯存取於多數DRAM裝置族群之不同DRAM裝置。但是，添加SRAM裝置以作為快取將添加更多之構件(因而增加成本)並且增加相當多的使用功率數量。同時，多數DRAM裝置的交錯存取也添加相當多的複雜性並且對於由DRAM裝置所構成之記憶體系統通常需要較寬大的記憶體匯流排。一些不遭致這些缺點而中和處理器和DRAM裝置之間速率不等的效應之其他方法將是所需的。

【發明內容】

本發明揭露一種記憶體裝置，其包含：組織為多列和多行之一組第一記憶胞子陣列；第一組複數條位元線，其各被耦合至一行記憶胞；第一組子陣列隔離器，用以選擇地耦合該等第一組複數條位元線至一第一列感測放大器；第一組共用隔離器，用以選擇地耦合該等第一列感測放大器至複數條總體輸入輸出(I/O)線；以及隔離器控制邏輯裝置，用以：協調該等第一組子陣列隔離器之操作，以允許該第一記憶胞子陣列內之一列記憶胞中的資料被複製至該等第一列感測放大器且被該等第一列感測放大器鎖定；協調該等第一組共用隔離器之操作，以允許被該等第一列感測放大器鎖定之資料被發送至該等複數條總體I/O線；以及協調該等第一組子陣列隔離器之操作，以防止因進行將該等第一複數條位元線預充電之一預充電操作而使被該等第一列感測放大器鎖定之資料遺失。

圖式簡單說明

熟習本技術者將藉由下面詳細說明而明白本發明之目的、特點、以及優點，其中：

第1圖是採用記憶胞區塊之實施例的方塊圖。

第2圖是採用被安置於多數個記憶胞區塊中之記憶胞排組的實施例之方塊圖。

第3圖是採用記憶體系統之實施例的方塊圖。

第4圖是採用電腦系統之實施例的方塊圖。

第5圖是一實施例之流程圖。

第6圖是另一實施例之流程圖。

【實施方式】

較佳實施例之詳細說明

於下面說明中，為說明目的，許多細節被設定以便提供本發明之完全了解。但是，熟習本技術者將明白，這些
5 特定細節不是實施本發明所必需的。

雖然下面的討論集中於DRAM裝置上，其中記憶胞被安排為一個或多個之列和行的二維陣列，熟習本技術者應了解到，本發明可以任何方式被組織之記憶胞的任何型式記憶體裝置而被實行，該等方式包含交錯式排組、多於二
10 維之陣列(亦即，多於兩個部份之位址)、內容可定址，等等。同時，雖然下面至少部份的討論也集中於電腦系統內之記憶體裝置上，但熟習本技術者應了解到，本發明可以配合具有記憶體裝置之其他電子裝置而被實行。

第1圖是採用記憶體區塊之實施例之被簡化方塊圖。記憶體100區塊至少部份地由上方子陣列110、上方隔離器列116、下方子陣列120、下方隔離器列126以及感應放大器列130所構成。記憶體100區塊是記憶體裝置內構成記憶體陣列之許多記憶體區塊的區塊。接著，於各實施例中，此記憶體裝置可以具有多於一組之此陣列，以至於這些陣列各
15 成為記憶體裝置內的許多排組之一排組。

上方子陣列110和下方子陣列120兩者分別地由記憶胞(例如，記憶胞113和123)之列112和122所構成，並且這些記憶胞各儲存代表資料之單一的二進位0或1位元數值之電荷。上方子陣列110之記憶胞113和下方子陣列120之記憶胞
20 123構成跨越上方子陣列110列112和下方子陣列120列122

之記憶胞許多行的單一行。在上方子陣列110各記憶胞行內之各記憶胞被耦合至上方子陣列110之該行的共用位元線，例如，位元線114，並且相應地，在下方子陣列120各記憶胞行內之各記憶胞被耦合至下方子陣列120之該行的共用位元線，例如，位元線124。在上方子陣列110內之各位元線(例如，位元線114)以及在下方子陣列120內之各對應的位元線(例如，位元線124)皆可選擇地被耦合至感應放大器列130內之一對應的感應放大器(例如，感應放大器133)，而同時也分別地與隔離器列116和126內之對應的隔離器(例如，隔離器118和128)彼此保持電氣地隔離。更進一步地，各感應放大器列130之感應放大器(例如，感應放大器133)可經由一對應的隔離器(例如，隔離器138)而選擇地被耦合至廣域I/O線(例如，廣域I/O線164)，而該廣域I/O線被使用以將對應的感應放大器與同時構成一部分記憶體100區塊之記憶體陣列的其他記憶體區塊中之它們的對應者耦合在一起。

各列112和122經由分離的一組字組線144而分別地被耦合至列位址解碼器140。經由字組線144，列位址解碼器可以選擇將被存取之列112和122之單一系列。在上方隔離器列116、下方隔離器列126以及感應放大器列130之內的隔離器，例如，隔離器118、128和138，分別地，經由隔離器控制線154之分別的一組，而被耦合至隔離器控制邏輯150。當在一組或另一組上方子陣列110或下方子陣列120中之一列記憶胞經由列位址解碼器140被選擇而被存取時，隔離器控制邏輯150協調上方隔離器列116和下方隔離器列126內

之隔離器的使用，以便對於在上方子陣列110或下方子陣列120內之行記憶胞可選擇地耦合列130之感應放大器至一組或另一組位元線。在其他時間，隔離器控制邏輯協調在上方隔離器列116和下方隔離器列126內之隔離器的使用，以使列130感應放大器與上方子陣列110和下方子陣列120位元線之其中的一組或兩組隔離，以確保當那些位元線被預充電以備妥供存取另一列記憶胞時，被鎖定在一被存取列的感應放大器內之資料不被改變。隔離器控制邏輯150同時也協調隔離器之使用而可選擇地耦合感應放大器列130之感應放大器至廣域I/O線。

於一些實施例中，列位址解碼器140和隔離器控制邏輯150皆進一步地被耦合至狀態邏輯160。狀態控制邏輯160儲存關於資料自列112和122之哪一列被複製進入感應放大器列130之感應放大器中的資訊，因而允許在列位址解碼器140和隔離器控制邏輯150使用之間協調，以當來自一特定列之資料已被複製進入感應放大器列130之感應放大器中之時使用而加速存取該資料。在隔離器控制邏輯150控制各種隔離器之性能、列位址解碼器140選擇和控制存取任何所給予列的性能、以及狀態控制邏輯160追蹤什麼資料已被感應放大器列130感應放大器所鎖定之性能之間的協調可以被採用以供操作，並且可以選擇地隔離/耦合感應放大器列130感應放大器，而允許感應放大器列130之感應放大器作為自上方子陣列110或下方子陣列120內之一列記憶胞被讀取之資料的列範圍快取形式。列位址解碼器140、隔離器控制邏輯150以及狀態邏輯160的這些性能也可以被採用，以

試圖隱藏(並且因而避免招致)當預充電關閉資料被複製至感應放大器列130之感應放大器的一列時之操作所強加之時間延遲，而同時允許關於該資料之讀取操作及/或其他操作發生。由於記憶體各區塊(例如，記憶體100區塊)，其構成以此方式被採用在具有一列感應放大器的記憶體裝置內之一陣列，具有許多記憶體區塊之大記憶體裝置可以相當大尺寸的列範圍快取系統形式被提供。

於要求來自上方子陣列110或下方子陣列120內之列資料並且該列內容目前未被鎖定在感應放大器列130之感應放大器之內(或許被狀態邏輯160所指示)的記憶體讀取操作中，列位址解碼器140致動字組線144之適當的一組，以在將被讀取之上方子陣列110或下方子陣列120之內選擇該列。被選擇列之記憶胞因而被導致將被保持在那些記憶胞之內的電荷放電至耦合上方子陣列110於上方隔離器列116之位元線上(如果該被選擇列是在上方子陣列110之內)，或至耦合下方子陣列120於下方隔離器列126之位元線上(如果該被選擇列是在下方子陣列120之內)的。同時，隔離器控制邏輯150也操作適當的一組隔離器控制線154，而導致在上方隔離器列116或下方隔離器列126之內的任一隔離器(再次地，取決於該被選擇列是在上方子陣列110或下方子陣列120之內而定)，以耦合該感應放大器列130之感應放大器至被選擇列之記憶胞的電荷被放電之位元線上。於此時，在上方隔離器列116或下方隔離器列126之另一組的隔離器被操作以使感應放大器列130之感應放大器與上方子陣列110或下方子陣列120的位元線隔離，其中被選擇列不

被置放於該子陣列上，以避免不必要地使感應放大器承受被耦合至不被使用於被選擇列之記憶胞的電荷移轉之位元線的額外電容性負載。感應放大器列130之感應放大器從被選擇列之記憶胞接收且鎖定該放電電荷，因而鎖定被儲存

5 於被選擇列之記憶胞中之資料。隔離器控制邏輯150進一步地操作在感應放大器列130內之隔離器之適當的一組隔離器控制線154以耦合該感應放大器列130之感應放大器至對應的廣域I/O線，因而允許被鎖定在感應放大器列130之感應放大器中的資料利用記憶體裝置而被輸出。

10 於記憶體讀取操作中，要求來自上方子陣列110或下方子陣列120內之一列的資料並且該列之內容一般先前地被鎖定在感應放大器列130之感應放大器之內(或許被狀態邏輯160所指示)，等候將從所要求之列跨越對應的位元線至感應放大器列130之感應放大器而被移轉的資料之延遲可

15 整個地被避免。隔離器控制邏輯150操作適當的一組隔離器控制線154以導致在感應放大器列130內之隔離器耦合該感應放大器列130之感應放大器至對應的廣域I/O線，因而允許被鎖定在感應放大器列130之感應放大器中的資料利用記憶體裝置而被輸出。

20 更進一步地，於下面的記憶體讀取操作中，其要求來自具有未被鎖定在感應放大器列130之感應放大器之內的内容之列的資料，以至於資料必須在該資料可能利用記憶體裝置被輸出之前從該列被轉移至那些感應放大器，正在讀取之列可由於預充電操作而被關閉。在預充電操作時，

25 被使用以轉移該列之記憶胞內容至感應放大器的位元線可

以經由上方隔離器列116或下方隔離器列126隔離器(取決於利用預充電操作被關閉之列是否在上方子陣列110或下方子陣列120之內)而被隔離於那些感應放大器，因而利用那些感應放大器被鎖定之資料不被遺失。可能需要採用這些性能之優點以進行被耦合至資料正被複製之一列(因而關閉該列)的位元線之預充電，而同時從感應放大器對於該資料之存取持續發生並且在記憶體100區塊內之另一列被選擇以供存取之前(換言之，進行先發制的預充電)，因而當來自記憶體100區塊內之新的一列稍後被選擇時，將不需要在新列可被存取之前等待預充電操作被進行。於此預充電操作延遲必須招致而在新列可被存取之前關閉一列的情況中，通常被稱為“頁錯失”，其作為指示當要進行存取新頁時“錯誤”列仍然打開之情況。換言之，上述隔離器之使用，允許至少一些預充電操作以及存取資料操作平行地發生，因而提供避免招致一些頁錯失時間之不利結果之方法。利用此先發制預充電之使用，由於致動新列之更少的延遲通常地可成為必須招致的最長剩餘延遲(指示沒有列仍然打開，通常被稱為“頁空白”之情況)。

在上方子陣列110內之一給予列的記憶體寫入操作範例中，其中該所給予列是記憶體100區塊是一部份的排組之目前打開列且所給予列之內容已先前地被複製至感應放大器列130內之感應放大器中(此兩情況可能利用狀態邏輯160被指示)，該寫入操作可以被實施而不需有領先打開所給予列之列致動操作。隔離器控制邏輯150可以操作在感應放大器列130之內的隔離器以耦合感應放大器列130之感應

放大器至對應的一廣域I/O線164而鎖定從寫入操作被接收之資料。隔離器控制邏輯150同時也可以操作在上方隔離器列116之內的隔離器以耦合在上方子陣列110之內的位元線(例如，位元線114)至感應放大器列130之感應放大器，並且

5 列位址解碼器140可以操作對應至所給予的之列字組線144的一組字組線，以導致從寫入操作被接收之資料同時也跨越那些位元線而被寫入至所給予列的記憶胞中。其中從寫入操作被接收之資料同時也被複製至所給予列的記憶胞中，以及利用感應放大器而被鎖定在感應放大器列130之內，結果那些記憶胞和那些感應放大器的內容彼此皆保持一致。相對地，從寫入操作被接收之資料不同時被複製至所給予列的記憶胞中，那些記憶胞之內容和在感應放大器列130內之感應放大器的內容不再一致，因為比較於那些記憶胞的內容，那些感應放大器的內容是目前最新的。僅儲

10 存來自那些感應放大器中的寫入操作之資料所提供的優點是，比較於同時也儲存在那些記憶胞之內的資料，僅被儲存在那些感應放大器之內的資料只需要較少的時間，亦即，其是“微型寫入”操作形式，其全部的時序是較短於包含儲存在那些記憶胞內之資料的寫入操作所需的時序。但

15 是僅儲存資料於那些感應放大器中產生之缺點是，利用那些感應放大器所執行之類似快取功能意謂著，那些感應放大器僅可提供臨時的儲存並且那些感應放大器之最新的內容最後將必須從那些感應放大器被複製且進入那些記憶胞以防止那些感應放大器之最新的內容被遺失。

20

換言之，其中從寫入操作被接收之資料僅被儲存在感應放大器列130內之感應放大器中，並且同時也不被儲存在其中寫入操作被導向之列的記憶胞之內，該資料可能被說明為已於感應放大器中“被宣告”，且因比較於其中寫入操作被導向之列的記憶胞內容為最新之結果，導致感應放大器之內容可能成為可描述為“骯髒”，並且最後“回寫”操作將必須被進行以複製在感應放大器之內被宣告為骯髒之內容進入寫入操作被導向之列的記憶胞中。相對地，對於其中從此一寫入操作被接收且被儲存在其中寫入操作被導向之列的感應放大器和記憶胞之內之資料，這行為導致感應放大器和記憶胞之內容的一致性，那些記憶胞之“完全寫入”更新形式可以說是已經於寫入操作進行時發生。

在上方子陣列110內之所給予列的記憶體寫入操作之另一範例中，其中該所給予列不是其中一部分記憶體100區塊之排組的目前打開列，但是該所給予列的內容已先前地被複製至在感應放大器列130內之感應放大器(兩情況皆可能利用狀態邏輯160被指示)，該寫入操作可以有領先的微型列致動命令。該微型的列致動命令可以被使用以改變列位址解碼器140之設定，因而該所給予列接著將是打開之一列，但是不必定備妥將被存取之所給予列的記憶胞，因而避免招致額外的延遲而允許此記憶胞之預備發生。隔離器控制邏輯150可以操作在感應放大器列130內之隔離器以耦合感應放大器列130之感應放大器至對應的一廣域I/O線164，而鎖定從寫入操作被接收之資料。隔離器控制邏輯150

同時也可以操作在上方隔離器列116之內的隔離器，以耦合在上方子陣列110之內的位元線(例如，位元線114)至感應放大器列130之感應放大器，並且列位址解碼器140可以操作對應至所給予列的字組線144之一組字組線，導致從寫入操作被接收之資料同時也跨越那些位元線而被寫入至所給予列之記憶胞中，因而保持在那些感應放大器和那些記憶胞內容之間的一致性。另外地，如果微型寫入操作被進行，其中從寫入操作被接收之資料僅被儲存於那些感應放大器中並且不被儲存於那些記憶胞中，則那些感應放大器之內容成為骯髒的並且回寫至那些記憶胞之操作最後將必須保存該骯髒的內容。

在上方子陣列110內之所給予列的另一記憶體寫入操作範例中，其中該所給予列不是其中一部分記憶體100區塊之排組的目前打開列，並且所給予列的內容不先前地被複製至感應放大器列130內之感應放大器(兩情況皆可能利用狀態邏輯160被指示)，寫入操作可以領先於列致動命令。該兩個列致動命令可以被使用以改變列位址解碼器140之設定，因而該所給予列接著將是打開之一列，並且備妥將被存取之所給予列的記憶胞。隔離器控制邏輯150可以操作在感應放大器列130內之隔離器以耦合感應放大器列130之感應放大器至對應的一廣域I/O線164，而鎖定從寫入操作被接收之資料。隔離器控制邏輯150同時也可以操作在上方隔離器列116之內的隔離器以耦合在上方子陣列110之內的位元線至感應放大器列130之感應放大器，並且列位址解碼

器140可以操作對應至該所給予列的字組線144之一字組線，以導致從寫入操作被接收之資料同時也跨越那些位元線而以完全寫入方式被寫入至所給予列的記憶胞中。另外地，如果微型的寫入操作被進行，則那些感應放大器之內容成為骯髒的並且最後將需要那些至記憶胞之回寫操作以保存該骯髒的內容。

需要時回寫操作被進行時，不論關於感應放大器列130之感應放大器內容是否為骯髒之目前資訊必須要被保持，且於一些實施例中，該資訊可以被保持在狀態邏輯160之內，可能隨著關於來自上方子陣列110和下方子陣列120之哪一系列具有已經被複製進入感應放大器列130之感應放大器之內容之資訊。於一些實施例中，當回寫操作發生時之時序，可依據試圖決定何時記憶體100區塊將不被存取足夠長供實施回寫操作之時間週期的演算法，而可以利用其中記憶體100區塊是一部分之記憶體裝置內的邏輯而被控制。另外地，回寫操作之發生可以利用外接至記憶體裝置之邏輯(例如，記憶體控制器)而被控制。更進一步地，由於需要從感應放大器列130之感應放大器的一系列移除骯髒的內容，回寫操作間或可成為必需的，而使得感應放大器可供用以鎖定另一列之內容。

感應放大器列130之隔離器的供應可選擇地耦合感應放大器列130之感應放大器至廣域I/O線，以允許感應放大器列130之感應放大器被隔離自它們對應的廣域I/O線，而記憶體另一區塊內之感應放大器被耦合至廣域I/O線，並且

發送任何被鎖定在那些感應放大器之內的資料至廣域I/O線之上，或鎖定從廣域I/O線被接收之資料於那些感應放大器之內，全部皆不導致被鎖定在感應放大器列130之感應放大器內之資料被遺失。這隔離器可選擇地耦合感應放大器於記憶體100之區塊和於記憶體的其他區塊中之使用，允許記憶體各區塊鎖定最近在一列感應放大器之記憶體各區塊內被讀取的該列內容之複製，因而提供利用記憶體裝置被讀取和被輸出之資料較迅速的存取。

雖然第1圖之位元線的討論和展示可以建議每行記憶胞僅使用一單一位元線，熟習本技術者將容易明白，這相同位元線之討論和展示也可以被應用於實施例，其中位元線組對被採用於記憶胞行以支援差分式信號通知，以至於一位元之資料以及其互補者跨越在記憶胞和其他構件之間的位元線組對而被傳送。同時，為確保清晰，應該注意到，記憶胞113和123、位元線114和124、隔離器118和128、感應放大器133和隔離器138之特定展示明確地被展示於第1圖中，以提供構成儲存在記憶體100區塊內之上方形陣列110和下方子陣列120之內的單一行之構件裝配的實施範例。這單一行之構件展示應可理解不是建議記憶體100區塊僅具有一行，因任何合理的實施例將具有多數行，並且因此，構件裝配範例將被複製許多次以提供多數行。

雖然記憶體100區塊之討論和展示集中於上方和下方子陣列之組態，熟習本技術者將容易地明白記憶體區塊之各種其他可能實施例可以僅使用一子陣列或多於兩個子陣

列。同時，為清楚起見，名詞“上方”和“下方”之使用為熟習本技術者在呈現兩子陣列之記憶體區塊的討論製作中的兩子陣列之間作為識別時使用名詞“上方”和“下方”作為一般實施的辨識。名詞“上方”和“下方”不應被認為代表第1圖
 5 展示之二子陣列的任何形式之相對的實際位置或方位。換言之，在兩子陣列之間的區別上，名詞“上方”和“下方”之使用並不比，例如，“第一”和“第二”名詞之使用有更多的含意。

於各種可能實施例中，上方子陣列110可以由256個列
 10 122所構成，並且下方子陣列120能夠由256個列122所構成。於此實施例中，32個記憶體區塊，例如，記憶體區塊100，將構成記憶體裝置中之記憶體各排組，並且記憶體裝置將由8個如此之記憶體排組所構成。但是，熟習本技術者將容易明白，各種不同之每個子陣列之列數量、每個記憶
 15 體區塊之子陣列、每一排組之記憶體區塊、以及每個記憶體裝置之排組皆可被採用而不脫離本發明的精神和範疇。

於各種可能之實施例中，在感應放大器列130內之隔離器，例如，隔離器138，可以被製作為邏輯OR閘裝置。但是，熟習本技術者將容易地明白，各種被耦合至感應放大
 20 器列130內之感應放大器的隔離器可以任何數量之可能邏輯閘電路或其他電子電路被製作，而不脫離本發明之精神和範疇。

第2圖是採用記憶體排組之實施例的簡化方塊圖。排組200是，至少部份地，由具有對應之感應放大器230a-d和隔

離器216a-d、隔離器238a-d、廣域I/O線264以及行資料多工器268的子陣列210a-d所構成之記憶體排組。排組200是構成記憶體裝置的許多記憶體排組之一排組。熟習本記憶體裝置設計之技術者將容易地明白，第2圖展示一種相對簡單之記憶體排組形式，並且可能有不同的實施例，其中構件精確配置和組態可以被減少、被增加或以其他方式被改變，而不脫離本發明的精神和範疇。例如，雖然為簡化討論之目的，排組200被展示如僅具有四個記憶體子陣列並且那些子陣列各不與另一子陣列共用一列感應放大器(如第1圖之展示)，熟習本技術者將容易地了解，其他可能由不同數目排組及/或列隔離器所構成之排組200的實施例，可以被二個或多個子陣列所共用。

子陣列210a-d各由被組織為列和行之記憶胞所構成。子陣列210a-d中之各行記憶胞被耦合至該行之位元線，並且這些位元線各可選擇地經由對應的隔離器216a-d之一而被耦合至對應之感應放大器230a-d其中之一。更進一步地，各感應放大器230a-d可選擇地經由隔離器238a-d之一而被耦合至對應廣域I/O線264其中之一。接著，感應放大器230a-d經由對應的隔離器238a-d和廣域I/O線264之組合而被耦合至行資料多工器268。行資料多工器268被採用，以選擇廣域I/O線264之哪一組被選擇地耦合至包含排組200的記憶體裝置外面之其他邏輯，以允許資料藉由被選擇之一廣域I/O線264而被輸出或被輸入。

在各子陣列210a-d內之記憶胞列經由字組線分別地被

耦合至列位址解碼器240，以操作那些字組線而選擇將被存取之各子陣列210a-d之內的一單一系列。隔離器216a-d分別地被耦合至隔離器控制邏輯250，其在各時間，操作隔離器216a-d以可選擇地耦合對應之感應放大器230a-d的一組至
 5 對應子陣列210a-d的一子陣列之位元線。在其他時間，當那些位元線被預充電以確保被鎖定在感應放大器216a-d內之資料不因預充電操作而被改變時，隔離器控制邏輯操作一個或多個隔離器216a-d以將感應放大器230a-d之一組與在一個或多個子陣列210a-d內之記憶胞各行之對應的一位
 10 元線隔離。隔離器控制邏輯250同時也操作隔離器238a-d以可選擇地耦合感應放大器230a-d至所對應的廣域I/O線264之一。

於一些實施例中，列位址解碼器240和隔離器控制邏輯250皆進一步地被耦合至狀態邏輯260。狀態控制邏輯260儲
 15 存關於各子陣列210a-d中之哪列是資料被複製進入對應的感應放大器230a-d之列的資訊，因而當來自各子陣列210a-d中一特定列的資料已被複製進入感應放大器230a-d時，允許使用在列位址解碼器240和隔離器控制邏輯250使用之間的協調，而加速該資料之存取。在控制各種隔離器之隔離
 20 器控制邏輯250的性能、選擇和控制存取任何所給予列之列位址解碼器240的性能、以及追蹤何等資料已被各感應放大器230a-d所鎖定之狀態控制邏輯260的性能之間的協調可以被採用以操作，並且選擇地隔離/耦合各感應放大器230a-d而允許各感應放大器230a-d作為從各子陣列210a-d

- 內之該列記憶胞之一被讀取的資料之列範圍快取形式。列位址解碼器240、隔離器控制邏輯250以及狀態邏輯260的這些性能同時也可以被採用，以試圖隱藏(並且因而，避免招致)當預充電關閉資料被複製至對應的感應放大器230a-d之一任一子陣列210a-d的一列時之操作所強加之時間延遲，而同時也允許關於該資料之讀取操作及/或其他操作發生。由於許多組之感應放大器(於排組200情況中，各對應一單一子陣列)，具有多數排組200之大記憶體裝置可以相當大尺寸之列範圍快取系統形式被提供。
- 10 例如，於一記憶體讀取操作中，其中來自子陣列210a內之一列的資料被要求並且其中該列內容不是目前已被鎖定在感應放大器230a之內(可能如狀態邏輯260之指示)，則列位址解碼器240選擇在子陣列210a內之所需的列。在這期間，隔離器控制邏輯250導致隔離器216a耦合感應放大器
- 15 230a至被耦合於被選擇列之記憶胞的位元線。被選擇列之記憶胞將被儲存在那些記憶胞內之電荷放電至那些位元線上。感應放大器230a接收且鎖定從被選擇列之記憶胞被放電之電荷，因而鎖定被儲存於該被選擇列之記憶胞中的資料。隔離器控制邏輯250進一步地導致隔離器238a耦合感應
- 20 放大器230a至廣域I/O線264，因而允許被感應放大器230a所鎖定之資料跨越廣域I/O線264而被發送至行資料多工器268，在其中被發送至多工器268之資料子集合利用該記憶體裝置被選擇並且被輸出。

同時，例如，於從子陣列210a內的一列之記憶體讀取

操作中，其中列內容目前已被鎖定在感應放大器230a內(可能如狀態邏輯260之指示)，則等候資料從被要求之列被轉送至感應放大器230a的延遲可整個地被避免。隔離器控制邏輯250操作隔離器238a以耦合感應放大器230a至廣域I/O線264，因而允許被鎖定在感應放大器230a內之資料跨越廣域I/O線264而被發送至行資料多工器268，在其中被發送至多工器268之資料的子集合利用記憶體裝置而被選擇並且被輸出。

更進一步地，在記憶體讀取操作之後，例如，資料被要求來自具有未被感應放大器230a鎖定之內容的子陣列210a內之一列，以至於資料必需在該資料可能利用排組200是其之一部分的記憶體裝置被輸出之前從該列被移轉至感應放大器230a，正被讀取之該列可由於預充電操作而被關閉。在預充電操作時，被使用以移轉該列之記憶胞內容至感應放大器230a的位元線可能經由隔離器216a而與那些感應放大器隔離，因而正好利用感應放大器216a被鎖定之資料不被遺失。可能需要採用這些性能之優點以進行被耦合至資料正被複製之一列的位元線之預充電，而同時從感應放大器230a對於該資料之存取持續發生並且在子陣列210a內之另一列被選擇以供存取之前，以避免招致關於頁錯失之延遲。因此，預充電操作和存取資料操作可能併列地發生，並且頁錯失之可能情況被轉變成為頁空白。

於一記憶體寫入至子陣列210內之一所給予列的操作範例中，其中該所給予列是排組200之目前打開列並且所給

予列之內容已先前地被複製至感應放大器230a(兩情況皆可能利用狀態邏輯260被指示)，則該寫入操作可以被實施而不需有領先一列致動操作以打開該所給予列。隔離器控制邏輯250可以操作隔離器238a而耦合感應放大器230a至

5 對應的一組廣域I/O線264以鎖定從寫入操作被接收之資料。隔離器控制邏輯250同時也可以操作隔離器216a以耦合在子陣列210a內之位元線至感應放大器230a，並且列位址解碼器240可以操作對應至該所給予列之字組線，導致從寫入操作被接收之資料同時也跨越那些的位元線而被寫入至

10 所給予列之記憶胞以維持一致性。相對地，其中從寫入操作被接收之資料也不被複製至該所給予列之記憶胞之情況，那些記憶胞之內容和感應放大器230a之內容停止一致性並且最後回寫操作將必須被實施以複製感應放大器230a之內容至那些記憶胞，但是寫入操作之整體時序可以被減

15 低，因而提供一機會以利用較短的整體時序而實行微型的寫入操作。

於另一記憶體寫入至子陣列210a內之所給予列的操作範例中，其中該所給予列不是目前打開列排組200，但是所給予列內容已先前地被複製至感應放大器230a(兩情況皆

20 可能利用狀態邏輯260被指示)，則寫入操作可以有領先微型列致動命令。該微型列致動命令可以被使用以改變列位址解碼器240之設定，因而該所給予列將成為打開列，但是不必定先備妥將被存取之所給予列的記憶胞，因而避免招致額外的延遲而允許記憶胞之準備發生。隔離器邏輯250可

以操作隔離器238a以耦合感應放大器230a至對應廣域I/O線264的一組，而鎖定從寫入操作被接收之資料。隔離器控制邏輯250同時也可以操作隔離器216a以耦合在子陣列210a內之位元線至感應放大器230a，並且列位址解碼器240可以

5 操作對應至所給予列的字組線，而導致從寫入操作被接收之資料同時也跨越那些位元線而被寫入至所給予列的記憶胞中，因而保持在感應放大器230a和那些記憶胞內容之間的一致性。另外地，如果一微型寫入操作被實施，其中從寫入操作被接收之資料僅被儲存於感應放大器230a中而不是在那些記憶胞中，則感應放大器230a之內容成為骯髒的並且最後將必須有回寫至那些記憶胞之操作以保存感應放大器230a之骯髒內容。

10

於另一記憶體寫入至子陣列210a內之所給予列之操作範例中，其中所給予列不是排組200目前打開的列，並且所

15 給予列之內容不先前地被複製至感應放大器230a(兩情況皆可能利用狀態邏輯260被指示)，則寫入操作可以有領先列致動命令。該列致動命令可以被使用以改變列位址解碼器240之設定，因而所給予列將成為排組200內之打開列，並且備妥將被存取之所給予列之記憶胞。隔離器邏輯250可

20 以操作隔離器238a以耦合感應放大器230a至對應廣域I/O線264的一組，以鎖定從寫入操作被接收之資料。隔離器控制邏輯250同時也可以操作隔離器216a以耦合在子陣列210a內之位元線至感應放大器230a，並且列位址解碼器240可以操作對應至所給予列之字組線，而導致從寫入操作被接收

之資料同時也跨越那些位元線而以完全寫入之方式地被寫入至所給予列之記憶胞中。另外地，如果一微型寫入操作被實施，以至於來自寫入操作之資料不同時地被儲存於那些記憶胞中，則那些感應放大器之內容將成為骯髒的並且

5 最後將必須有回寫至那些記憶胞之操作以保存該骯髒內容。

對於當需要時被實施之回寫操作，關於感應放大器230a-d內容是否為骯髒或不須被保持之目前資訊，並且於一些實施例中，該資訊可以被保持在狀態邏輯260之內，可能隨著關於來自各子陣列210a-d之哪列具有已被複製進入

10 對應感應放大器230a-d的一組之內容的資訊。於一些實施例中，當回寫操作發生時之時序可利用在排組200是其之一的部分的記憶體裝置內之邏輯而被控制，其可能依據一組演算法而試圖決定，當任何所有的排組200或無論哪個子陣列

15 210a-d具有需要經由回寫操作被置放之一列時，其將在足夠長的時間週期內將不被存取以供回寫操作被實施。另外地，回寫操作之發生可以利用外接至記憶體裝置(例如，記憶體控制器)之邏輯而被控制。更進一步地，回寫操作偶爾可成為必要的，因需要從感應放大器230a-d之一移除一列

20 的骯髒內容以使得那些感應放大器可供用於鎖定另一列之內容。

第3圖是採用記憶體系統之實施例的簡化方塊圖。記憶體系統300至少部份地由經由記憶體匯流排380被耦合在一起之記憶體控制器370和記憶體裝置390所構成。熟習本記

憶體系統設計之技術者將容易地明白，第3圖展示一種相對簡單之記憶體系統形式，並且可有不同的實施例，其中構件的精確配置和組態可以被減低、被增加或以別的方式被修改而不脫離本發明之精神和範疇。例如，下面為簡明討論緣故，雖然記憶體系統300被展示如僅具有一組記憶體匯流排380以及僅一組記憶體裝置390，熟習本技術者將容易地了解，記憶體系統300的其他可能實施例亦可由多數記憶體匯流排及/或裝置所構成。

記憶體控制器370控制利用記憶體裝置390被實施之功能，作為提供記憶體裝置390之存取至被耦合於記憶體控制器370之外接裝置(未被展示出)的部份。明確地說，被耦合至記憶體控制器370之外接裝置發出命令至記憶體控制器370以儲存資料在記憶體裝置390之內，並且從記憶體裝置390取得被儲存之資料。記憶體控制器370接收這些命令並且以具有相容於記憶體匯流排380及/或構成記憶體裝置390和記憶體匯流排380之間的界面之控制邏輯391和資料緩衝器397組合之時序和協定之格式而重新放置它們至記憶體裝置390。實際上，記憶體控制器370協調在記憶體裝置390內之記憶胞的存取而答覆來自外接裝置之讀取和寫入命令。為支援各種實施例中之這些功能，記憶體控制器370同時也協調各種必須被進行之維護操作以確保被儲存在記憶體裝置390內之資料被保存，包含在存取間之固定更新操作及/或預充電操作發生的啟始實施之資料。

記憶體匯流排380由一起耦合於記憶體控制器370和記

憶體裝置390之各種控制、位址及資料信號線所構成。構成
 各種記憶體匯流排380之可能實施例的各種信號線之精確
 數量和特性可以被組態，而可在例如，FPM(迅速頁模式)
 記憶體裝置、EDO(延伸資料輸出)，雙埠VRAM(視訊
 5 RAM)、WRAM(視窗RAM)、SDR(單一資料率)DRAM、
 DDR(雙資料率)DRAM、RAMBUS™ DRAM等等的DRAM裝
 置之間，與包含相容於習知記憶體裝置型式的一些任何可
 能之記憶體界面相互操作。於一些實施例中，其中在各種
 信號線上之動作將與時脈信號、一組或多組信號線，或許
 10 控制信號線協調，以供在記憶體控制器370和記憶體裝置
 390之間發送時脈信號。於一些實施例中，一組或多組控制
 信號以及位址信號可以被多工化至共用信號線上，以至於
 控制信號和位址信號在不同的時間於共用導體上被發送以
 在記憶體控制器370和記憶體裝置390之間攜帶信號。同
 15 時，於一些實施例中，一組或多組位址信號及資料信號可
 以被多工化至共用信號線上。於其他的實施例中，位址、
 命令及/或資料可能以封包形式被發送。

於各種實施例中，記憶體裝置390是具有由控制邏輯
 391和資料緩衝器397所構成之界面的DRAM記憶體裝置，
 20 其被組態而可與記憶體匯流排380互相操作。於一些實施例
 中，記憶體裝置390是一種單一積體電路。於其他實施例
 中，記憶體裝置390由多數可移動記憶體模組，例如，SIMM
 (single inline memory module：單排記憶體模組)、
 SIPP(single inline pin package：單排針狀接腳封裝)、

DIMM(dual inline memory module:雙排記憶體模組)等等之積體電路所構成。

記憶體裝置390之記憶胞被分組為多數排組，例如，排組399a-399d，各排組是由多數子陣列所構成，如上述相關於第1圖和第2圖的詳細說明，而在各子陣列內之記憶胞則被組織為列和行。於一些實施例中，控制邏輯391經由記憶體匯流排380從記憶體控制器370接收至少一些命令和位址，並且經由排組控制器393a-d、行位址解碼器394及/或排組選擇邏輯392而執行那些命令以存取一個或多個排組399a-399d之一組或多組特定部分。一般，為獲得存取在記憶體裝置390內之記憶胞，該記憶胞的位址是由在記憶體匯流排380之上利用記憶體控制器370被發送至記憶體裝置390之控制邏輯391的三部份所構成，亦即，所給予的記憶胞之排組、列以及行。排組控制器393a-d之至少一組利用控制邏輯391被提供列位址並且解碼該列位址以選擇適當的子陣列和對應排組399a-d之一排組的列。排組控制器393a-d同時也控制在各排組399a-d內之適當子陣列內的隔離器及/或感應放大器以執行於所給予子陣列之適當列上實施之任何形式的存取操作。不同於參考第1圖和第2圖所討論之方式，在記憶胞列和感應放大器列之間的隔離器被使用以可選擇地耦合該記憶胞至該感應放大器，而便利在該記憶胞和感應放大器之間的資料移轉作為執行存取操作之部份，而同時也被使用以在其他時間可選擇地將那些相同記憶胞與那些相同感應放大器隔離，因而從記憶胞移轉

資料至隔離器之位元線可以被預充電而不遺失利用感應放大器被儲存之資料。以不同於參考第1和2圖所討論之方式，在那些感應放大器和廣域I/O線之間而最後導通至那些感應放大器最後可選擇地被耦合之I/O選擇多工器395的其
 5 他隔離器，引動在記憶體裝置390和記憶體控制器370之間的資料移轉。在其他時間，在感應放大器和廣域I/O線之間的那些隔離器被使用以可選擇地隔離那些感應放大器與那些廣域I/O線，而當對應至另一子陣列的感應放大器致力於跨越那些相同廣域I/O線之資料移轉時，避免藉由感應放大
 10 器被儲存之資料自一子陣列遺失。排組選擇邏輯392利用控制邏輯391而提供位址之排組選擇部份並且指示排組控制器393a-d之適當的一組以實行上面說明之功能。行位址解碼器394利用控制邏輯391被提供指示將被存取之適當行的位址之行位址部份，並且隨著排組選擇邏輯393，行位址解
 15 碼器操作I/O選擇多工器395以選擇適當的行。因支援各種資料移轉時序之需要，資料緩衝器397鎖定在記憶體裝置390之記憶體控制器370和I/O選擇多工器395之間被移轉的資料。

於一些實施例中，記憶體控制器370及/或控制邏輯391
 20 維持分別地對應至記憶體裝置390的排組399a-d之排組狀態緩衝器379a-d及/或398a-d，其中關於在各排組內之一列或多列記憶胞之各種型式的狀態資訊被儲存。明確地說，各組狀態緩衝器379a-d及/或398a-d儲存一指示，其指示於排組399a-d各對應的一組之各子陣列中的哪列已經藉由耦

合於該子陣列感應放大器而被讀取及被快取(亦即，該列內容被複製至耦合於該子陣列之感應放大器)。雖然，依據包含時序、協定、交握供應等等之記憶體匯流排380各種特性，排組狀態緩衝器379a-d和398a-d兩者之供應皆可以被視為冗餘的，其亦可被認為需要記憶體控制器370和控制邏輯391以各維持哪列將利用感應放大器被快取等等之局部指示。記憶體控制器370及/或控制邏輯391可以分別地依據排組狀態緩衝器379a-d及/或398a-d之內容，以決定需要哪個命令及/或操作以取得所給予的資料部分，包含是否利用感應放大器被快取之排組399a-d之一組的所給予列之資料可簡單地被讀取，或是否必要另外的延遲，例如，在所給予列的資料之存取操作可能發生之前，允許預充電、列致動、微型列致動等等的時間延遲。

於一些實施例中，其中記憶體控制器370保持關於打開列以及在一些儲存裝置形式(例如，排組狀態緩衝器379a-d)之記憶體裝置390內的快取列之狀態資料，但是控制邏輯391不具有對應的排組狀態緩衝器398a-d，接著記憶體控制器370可以傳送不同變化之讀取、寫入、列致動、及/或其他命令至記憶體裝置390，以更直接地控制方式，其中各種操作在記憶體裝置390之內被實施之方式，而補償此被保持在記憶體裝置390內之狀態資訊的不足。例如，可以有利用記憶體控制器370被發送之不同形式的讀取命令以指示記憶體裝置390直接地從感應放大器讀取所給予列的資料，以取代從所給予列的記憶胞而讀取資料，因為記憶體裝置390

將缺少狀態資訊，其是決定來自感應放大器之所給予列的資料是可供用於較快存取所需的資訊。如另一範例，其可以是利用記憶體控制器370被發送之不同形式的列存取命令，以指示記憶體裝置390簡單地改變列位址解碼器之設定，以至於在對應至所給予列的特定感應放大器中之資料成為可存取而供用於讀取及/或寫入，而實際地取代致動所給予列之實際的記憶胞，使得那些記憶胞可存取以供讀取及/或寫入。更進一步地，如果控制邏輯391也不保持關於感應放大器之骯髒或非骯髒的內容之資訊，則其可以是利用記憶體控制器370被發送之不同形式的寫入命令，以指示記憶體裝置390僅寫入資料至排組399a-d之一排組的感應放大器內且不寫入至耦合於那些感應放大器之列的記憶胞中。其也可以是利用記憶體控制器370被發送之一明確的回寫命令，以當回寫操作發生時直接地控制複製感應放大器的骯髒內容至一系列之記憶胞。

作為進行讀取操作以從各種實施例中之排組399a內之列而取得資料之範例，記憶體控制器370可以檢查關於排組399a之資訊的排組狀態緩衝器379a之內容，以決定將於排組399a中被讀取之所給予列是否為排組399a內之先前的打開列，並且該列之資料是否仍然被快取於耦合排組399a之感應放大器內，其中該列是排組399a之一部分。如果該所給予列確實是供用於排組399a之打開列，並且來自該所給予列的資料確實地在那些感應放大器之內被快取，則記憶體控制器370可以跨越記憶體匯流排380而僅需要發送一讀

取命令至記憶體裝置390，以取得來自那些感應放大器之資料。於一些實施例中，比較於其中資料從記憶胞列被取得之更多習見的讀取命令，此一讀取命令可以是具有全部較短時序之“微型讀取”命令，而直接地採取需要從那些感應放大器讀取之相對較短的時間數量之優點。於實施例中，其中當決定該所給予列是已被打開並且仍然被感應放大器所快取時，記憶體控制器370發送一讀取命令而不需先前之預充電或列致動命令，控制邏輯391可以檢查排組狀態緩衝器398a之內容，同時也決定是否該所給予列是在排組399a內之打開列並且仍然利用感應放大器被快取。如果控制邏輯391決定該所給予列是為打開列並且被快取，則控制邏輯391可以接受僅接收一讀取命令並且直接地從感應放大器而讀取該資料已經被快取之所給予列之資料，而取代直接地從該所給予列的記憶胞而讀取該資料，並且記憶體裝置390將能夠更快速地供應該資料至記憶體控制器370，結果，可能遵循微型讀取命令之較短的時序。

但是，如果將從排組399a被讀取之所給予列不是排組399a之打開列，但是來自該所給予列之資料仍然在耦合於所給予列是其之一部分的子陣列中之感應放大器內被快取，接著於一些實施例中，記憶體控制器370可以進一步地檢查排組狀態緩衝器379a之內容，以決定在排組399a內之另一列是否為排組399a之打開列。於此實施例中，如果另一列被發現為排組399a之打開列，則記憶體控制器370可以在發送列致動命令以打開該所給予列之前，發送一預充電

命令以關閉該列。另外地，於其他的實施例中，所給予列之資料在那些感應放大器內先前地被快取之事實，可以導致不用檢查關於在排組399a內之另一列是否為打開列，因為所給予列之資料於那些感應放大器中被快取之事實被認為應排除需要實行預充電命令以關閉可能被打開另一列。

5 於此等其他實施例中，記憶體控制器370可以發送一系列致動命令以打開所給予列而不必發送一預充電命令，無視於在排組399a內之另一列是否打開。在發送列致動命令以打開所給予列之後，不管預充電命令是否被發送以關閉可能是

10 打開之另一列，記憶體控制器370仍發送一讀取命令至記憶體裝置390以從那些感應放大器取得所需要之資料。於一些實施例中，先前於這讀取命令之列致動命令可能是一“微型列致動”命令，其中比較於將需要直接地從所給予列的記憶胞被取得之所需的資料，其需要較少的時間以在這列致動

15 命令和讀取命令發送之間通過，而從那些感應放大器取得所需要之資料。於一些實施例中，其中當決定該所給予列仍然利用感應放大器被快取時，雖然其不是排組399a內之打開列，記憶體控制器370發送一系列致動命令之後接著一讀取命令而不必有先前之預充電命令，則控制邏輯391可以檢

20 查排組狀態緩衝器398a之內容以同時決定所給予列是否為排組399a內之打開列，是否仍然利用感應放大器被快取及/或在排組399a內之另一列為打開列。如果控制邏輯391決定該所給予列被快取，但不是打開列，則控制邏輯391可以接受而接收一系列致動命令以打開該所給予列而不必先前之預

充電命令，並且採取利用改變列位址解碼器之設定以致動
快取該資料之感應放大器之存取而被快取之所給予列的資
料之優點，以可能遵循微型列命令之較短的時序。控制邏
輯391接著可以接受該讀取命令並且直接地從那些感應放
5 大器而讀取所給予列之資料，取代直接地從所給予列的記
憶胞讀取該資料。

另外地，如果來自所給予列之資料不在耦合於所給予
列是其之一部分的子陣列之感應放大器內被快取，則在一
些實施例中，記憶體控制器370可以進一步地檢查排組狀態
10 緩衝器379a之內容，以決定在排組399a內之列，除了該所
給予列之外，是否為排組399a之打開列。於此實施例中，
如果另一列被發現為排組399a之打開列，則記憶體控制器
可以發送一預充電命令以關閉該列。另外地，預充電命令
是否被發送可以取決於被發現將為排組399a之打開列的其
15 他列是否在一子陣列之內，其使用被使用以自所給予列讀
取資料之相同感應放大器。如果由於在一打開列和該所給
予列之感應放大器的使用上之此衝突被發現存在，則將需
要有關閉該打開列之預充電命令以關閉該打開列並且使得
那些感應放大器可供使用。於這些實施例中，不論一預充
20 電命令被需要及/或發送，讀取被儲存於該所給予列中之資
料，將需要記憶體控制器370發送一系列致動命令以打開排組
399a中所給予列。在列致動命令發送且備妥以供讀取所給
予列的記憶胞之足夠時間週期通過之後，記憶體控制器370
將發送一讀取命令，而導致所給予列的記憶胞釋放被儲存

在那些記憶胞內之指示至耦合那些記憶胞於隔離器之位元線上，其進一步地耦合那些位元線至鎖定來自該所給予列之被釋放的指示之感應放大器，以至於被儲存在所給予列的記憶胞內之資料被轉移至感應放大器，同時反應於該讀取命令，該資料也利用記憶體裝置390被轉移至記憶體控制器370。其中除了所給予列之外之一列被打開，並且控制邏輯391接收該列致動命令而無來自記憶體控制器370之先前預充電命令之情況，控制邏輯391可以檢查排組狀態緩衝器398a之內容，以判定是否目前打開列和列致動命令被接收之所給予列共用相同感應放大器。如果這檢查展現在這兩列之間沒有衝突，則控制邏輯391可以接受該列致動命令而無先前之預充電命令，並且可以使用排組狀態緩衝器398a內指示被致動之所給予列目前不被快取之狀態資訊，而決定所給予列之實際記憶胞必須備妥以反應於該列致動命令被存取。同樣地，控制邏輯39a接著可以使用指示在所給予列內之資料仍然不被快取的相同狀態資訊，而決定該列的後續讀取操作必須如上所述地藉由直接地從所給予列的記憶胞得到資料而被反應。

於各種實施例中，記憶體控制器370可以實行各種操作，包含在其他操作之間的一個或多個排組399a-d內之列上的預充電操作以存取資料。於各種實施例中，記憶體控制器370可以使用一組或多組頁關閉演算法以試圖預測情況，其中當預計資料需要從其他列被讀取時，一列應該先發制地被關閉。無視於特定列關閉之理由，在記憶胞和感

應放大器列之輸入之間的隔離器之供應(如上面相當大長度之討論)，可能實行影響在記憶胞和放大器之間發送資料之位元線的預充電操作而隔離那些感應放大器，以至於被儲存在那些感應放大器內之資料不致於因預充電操作結果

5 被遺失，並且因而有助於允許感應放大器之此列作用如同記憶胞一整列之快取。確實地，在感應放大器之列內的這資料之保留可以成功地使記憶體控制器370能夠使用頁關閉演算法，其中各列在其資料被鎖定於列感應放大器中之後即時地利用預充電操作而被關閉。關於讀取操作，這將

10 使得每個讀取操作從未先前地儲存其資料於列感應放大器中之列取得資料(其可能被稱為“快取失誤”)，而導致頁空白之情況，其中等候將被實施之預充電操作之延遲在發送一列致動命令以打開另一列以供存取之前不被需要。假設在讀取該列之後(並且同時也可能在寫入之後)每一列之此關

15 閉策略將被採用，則於此實施例中，一具有自動預充電命令之讀取及/或具有自動預充電命令之寫入可以被採用以得到組合分別讀取(或寫入)以及預充電命令成為一單一命令之優點。無視於因預測演算法或其他較不複雜的演算法之結果，列之預充電以依序存取它們後關閉它們是否發

20 生，在記憶體裝置390之排組399a-d內的一些列上實行預充電操作而不使感應放大器中之資料損失的性能被使用以快取來自其他列的資料，提供對於因實行其他操作所招致之一些或沒有延遲背景中實行至少一些預充電操作之機會。

作為於各種實施例中實行寫入操作以儲存資料進入排

組399a內之一所給予列的範例，記憶體控制器370可以檢查排組399a關於排組狀態緩衝器379a之資訊之內容，以決定該被寫入之所給予列是否已經為排組399a內之打開列，並且目前於該列中之資料是否仍然在感應放大器之內被快取，其中該感應放大器被耦合至該列是其之一部分的排組399a內之子陣列。如果該所給予列確實地是排組399a之打開列，並且來自該所給予列之目前資料確實在那些感應放大器內被快取，則記憶體控制器370可以僅需要跨越記憶體匯流排380而發送一寫入命令至記憶體裝置390，以儲存資料進入那些感應放大器中。於一些實施例中，比較於資料被寫入記憶胞中(除了或取代被寫進入感應放大器中)之更習見之寫入命令，此一寫入命令可以是具有全部較短時序的“微型寫入”命令，以採取資料寫入那些感應放大器中之所需相對地較短的時間數量之優點。但是，將資料寫入那些感應放大器中，僅將導致被儲存於那些感應放大器中之資料比較於那些記憶胞中之資料成為更新，進一步地將導致需要依序地實行一回寫操作以從那些感應放大器複製該被更新之資料並且進入那些記憶胞中，而且這可能迫使關於那些感應放大器內容的骯髒狀態之狀態資訊保存在排組狀態緩衝器379a內。於此實施例中，其中在決定(藉由檢查排組狀態緩衝器379a)該所給予列已被打開並且仍然利用感應放大器被快取之後，記憶體控制器370發送一寫入命令而不需一先前之預充電或列致動命令，控制邏輯391可以檢查排組狀態緩衝器398a之內容，而同時也決定該所給予列

是否為排組399a內之打開列並且仍然利用感應放大器被快取。如果控制邏輯391同時也決定(如記憶體控制器370所為)該所給予列是打開列並且被快取，則控制邏輯391可以接受
5 僅接收一寫入命令並且僅寫入該所給予列之資料至其中資料已被快取之感應放大器中，而取代也寫入該資料至所給予列之記憶胞中，並且記憶體裝置390將能夠更快速地完成該寫入操作，雖然控制邏輯391也可以記錄排組狀態緩衝器398a中那些感應放大器內容之所產生骯髒的狀態，而預備其後回寫操作的實行。

10 另外地，如果將被寫入至排組399a中之所給予列不是排組399a之打開列(該所給予列可能已經由預充電操作而先前地被關閉)，但是來自該所給予列之目前資料仍然在感應放大器之內被快取，而該感應放大器被耦合至該所給予列是其之一部分的子陣列，則於一些實施例中，記憶體控
15 制器370可以進一步地檢查排組狀態緩衝器379a之內容以決定在排組399a內之另一列是否為排組399a之打開列。於此實施例中，如果另一列被發現將為排組399a之打開列，則記憶體控制器370可以在發送一系列致動命令以打開該所給予列之前，發送一預充電命令以關閉該列。另外地，於
20 其他的實施例中，所給予列之資料已在那些感應放大器之內被快取的事實，可以導致不用檢查在排組399a內之另一列是否為打開，因為所給予列之資料於那些感應放大器中被快取之事實被認為應排除實行一預充電命令以關閉可能是打開的另一列之需要。於此等其他的實施例中，無視於

在排組399a內之另一列是否被打開，記憶體控制器370可以發送一系列致動命令而不必首先發送一預充電命令。在發送該列致動命令以打開該所給予列之後，無視於一預充電命令是否被發送以關閉另一列，記憶體控制器370發送一寫入命令至記憶體裝置390以儲存被寫入至少那些感應放大器中的資料。於一些實施例中，列致動和寫入命令可以是“微型列致動”和“微型寫入”命令以簡單地使得那些感應放大器可供用於儲存資料，並且接著比較於將需要實行列致動命令(其將實際地備妥將被寫入之所給予列的記憶胞)以及寫入命令(其將實際上將寫入操作之資料寫入那些記憶胞中)，而以較少的時間儲存寫入操作之資料進入那些感應放大器中。同時，於這些實施例中，其中在決定該所給予列仍然利用感應放大器被快取之後，記憶體控制器370也在一系列致動命令之後發送寫入命令而不需一先前之預充電命令，雖然其不是排組399a內之打開列，控制邏輯391可以檢查排組狀態緩衝器398a之內容以同時地決定該所給予列是否排組399a內之打開列，是否其仍然利用感應放大器被快取及/或在排組399a內之另一列是為打開列。如果控制邏輯391決定(如記憶體控制器370所為)該所給予列被快取，但不是打開列，則控制邏輯391可以接受接收一系列致動命令以打開該所給予列而不需一先前之預充電命令，並且採取被快取之所給予列的資料之優點，其利用簡單地改變列位址解碼器之設定使能夠存取感應放大器而快取該資料，其可能遵循微型列致動命令之較短的時序。控制邏輯391接著可以

接受該寫入命令並且僅將資料寫入那些感應放大器中，而不必同時將資料寫入所給予列之記憶胞中，其可能遵循微型寫入命令之較短的時序。但是，如先前所提，其中一微型寫入命令被進行，以至於那些感應放大器儲存比所給予

5 列之資料更新的資料，接著關於那些感應放大器的產生骯髒狀態之資訊可以被記錄於排組狀態緩衝器379a及/或398a中。

在感應放大器和廣域I/O線之間的隔離器之供應被使用以從那些感應放大器發送資料至記憶體裝置的其他部份

10 (例如，記憶體裝置390之I/O選擇多工器395)，而提供此記憶體裝置操作之較大的彈性。明確地說，必須嚴格地遵守，在打開發現於其他DRAM記憶體裝置中之另一列之前總是關閉任何在排組內之打開列之需求，於記憶體裝置390操作中可常被忽略。只要將被存取之新列不共用一組或多組子

15 陣列之區塊中已被打開之另一列的相同感應放大器，則新列可被打開而不招致等候發送之延遲及預充電命令之實行發生。本質上，在一排組內之多數列(在一排組內之一組或多組子陣列的每一區塊是高至1列)實際上可被打開而不必依序地被關閉以能夠讀取來自另一列之資料。為在讀取此

20 一打開列至讀取另一打開列之間切換，將需要稍微地較多於“微型列致動”命令的發送(如上所述)，以稍微較多於發送用接著被發送之讀取命令而將被讀取之新列的列位址。

第4圖是採用電腦系統之實施例的簡化方塊圖。電腦系統400，至少部份地，是由CPU(中央處理單元)410、系統邏

輯420、以及記憶體裝置490所構成。系統邏輯420被耦合至CPU 410並且進行支援CPU 410之各種功能，包含提供CPU 410存取系統邏輯420也被耦合之記憶體裝置490、使用在系統邏輯420內之記憶體控制器470。CPU 410、系統邏輯420、以及記憶體裝置490構成電腦系統400之核心形式，其能夠利用CPU 410而支援機器可讀取指令之執行以及在記憶體裝置490內之資料和指令的儲存。

於各種實施例中，CPU 410可以是任何之多種CPU型式，其包含能夠執行至少一部份之廣泛習知且被使用的“x86”指令組之一組CPU，並且於其他的各種實施例中，其可以是更多於一組CPU。於各種實施例中，記憶體裝置490可以是任何多種動態隨機存取記憶體(RAM)之型式，其包含快速頁模式(FPM)、延伸資料輸出(EDO)、同步動態RAM(SDRAM)之單一資料率(SDR)或雙重資料率(DDR)形式、採用RAMBUS™界面之各種技術的RAM等等，並且記憶體控制器470提供具有記憶體型式之適當界面給邏輯部份420。至少一部份之記憶體裝置490的記憶胞被分割成為排組499a-d，其各由以二維記憶體陣列被組織為列和行的記憶胞所構成。為存取記憶體裝置490內之部份的記憶胞，該部分必須利用記憶體控制器470被定址為排組、列以及行位址之組合。那些熟習本技術者將明白，具有四個記憶胞排組，亦即，排組499a-499d之單一記憶體裝置490的展示，其只是可以為電腦系統之一部份的記憶體系統之一範例，並且一較大之記憶體裝置數目及/或在記憶體裝置內之不

同的排組數目可被使用而不脫離本發明的精神和範疇。

於一些實施例中，系統邏輯420被耦合至並且提供CPU 410儲存裝置460之存取，被儲存媒體461所攜帶之資料及/或指令可以藉由其被存取。熟習本技術者將明白，儲存媒體461可以是任何多種廣泛的型式和技術，其包含CD或DVD ROM、磁或光學碟片、磁-光碟片、卡帶、半導體記憶體、紙或其他材料上之文字或齒孔等等。於一些實施例中，非依電性記憶體裝置430被耦合至系統邏輯420(或電腦系統400的其他部份)，並且當電腦系統400被“重置”或被啟始化(例如，當電腦系統400被“導通”或被“供電”時)時，則提供在一次被執行之啟始系列指令的儲存以進行需要備妥電腦系統400以供正常使用之任務。於此實施例之一些變化中，在電腦系統400之啟始化或重置之後，CPU 410存取非依電性記憶體裝置430以取得將被執行之指令以備妥提供CPU 410記憶體裝置490之存取的記憶體控制器470而供正常使用。這些相同地被取得之指令可以被執行以備妥系統邏輯420而供提供儲存裝置460存取之正常使用並且不管什麼形式之儲存媒體461皆可能被儲存裝置460所使用。

於一些實施例中，儲存媒體461攜帶將被CPU 410所執行之機器可存取指令以導致CPU 410實行記憶體裝置490之一組或多組測試，而決定DRAM裝置記憶體裝置490是什麼型式，及/或決定記憶體裝置490支援什麼功能。此測試可以包含一系列之企圖存取記憶體裝置490之部份和被接收之反應性質的觀察。另外地，此測試可以包含質問識別記

- 憶體裝置型式或識別一組或多組特點存在之指令碼，或此測試可能必需讀取被儲存於記憶體裝置490內之部份非依電性記憶體而識別記憶體裝置型式、各種參數、及/或各種特點之存在或不存在的資料。如果決定記憶體裝置490能夠
- 5 支援作為快取形式之感應放大器的使用及/或記憶體裝置490能夠支援作為快取形式之被採用的感應放大器內之骯髒內容(如上所述)，則CPU 410可能導致規劃或不同地組態記憶體控制器470而使用此快取性能。於因此被規劃之記憶體控制器470實施例中，記憶體控制器470可以存取或包含
- 10 儲存裝置，例如，排組狀態緩衝器479於其中，以保持關於構成記憶體裝置490之各排組499a-d之子陣列內的各種列狀態資料。此資料，是否被儲存於一特定緩衝器中，例如，排組狀態緩衝器479，可以提供一指示，其指示在各排組499a-d內之哪列被耦合於其中那些各列存在之子陣列的一
- 15 感應放大器列所快取。記憶體控制器470可以存取此資料，以決定於排組499a-d之所給予的一組中將被存取之列是否被一感應放大器列所快取，該列感應放大器之內容是否為骯髒的，將被存取之一列是否已被打開，及/或在各排組內之一不同的列是否被打開。
- 20 如先前之討論，如果將被存取之一列被決定將被快取並且已被打開，則於感應放大器中被作為快取之資料可以僅利用一讀取命令(或微型讀取命令)或僅一寫入命令(或微型寫入命令)的發送而被讀取或被寫入，並且該等命令可能具有或不具有自動預充電。但是，如果將被存取之列被決

定將被快取，但不是已被打開，則感應放大器中被作為快取之資料可以利用一列致動命令(可能是微型列致動命令)和讀取或寫入命令(可能是具有或不具有自動預充電之微型讀取或寫入命令之任何一個)兩者之發送而被讀取或被

5 寫入。於此實例中，如果發現有將被打開之另一列時，列致動命令之發送可以是領先於預充電命令之發送以關閉另一列。另外地，如果將被存取之列被決定不被列感應放大器快取，則該列記憶胞中之資料，該列本身，可以在等候列致動被完成之適當時間之後利用列致動命令之發送而被

10 讀取或被寫入，並且接著讀取或寫入命令之發送導致在該列記憶胞內之資料被複製至感應放大器之一列，接著從該列資料將被讀取或接著資料將被寫入至該列。

第5圖是從記憶體裝置之所給予的排組內之所給予列而讀取資料之操作實施例的流程圖。在510，判定所給予列

15 之內容是否已被複製至所給予排組內之對應的感應放大器。於一些實施例中，這判定利用記憶體控制器執行，檢查關於記憶體之哪個子陣列或區塊之哪列已被複製進入感應放大器中的一些被儲存資訊、各排組中之哪列是打開的、及/或從各列被複製進入感應放大器之內容是否為骯髒

20 的。於其他實施例中，這判定同時稍後也可能利用記憶體裝置內之邏輯被執行，其也檢查此被儲存之資訊，諸如被接收以可能地決定哪個作用程序應該被採取以引動以較少時間完成各種操作之命令。如果所給予列之內容已被複製進入感應放大器中，則在520，判定該所給予列是否為所給

予的排組內之打開列。如果該所給予列是所給予的排組之
 打開列，則於微型讀取操作中，在儲存所給予列的內容之
 感應放大器和廣域I/O線之間的隔離器被操作以耦合那些
 感應放大器至那些的廣域I/O線，以引動資料在較短於該資
 5 料自所給予列的記憶胞被讀取之時間週期內，能夠自那些
 感應放大器中被讀取。但是，如果該所給予列不是所給予
 排組的打開列，則在522，一微型列致動命令被實施以改變
 所給予排組之列位址解碼器的設定，而在524使得該感應放
 10 大器利用一微型讀取命令而儲存可供讀取存取之所給予列
 的內容，正如上面之說明。於一些實施例中，微型列致動
 和微型讀取命令可以是被一記憶體控制器發送之分離且不
 同之命令，其示知需要較少時間實行之不同的列致動和讀
 取命令，同時於不同的實施例中，在記憶體裝置內之邏輯
 獨立地檢查關於在所給予的排組內之所給予列的狀態之被
 15 儲存的資訊，以決定是否一微型列致動或微型讀取命令可
 以被實施而替代另一形式之列致動或讀取命令。

另外地，如果所給予列的內容在510被決定不被複製進
 入感應放大器中，則在530，判定對應至所給予列之感應放
 大器的目前內容是否為骯髒的。如果那些對應的感應放大
 20 器之內容不是骯髒的，則在540，判定被耦合至所給予列的
 記憶胞之位元線是否已被預充電。如果那些位元線已被預
 充電，則在544，感應放大器之可能預充電將備妥該感應放
 大器以從所給予列接收資料(如果該感應放大器需要此預
 備的話)，並且一列致動操作備妥將被存取之所給予列的記

憶胞。如果那些位元線不是先前地被預充電，則在544被實施以在該感應放大器之可能預充電之預充電操作及列致動操作之前，在542預充電那些位元線。但是，如果對應的感應放大器之內容在530被決定為骯髒的，則回寫操作在532
 5 被實施以複製那些感應放大器之骯髒內容至該骯髒內容所屬之列，剛好在542，在那些相同位元線被預充電，並且該可能的感應放大器預充電和列致動操作兩者皆在544發生之前。於這回寫操作中，在感應放大器和被耦合至其中該骯髒內容所屬之列位元線(這些可以是相同於如被耦合至
 10 該所給予列的記憶胞之位元線)之間的隔離器被操作，以耦合那些感應放大器和那些位元線在一起，以至於當該對應的字組線被操作以導致鎖定發生時，該骯髒內容可以利用感應放大器被發送至其中該骯髒內容所屬之列的記憶胞並且被該列之記憶胞所鎖定。於一些實施例中，一回寫操作
 15 可以藉由被記憶體控制器發送之命令而被啟動，同時於另外的實施例中，由於接收將必需使用目前儲存骯髒內容的感應放大器之一列致動命令之結果，一回寫操作可以利用在記憶體裝置內之邏輯而獨立地被引起。在544，於感應放大器之可能預充電和所給予列的致動之後，讀取操作在546
 20 被實施。

第6圖是寫入資料至記憶體裝置所給予的排組內之一所給予列之操作實施例流程圖。在610，判定所給予列的內容是否已被複製至在所給予排組內之對應的感應放大器中。於一些實施例中，這判定利用記憶體控制器進行，其

檢查關於記憶體哪個子陣列或區塊之哪個列之被儲存資訊已經被複製進入感應放大器、哪個列是各排組中之打開列、及/或從各種列被複製進入感應放大器之內容是否為骯髒。於其他的實施例中，這判定同時也可稍後利用在記憶體裝置內之邏輯進行，其同時也檢查此被儲存之資訊，諸如被接收以可能決定哪個行動程序應該被採取而能夠以較少的時間完成各種操作之命令。如果所給予列之內容已被複製進入感應放大器中，則在620，判定所給予列是否為所給予的排組內之打開列。如果該所給予列是所給予的排組之打開列，則於一微型寫入操作中，其中在儲存該所給予列的內容之感應放大器和廣域I/O線之間的隔離器被操作以耦合那些感應放大器至那些廣域I/O線，而在較短於該資料被寫入所給予列之記憶胞的時間週期之內，使資料被寫入那些感應放大器中。同時在624，資訊被儲存以指示那些感應放大器目前所具有之內容是骯髒的，因為那些內容目前是更新於所給予之列它本身的記憶胞內容，並且於各種實施例中，這骯髒的狀態資訊被保持在記憶體裝置之內及/或在操作記憶體裝置之記憶體控制器內。但是，如果該所給予列不是該所給予的排組之打開列，則一微型列致動命令在622被實施以改變該所給予排組的列位址解碼器之設定，而使得該感應放大器儲存可存取以供在624利用一微型的寫入命令而被寫入至所給予列之內容，正如上面之說明。於一些實施例中，該微型列致動和微型寫入命令可以是被一記憶體控制器發送之分離且不同之命令，其示知需

要較少時間實行之不同的列致動和寫入命令，同時於另外的實施例中，在記憶體裝置內之邏輯獨立地檢查關於在所給予的排組內之所給予列的狀態之被儲存的資訊，以決定是否一微型列致動或微型讀取命令可以被實施而替代另一形式之列致動或寫入命令。

另外地，如果所給予列的內容在610被決定不被複製進入感應放大器中，則在630，判定對應至所給予列的感應放大器之目前內容是否為骯髒的。如果那些對應的感應放大器之內容不是骯髒的，則在640，判定被耦合至所給予列的記憶胞之位元線是否已被預充電。如果那些位元線已被預充電，則在644，感應放大器之可能預充電將備妥該感應放大器以從該所給予列接收資料(如果該感應放大器需要此預備措施)，並且一系列致動操作備妥將被存取之所給予列的記憶胞。如果那些位元線不先前地被預充電，則在644被實施以在該感應放大器之可能預充電之預充電操作和該列致動操作之前，在642預充電那些位元線。但是，如果對應感應放大器的內容在630被決定為骯髒的，則回寫操作在632被實施以複製該那些感應放大器之骯髒內容至那些內容所屬的列，剛好在642，在那些相同位元線被預充電，並且該可能的感應放大器預充電和列致動操作兩者皆在644發生之前。於一些實施例中，一回寫操作可以藉由被記憶體控制器發送之命令而被啟動，同時於另外的實施例中，由於接收將必需使用目前儲存骯髒內容的感應放大器之一列致動命令之結果，一回寫操作可以獨立地利用在記憶體裝置

內之邏輯而被引起。在644，於感應放大器之可能預充電和所給予列的致動之後，一系列之複製操作在646被實施，因而當對應至所給予的排組內之所給予列的字組線被操作而導致所給予列的記憶胞放電它們的內容至那些位元線上時，

5 在被耦合至所給予列的記憶胞之位元線和那些感應放大器之間的隔離器允許記憶胞內容跨越那些位元線而被複製並且進入那些感應放大器中。由於所給予列的內容目前被包含在感應放大器之內，在624之微型寫入操作，如上所說明地發生。

10 **【圖式簡單說明】**

第1圖是採用記憶胞區塊之實施例的方塊圖。

第2圖是採用被安置於多數個記憶胞區塊中之記憶胞排組的實施例之方塊圖。

第3圖是採用記憶體系統之實施例的方塊圖。

15 第4圖是採用電腦系統之實施例的方塊圖。

第5圖是一實施例之流程圖。

第6圖是另一實施例之流程圖。

【主要元件符號說明】

100…記憶體	118…隔離器
110…上方子陣列	120…下方子陣列
112…記憶胞列	122…記憶胞列
113…記憶胞	123…記憶胞
114…位元線	124…位元線
116…上方隔離器列	126…下方隔離器列

128...隔離器	379a-d...排組狀態緩衝器
130...感應放大器列	380...記憶體匯流排
133...感應放大器	390...記憶體裝置
138...隔離器	391...控制邏輯
140...列位址解碼器	392...排組選擇邏輯
144...致動字組線	393a-d...排組控制器
150...隔離器控制邏輯	394...行位址解碼器
154...隔離器控制線	395...I/O選擇多工器
160...狀態邏輯	397...資料緩衝器
164...廣域I/O線	398a-d...排組狀態緩衝器
200...排組	399a-d...排組
210a-d...子陣列	400...電腦系統
216a-d...隔離器	410...CPU(中央處理單元)
230a-d...感應放大器	420...系統邏輯
238a-d...隔離器	430...非依電性記憶體裝置
240...列位址解碼器	460...存取儲存裝置
250...隔離器控制邏輯	461...儲存媒體
260...狀態控制邏輯	470...記憶體控制器
268...行資料多工器	479...排組狀態緩衝器
300...記憶體系統	490...記憶體裝置
370...記憶體控制器	499a-d...排組

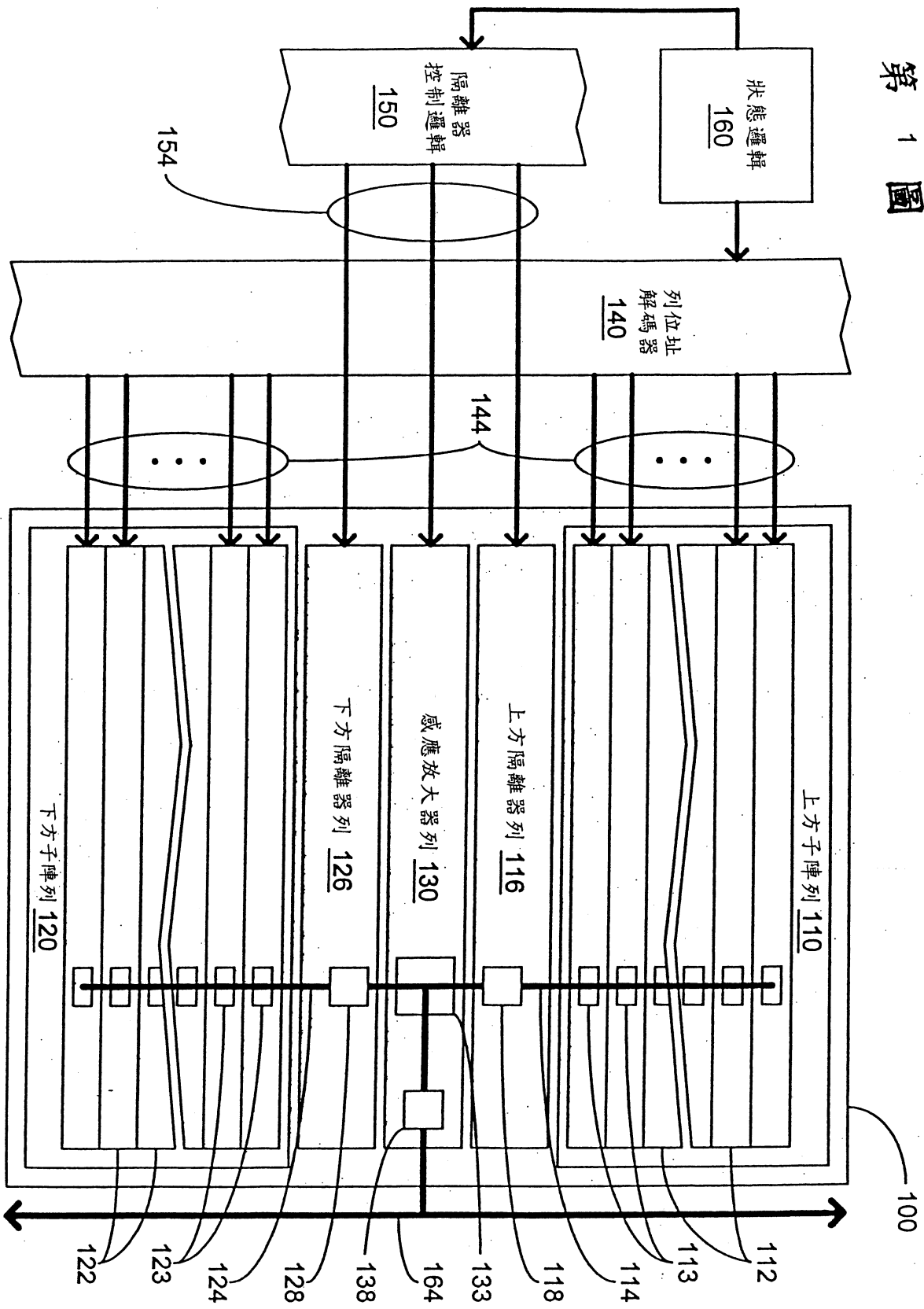
五、中文發明摘要：

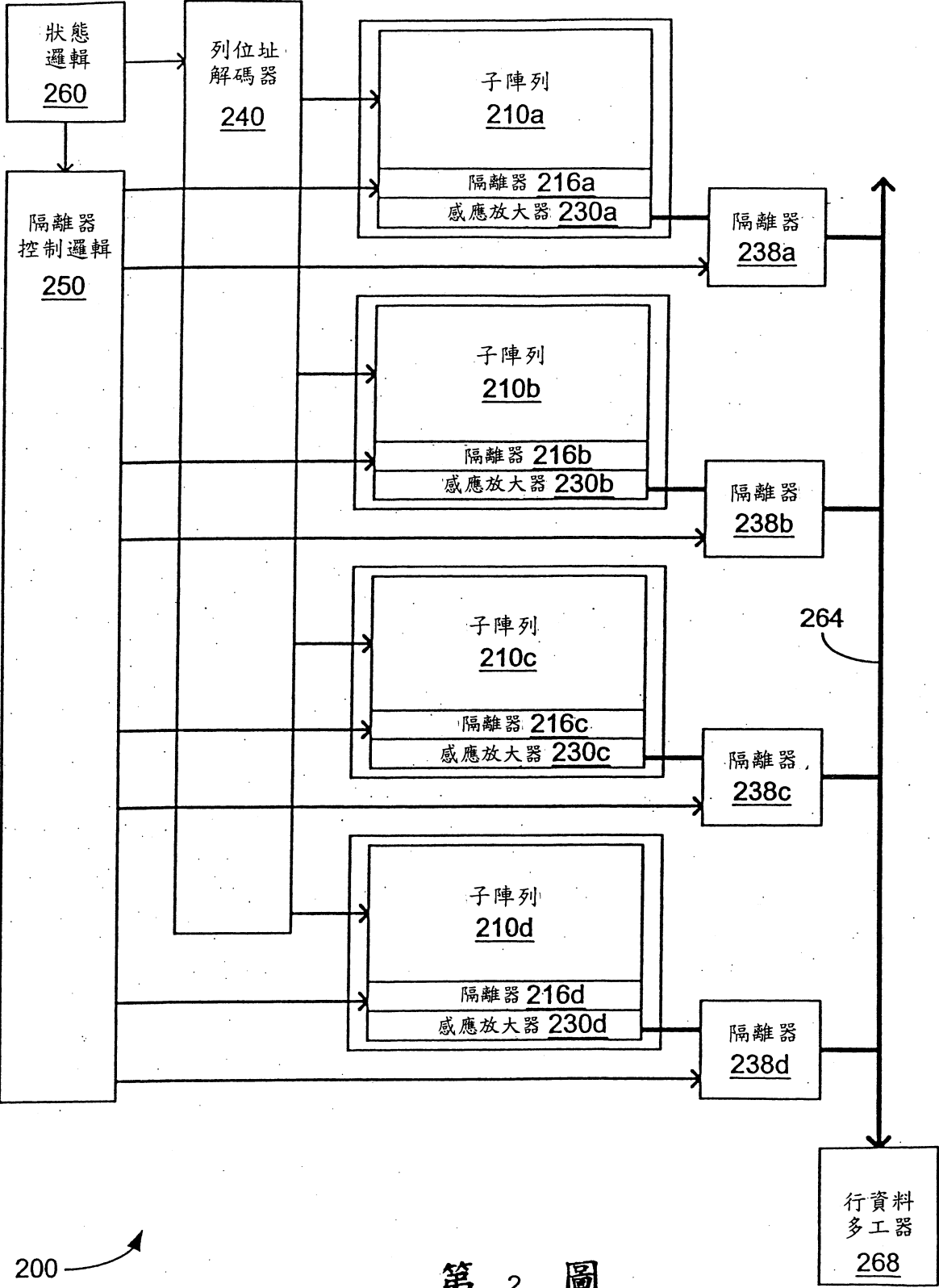
多組隔離器之提供及使用，使得在記憶體裝置之排組的子陣列內之至少一行記憶胞的內容可利用相關於該子陣列之一列感應放大器而快取，以引發經由一讀取操作讀取該至少一行記憶胞的內容之更快存取而導致該資料自列感應放大器被讀取而非直接地從該列記憶胞被讀取。

六、英文發明摘要：

Provision and use of sets of isolators to enable the caching of the contents of at least one row of memory cells within a subarray of a bank of a memory device by a row of sense amplifiers associated with the subarray to enable faster access to read the contents of that at least one row through a read operation causing the data to read from the row of sense amplifiers versus from the row of memory cells, directly.

第 1 圖





第 2 圖