

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2013年5月30日(30.05.2013)



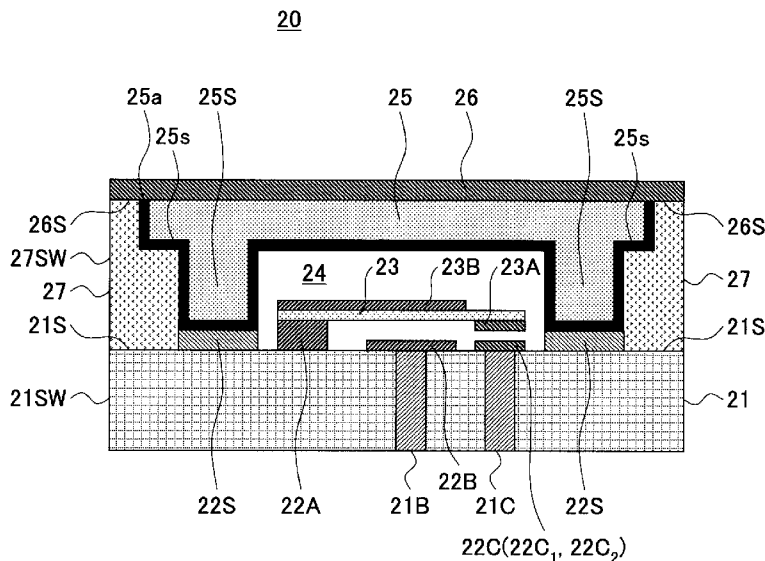
(10) 国際公開番号  
WO 2013/076830 A1

- (51) 国際特許分類:  
H01L 23/02 (2006.01) B81C 3/00 (2006.01)  
B23K 1/00 (2006.01) H03H 9/02 (2006.01)  
B81B 3/00 (2006.01)
  - (21) 国際出願番号: PCT/JP2011/076962
  - (22) 国際出願日: 2011年11月22日(22.11.2011)
  - (25) 国際出願の言語: 日本語
  - (26) 国際公開の言語: 日本語
  - (71) 出願人(米国を除く全ての指定国について): 富士通株式会社(FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
  - (72) 発明者; および
  - (75) 発明者/出願人(米国についてのみ): 島内 岳明 (SHIMANOUCHI, Takeaki) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
  - (74) 代理人: 伊東 忠彦(ITOH, Tadahiko); 〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 MY PLAZA (明治安田生命ビル) 16階 Tokyo (JP).
  - (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
  - (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:  
— 国際調査報告(条約第21条(3))

(54) Title: ELECTRONIC COMPONENT AND METHOD FOR PRODUCING SAME

(54) 発明の名称: 電子部品およびその製造方法

[図1]



(57) Abstract: This electronic component is provided with: a substrate; an element that is formed on the substrate; a side wall member that surrounds the element on the substrate; a cover member that is arranged on the side wall member and forms a space, which surrounds the element above the substrate, together with the side wall member; and a sealing member that is arranged outside the side wall member and bonds the side wall member and the cover member to the surface of the substrate, thereby sealing the space.

(57) 要約: 電子部品は、基板と、前記基板上に形成された素子と、前記基板上において前記素子を囲む側壁部材と、前記側壁部材上に配設され、前記側壁部材と共に、前記基板上において前記素子を囲む空間を画成する蓋部材と、前記側壁部材の外側に設けられ、前記側壁部材および蓋部材を前記基板の表面に接合し、前記空間を封止する封止部材と、を備える。

WO 2013/076830 A1

## 明 細 書

**発明の名称**：電子部品およびその製造方法

### 技術分野

[0001] 以下に説明する実施形態は、電子部品およびその製造方法に関する。

### 背景技術

[0002] ウェハレベルパッケージ技術は、半導体ウェハ上に形成された多数の素子を、半導体ウェハを個々のチップに分割する前に一括して封止する技術であり、費用が安く、また得られる電子素子を大略、個々のチップのサイズに形成できることから、小型の半導体装置の製造に広く使われている。

[0003] 一方、最近では、ウェハ上に可動部を有するスイッチや容量可変キャパシタ、水晶振動子などの電子部品を一括して形成する試みがなされている。そこで、このような電子部品素子の製造においても、これらウェハ上に上記電子部品に対応して形成された電子部品素子を、ウェハレベルパッケージ技術により封止し、電子部品の小型化と製造費用の低減を図りたいとの要望がある。

### 発明の開示

#### 発明が解決しようとする課題

[0004] 例えば電子部品が可動部を有するものである場合、電子部品に対応してウェハ上に形成された素子を封止しようとする、当該素子を覆う蓋部材をウェハ上に、前記蓋部材が前記ウェハ上において前記素子を囲む空間を画成するように封止するのが望ましい。

[0005] 例えば特許文献1においては素子がウェハ表面の凹部に形成され、蓋部材を前記ウェハの表面にろう材を介して接合することにより、前記素子を封止する方法が開示されている。また特許文献2においては、蓋部材がウェハ上に素子を囲んで形成された外周壁部材の上面にろう材層を介して接合され、これにより前記素子の封止がなされている。

[0006] このように蓋部材をウェハ表面、あるいはウェハ表面上に形成された外周

壁部材の上面にロウ材層を介して接合する場合には、ロウ材層を溶融させる必要があり、また溶融したロウ材層が基板表面や蓋部材表面の凹凸を吸収することで確実な封止が得られるように、蓋部材を軽く押圧するのが好ましい。しかし、溶融したロウ材層を圧迫すると、ロウ材が前記素子を囲む空間に流れ出す、あるいは押し出されてしまうおそれがある。流れ出したロウ材が素子に接触すると、電気的な不良を引き起こすのみならず、特に可動部を有する素子の場合、前記可動部の動作が妨げられてしまう。

[0007] そこで、このような従来の構成では、前記空間の寸法を、このようなロウ材の流入を考慮して必要以上に大きく設定する必要があり、電子部品の寸法の増大を招いていた。

特許文献1：特開平11-340350号公報

特許文献2：特開2006-74291号公報

### 課題を解決するための手段

[0008] 一の側面によれば電子部品は、基板と、前記基板上に形成された素子と、前記基板上において前記素子を囲む側壁部材と、前記側壁部材上に配設され、前記側壁部材と共に、前記基板上において前記素子を囲む空間を画成する蓋部材と、前記側壁部材の外側に設けられ、前記側壁部材および蓋部材を前記基板の表面に接合し、前記空間を封止する封止部材と、を備える。

[0009] 他の側面によれば電子部品の製造方法は、ウェハ上に複数の素子を行列状に形成する工程と、前記複数の素子にそれぞれ対応した複数の蓋部材が行列状に形成され、それぞれの蓋部材が対応する素子を囲む側壁部を含み、また隣接する蓋部材どうしが溝部で相互に隔てられ、かつ隣接する蓋部材どうしが前記溝部を架橋する架橋部により相互に結合した状態で形成されたキャップ基板を作製する工程と、前記キャップ基板を前記ウェハ上に、それぞれの蓋部材において側壁部が対応する素子を囲むように載置する工程と、前記キャップ基板上に流動状態の封止層を担持したシールド基板を押圧し、前記溝部を介して、前記それぞれの素子を囲む側壁部の外側に圧入し、固化させることにより、前記シールド基板の下方において隣接する側壁部の間を封止部

材で充填する工程と、前記シールド基板、前記キャップ基板および前記ウェハを前記溝部に沿って切断し、前記複数の素子を個々の電子部品に分離させる工程と、を含む。

[0010] 他の側面によれば電子部品の製造方法は、ウェハ上に複数の素子を行列状に形成する工程と、前記ウェハ上に、前記複数の素子をそれぞれ囲むように、前記ウェハの表面から屹立する複数の側壁部材をシールリングとして形成する工程と、前記複数の素子にそれぞれ対応した複数の蓋部材が行列状に形成され、隣接する蓋部材どうしが溝部で相互に隔てられ、かつ隣接する蓋部材どうしが前記溝部を架橋する架橋部により相互に結合した状態で形成されたキャップ基板を作製する工程と、前記キャップ基板を前記ウェハ上に、それぞれの蓋部材が対応する素子を覆い、また対応する側壁部材に係合するように載置する工程と、前記キャップ基板上に流動状態の封止層を担持したシールド基板を押圧し、前記溝部を介して、前記それぞれの素子を囲む側壁部材の外側に圧入し、固化させることにより、前記シールド基板の下方において隣接する側壁部材の間を封止部材で充填する工程と、前記シールド基板、前記キャップ基板および前記ウェハを前記溝部に沿って切断し、前記複数の素子を個々の電子部品に分離させる工程と、を含む。

### 発明の効果

[0011] 基板上の素子を蓋部材および側壁部材で囲み、側壁部材の外側において当該側壁部材および蓋部材を封止部材により基板表面に結合し素子を封止することにより、封止部材の素子が形成されている空間へのはみ出しを回避することが可能となる。

### 図面の簡単な説明

[0012] [図1]第1の実施形態によるMEMSスイッチの構成を示す断面図である。  
[図2]図1のMEMSスイッチが多数形成されるウェハを示す平面図である。  
[図3]図1のMEMSスイッチの本体部を示す斜視図である。  
[図4A]図1のMEMSスイッチの第1の動作状態を示す図である。  
[図4B]図1のMEMSスイッチの第2の動作状態を示す図である。

[図5A]図1のMEMSスイッチの本体部の形成工程を説明する工程断面図（その1）である。

[図5B]図1のMEMSスイッチの本体部の形成工程を説明する工程断面図（その2）である。

[図5C]図1のMEMSスイッチの本体部の形成工程を説明する工程断面図（その3）である。

[図5D]図1のMEMSスイッチの本体部の形成工程を説明する工程断面図（その4）である。

[図5E]図1のMEMSスイッチの本体部の形成工程を説明する工程断面図（その5）である。

[図5F]図1のMEMSスイッチの本体部の形成工程を説明する工程断面図（その6）である。

[図5G]図1のMEMSスイッチの本体部の形成工程を説明する工程断面図（その7）である。

[図5H]図1のMEMSスイッチの本体部の形成工程を説明する工程断面図（その8）である。

[図5I]図1のMEMSスイッチの本体部の形成工程を説明する工程断面図（その9）である。

[図6]第1の実施形態によるウェハレベルパッケージングの概要を示す分解斜視図である。

[図7]MEMSスイッチが形成されたウェハ表面を示す平面図である。

[図8A]キャップ基板の上面を示す平面図である。

[図8B]キャップ基板の下面を示す平面図である。

[図9A]第1の実施形態によるウェハレベルパッケージングを示す工程断面図（その1）である。

[図9B]第1の実施形態によるウェハレベルパッケージングを示す工程断面図（その2）である。

[図9C]第1の実施形態によるウェハレベルパッケージングを示す工程断面図

(その3)である。

[図9D]第1の実施形態によるウェハレベルパッケージングを示す工程断面図(その4)である。

[図10A]第1の実施形態によるウェハレベルパッケージングを示す別の工程断面図(その1)である。

[図10B]第1の実施形態によるウェハレベルパッケージングを示す別の工程断面図(その2)である。

[図10C]第1の実施形態によるウェハレベルパッケージングを示す別の工程断面図(その3)である。

[図10D]第1の実施形態によるウェハレベルパッケージングを示す別の工程断面図(その4)である。

[図11A]第1の実施形態におけるキャップ基板の形成工程を示す断面図(その1)である。

[図11B]第1の実施形態におけるキャップ基板の形成工程を示す断面図(その2)である。

[図11C]第1の実施形態におけるキャップ基板の形成工程を示す断面図(その3)である。

[図11D]第1の実施形態におけるキャップ基板の形成工程を示す断面図(その4)である。

[図11E]第1の実施形態におけるキャップ基板の形成工程を示す断面図(その5)である。

[図12]第1の実施形態の一変形例によるMEMSスイッチを示す断面図である。

[図13]第1の実施形態の他の変形例によるMEMSスイッチを示す断面図である。

[図14]第2の実施形態による可変容量素子の構成を示す断面図である。

[図15]図14の可変容量素子の本体部を示す斜視図である。

[図16A]図14の可変容量素子の第1の動作状態を示す図である。

[図16B]図14の可変容量素子の第2の動作状態を示す図である。

[図16C]図14の可変容量素子の等価回路図である。

[図17A]図14の可変容量素子の本体部の形成工程を説明する工程断面図（その1）である。

[図17B]図14の可変容量素子の本体部の形成工程を説明する工程断面図（その2）である。

[図17C]図14の可変容量素子の本体部の形成工程を説明する工程断面図（その3）である。

[図17D]図14の可変容量素子の本体部の形成工程を説明する工程断面図（その4）である。

[図17E]図14の可変容量素子の本体部の形成工程を説明する工程断面図（その5）である。

[図17F]図14の可変容量素子の本体部の形成工程を説明する工程断面図（その6）である。

[図17G]図14の可変容量素子の本体部の形成工程を説明する工程断面図（その7）である。

[図18A]第2の実施形態におけるキャップ基板の形成工程を説明する工程断面図（その1）である。

[図18B]第2の実施形態におけるキャップ基板の形成工程を説明する工程断面図（その2）である。

[図19]第2の実施形態の一変形例による可変容量素子を示す断面図である。

[図20]第1の実施形態の他の変形例による可変容量素子を示す断面図である。

。

## 符号の説明

- [0013] 10 ウェハ  
10A, 10B, 10C 素子領域  
10L スクライブライン  
20 MEMSスイッチ

- 2 1 基板
- 2 1 A ~ 2 1 C, 2 1 B<sub>1</sub>, 2 1 B<sub>2</sub> 貫通ビアプラグ
- 2 1 S 基板表面
- 2 1 SW 基板側壁面
- 2 2 A 支柱
- 2 2 B 駆動電極パターン
- 2 2 C, 2 2 C<sub>1</sub>, 2 2 C<sub>2</sub>, 2 3 A 接点
- 2 2 D 電極パターン
- 2 2 S シールリング
- 2 2 O, 4 2 O 直流電圧源
- 2 3 カンチレバー
- 2 3 B 上部電極パターン
- 2 3 W ボンディングワイヤ
- 2 4 作動空間
- 2 5 蓋部材
- 2 5 S 側壁部材
- 2 5 a 密着層
- 2 5 O キャップ基板
- 2 5 O A, 2 5 O B 架橋部
- 2 5 O L スリット部
- 2 5 O V 空間
- 2 6 シールド層
- 2 6 S シールド層下面
- 2 6 O シールド基板
- 2 7 封止部材
- 2 7 SW 封止部材側壁面
- 2 7 O 封止材層
- 3 1, 4 5 レジスト膜

31A, 31B, 45A, 45C レジスト開口部

## 発明を実施するための最良の形態

[0014] [第1の実施形態]

[第1の実施形態]

図1は、第1の実施形態による電子部品20の例を示す断面図、図2は図1の電子部品20が切り出されるウェハ10を示す平面図である。

[0015] まず図2の平面図を参照するに、前記ウェハ10は例えば正方形の平面形状を有しており、前記ウェハ10上には、前記電子部品20にそれぞれ対応する複数の電子部品要素10A, 10B, 10C・・・が、スクライブライン10Lにより隔てられて、行列状に形成されている。図1の電子部品20は、例えば前記ウェハ10上に形成された電子部品要素10A, 10B, 10C・・・のいずれかを、前記スクライブライン10Lに沿ってダイシングすることにより得られたものである。前記ウェハは例えば低温焼成セラミック(LTCC)などより構成されるが、ガラスや樹脂、シリコン基板などより構成することも可能である。

[0016] 次に図1の断面図を参照するに、図示の例では電子部品20はMEMS (micro-electromechanical system) スイッチであり、低温焼成セラミックよりなり前記ウェハ10に対応する基板21上に形成されており、前記基板21の表面21S上には銅(Cu)などよりなる支柱22Aを介して、先端部に接点23Aを担持するカンチレバー23が形成されている。また前記基板21の表面21S上には、前記接点23Aに対応する接点22Cが形成され、さらに前記カンチレバー23を静電気力で駆動するために駆動電極パターン22Bが形成されている。後で説明するように、前記接点22Cは実際には二つの接点22C<sub>1</sub>, 22C<sub>2</sub>より構成されており、前記カンチレバー23が駆動電極パターン22Bに吸引されて前記接点23Aが接点22C<sub>1</sub>, 22C<sub>2</sub>にコンタクトした場合、例えば前記接点22C<sub>1</sub>に入来した高周波信号が、前記接点23Aを導通して接点22C<sub>2</sub>から出力される。以下における図1の断面図の説明では、前記接点22Cは前記接点22C<sub>1</sub>, 22C<sub>2</sub>を包含する

ものとする。

- [0017] 前記カンチレバー 23 は、例えばシリコン酸化膜などより形成され、その上に上部電極パターン 23 B を担持している。そこで、前記駆動電極パターン 22 B と上部電極パターン 23 B の間に駆動電圧を印加することにより、前記カンチレバー 23 は、前記駆動電極パターン 22 B と上部電極パターン 23 B の間に生じた電磁力による駆動され、その結果、前記接点 23 A が前記接点 22 C にコンタクトしたり離れたりする。
- [0018] また図 1 の断面には図示されないが、前記基板 21 の表面 21 S 上には、前記カンチレバー 23 上の上部電極パターン 23 B にボンディングワイヤを介して給電するための電極パターン 22 D が形成されている。図 1 の MEMS スイッチ 20 本体のより詳細な説明は、後で図 3 の斜視図を参照しながら行う。
- [0019] 前記基板 21 中にはさらに、前記電極パターン 22 B, 22 C にそれぞれ対応して貫通ビアプラグ 21 B, 21 C がそれぞれ形成されている。図 1 の断面には図示されないが、同様な貫通ビアプラグが、前記基板 21 中に、前記電極パターン 22 D に対応して形成されている。
- [0020] 一例によれば、前記貫通ビアプラグ 21 B, 21 C、支柱 22 A、上部電極パターン 23 B は例えば銅 (Cu) より構成され、前記駆動電極パターン 22 B、接点 22 C、23 A は例えば金 (Au) などの耐酸化性金属により構成される。
- [0021] さらに前記基板 21 の表面 21 S 上には、前記支柱 22 A および電極パターン 22 B, 22 D、カンチレバー 23 および接点 22 C を連続的に囲んで、例えば金 (Au) よりなる、あるいは金/チタン (Au/Ti) 積層構造、あるいは金/クロム (Au/Cr) 積層構造を有するシールリング 22 S が環状に形成されている。
- [0022] 前記シールリング 22 S 上には、例えばシリコンよりなり、側壁部材 25 S と蓋部材 25 C とを一体的に有する蓋部材 25 が、前記基板 21 の上面 21 S 上に、前記支柱 22 A、電極パターン 22 B~22 D およびカンチレバ

ー 23、さらに前記接点 22C などが収納される作動空間 24 を画成するように載置される。図示の実施形態では前記蓋部材 25 は、その上面、すなわち前記基板 21 とは反対の側の面を除いて全面に、例えば金／チタンあるいは金／クロム積層構造の密着層 25a が形成されており、前記側壁部材 25S は、前記蓋部材 25 を前記基板 21 上に載置することにより、対応するシールリング 22S に、かかる密着層 25a を介して接合されている。また前記蓋部材 25 には、その上面に、例えば鉄ニッケル合金などよりなるシールド層 26 が接合されている。

[0023] さらに前記側壁部材 25S の外側には、前記基板 21 の上面 21S と前記シールド層 26 の下面 26S の間の空間を充填して、また前記側壁部材 25S の側壁面を覆う密着層 25a に接して、例えばスズビスマス系のはんだよりなる封止部材 27 が形成されている。図示の例では、前記側壁部材 25S には、前記基板 21 の上面 21S に対面する面 25s よりなる段差部がさらに形成され、前記封止部材 27 は前記蓋部材 25 の側壁部材 25S の側壁面のみならず、かかる段差部にも接合していることに注意すべきである。その結果、前記シールド層 26 および前記蓋部材 25 は前記封止部材 27 により、前記基板 21 の上面 21S にしっかりと接合される。

[0024] また本実施形態では、後で詳細に説明するように、ウェハレベルパッケージングに引き続き実行されるダイシング工程が行われる結果、前記封止部材 27 は、前記基板 21 の側壁面 21SW を延長した側壁面 27SW により画成されていることに注意すべきである。

[0025] 本実施形態によれば、前記封止部材 27 は、前記作動空間 24 から見て前記側壁部材 25S の外側に形成されるため、例えば蓋部材 25 および基板 21 に対する接合、あるいは前記シールド層 26 および基板 21 に対する接合を促進すべく、例えば前記封止部材 27 が溶融した状態で前記蓋部材 25 を基板 21 に対して押圧しても、溶融した封止部材 27 が前記作動空間 24 に流入することはなく、前記シールリング 22S と蓋部材 25 との間に直接に、また前記封止部材 27 を介しても、密接で強固な接合を実現でき、さらに

前記作動空間 24 の大きさを必要以上に大きく設定する必要がないという、好ましい特徴を得ることが出来る。

[0026] 図 3 は、前記 MEMS スイッチ 20 の本体部を、前記蓋部材 25 およびシールド層 26、封止部材 27 を除去した状態でより詳細に示す斜視図である。

[0027] 図 3 を参照するに、前記基板 21 の上面 21S 上には前記支柱 22A の近傍に前記電極パターン 22D が形成されており、前記電極パターン 22D は前記カンチレバー 23 上の上部電極パターン 23B にボンディングワイヤ 23W により接続されているのがわかる。また先に説明したように前記基板 21 中には、前記電極パターン 22D に対応して図示していない貫通電極が、前記貫通電極パターン 21B、21C と同様に形成されている。

[0028] 図 3 の構成では、前記接点 22C に対応して二つの接点 22C<sub>1</sub> および 22C<sub>2</sub> が形成されており、図 4A に示すように前記電極パターン 22B と 23B の間に駆動電圧が印加されていない状態では前記二つの接点 22C<sub>1</sub> および 22C<sub>2</sub> は電氣的に非導通であるのに対し、前記電極パターン 22B と 23B の間に直流電源 220 から直流の駆動電圧が印加されている図 4B の状態では前記接点 22C<sub>1</sub> および 22C<sub>2</sub> とは前記接点 23A を介して導通し、例えば前記接点 22C<sub>1</sub> の入力端子に入来した高周波信号が接点 22C<sub>2</sub> へと出力される。

[0029] 以下、図 1 の MEMS スイッチ 20 の製造方法を説明する。

[0030] 最初に、前記 MEMS スイッチ 20 の本体部の製造について、図 5A ~ 図 5I を参照しながら簡単に説明する。

[0031] 図 5A を参照するに、最初に図 2 のウェハ 10 の各々の素子領域 10A、10B、10C・・・において、前記ウェハ 10 に対応する基板 21 の表面 21S 上に、シールリング 22S および駆動電極パターン 22B、さらに接点 22C<sub>1</sub>、22C<sub>2</sub> が、例えば金膜の堆積およびパターンニングにより、例えば 1 μm の厚さに形成される。ここで前記シールリング 22S は例えば各々 1500 μm × 1000 μm の寸法の素子領域を画成するスクライブライン

10Lに沿って、例えば150 $\mu$ mの幅で形成されており、先にも述べたように当該素子領域に形成される支柱22Aや電極パターン22B、22D、接点22C<sub>1</sub>、22C<sub>2</sub>などの構造を連続して囲むように環状に形成される。

[0032] 例えば前記シールリング22Sおよび駆動電極パターン22B、さらに接点22C<sub>1</sub>、22C<sub>2</sub>は、図示は省略するが、前記基板21、すなわちウェハ10の表面に薄い金膜をシード層として形成し、その上にそれぞれの電極パターンに対応したレジスト開口部を有するレジスト膜を形成し、前記レジスト膜をマスクとした電解メッキ法などにより形成することができる。

[0033] 次に図5Bに示すように前記基板21上に、前記表面21S上の構造を覆って、レジスト膜31が形成され、さらに図5Cに示すように前記レジスト膜31中に、前記支柱22Aに対応して前記表面21Sを露出する開口部31Aが形成される。

[0034] さらに前記開口部31Aにおいて銅層を例えば電解メッキ法により堆積することにより、前記支柱22Aが図5Dに示すように、例えば8 $\mu$ mの高さに形成される。ここで、前記支柱22A、22Cを電解メッキにより形成するにあたっては、先に図5Aの工程で前記ウェハ10の表面に形成してあった金膜を、メッキシード層として使うことができる。

[0035] さらに前記レジスト膜31中には前記接点22C<sub>1</sub>、22C<sub>2</sub>に対応して図5Eに示すように前記接点23Aのための開口部31Bが所定の例えば2 $\mu$ mの深さに形成され、さらに図5Fに示すように前記開口部31Bを充填して金パターンが、前記接点23Aとして、2 $\mu$ mの厚さに形成される。

[0036] さらに図5Gに示すように前記レジスト膜31上に、前記支柱22Aから接点23Aまで延在するように、例えば厚さが5 $\mu$ mのシリコン酸化膜により、前記カンチレバー23が形成され、さらに前記カンチレバー23上に、図5Hに示すように例えば厚さが0.5 $\mu$ mの銅パターンにより、前記上部電極パターン23Bを形成する。

[0037] さらに図5Iに示すように前記レジスト膜31を溶媒などに溶解させることにより、あるいは酸素雰囲気中でのアッシングにより除去し、前記上部電

極パターン23Bを図51の断面には示されていない電極パターン22Dに、ボンディングワイヤ22Wにより、先に図3で説明したように接続することにより、MEMSスイッチ20が形成される。

[0038] また図51の工程では、先に図5Aの工程で前記ウェハ10の表面に形成されたまま残っている薄いメッキシード層が、ウェットエッチングなどにより除去される。メッキシード層は極めて薄いため、このようにウェットエッチングを行っても、前記素子領域に形成された構造は、実質的な影響を受けない。

[0039] このようにして図5A～図51の工程により、前記図2のウェハ10上のすべての素子領域10A、10B、10C・・・において、前記図3の斜視図に示すMEMSスイッチ20の本体部が形成される。

[0040] なお前記基板21中には、図5Aの工程の段階で、前記貫通ビアプラグ21B、21Cなどはすでに形成されているものとする。

[0041] 次に、このようなウェハ10に対して行われる第1の実施形態によるウェハレベルパッケージングについて、まず概要を図6の分解斜視図を参照しながら説明する。

[0042] 図6を参照するに、前記ウェハ10上にはそれぞれの素子領域に前記図3の斜視図に示したMEMSスイッチ20が、スクライブライン10Lにより相互に隔てられて行列状に形成されており、前記ウェハ10上には、前記蓋部材25を、前記ウェハ10上の素子領域に対応して行列状に結合して形成したキャップ基板250が接合され、さらに前記キャップ基板250の上方から、下面に溶融はんだなどの封止剤層270を担持したシールド基板260が押圧される。

[0043] 前記キャップ基板250には、前記ウェハ10上のスクライブライン10Lに対応したスリット部250Lが、前記蓋部材25を囲むように縦横に形成されており、前記シールド基板260を前記キャップ基板250に上方から押圧すると前記封止剤層270は前記スリット部250Lから前記キャップ基板250の下に流入し、前記ウェハ10上に形成されている前記図1の

断面構造を有する多数のMEMSスイッチ20の間の空間を充填する。

[0044] 図7は、図6の分解斜視図におけるウェハ10を示す平面図である。

[0045] 図7を参照するに、前記ウェハ10上には、前記図2の平面図に対応して素子領域10A、10B、10C・・・が、縦横に延在する幅が例えば110 $\mu$ mのスクライブライン10Lにより画成されており、前記複数の素子領域10A、10B、10C・・・にはシールリング22Sに囲まれて、前記図3の斜視図に示したMEMSスイッチ20の本体部が形成されている。

[0046] 図8Aは、前記図6の分解斜視図におけるキャップ基板250を上面、すなわち図6におけるシールド基板260の側から見た平面図、図8Bは前記キャップ基板250を下側、すなわち図6におけるウェハ10の側から見た平面図である。前記ウェハ10を前記スクライブライン10Lに沿って切断することにより、図1における基板21が形成される。

[0047] 図8Aの平面図を参照するに、前記キャップ基板250を構成するシリコン基板中には、前記ウェハ10のスクライブライン10Lに対応してスリット250Lが縦横に延在し、個々の蓋部材25を画成しており、また個々の蓋部材25は隣接する蓋部材25に、リブ状の架橋部250A、250Bにより、機械的に結合されている。このうち架橋部250Aは一つの蓋部材25を、行方向あるいは列方向に隣接する蓋部材25に結合し、架橋部250Bは一つの蓋部材25を斜め方向に隣接する蓋部材25に結合する。

[0048] また図8Bの平面図を参照するに、キャップ基板250を構成する前記シリコン基板の下面には、前記図1の作動空間24に対応する凹部を囲んで、各々の素子領域に側壁部材25Sが凸パターンの形で環状に形成されているのがわかる。

[0049] このようなキャップ基板250の製造方法については、後で図11A～図11Dを参照しながら説明する。

[0050] 次に、本実施形態によるウェハレベルパッケージングのより詳細な説明を、図9A～図9Dおよび図10A～図10Dの工程断面図を参照しながら行う。ただし図9A～図9Dは図8A中、線A-A'に沿った断面図であり、図

10A～図10Dは図8A中、線B-B'に沿った断面図である。

[0051] 図9Aおよび図10Aを参照するに、前記キャップ基板250の下面には前記密着層25aが形成され、前記キャップ基板250は、前記ウェハ10上に、前記側壁部材25Sが前記密着層25aを介して前記シールリング22Sにコンタクトするように配設され、さらに例えば280℃の温度に加熱しながら前記ウェハ10に対して前記キャップ基板250を例えば1MPaの圧力で押圧することにより、前記側壁部材25Sが前記シールリング22Sに、前記側壁部材25Sおよび前記シールリング22Sの表面に多少の凹凸があったとしても、前記密着層25aを介して確実に接合される。前記側壁部材25Sが各々の素子領域10A, 10B, 10C・・・においてそれぞれのシールリング22Sと接合する結果、前記各々の素子領域10A, 10B, 10C・・・には、前記側壁部材25Sにより囲まれて、前記作動空間24が画成されている。なお以下の説明では、当該素子領域に隣接する素子領域については、作動空間24のみを図示し、MEMSスイッチ20本体の図示は省略する。

[0052] 次に図9Bおよび図10Bに示すように、前記図9Aの構造上に、下面にハンダ層270を担持したシールド基板260を配設し、さらに図9Cおよび図10Cに示すように、前記ハンダ層270を、例えば窒素などの不活性雰囲気中において溶融させ、さらに前記シールド基板260を矢印の方向に押圧することにより、前記溶融ハンダ層270を前記スリット250Lから、前記スクライブライン10Lに対応して、一の素子領域と隣接する素子領域の間においてそれぞれの側壁部材25Sと25Sの間に形成される空間250Vに押し出す。前記空間250Vは図8Bの平面図からわかるように前記ウェハ10上において連結しており、前記空間250Vを充填していた窒素ガスや、余分の溶融ハンダは、前記空間250Vを通過して前記ウェハ10の外部へと排出され、前記空間250Vは前記溶融ハンダ層270により充填される。

[0053] 図9Cおよび図10Cの状態では、前記側壁部材25Sがそれぞれの素子

領域において、対応するシールリング 22S に接合されている結果、前記作動空間 24 は窒素ガスなどの不活性ガスが充填された状態で密閉されており、前記シールド基板 260 を押圧しても、前記溶融ハンダ層 270 が作動空間 24 に流入することはない。このため本実施形態では、前記作動空間 24 を、それぞれの素子領域におけるカンチレバー 23 などの寸法に対して、溶融はんだ層 270 の流入を勘案して過大に設定する必要がなく、MEMS スイッチ 20 を小型に形成することが可能となる。

[0054] さらに前記溶融ハンダ層 270 を固化させた後、図 9D および図 10D に示すように前記ウェハ 10 をスクライブライン 10L に沿って、例えばダイシングブレード 31 を矢印で示すように作用させることにより、前記ウェハ 10 は個々の素子領域に分割され、先に図 1 で説明した MEMS スイッチ 20 が得られる。

[0055] さらに図 11A ~ 図 11D は、前記キャップ基板 250 の製造方法を説明する工程断面図である。

[0056] 図 11A を参照するに、例えば前記ウェハ 10 に対応して正方形形状に形成されたシリコン基板 250S 上に、図 8B の平面図に示された側壁部材 25S に対応してレジストパターン R1 が形成され、図 11B に示すように前記シリコン基板 250S を、前記レジストパターン R1 をマスクに、前記作動空間 24 の高さに対応する所定の深さ、例えば 50  $\mu\text{m}$  まで、エッチングする。かかるエッチングの結果、前記シリコン基板 250S には前記側壁部材 25S が形成され、また一の素子領域を画成する側壁部材 25S と隣接する素子領域を画成する側壁部材 25S との間に前記空間 250V が形成される。

[0057] さらに図 11C に示すように前記図 11B の状態のシリコン基板 250S を上下反転させ、さらに上面に、前記スリット 250L に対応したレジスト開口部 R3A を有するレジストパターン R3 を形成し、さらに前記レジストパターン R3 をマスクに前記シリコン基板 250 をエッチングすることにより、図 11D に示すように、前記空間 250V に連通して前記スリット 25

OLを形成する。

[0058] なお基板250Sの上下反転無しで、空間250Vを形成した面からの加工も可能である

さらに図11Eに示すように前記図11Dの状態のシリコン基板250Sを上下反転させ、前記側壁部材25Sが形成されている側の面に前記密着層25aを、例えば0.5 $\mu$ mの膜厚で形成することにより、前記キャップ基板250が形成される。

[0059] このように本実施形態では前記キャップ基板250をシリコン基板250Sより形成しており、これに伴い蓋部材25もシリコンより構成されるが、本実施形態はかかる特定の材料に限定されるものではなく、前記キャップ基板250および蓋部材25は、シリコン以外にガラスや金属、セラミックなどより構成することも可能である。

[0060] 図12は、本実施形態の一変形例によるMEMSスイッチ20Aの構成を示す断面図である。ただし図12中、先の実施形態に対応する部分には同一の参照符号を付し、説明を省略する。

[0061] 図12を参照するに、本実施形態では前記シールリング22Sの代わりに、前記作動空間24の高さに対応する高さを有するシールリング32Sを、例えば銅の電解メッキなどにより形成し、その上に、平板状の蓋部材35を接合することにより、前記作動空間24を画成している。前記平板状の蓋部材35は例えばシリコンよりなり、シリコンよりなる前記蓋部材35と同様の構成を有しているが、前記側壁部25Sを欠いており、平坦な下面を有している。

[0062] 前記蓋部材35の下面および側壁面には前記密着層25aが形成されており、前記蓋部材35は、側壁部材を構成するシールリング32Sの外側において、ハンダなどの封止部材27を介して前記基板21の表面21Sに強固に接合される。

[0063] 図12の例では前記シールド層26が前記基板21の外形に対応した外形を有しており、前記蓋部材35の外周を画成する側壁面は前記シールド層2

6の外周を画成する側壁面から後退して形成されており、また前記シールリング32Sの外周を画成する側壁面は、前記蓋部材の側壁面からさらに後退した位置に形成されているため、図12の構成では、図中に囲んでしめしたように二つの段差部が形成される。図12の実施形態では、上記二つの段差部は、いずれも前記封止部27を構成するハンダにより充填されており、その結果、前記蓋部材35は前記基板21の表面に強固に結合される。

[0064] 図12の構成は、先に図6で説明したウェハレベルパッケージングの際に、前記キャップ基板250として、図8Bの平面図において前記側壁部材25Sを形成していない、下面が平坦な基板を使って、前記図9A～図9Dおよび図10A～図10Dのプロセスを実行することにより、同様に形成することができる。

[0065] 図13は、本実施形態の他の変形例によるMEMSスイッチ20Bの構成を示す断面図である。ただし図13中、先の実施形態に対応する部分には同一の参照符号を付し、説明を省略する。

[0066] 図13の変形例では、前記蓋部材35の外周を画成する側壁面が、前記基板21の外周と一致するシールド層26の外周を画成する側壁面およびシールリングを兼用する前記側壁部材32Sの外周を画成する側壁面のいずれよりも後退した位置に形成されていることに注意すべきである。

[0067] かかる構成の結果、図13の変形例では、図中に囲んで示したように封止部材27により充填された段差部が形成され、前記シールド層26が前記基板21に前記封止部材27により強固に結合される。その結果、図13の変形例においても、前記蓋部材35は前記基板11に強固に結合される。

[0068] また図13の構成では、前記蓋部材35の寸法が縮小され、MEMSスイッチ20Bをさらに小型化することが可能である。

#### [第2の実施形態]

図14は、第2の実施形態による可変容量素子40の構成を示す断面図、図15は前記図14の可変容量素子40の本体部の構成を示す斜視図である。図14の断面図は、図15の斜視図中、線C-C'に沿った断面を示している。

る。図中、先に説明した部分に対応する部分には同一の参照符号を付し、説明を省略する。

[0069] 図14の断面図を参照するに、本実施形態では前記ウェハ10の一つの素子領域に対応する基板21上に、前記支柱22Aおよび電極パターン22Cの代わりに金よりなる接地電極パターン42A、42Cがそれぞれ形成され、前記接地電極パターン42A、42C上に銅よりなる支柱41A、41Cがそれぞれ、例えば2 $\mu$ mの高さに形成されている。また前記支柱41Aおよび41Cの間には、金膜よりなるエアブリッジ構造の上部電極パターン42が、例えば1 $\mu$ mの膜厚で形成されており、さらに前記基板21上、前記接地電極パターン42Aと42Cの間には、前記上部電極42に対向して下部電極パターン42Bが形成されている。

[0070] 図14の構成では、前記上部電極パターン42は対向する下部電極パターン42Bに対して変位可能に設けられており、前記上部電極パターン42と下部電極パターン42Bとは可変容量素子を構成する。その際、前記上部電極パターン42と下部電極パターン42Bとが短絡することがないように、前記下部電極パターン42B上にはシリコン酸化膜などよりなるキャパシタ誘電体膜43が形成されている。

[0071] 図15の斜視図を参照するに、前記シールリング22Sが先の実施形態と同様に基板21上の素子領域を画成しており、前記下部電極パターン42Bが前記基板21の表面21S上を、高周波信号入力側(RFin)から高周波信号出力側(RFout)まで、前記上部電極パターン42の下を延在しているのがわかる。また前記基板21中には、図14の断面図中に示したビアプラグ21B<sub>1</sub>および21B<sub>2</sub>が、それぞれ前記入力側および出力側に対応して形成されている。また前記シールリング22Sおよび電極パターン42A、42Cは、それぞれ前記基板21中に形成された貫通ビアプラグ21Aおよび21Cを介して接地されている(GND)。かかる構成により、前記可変容量素子40は、図16Cに示すように、前記下部電極パターン42Bよりなる高周波伝送路に、前記上部電極パターン42と下部電極パターン42B

の間に形成されるキャパシタンス  $C_{cap}$  が接続された構成の素子を形成する。

[0072] 図 16A および図 16B は、前記可変容量素子 40 の動作を説明する図である。

[0073] 図 16A を参照するに、前記下部電極パターン 42B に外部の直流電圧源から直流電圧が印加されていない場合には、両者の間に静電気力が生じることはなく、前記上部電極パターン 42 と下部電極パターン 42B は離間しており、前記キャパシタンス  $C_{cap}$  は第 1 の値  $C_1$  をとる。

[0074] これに対し図 16B に示すように前記上部電極パターン 42 と下部電極パターン 42B の間に直流電圧を、直流電圧源 420 からシャントキャパシタなどを含む高周波遮断回路 41 を介して印加した場合、前記上部電極パターン 42 は前記下部電極パターン 42B に静電気力により吸引され、最も極端な場合、前記下部電極パターン 42B に、前記キャパシタンス誘電体膜 43 を介してコンタクトする。このような状態では、前記キャパシタンス  $C_{cap}$  は、前記第 1 の値  $C_1$  よりも大きな第 2 の値  $C_2$  を有する。

[0075] このように本実施形態における可変容量素子 40 では、前記上部電極 42 と下部電極 42B の間に直流電圧を印加することにより、図 16C の等価回路図に示されるように、前記下部電極パターン 42B が構成する高周波信号の伝送路に接続されたキャパシタの容量を変化させることができる。

[0076] 本実施形態では、図 14 の断面図に示すように、Au/Ti 積層構造を有する密着層 25a が前記蓋部材 25 のうち、前記作動空間 24 中において前記基板 21 に対向する部分から除去されていることに注意すべきである。かかる構成によれば、前記基板 21 上において高周波信号が供給される電極パターンと前記蓋部材 25 との間に寄生容量が発生することがなく、可変容量素子 40 の動作に対する寄生容量の影響を抑制することができる。

[0077] 以下、図 14 の可変容量素子 40 の製造方法を説明する。

[0078] 最初に、前記可変容量素子 40 の本体部の製造について、図 17A ~ 図 17I を参照しながら簡単に説明する。

[0079] 図 17A を参照するに、最初に図 2 のウェハ 10 の各々の素子領域 10A

、10B、10C・・・において、前記ウェハ10に対応する基板21の表面21S上に、シールリング22Sおよび接地電極パターン42A、42C、および下部電極パターン42Bが、例えば金膜の堆積およびパターニングにより、例えば1 $\mu$ mの厚さに形成される。ここで前記シールリング22Sは先の実施形態の場合と同様に、例えば各々1500 $\mu$ m $\times$ 1000 $\mu$ mの寸法の素子領域を画成するスクライブライン10Lに沿って、例えば150 $\mu$ mの幅で形成されており、先にも述べたように当該素子領域に形成される電極パターン42A~42Cなどの構造を連続して囲むように環状に形成される。

[0080] 本実施形態においても、前記基板21の表面21S、従ってウェハ10の表面には、図示はしないがメッキシード層となる薄い金膜が形成されており、前記シールリング22Sや電極パターン42A~42Cは、前記メッキシード層上に形成され、前記電極パターン42A~42Cにそれぞれ対応したレジスト開口部を有するレジストパターンをマスクとした電解メッキ法により形成される。

[0081] 次に図17Bの工程において前記基板21上に、シリコン酸化膜などの誘電体膜が形成され、さらにこれを図示しないレジストプロセスによりパターニングすることにより、図17Bに示すように前記下部電極パターン42B上に、例えばシリコン酸化膜よりなるキャパシタ絶縁膜43が形成される。

[0082] さらに図17Cの工程において前記基板21上に、前記シールリング22Sおよび電極パターン42A~42Cを覆うようにレジスト膜45が形成され、さらに図17Dに示すように前記レジスト膜45中に、前記接地電極パターン42A、42Cにそれぞれ対応して、開口部45A、45Cが、前記接地電極パターン42A、42Cを露出するように形成される。

[0083] さらに図17Eの工程において前記レジスト膜45をマスクに、前記接地電極パターン42A、42C上に銅膜が前記レジスト開口部45A、45Cを充填するように形成され、これにより前記接地電極パターン42A上に銅よりなる支柱41Aが、また前記接地電極パターン42C上に銅よりなる支

柱41Cが、それぞれ電解メッキ法により形成される。なお前記支柱41A, 41Cを電解メッキにより形成するにあたっては、先に図17Aの工程で前記ウェハ10の表面に形成してあった金膜を、メッキシード層として使うことができる。

[0084] さらに図17Fの工程において前記レジスト膜45上に金膜が、例えばスパッタ法などの低温プロセスにより形成され、さらにこれをパターニングすることにより、前記支柱41Aと41Cを架橋する上部電極パターン42が形成される。

[0085] さらに図17Fに示すように前記レジスト膜45を溶媒などに溶解させることにより、あるいは酸素雰囲気中でのアッシングにより除去することにより、図14の可変容量素子40が形成される。

[0086] さらに先に図17Aの工程で前記シールリング22S, 電極パターン22B, 22Cなどを電解メッキ法で形成していた場合には、前記ウェハ10の表面に形成されたまま残っているメッキシード層を、前記レジスト膜45を除去した後、ウェットエッチングなどにより除去する。

[0087] このようにして図17A～図17Gの工程により、前記図2のウェハ10上のすべての素子領域10A, 10B, 10C・・・において、前記図15の斜視図に示す可変容量素子40の本体部が形成される。

[0088] なお前記基板21中には、図17Aの工程の段階で、前記貫通ビアプラグ21A～21Cがすでに形成されているものとする。

[0089] さらに、このような可変容量素子40がそれぞれの素子領域10A, 10B, 10C・・・に形成されたウェハ10に対し、先に図6, 図7, 図8A～図8B, 図9A～図9D, 図10A～図10Dで説明したウェハレベルパッケージプロセスを実行することにより、図14に記載の可変容量素子40が完成する。

[0090] その際、先にも説明したように、本実施形態による可変容量素子40では、寄生容量を低減するため、シリコンよりなる前記蓋部材25の下面からは密着層25aを除去していることに注意すべきである。

- [0091] このため本実施形態では、前記キャップ基板250を先に図11A～図11Eで説明したプロセスにより作製する際に、さらに図11Eの工程に引き続いて、図18Aおよび図18Bの工程を行い、前記キャップ基板250のうち、蓋部材25が前記基板21上に実装された場合に基板21の表面21Sに対面する部分から、前記密着層25aを除去する。
- [0092] すなわち図18Aの工程において、前記キャップ基板250を構成するシリコン基板250S上に、前記スリット部250Lおよび側壁部材25Sを覆ってレジストパターンR4が形成され、さらに前記レジストパターンR4をマスクに、前記シリコン基板250S上において露出されている密着層25aが、例えばスパッタエッチングやウェットエッチングにより除去される。
- [0093] そこで図18Bに示すようにレジストパターンR4を除去することにより、個々の蓋部材25において前記基板21に対面する面から前記密着層25aが除去された構造が、キャップ基板250として得られる。
- [0094] そこでかかるキャップ基板250を使うことにより、先に図14で説明した構造の可変容量素子40を得ることができる。
- [0095] 本実施形態においては、前記蓋部材25、従ってキャップ基板250は、シリコンに限定されるものではなく、ガラスやセラミックなどの絶縁材料により形成することも可能である。また前記蓋部材25、従ってキャップ基板250をシリコンにより形成する場合には、比抵抗が1000Ωcm以上の、絶縁性のシリコン基板を使うのが好ましい。前記蓋部材25としてこのように絶縁性の部材を使うことにより、図14の構成の可変容量素子40では、蓋部材25による寄生容量の効果を低減することができる。
- [0096] 図19は、本実施形態の一変形例による可変容量素子40Aの構成を示す断面図である。ただし図19中、先の実施形態に対応する部分には同一の参照符号を付し、説明を省略する。
- [0097] 図19を参照するに、本実施形態では前記シールリング22Sの代わりに、前記作動空間24の高さに対応する高さを有するシールリング32Sを、

前記図 1 2 の実施形態に対応して例えば銅の電解メッキなどにより形成し、その上に、平板状の蓋部材 3 5 を接合することにより、前記作動空間 2 4 を画成している。前記平板状の蓋部材 3 5 は例えばシリコンよりなり、シリコンよりなる前記蓋部材 3 5 と同様の構成を有しているが、前記側壁部 2 5 S を欠いており、平坦な下面を有している。

[0098] 前記蓋部材 3 5 の下面および側壁面には前記密着層 2 5 a が形成されており、前記蓋部材 3 5 は、側壁部材を構成するシールリング 3 2 S の外側において、ハンダなどの封止部材 2 7 を介して前記基板 2 1 の表面 2 1 S に強固に接合される。

[0099] 図 1 9 の例でも前記シールド層 2 6 が前記基板 2 1 の外形に対応した外形を有しており、前記蓋部材 3 5 の外周を画成する側壁面は前記シールド層 2 6 の外周を画成する側壁面から後退して形成されており、また前記シールリング 3 2 S の外周を画成する側壁面は、前記蓋部材の側壁面からさらに後退した位置に形成されているため、図 1 9 の構成では、図中に囲んでしめしたように二つの段差部が形成される。図 1 9 の実施形態では、上記二つの段差部は、いずれも前記封止部 2 7 を構成するハンダにより充填されており、その結果、前記蓋部材 3 5 は前記基板 2 1 の表面に強固に結合される。

[0100] 図 1 9 の構成は、先に図 6 で説明したウェハレベルパッケージングの際に、前記キャップ基板 2 5 0 として、図 8 B の平面図において前記側壁部材 2 5 S を形成していない、下面が平坦な基板を使って、前記図 9 A ~ 図 9 D および図 1 0 A ~ 図 1 0 D のプロセスを実行することにより、同様に形成することができる。

[0101] 図 2 0 は、本実施形態の他の変形例による可変容量素子 4 0 B の構成を示す断面図である。ただし図 2 0 中、先の実施形態に対応する部分には同一の参照符号を付し、説明を省略する。

[0102] 図 2 0 の変形例では、前記蓋部材 3 5 の外周を画成する側壁面が、前記基板 2 1 の外周と一致するシールド層 2 6 の外周を画成する側壁面およびシールリングを兼用する前記側壁部材 3 2 S の外周を画成する側壁面のいずれよ

りも後退した位置に形成されていることに注意すべきである。

- [0103] かかる構成の結果、図20の変形例では、図中に囲んで示したように封止部材27により充填された段差部が形成され、前記シールド層26が前記基板21に前記封止部材27により強固に結合される。その結果、図13の変形例においても、前記蓋部材35は前記基板11に強固に結合される。
- [0104] また図20の構成では、前記蓋部材35の寸法が縮小され、可変容量素子40Bをさらに小型化することが可能である。
- [0105] なお以上に説明した各実施形態において、前記封止部材27はハンダに限定されるものではなく、例えば樹脂を使うことも可能である。前記封止部材27として樹脂を使うことにより、電子部品を軽量化することができる。
- [0106] さらに以上の各実施形態において、前記作動空間24に形成される素子はMEMSスイッチや可変容量素子に限定されるものではなく、例えば水晶振動子などを形成することも可能である。
- [0107] 以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

## 請求の範囲

- [請求項1] 基板と、  
前記基板上に形成された素子と、  
前記基板上において前記素子を囲む側壁部材と、  
前記側壁部材上に配設され、前記側壁部材と共に、前記基板上において前記素子を囲む空間を画成する蓋部材と、  
前記側壁部材の外側に設けられ、前記側壁部材および蓋部材を前記基板の表面に接合し、前記空間を封止する封止部材と、  
を備えたことを特徴とする電子部品。
- [請求項2] 前記基板は外周を側壁面で画成されており、前記封止部材は、前記基板の側壁面を延長した面に一致する側壁面により外周を画成されていることを特徴とする請求項1記載の電子部品。
- [請求項3] 前記蓋部材と前記側壁部材とは一体の部材よりなり、前記側壁部材は前記基板の表面において前記素子を囲むシールリングに接合されていることを特徴とする請求項1記載の電子部品。
- [請求項4] 前記蓋部材は平板状の部材であり、前記側壁部材上に接合されていることを特徴とする請求項1記載の電子部品。
- [請求項5] 前記側壁部材は、前記基板上において前記素子を囲むシールリングの一部を構成することを特徴とする請求項4記載の電子部品。
- [請求項6] 前記側壁部材は、前記蓋部材の外周を画成する側壁面から後退した位置にある側壁面により外周を画成され、前記蓋部材の側壁面と前記側壁部材の側壁面との間には段差部が形成され、前記段差部は前記封止部材により充填されていることを特徴とする請求項1記載の電子部品。
- [請求項7] 前記蓋部材は平板状の部材であって前記側壁部材上に接合されており、前記蓋部材上には、前記基板の外周に一致する形状の外周を有するシールド部材が形成されており、前記蓋部材は、前記シールド部材の外周を画成する側壁面から後退した位置にある側壁面により外周を

画成され、前記側壁部材の外周を画成する側壁面は、前記シールド部材の外周を画成する側壁面および前記蓋部材の外周を画成する側壁面のいずれに対しても後退した位置に形成されて段差部を形成し、前記段差部は前記封止部材により充填されていることを特徴とする請求項 1 記載の電子部品。

[請求項8] 前記蓋部材は平板状の部材であって前記側壁部材上に接合されており、前記蓋部材上には、前記基板の外周に一致する形状の外周を有するシールド部材が形成されており、前記側壁部材は、前記シールド部材の外周を画成する側壁面から後退した位置にある側壁面により外周を画成され、前記蓋部材の外周を画成する側壁面は、前記シールド部材の外周を画成する側壁面および前記側壁部材の外周を画成する側壁面のいずれに対しても後退した位置に形成されて段差部を形成し、前記段差部は前記封止部材により充填されていることを特徴とする請求項 1 記載の電子部品。

[請求項9] 前記蓋部材および前記側壁部材は前記封止部材と、チタン層を含む密着層を介して接することを特徴とする請求項 1 記載の電子部品。

[請求項10] 前記側壁部材は、前記基板上において前記素子を囲む金属よりなるシールリングと、前記密着層を介して接合することを特徴とする請求項 9 記載の電子部品。

[請求項11] 前記密着層は前記蓋部材のうち、前記空間において前記基板に対面する部分には形成されないことを特徴とする請求項 9 記載の電子部品。

[請求項12] 前記素子は、可動部材を構成する電極を備えた可変容量素子であることを特徴とする請求項 1 1 記載の電子部品。

[請求項13] 前記封止部材は、ハンダまたは樹脂であることを特徴とする請求項 1 記載の電子部品。

[請求項14] ウェハ上に複数の素子を行列状に形成する工程と、  
前記複数の素子にそれぞれ対応した複数の蓋部材が行列状に形成さ

れ、それぞれの蓋部材が対応する素子を囲む側壁部を含み、また隣接する蓋部材どうしが溝部で相互に隔てられ、かつ隣接する蓋部材どうしが前記溝部を架橋する架橋部により相互に結合した状態で形成されたキャップ基板を作製する工程と、

前記キャップ基板を前記ウェハ上に、それぞれの蓋部材において側壁部が対応する素子を囲むように載置する工程と、

前記キャップ基板上に流動状態の封止層を担持したシールド基板を押圧し、前記溝部を介して、前記それぞれの素子を囲む側壁部の外側に圧入し、固化させることにより、前記シールド基板の下方において隣接する側壁部の間を封止部材で充填する工程と、

前記シールド基板、前記キャップ基板および前記ウェハを前記溝部に沿って切断し、前記複数の素子を個々の電子部品に分離させる工程と、

を含むことを特徴とする電子部品の製造方法。

[請求項15]

前記ウェハ上に複数の素子を行列状に形成する工程は、前記ウェハの表面に、前記複数の素子を囲んで複数のシールリングを形成する工程を含み、

前記キャップ基板を載置する工程は、前記側壁部が、対応する素子を囲むシールリングに係合するように実行されることを特徴とする請求項13記載の電子部品の製造方法。

[請求項16]

ウェハ上に複数の素子を行列状に形成する工程と、

前記ウェハ上に、前記複数の素子をそれぞれ囲むように、前記ウェハの表面から屹立する複数の側壁部材をシールリングとして形成する工程と、

前記複数の素子にそれぞれ対応した複数の蓋部材が行列状に形成され、隣接する蓋部材どうしが溝部で相互に隔てられ、かつ隣接する蓋部材どうしが前記溝部を架橋する架橋部により相互に結合した状態で形成されたキャップ基板を作製する工程と、

前記キャップ基板を前記ウェハ上に、それぞれの蓋部材が対応する素子を覆い、また対応する側壁部材に係合するように載置する工程と

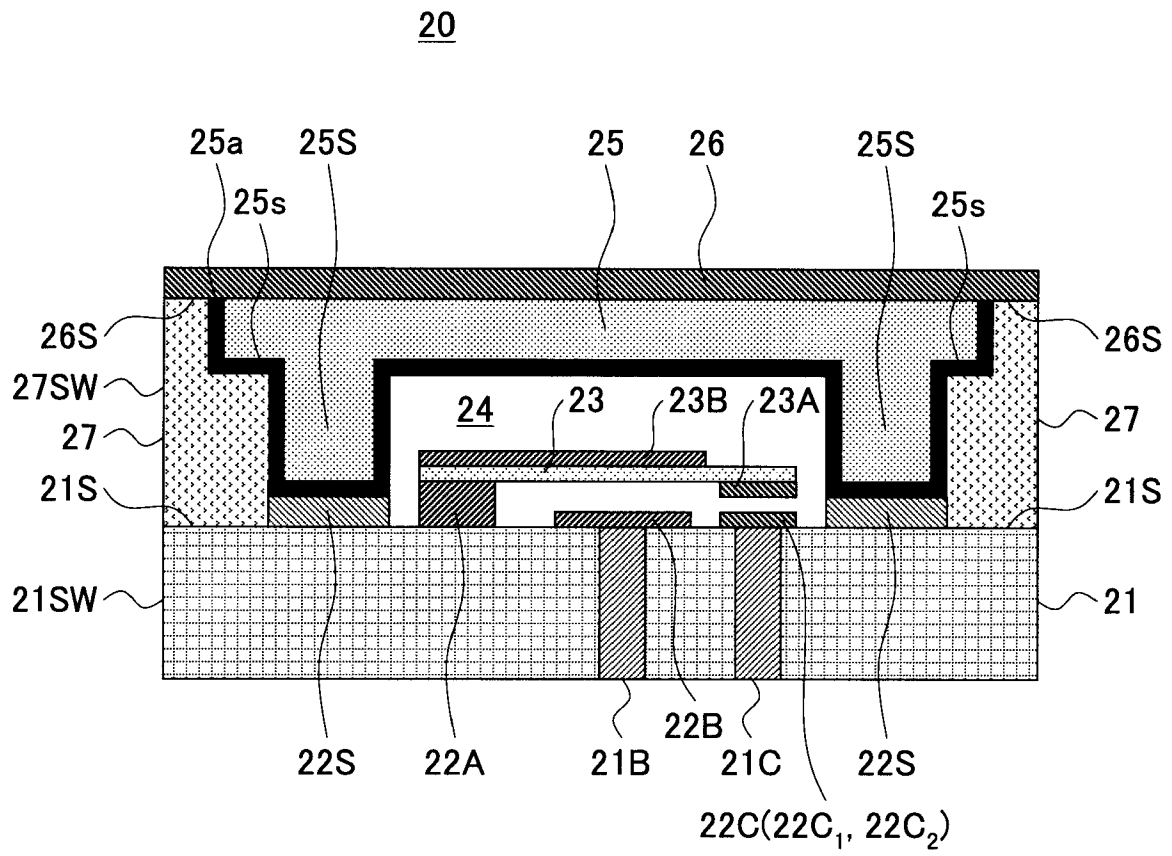
、

前記キャップ基板上に流動状態の封止層を担持したシールド基板を押圧し、前記溝部を介して、前記それぞれの素子を囲む側壁部材の外側に圧入し、固化させることにより、前記シールド基板の下方において隣接する側壁部材の間を封止部材で充填する工程と、

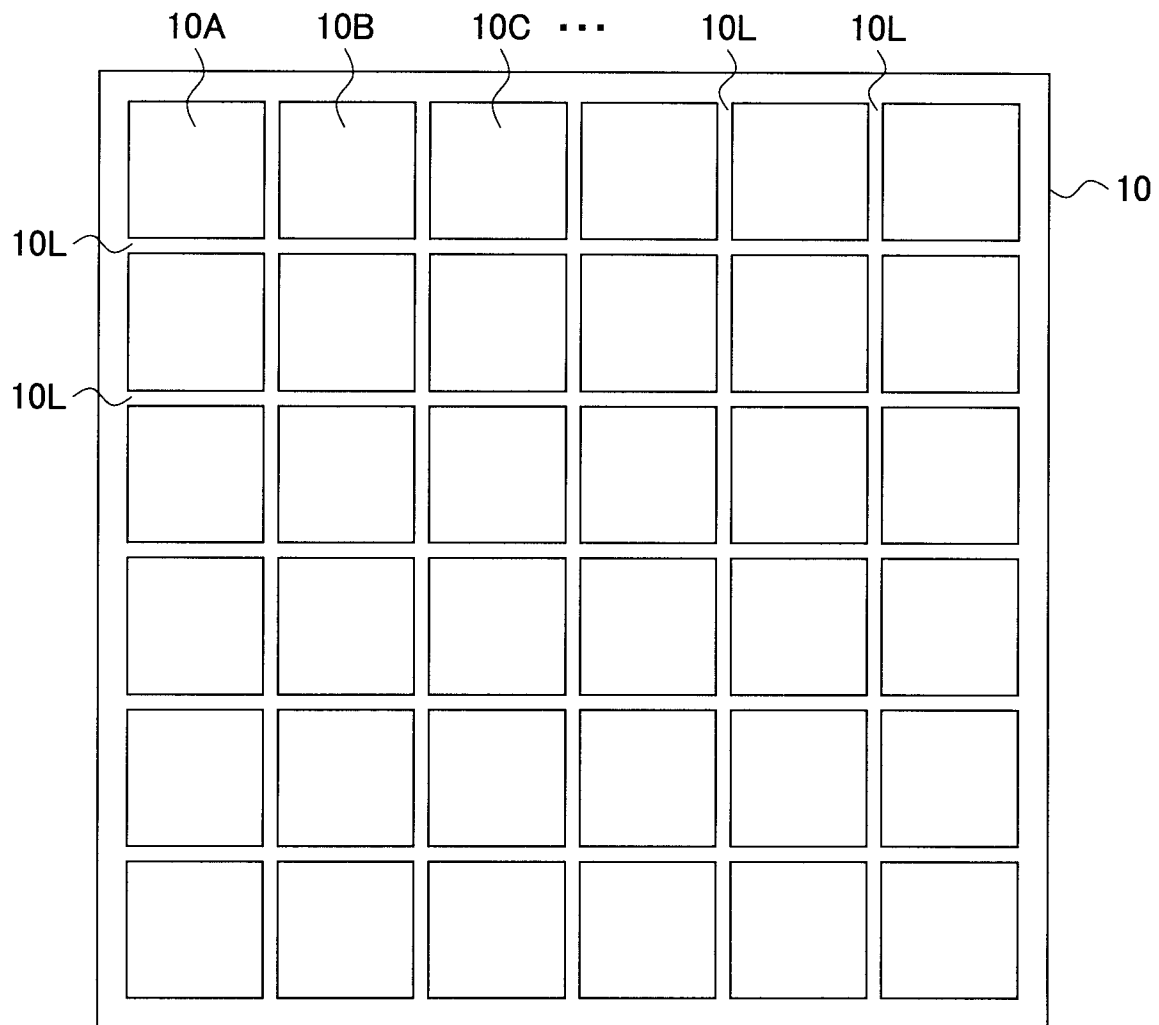
前記シールド基板、前記キャップ基板および前記ウェハを前記溝部に沿って切断し、前記複数の素子を個々の電子部品に分離させる工程と、

を含むことを特徴とする電子部品の製造方法。

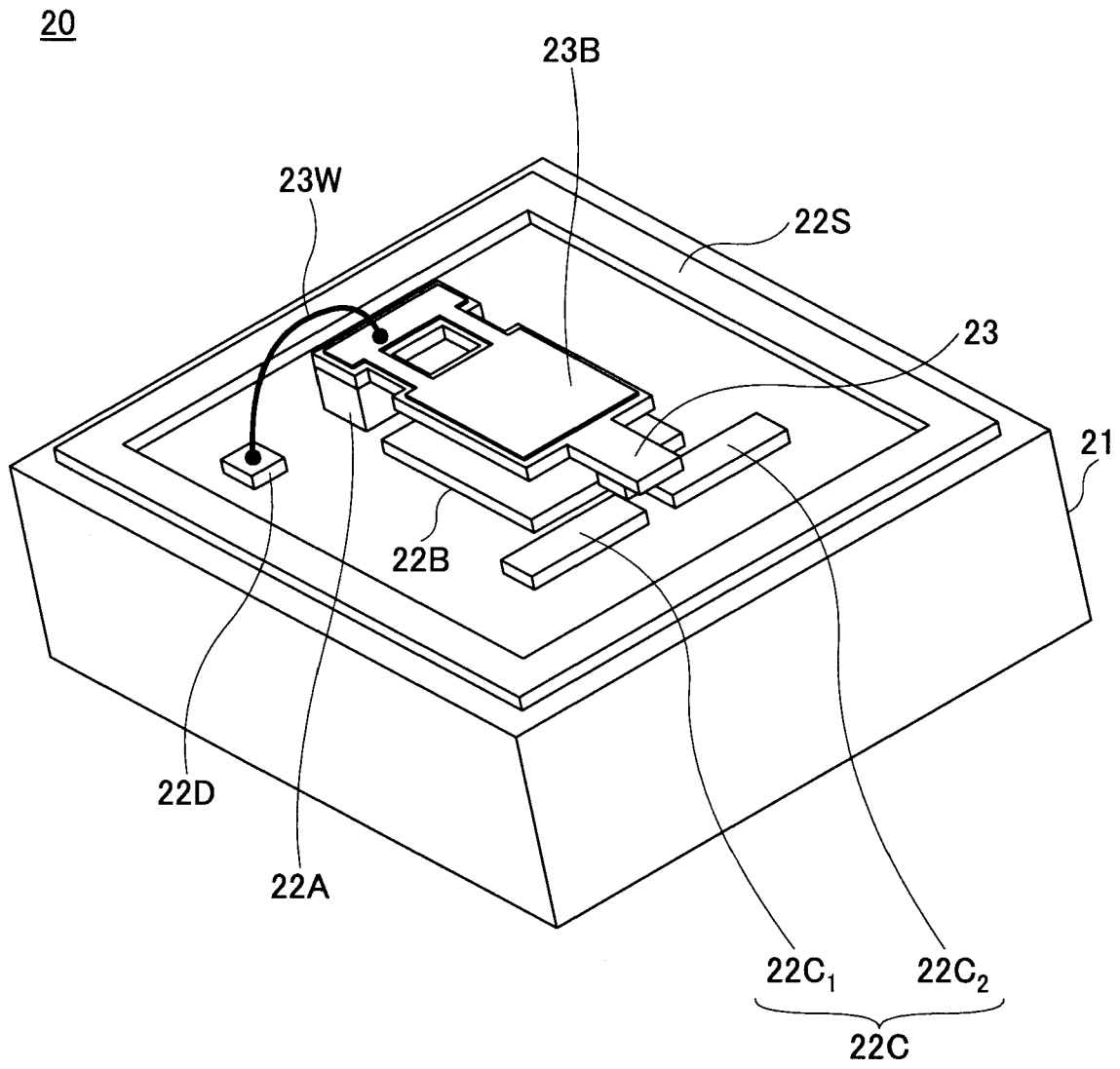
[図1]



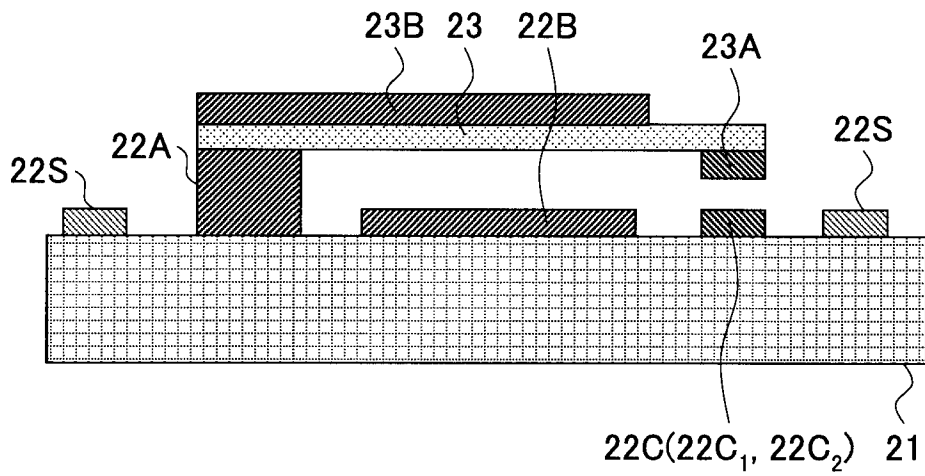
[図2]



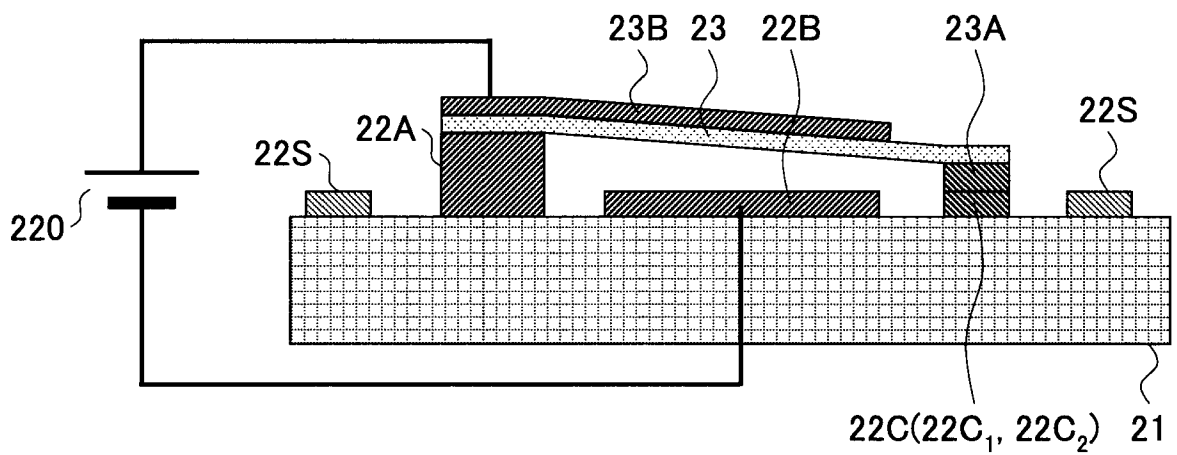
[図3]



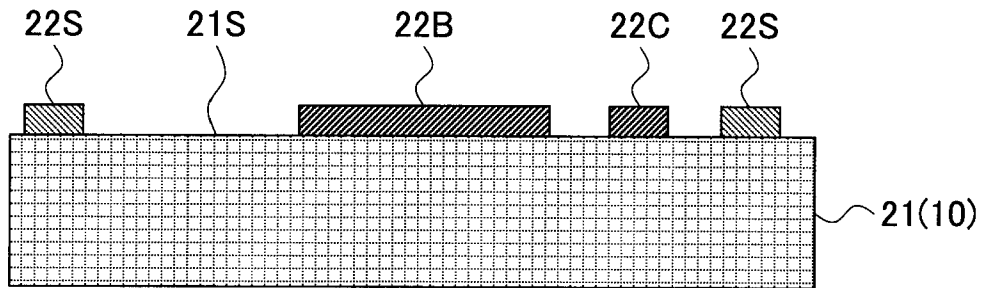
[図4A]



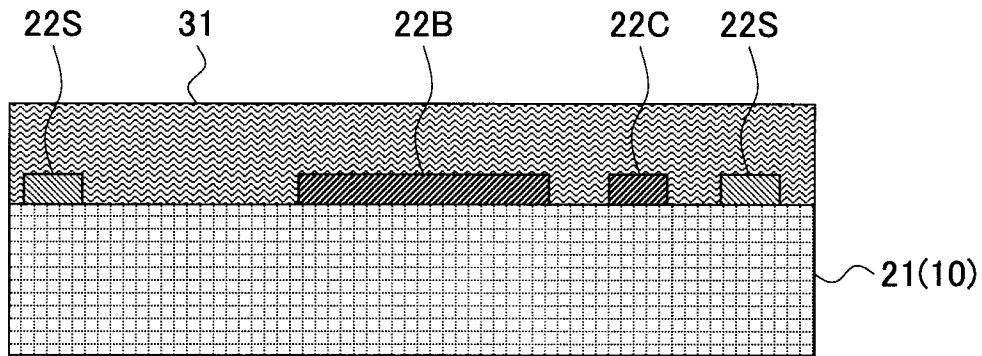
[図4B]



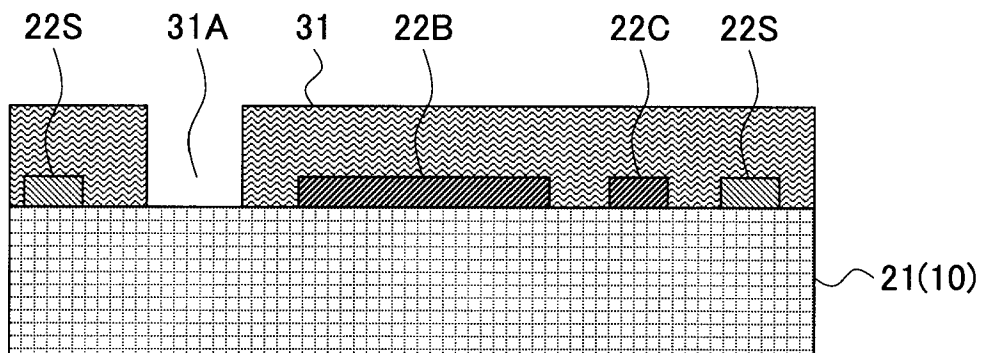
[図5A]



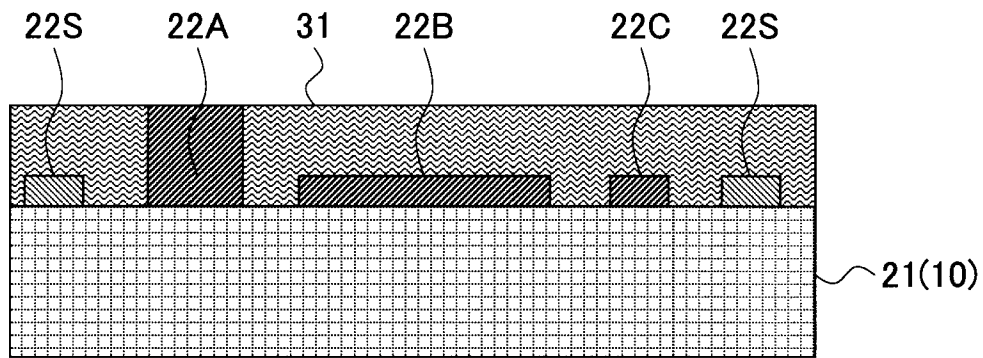
[図5B]



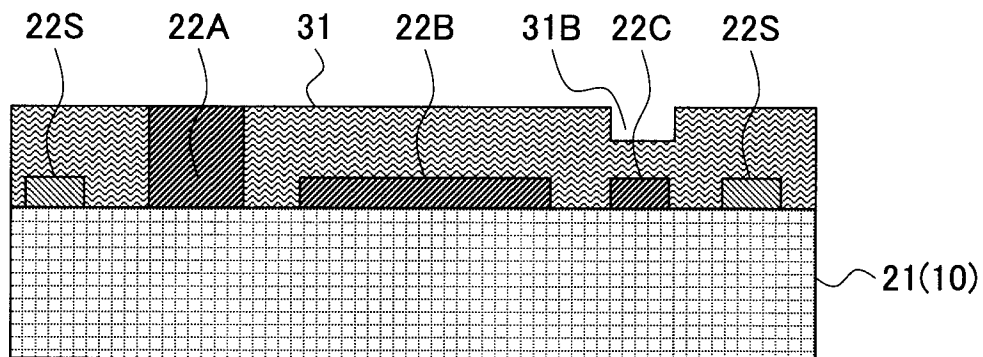
[図5C]



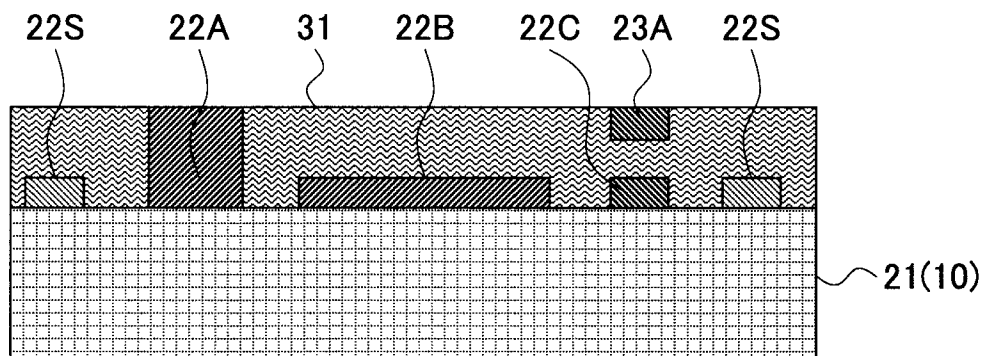
[図5D]



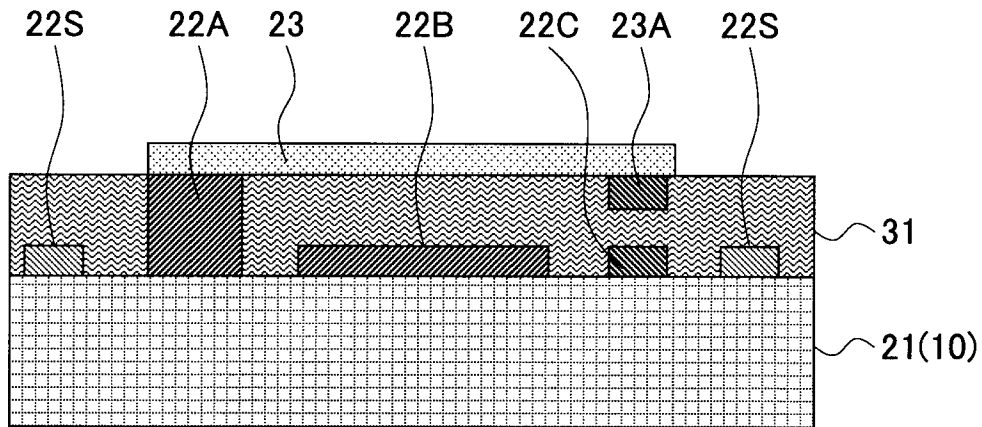
[図5E]



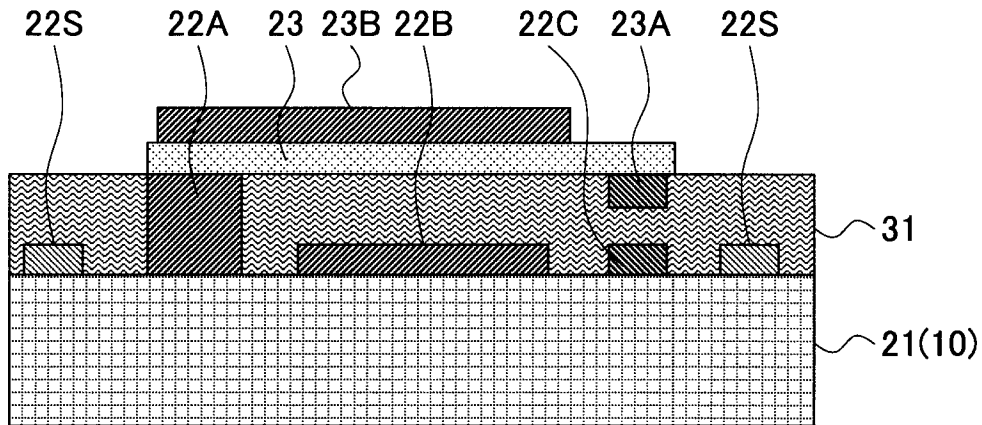
[図5F]



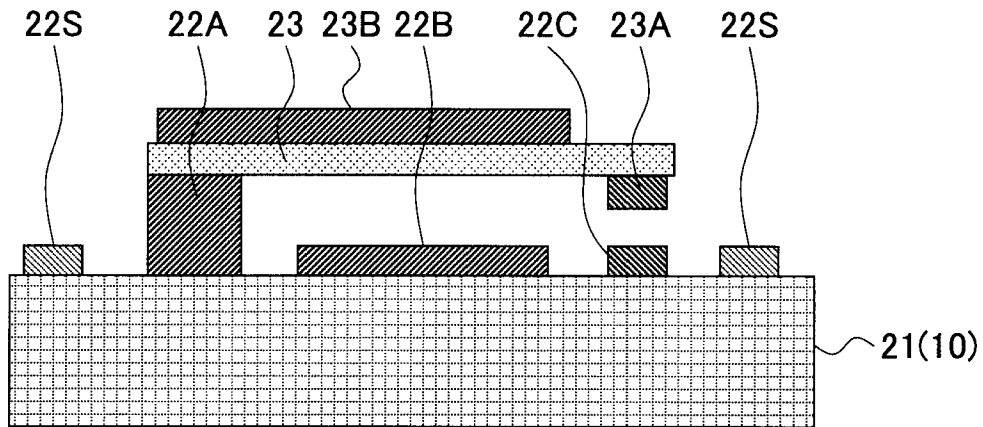
[図5G]



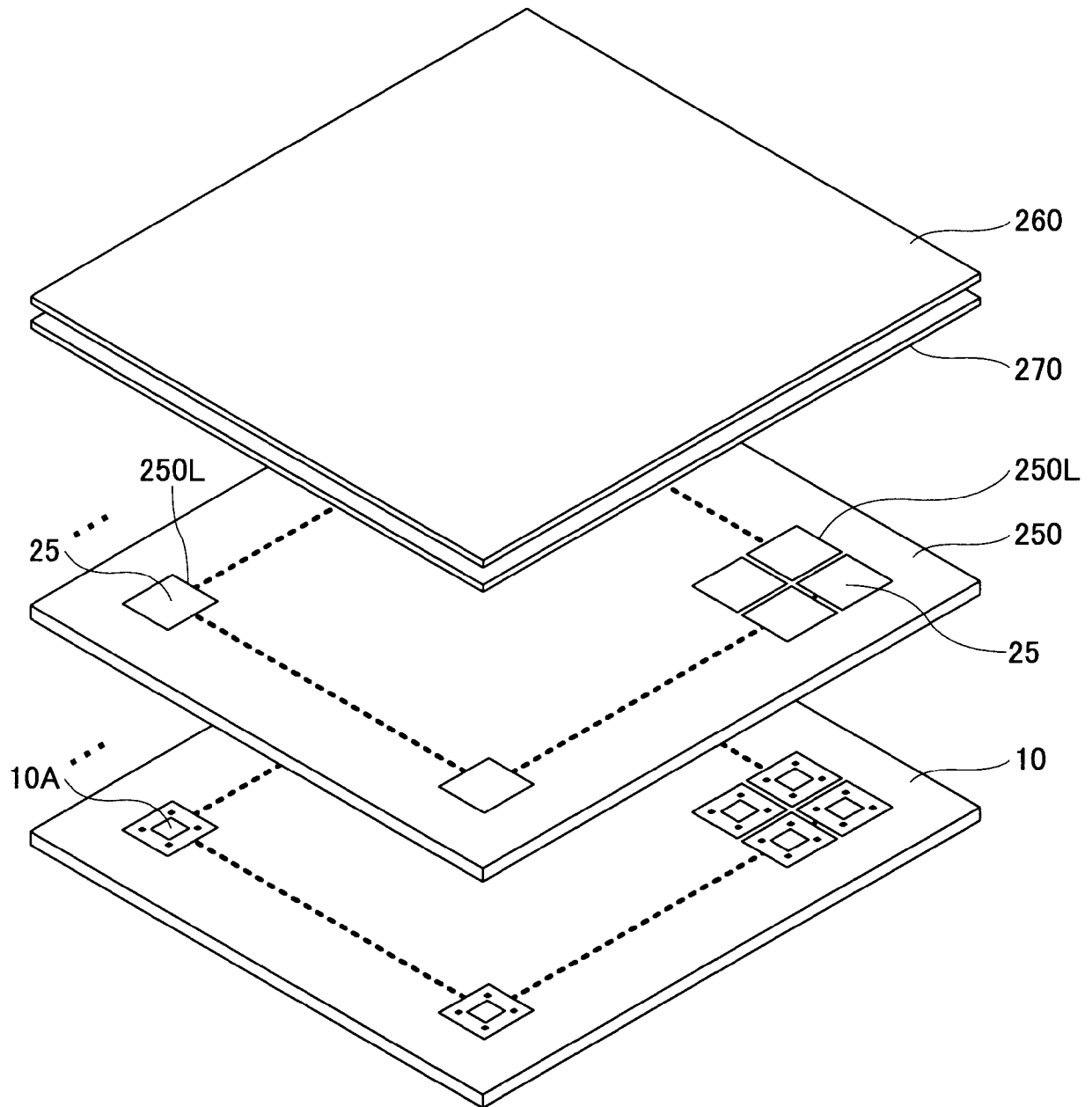
[図5H]



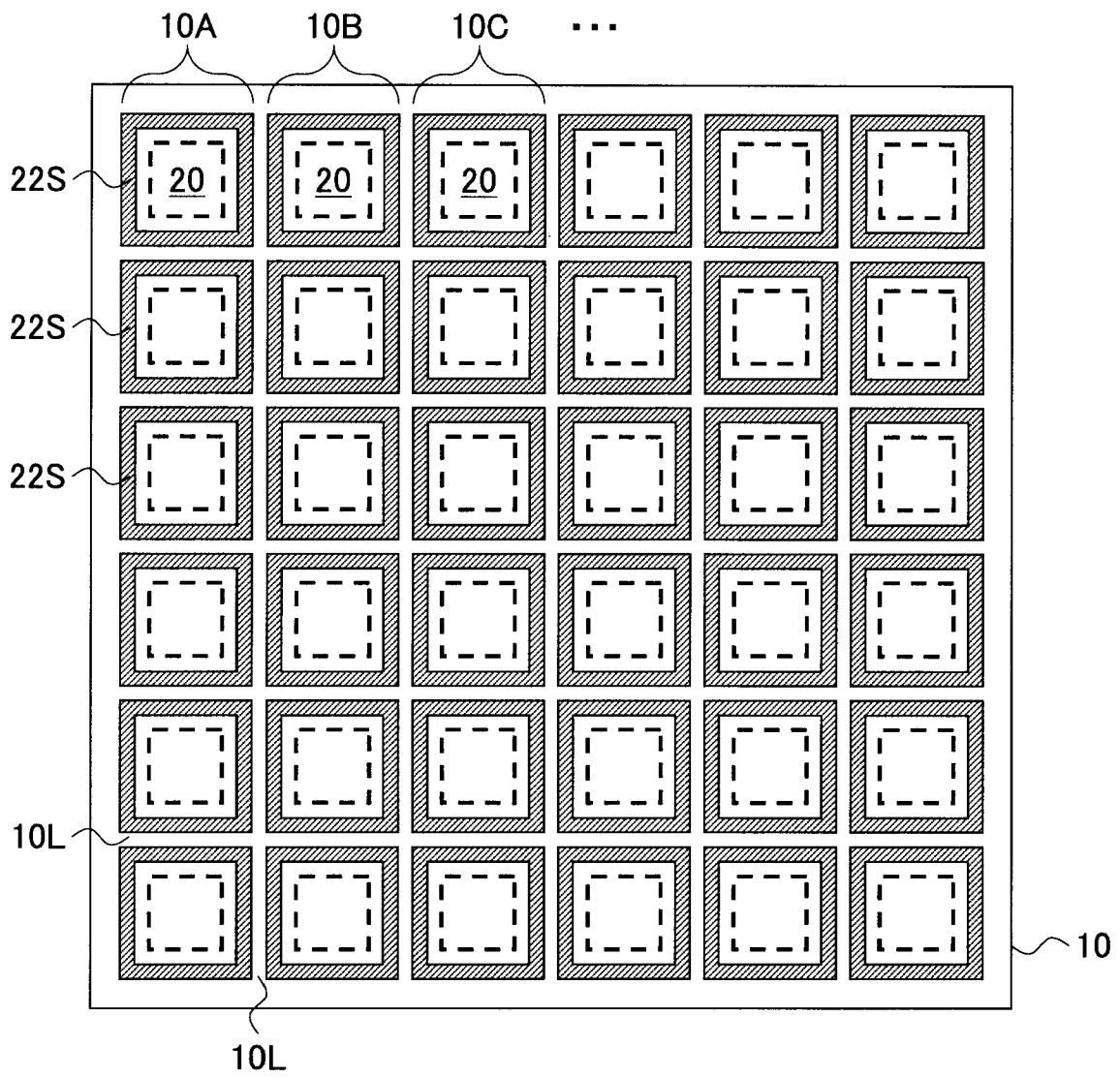
[図5I]



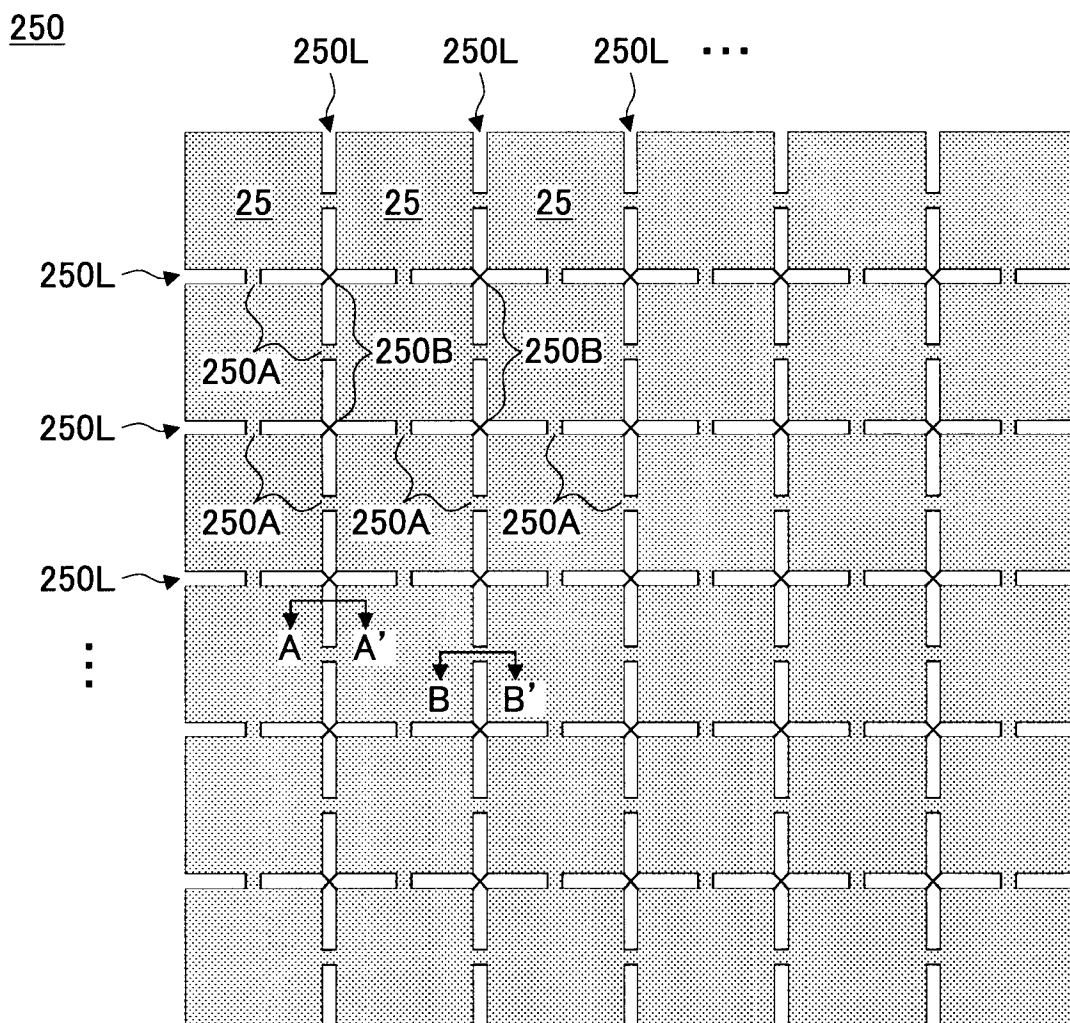
[図6]



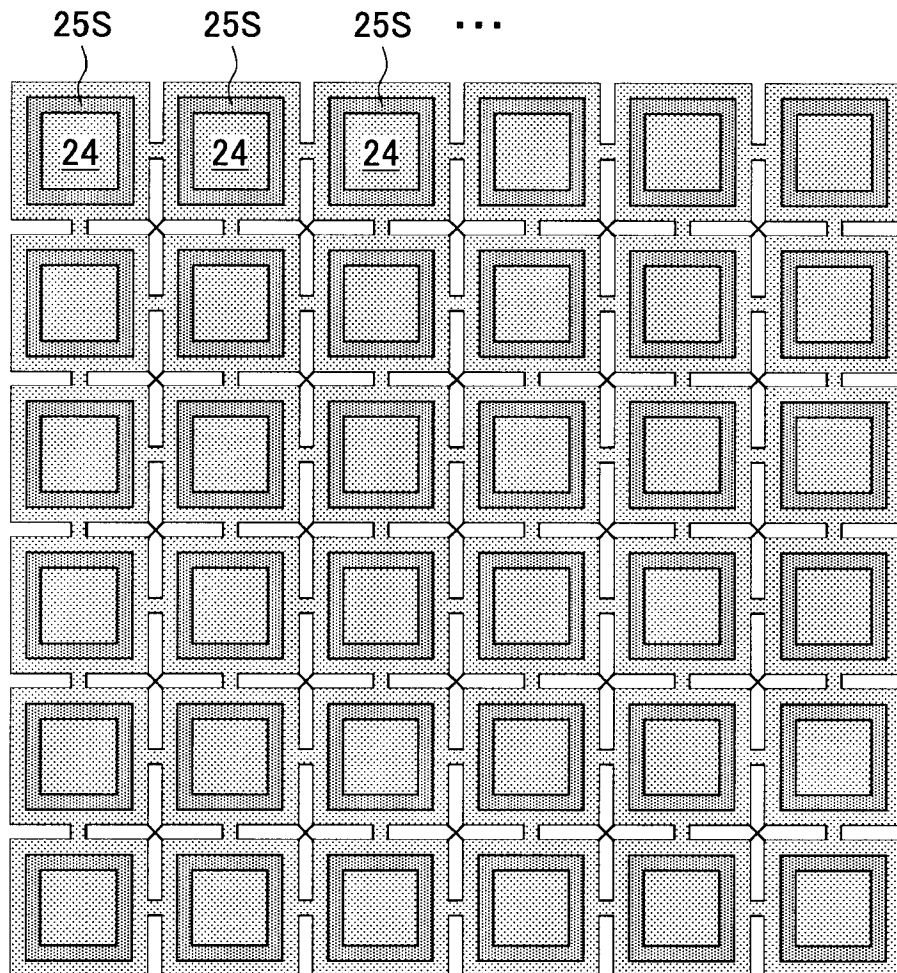
[図7]



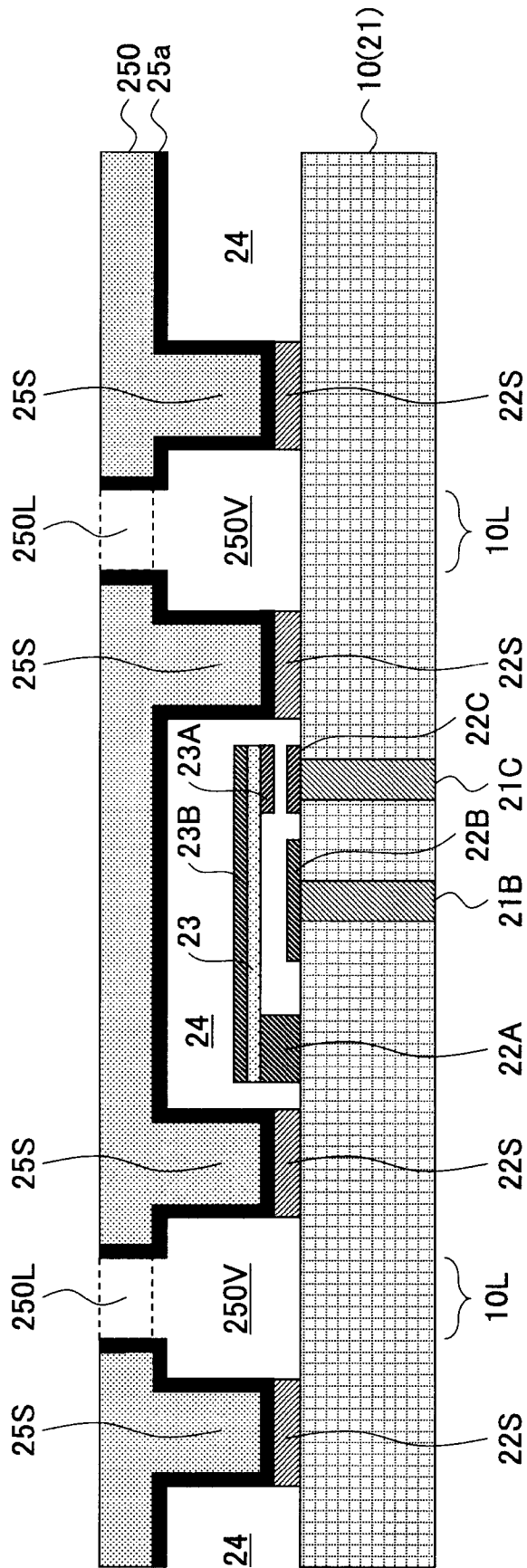
[図8A]



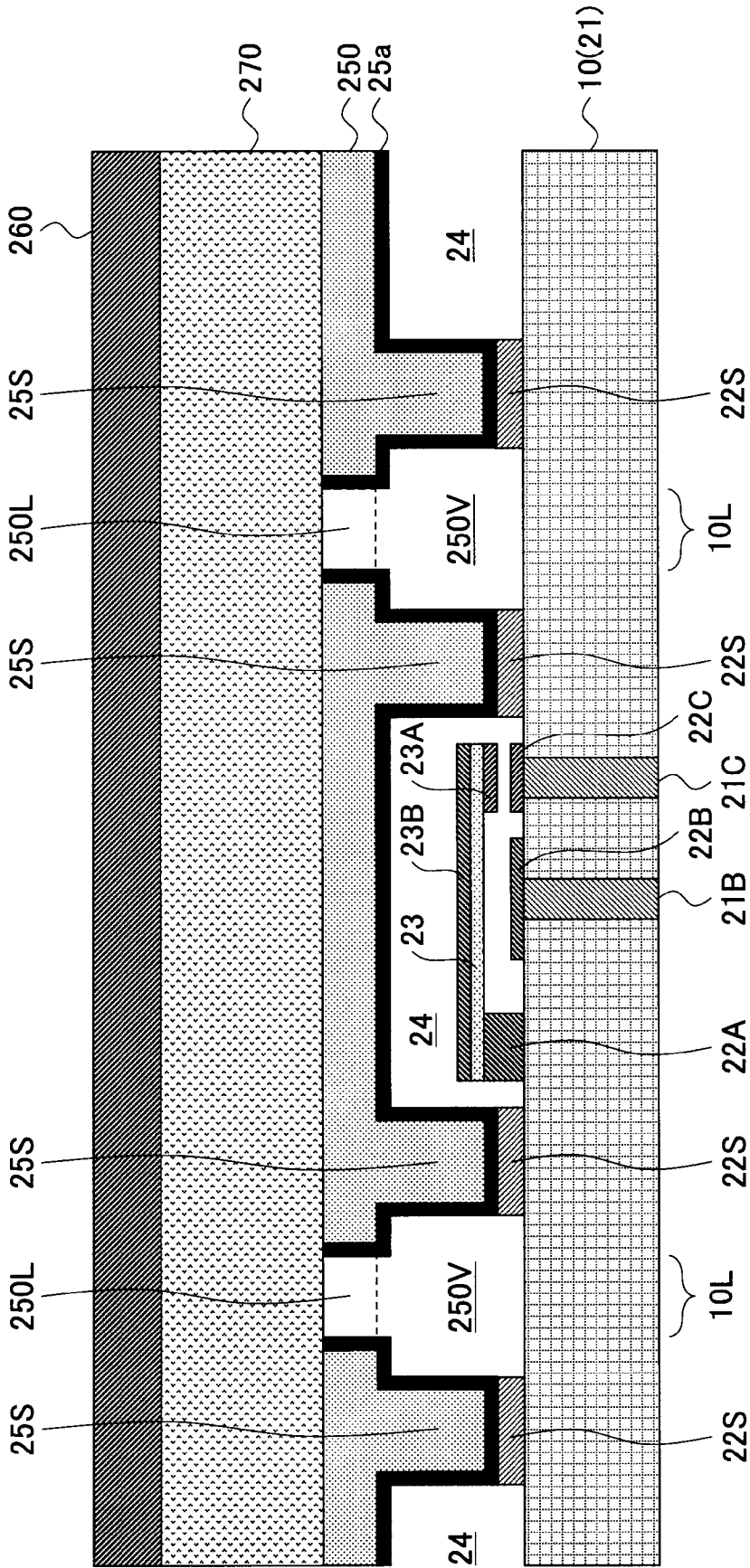
[図8B]

250

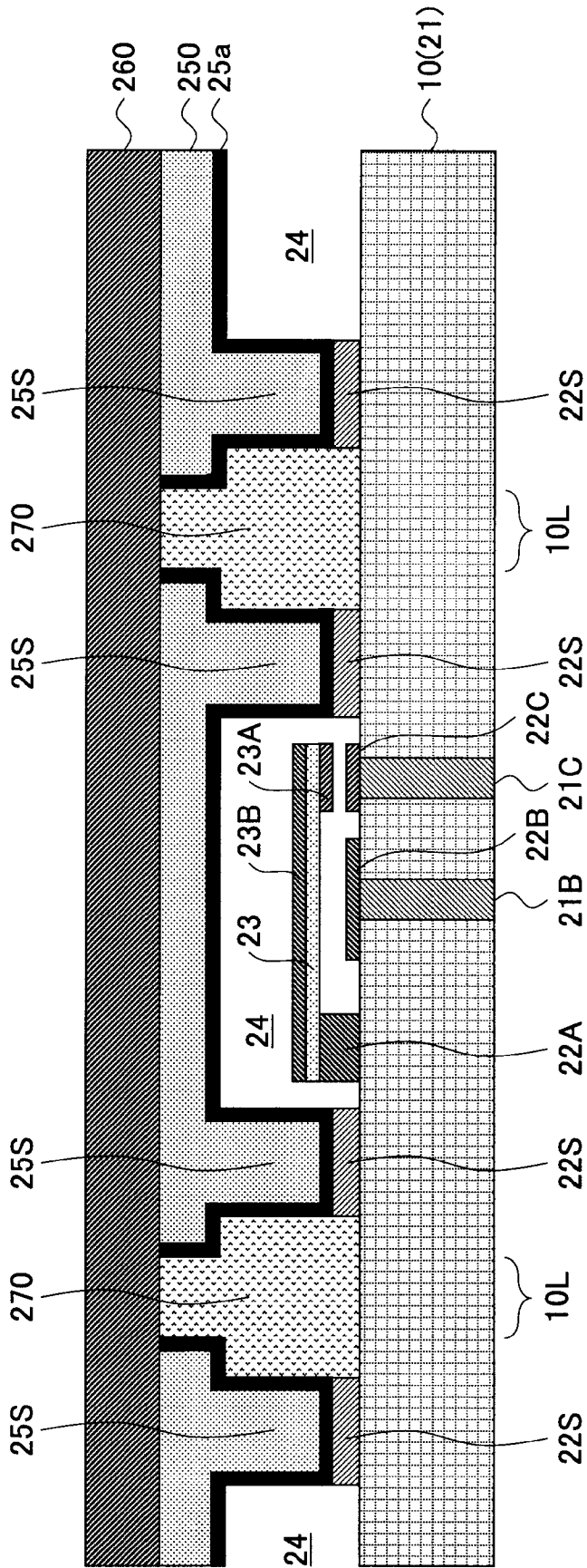
[ 9A]



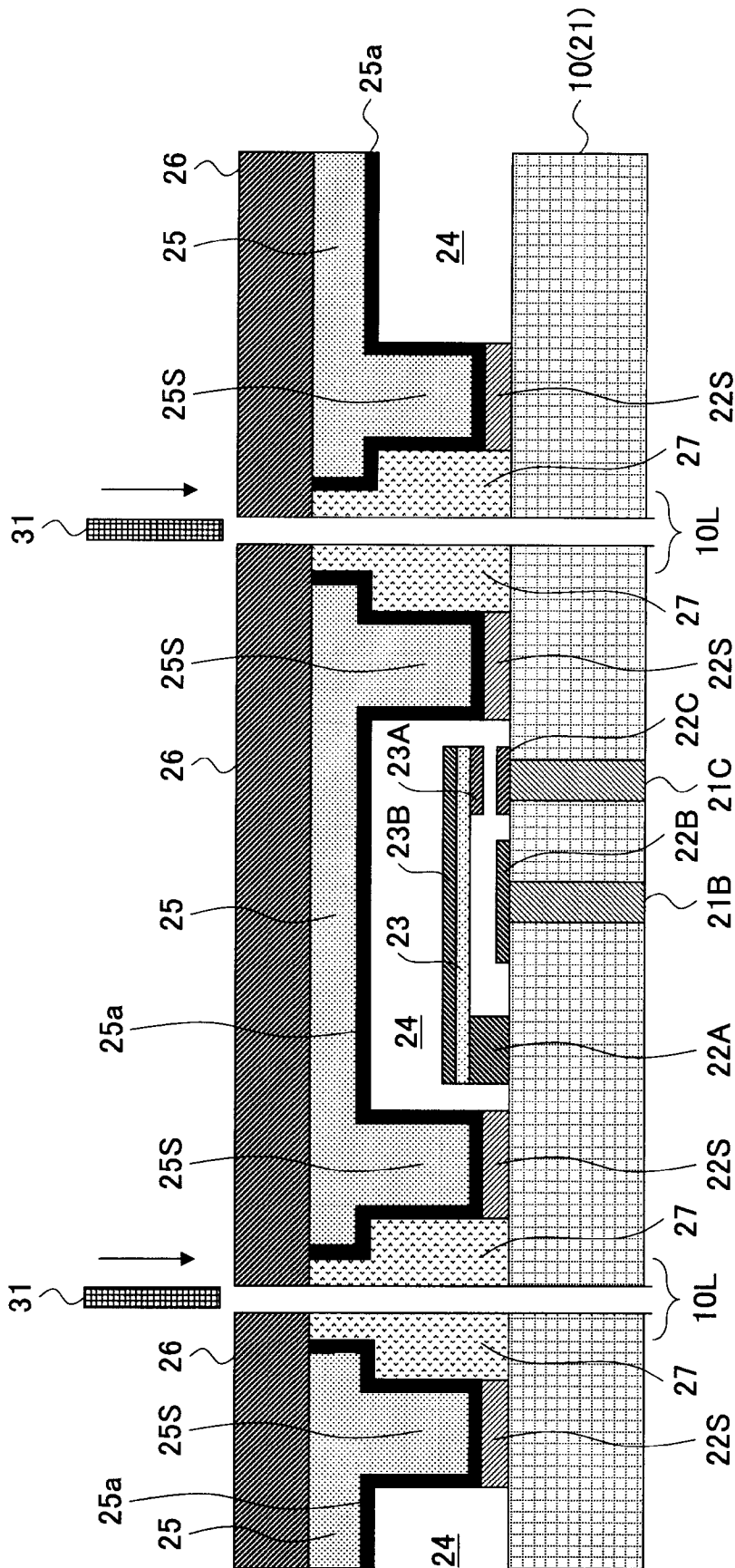
[9B]




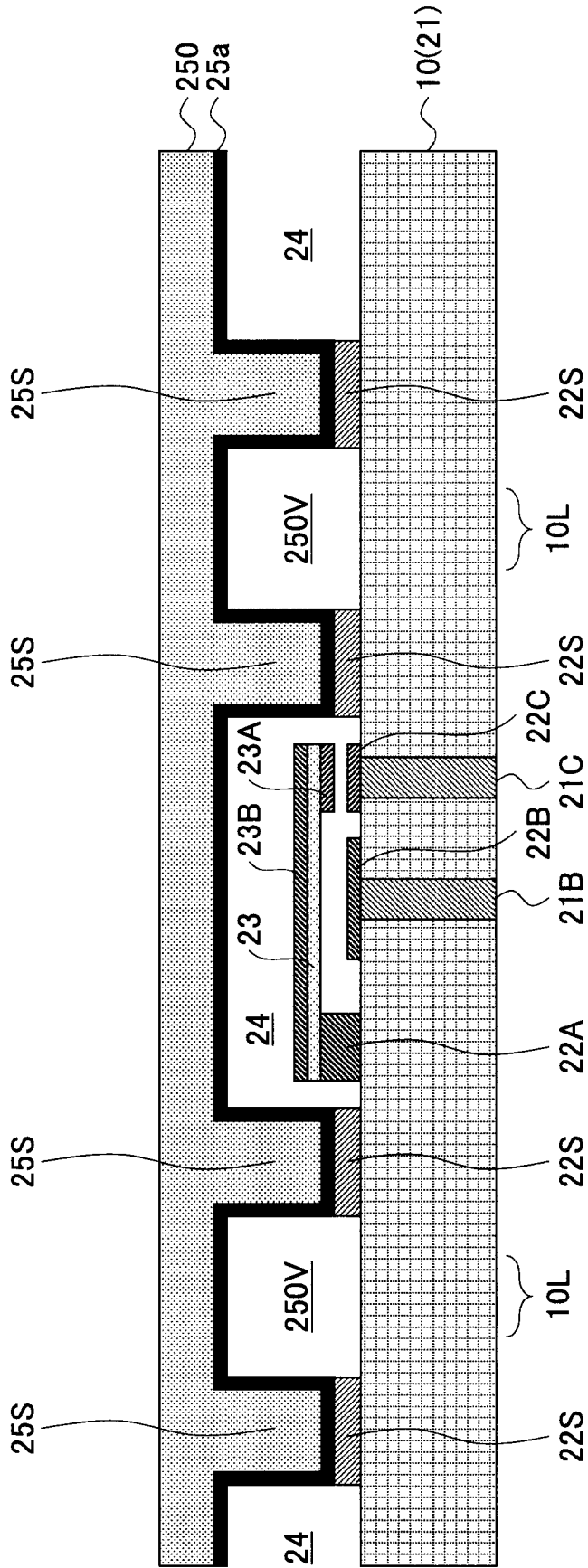
[ 9C]



[9D]



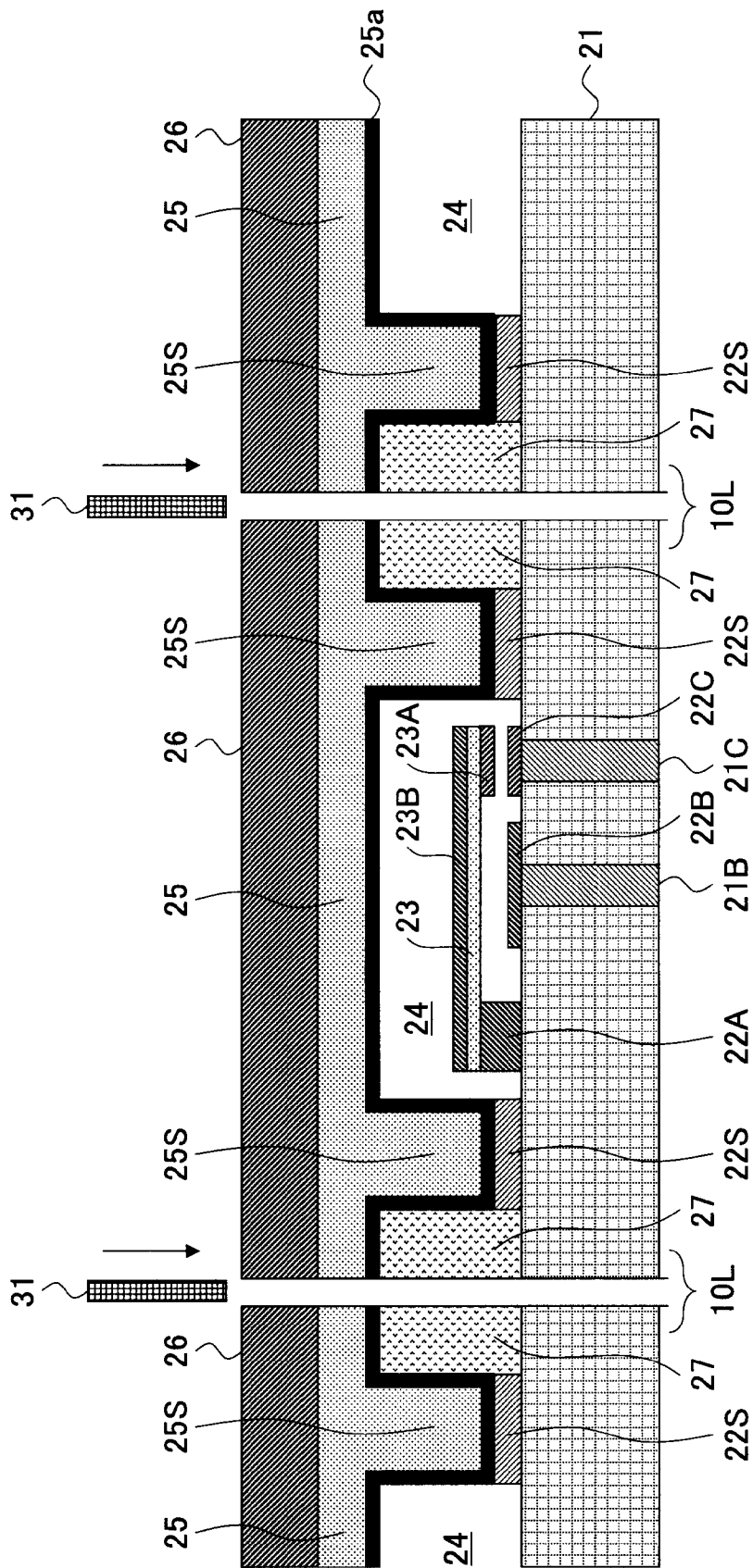
[ 10A]



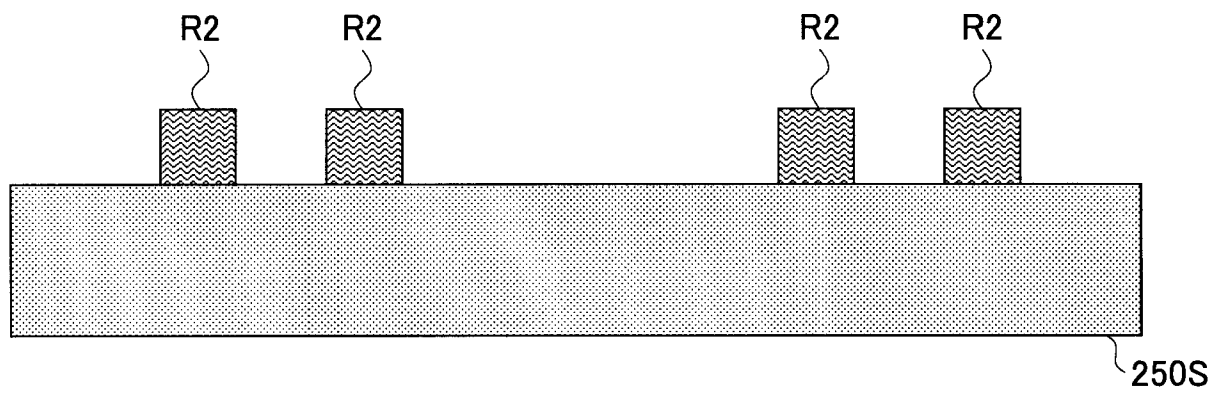




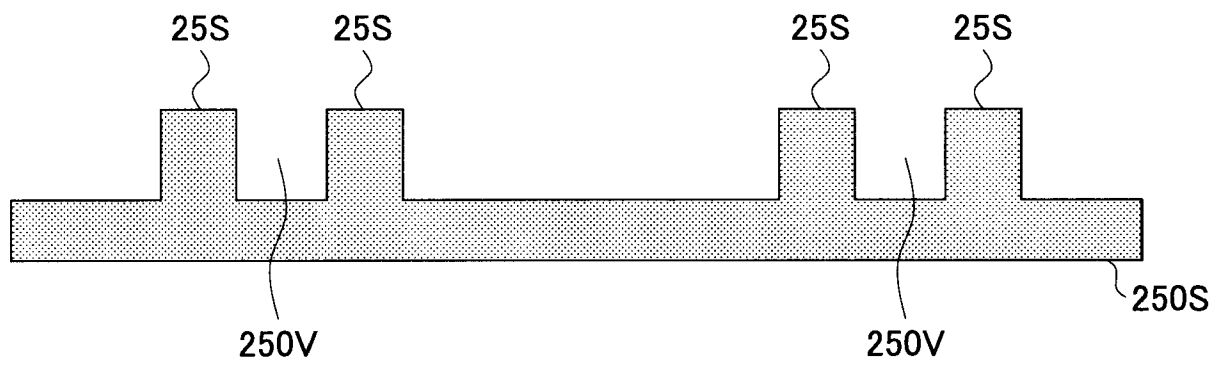
[図10D]



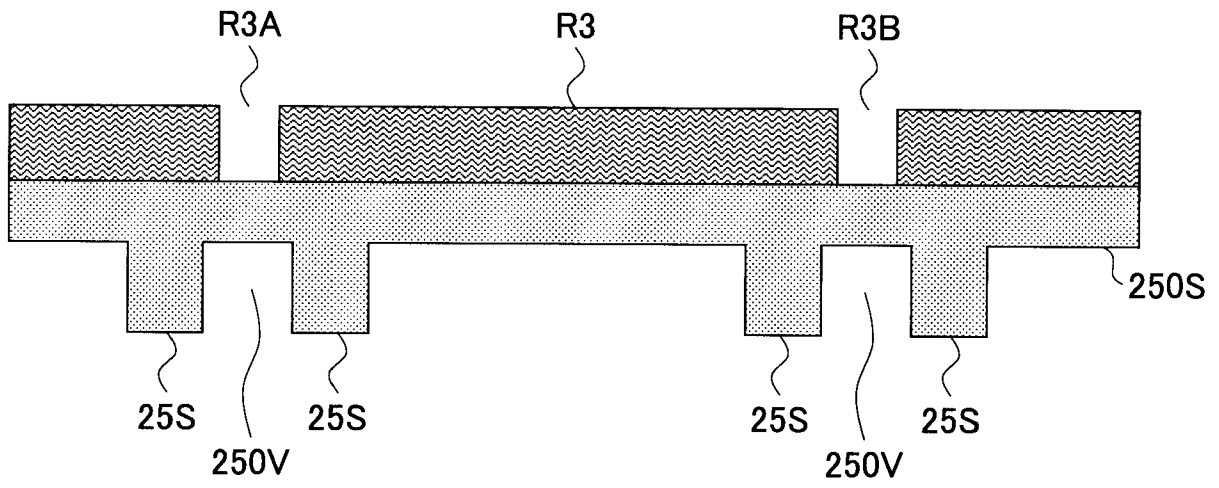
[図11A]



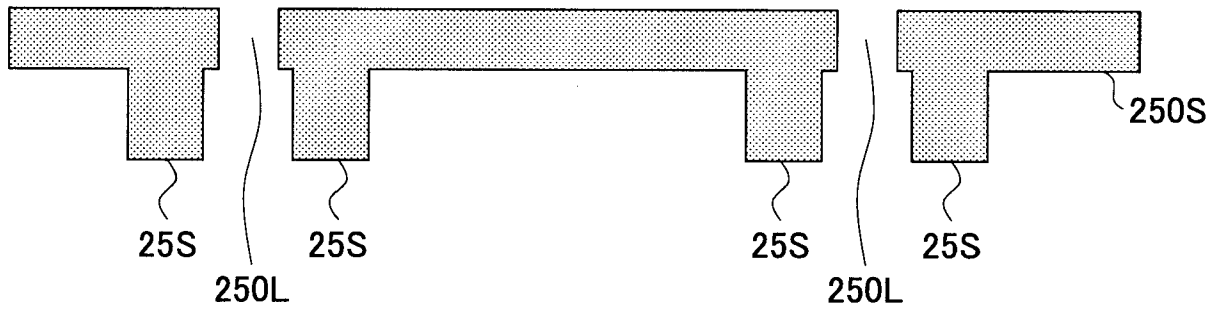
[図11B]



[図11C]

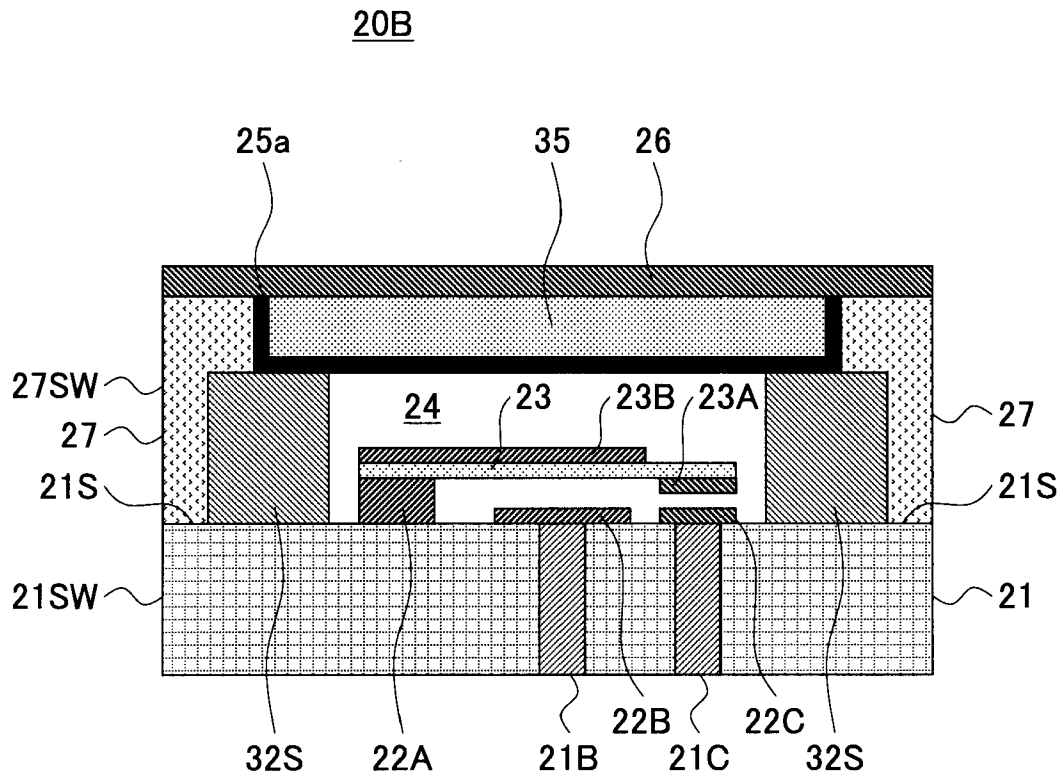


[図11D]

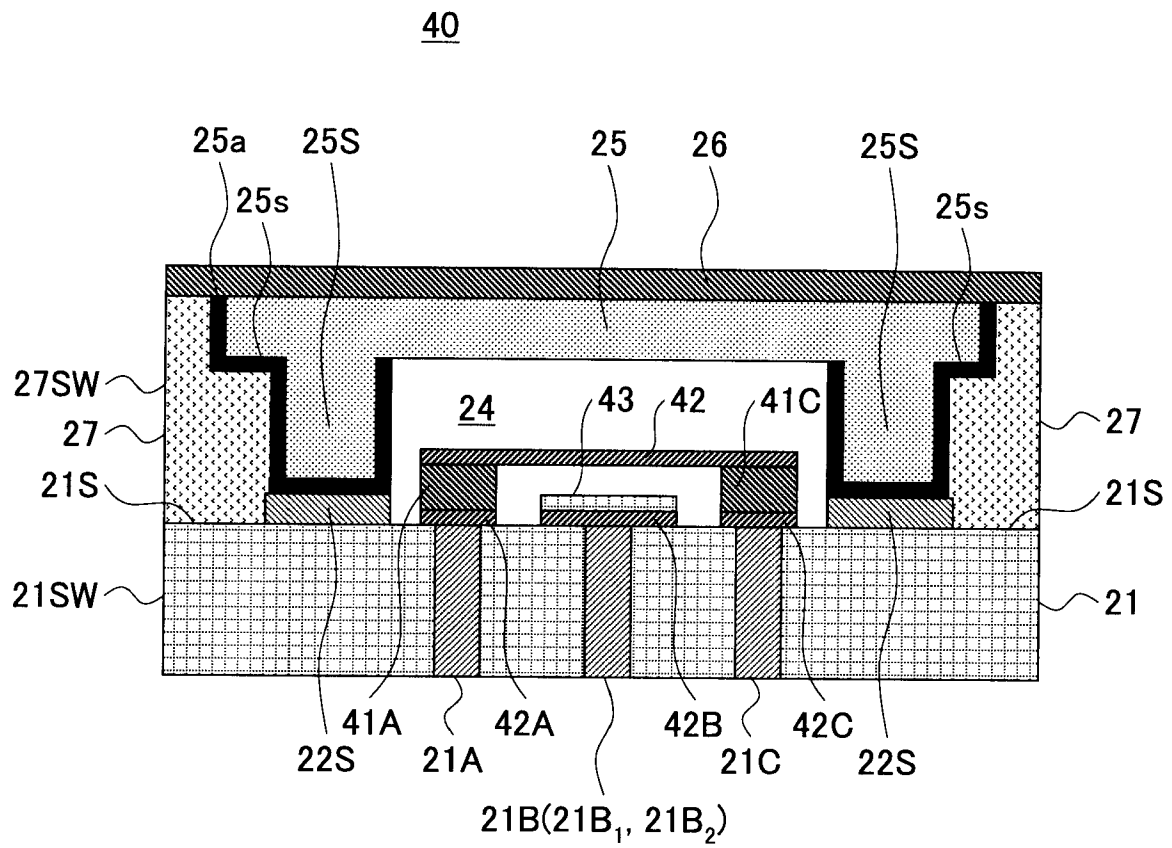




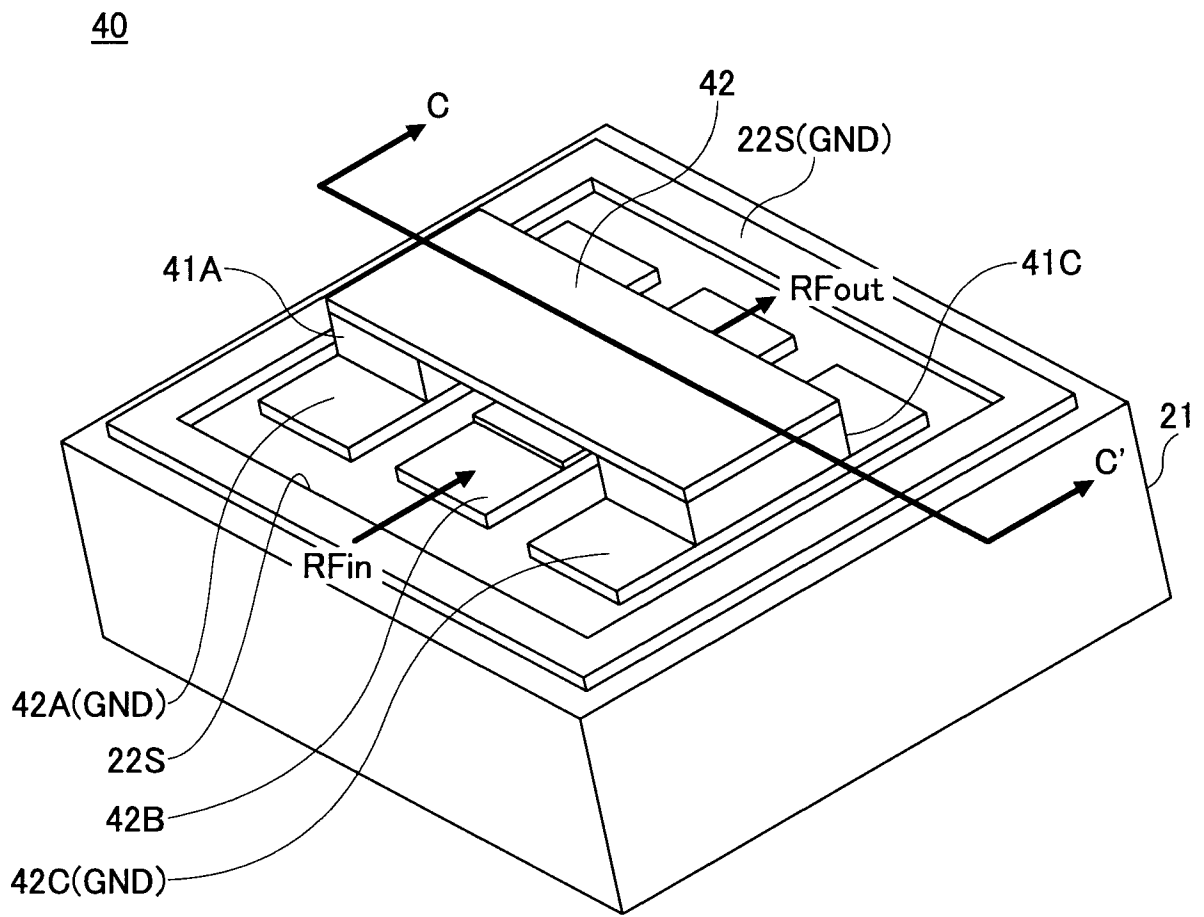
[図13]



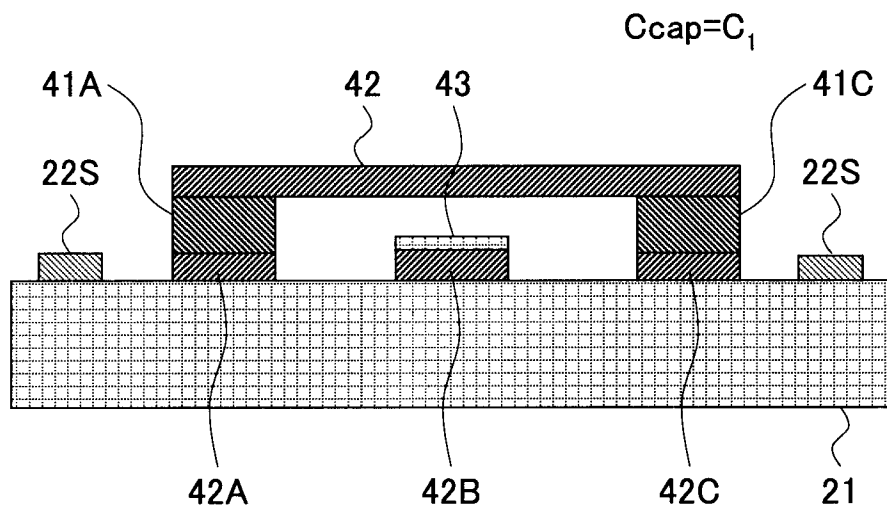
[図14]



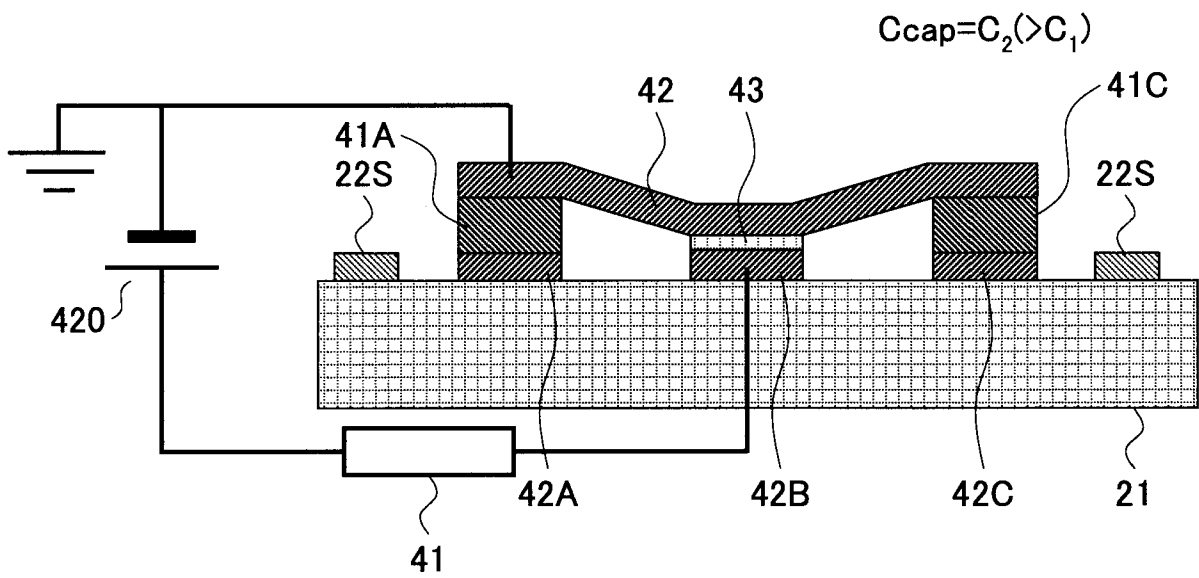
[図15]



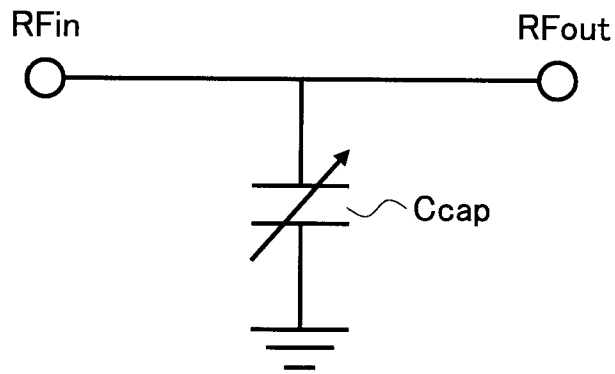
[図16A]



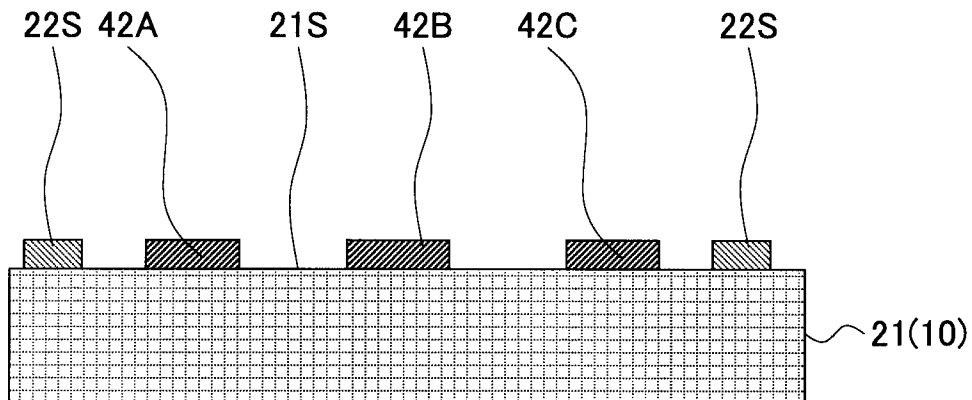
[図16B]



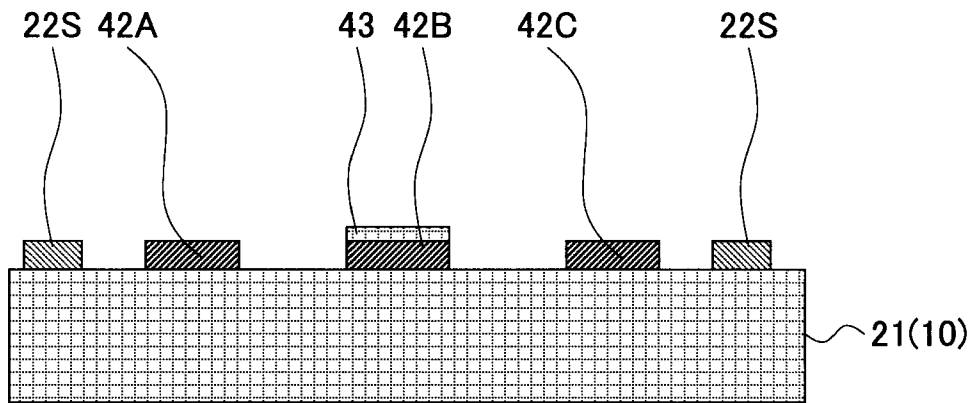
[図16C]



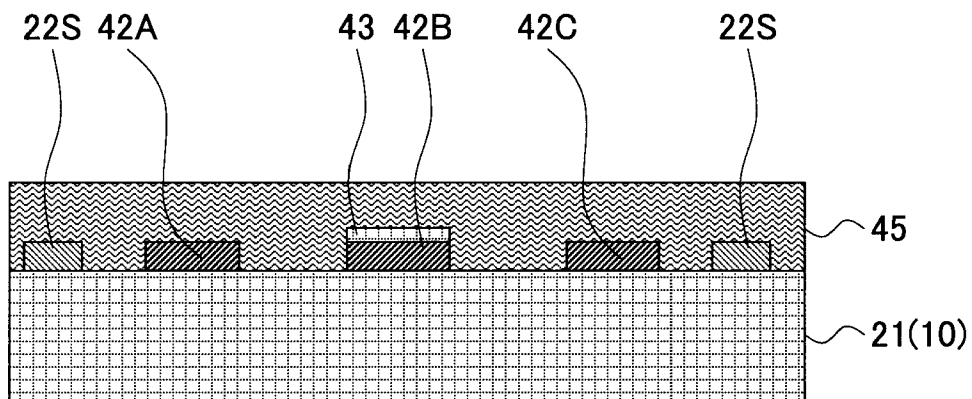
[図17A]



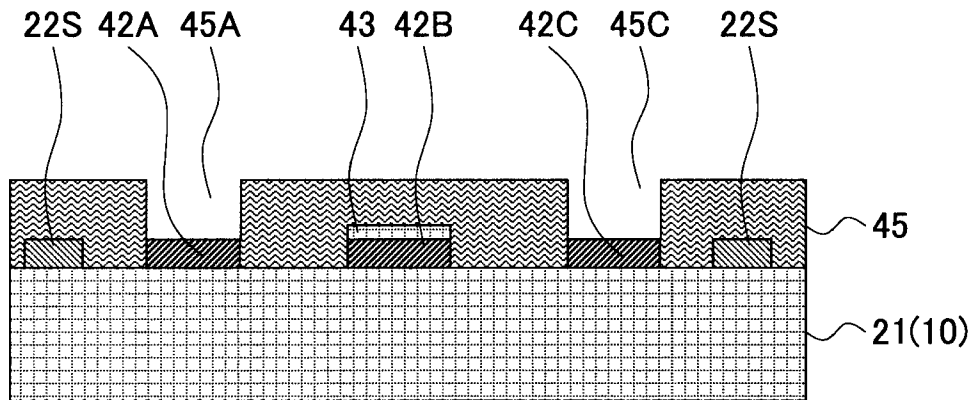
[図17B]



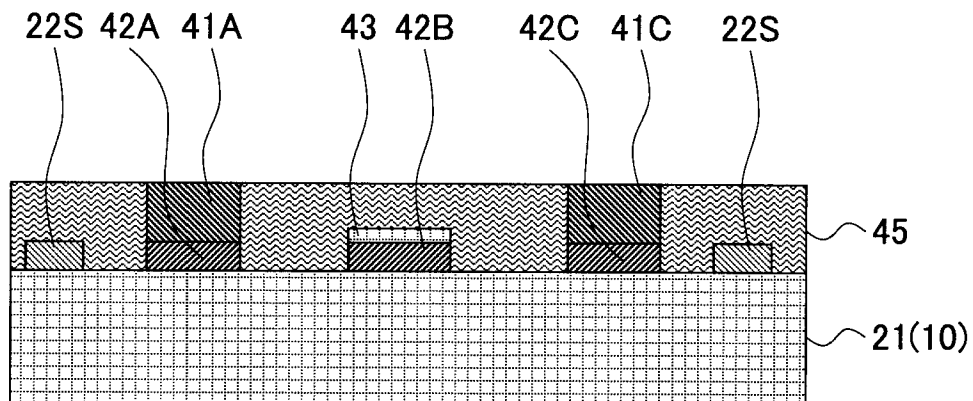
[図17C]



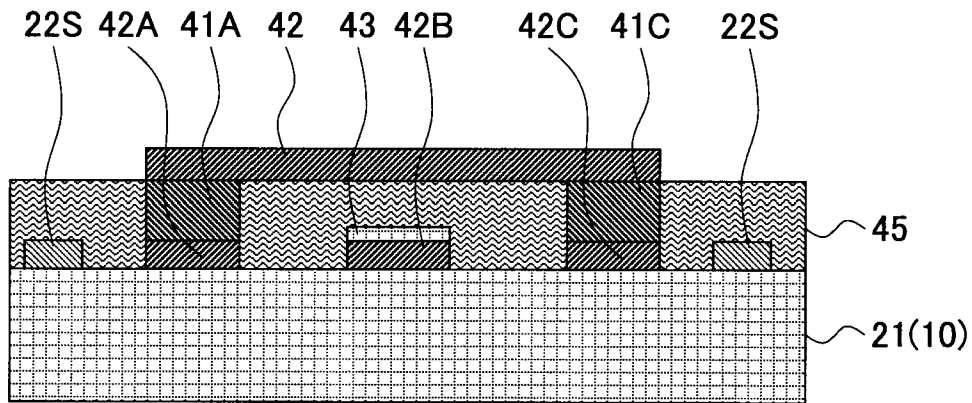
[図17D]



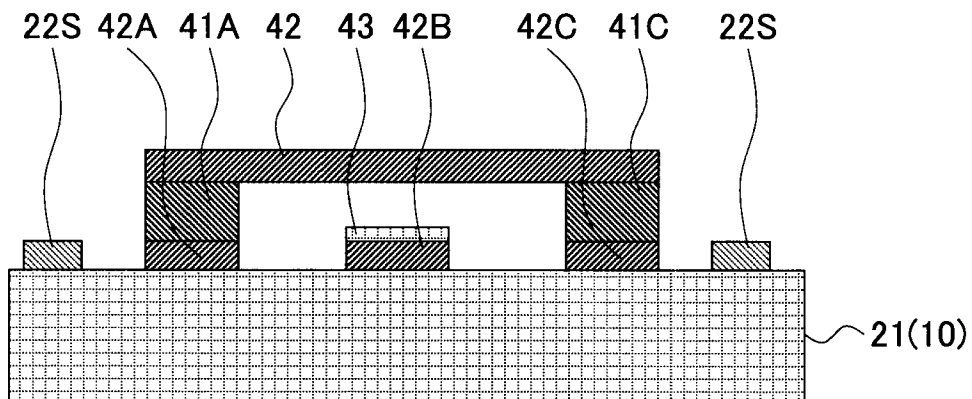
[図17E]



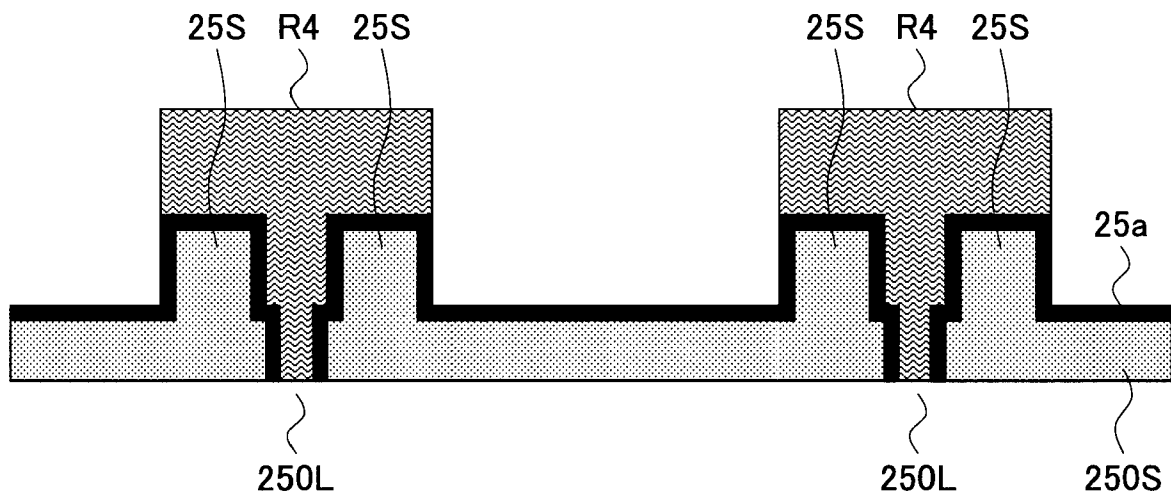
[図17F]



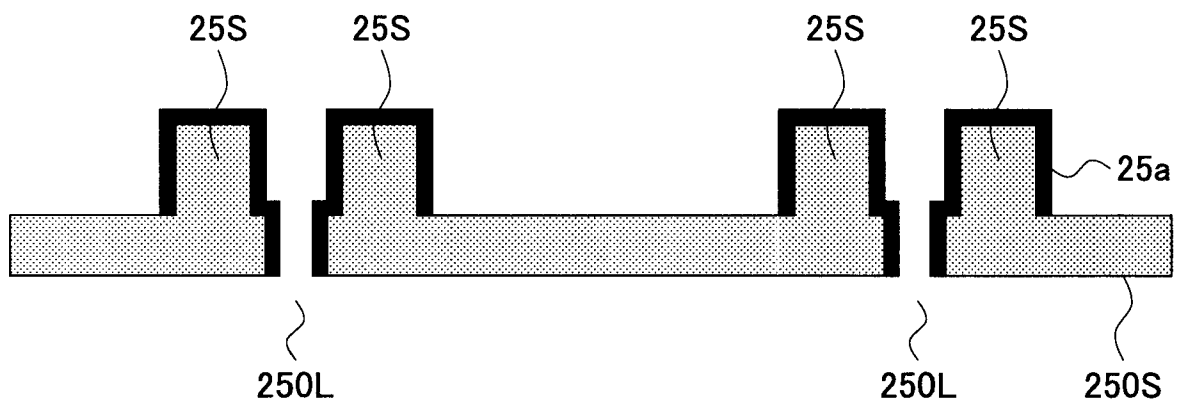
[図17G]



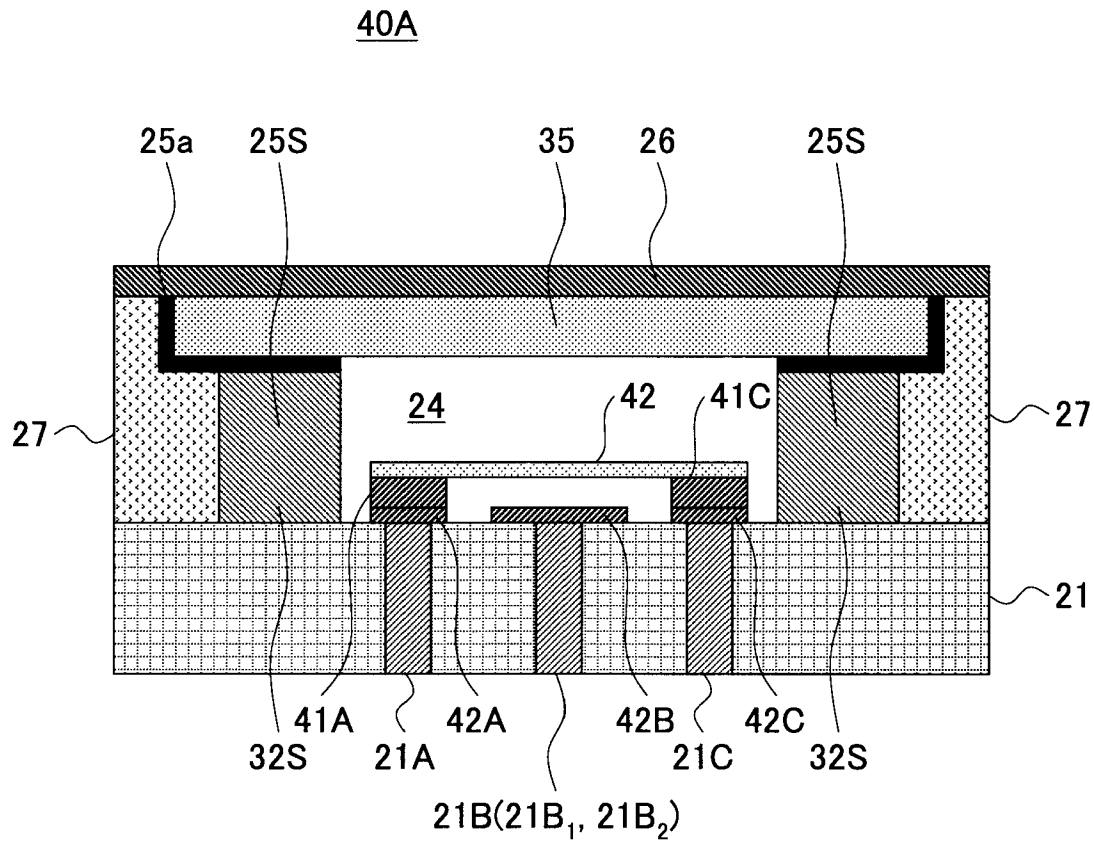
[図18A]



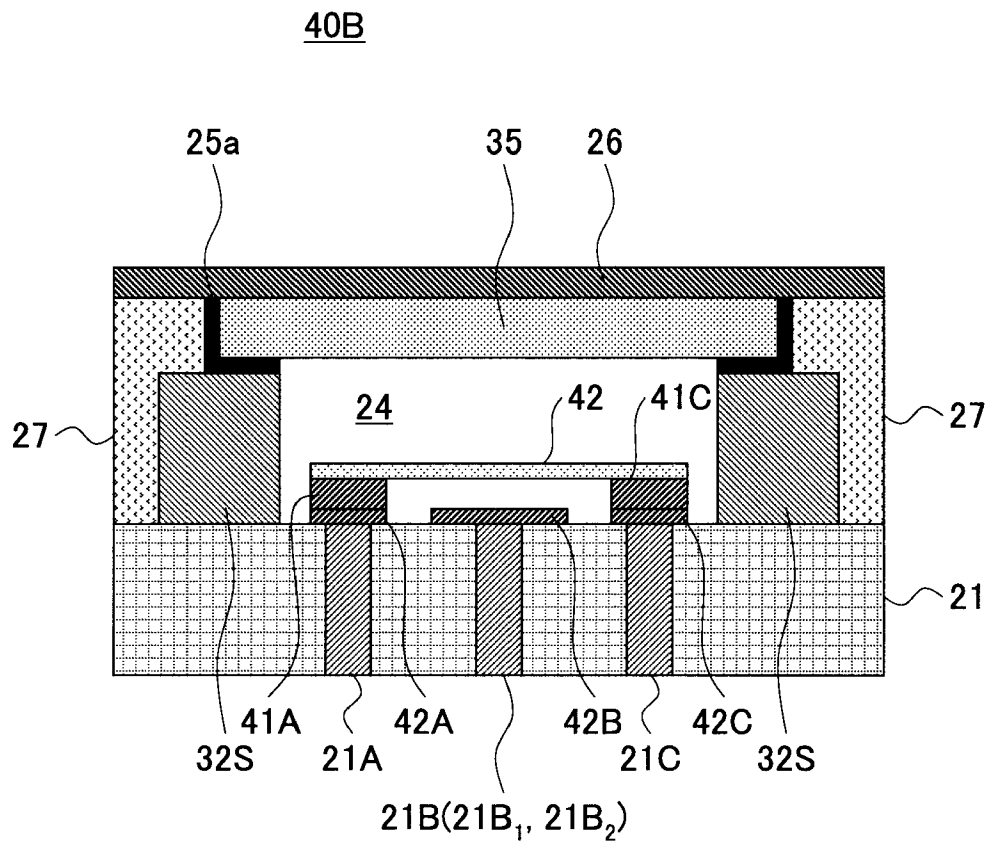
[図18B]



[図19]



[図20]



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2011/076962

**A. CLASSIFICATION OF SUBJECT MATTER**

H01L23/02(2006.01)i, B23K1/00(2006.01)i, B81B3/00(2006.01)i, B81C3/00(2006.01)i, H03H9/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

H01L23/02, B23K1/00, B81B3/00, B81C3/00, H03H9/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X <u>Y</u> A	JP 2007-013573 A (Kyocera Kinseki Corp.), 18 January 2007 (18.01.2007), paragraphs [0017] to [0027]; fig. 1 to 5 (Family: none)	1-2, 4, 6, 13 <u>3, 5, 9-12</u> 7-8, 14-16
X <u>Y</u> A	JP 2002-231919 A (Olympus Optical Co., Ltd.), 16 August 2002 (16.08.2002), paragraphs [0019] to [0029]; fig. 1 to 8 (Family: none)	1-2, 4, 6, 13 <u>3, 5, 9-12</u> 7-8, 14-16
Y	JP 2006-013330 A (Shinko Electric Industries Co., Ltd.), 12 January 2006 (12.01.2006), paragraph [0026]; fig. 1 to 2 & US 2006/0001173 A1 & US 2006/0267210 A1 & EP 1612859 A2 & DE 602005019124 D & KR 10-2006-0048594 A & CN 1716558 A	3, 5, 9-11

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search  
24 January, 2012 (24.01.12)

Date of mailing of the international search report  
31 January, 2012 (31.01.12)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2011/076962

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-150201 A (Kyocera Corp.), 02 June 1999 (02.06.1999), paragraph [0041]; fig. 3 (Family: none)	3, 5, 9-11
Y	JP 2009-107041 A (Nippon Telegraph and Telephone Corp.), 21 May 2009 (21.05.2009), paragraphs [0014] to [0064]; fig. 1 to 6 (Family: none)	12

A. 発明の属する分野の分類 (国際特許分類 (IPC))  
 Int.Cl. H01L23/02(2006.01)i, B23K1/00(2006.01)i, B81B3/00(2006.01)i, B81C3/00(2006.01)i, H03H9/02(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料 (国際特許分類 (IPC))  
 Int.Cl. H01L23/02, B23K1/00, B81B3/00, B81C3/00, H03H9/02

最小限資料以外の資料で調査を行った分野に含まれるもの  
 日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2012年  
 日本国実用新案登録公報 1996-2012年  
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2007-013573 A (京セラキンセキ株式会社) 2007.01.18, 段落【0017】 - 【0027】, 図1-図5 (ファミリーなし)	1-2, 4, 6, 13 3, 5, 9-12 7-8, 14-16
X Y A	JP 2002-231919 A (オリンパス光学工業株式会社) 2002.08.16, 段落【0019】 - 【0029】, 図1-図8 (ファミリーなし)	1-2, 4, 6, 13 3, 5, 9-12 7-8, 14-16

C欄の続きにも文献が列挙されている。  パテントファミリーに関する別紙を参照。

\* 引用文献のカテゴリー  
 「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」口頭による開示、使用、展示等に言及する文献  
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献  
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」同一パテントファミリー文献

国際調査を完了した日 24.01.2012	国際調査報告の発送日 31.01.2012
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 山本 雄一 電話番号 03-3581-1101 内線 3471

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2006-013330 A (新光電気工業株式会社) 2006. 01. 12, 段落【0026】, 図1-図2 & US 2006/0001173 A1 & US 2006/0267210 A1 & EP 1612859 A2 & DE 602005019124 D & KR 10-2006-0048594 A & CN 1716558 A	3, 5, 9-11
Y	JP 11-150201 A (京セラ株式会社) 1999. 06. 02, 段落【0041】, 図3 (ファミリーなし)	3, 5, 9-11
Y	JP 2009-107041 A (日本電信電話株式会社) 2009. 05. 21, 段落【0014】 - 【0064】, 図1-図6 (ファミリーなし)	12