(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3878724号
(P3878724)
(45)発行日　平成19年2月7日(2007.2.7)　(24)登録日　平成18年11月10日(2006.11.10)

(51)Int.Cl.　F I
H01L 21/8242 (2006.01)　H01L 27/10 621B
H01L 27/108 (2006.01)　H01L 27/10 651

請求項の数 10　(全 37 頁)

(21)出願番号　特願平9-280963
(22)出願日　平成9年10月14日(1997.10.14)
(65)公開番号　特開平11-121713
(43)公開日　平成11年4月30日(1999.4.30)
審査請求日　平成15年3月6日(2003.3.6)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　中西　成彦
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　小林　伸好
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　大路　譲
東京都小平市上水本町五丁目２０番１号
株式会社日立製作所　半導体事業部内

最終頁に続く

(54)【発明の名称】半導体集積回路装置およびその製造方法

(57)【特許請求の範囲】

【請求項１】

半導体基板の主面上に形成されたメモリセル選択用ＭＩＳＦＥＴおよび前記メモリセル選択用ＭＩＳＦＥＴに直列に接続され、下部電極、容量絶縁膜および上部電極を備えた情報蓄積用容量素子で構成されるメモリセルを有するＤＲＡＭを含む半導体集積回路装置であって、

前記下部電極は、表面粗さが、中心線平均粗さで表した値で１ｎｍ以下である二酸化ルテニウムを主成分とする導電材からなり、前記容量絶縁膜は、炭素原子が含まれる結晶化された五酸化タンタルからなり、前記上部電極は前記五酸化タンタルに接して形成されたタングステン膜またはルテニウム膜のいずれかからなる第１の膜と前記第１の膜に接して形成された窒化チタン膜からなる第２の膜との積層膜からなることを特徴とする半導体集積回路装置。

【請求項２】

請求項１記載の半導体集積回路装置であって、

前記容量絶縁膜は、二層以上の結晶化された五酸化タンタル膜の積層膜であることを特徴とする半導体集積回路装置。

【請求項３】

請求項１または２記載の半導体集積回路装置であって、

前記容量絶縁膜の膜厚は、５～１５ｎｍの範囲内にあることを特徴とする半導体集積回路装置。

【請求項４】
請求項１～３の何れか一項に記載の半導体集積回路装置であって、
前記メモリセル選択用ＭＩＳＦＥＴのソース・ドレイン領域と前記下部電極とを接続するプラグは、前記ソース・ドレイン領域と接続するポリシリコンプラグと前記ポリシリコンプラグ上に形成された二酸化ルテニウムを主成分とするプラグとで構成されていることを特徴とする半導体集積回路装置。
【請求項５】
半導体基板の主面上に形成されたメモリセル選択用ＭＩＳＦＥＴおよび前記メモリセル選択用ＭＩＳＦＥＴに直列に接続され、下部電極、容量絶縁膜および上部電極を備えた情報蓄積用容量素子で構成されるメモリセルを有するＤＲＡＭを含む半導体集積回路装置の製造方法であって、
（ａ）前記メモリセル選択用ＭＩＳＦＥＴおよび前記ＤＲＡＭのビット線を形成した後、前記ビット線を覆う層間絶縁膜上に二酸化ルテニウム膜を堆積し、前記二酸化ルテニウム膜をパターニングして表面粗さが、中心線平均粗さで表した値で１ｎｍ以下である前記下部電極を形成する工程、
（ｂ）前記下部電極上に非晶質の酸化タンタル膜を堆積した後、前記酸化タンタル膜を熱処理することにより結晶化し、炭素原子が含まれる結晶化された五酸化タンタルからなる前記容量絶縁膜を形成する工程、
（ｃ）前記五酸化タンタルからなる前記容量絶縁膜上にタングステン膜またはルテニウム膜のいずれかからなる第１の膜を形成し、前記第１の膜に接して窒化チタン膜からなる第２の膜を形成し、前記第１の膜、第２の膜をパターニングして前記第１の膜、第２の膜の積層膜からなる上部電極を形成する工程、
を有することを特徴とする半導体集積回路装置の製造方法。
【請求項６】
請求項５記載の半導体集積回路装置の製造方法であって、
前記二酸化ルテニウム膜の堆積は、ターゲット材料として二酸化ルテニウムを用いて酸素を含むガスを用いたスパッタ法により行われることを特徴とする半導体集積回路装置の製造方法。
【請求項７】
請求項５記載の半導体集積回路装置の製造方法であって、
前記二酸化ルテニウム膜の堆積は、ターゲット材料としてルテニウムを用い、酸素を含むガスを用いた反応性スパッタ法により行われることを特徴とする半導体集積回路装置の製造方法。
【請求項８】
請求項５記載の半導体集積回路装置の製造方法であって、
前記二酸化ルテニウム膜の堆積は、有機ルテニウムガスと酸素とを含むガスを原料ガスとしたＣＶＤ法により行われることを特徴とする半導体集積回路装置の製造方法。
【請求項９】
請求項８記載の半導体集積回路装置の製造方法であって、
前記有機ルテニウムガスは、トリスジビバロイルメタナートルテニウム（Ｒｕ（（CH_3）$_3$ＣＣＯＣＨＣＯＣ（CH_3）$_3$）$_3$）であることを特徴とする半導体集積回路装置の製造方法。
【請求項１０】
請求項８または９記載の半導体集積回路装置の製造方法であって、
前記酸化タンタル膜は、ペンタアルキルタンタル（Ｔａ（$C_n H_{2n+1}$）$_5$）および酸素を含むガスを原料ガスとし、５００℃以下の減圧状態における熱ＣＶＤ法により形成されることを特徴とする半導体集積回路装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、ＤＲＡＭ（Dynamic Random Access Memory）の蓄積容量の増大に適用して有効な技術に関するものである。

【０００２】

【従来の技術】

ＤＲＡＭのメモリセルは、半導体基板の主面上にマトリクス状に配置された複数のワード線と複数のビット線との交点に配置され、１個のメモリセル選択用ＭＩＳＦＥＴ(Metal Insulator Semiconductor Field Effect Transistor) とこれに直列に接続された１個の情報蓄積用容量素子（キャパシタ）とで構成されている。メモリセル選択用ＭＩＳＦＥＴは、周囲を素子分離領域で囲まれた活性領域に形成され、主としてゲート酸化膜、ワード線と一体に構成されたゲート電極およびソース、ドレインを構成する一対の半導体領域で構成されている。ビット線は、メモリセル選択用ＭＩＳＦＥＴの上部に配置され、その延在方向に隣接する２個のメモリセル選択用ＭＩＳＦＥＴによって共有されるソース、ドレインの一方と電気的に接続されている。情報蓄積用容量素子は、同じくメモリセル選択用ＭＩＳＦＥＴの上部に配置され、上記ソース、ドレインの他方と電気的に接続されている。

【０００３】

特開平７－７０８４号公報は、ビット線の上部に情報蓄積用容量素子を配置するキャパシタ・オーバー・ビットライン(Capacitor Over Bitline)構造のＤＲＡＭを開示している。この公報に記載されたＤＲＡＭは、メモリセルの微細化に伴う情報蓄積用容量素子の蓄積電荷量（Ｃs)の減少を補うために、ビット線の上部に配置した情報蓄積用容量素子の下部電極（蓄積電極）を円筒状に加工することによってその表面積を増やし、その上部に容量絶縁膜と上部電極（プレート電極）とを形成している。

【０００４】

また、特開平１－４２１６１号公報（特願昭６２－１９８０４３号）および特開平１－１８７８４７号公報（特願昭６３－１０６３５号）には、情報蓄積用容量素子の下部電極として多結晶シリコン膜を用い、多結晶シリコン膜のＣＶＤ法による成膜時に、その初期段階において下地の表面状態に依存して粒状シリコン多結晶が成長する現象、あるいは、多結晶シリコン膜のウェットエッチングが均一には進まず表面に凹凸が生じる現象を利用して下部電極表面に微少な凹凸を形成し、その表面積の増加を図り、蓄積容量の確保を図る技術が開示されている。

【０００５】

さらに、特開平８－１６７７０２号公報には、フィン形状を有する第１電極（下部電極）と第２電極（上部電極）とそれら第１および第２電極との間に形成された誘電物質とからなるキャパシタ（情報蓄積用容量素子）において、第１電極をルテニウム酸化物等からなる物質により構成し、誘電物質を五酸化タンタル等からなる物質により構成して、五酸化タンタル等の高い誘電率により蓄積容量を確保する技術が開示されている。また特開平７－１６９９１７号公報には、五酸化タンタルからなる誘電体膜をアニールする方法において、酸素雰囲気中での第１アニールに続き、不活性雰囲気中での第１アニールより高温で行う第２アニールによりリーク電流の少ない五酸化タンタル膜の形成方法、および五酸化タンタル膜を積層してリーク電流を低減する方法の記載がある。また特開平１０－５０９６０号公報には、強誘電体膜であるＰＺＴ膜を積層することによりそれぞれのＰＺＴ膜の結晶粒界の位置をずらすことによりリーク電流の少ない強誘電体膜を形成する方法の記載がある。また酸化ルテニウム膜を電極として酸化タンタルを誘電体膜としたキャパシタ構造は特開平８－２９３５８６号公報に記載がある。また特開平８－２３０７６号公報には、凹凸を有する基板上にキャパシタを形成する場合において、非酸化性金属膜とゾル－ゲル法により形成される導電性酸化物膜の二つの層から成る下部電極を形成し、下部電極上に誘電体薄膜を形成し、誘電体薄膜上に上部電極を形成して誘電体キャパシタを構成することにより下地の凹凸を緩和して局所的な膜厚欠陥を防止する開示がある。また特開平６－２７５７７６号公報の[００１２]にはTa_2O_5とＴｉＮが反応してリーク電流が増加するため、図１および[００１４]、[００１８]、[００２０]にはTa_2O_5に接する電極をＷＮで形成する開示がある。また特開平８－２７４２５６号公報には図１および[００２

８]、[００２９]にTa_2O_5膜に接して上部電極をＷＮとＷの積層膜で形成する開示がある。また[００２１]にはTa_2O_5膜の上部電極をＷＮとバリア膜とＴｉＮ膜で形成する開示がある。

【０００６】

【発明が解決しようとする課題】

しかし、情報蓄積用容量素子の下部電極を円筒形状とし、その表面積を増加する特開平７－７０８４号公報記載の方法、あるいはその表面に微少な凹凸を形成してその表面積を増加する特開平１－４２１６１号公報（特願昭６２－１９８０４３号）または特開平１－１８７８４７号公報（特願昭６３－１０６３５号）に記載の方法を用いたとしても、集積度向上の要求はメモリセル面積の更なる縮小を要求し、それに伴う蓄積容量値の確保が困難となる。このため、さらに下部電極の表面積を増大する必要があるが、円筒形状の高さの増加は、下部電極の機械的強度の確保の困難性、および、メモリセルアレイ領域と周辺回路領域との下部電極の高さに起因する段差の発生が問題となり自ずと限界が存在する。また、表面に微細な凹凸を形成する方法においてもシリコンの表面状態あるいは物性に依存し、やはり限界がある。

【０００７】

そこで、下部電極の形状的な対処による限界を克服する方策として、特開平８－１６７７０２号公報に記載されているように五酸化タンタル等の高誘電率材料を情報蓄積用容量素子のキャパシタ絶縁膜の用いる技術を検討する必要があるが、前記公報記載の技術ではキャパシタ絶縁膜としてシリコン酸化膜に換算した厚さ（換算膜厚）で2.５ｎｍ以上の酸化タンタル膜を用いている。このようなキャパシタ絶縁膜では、依然として２５６ＭｂｉｔＤＲＡＭ以降のメモリセルのキャパシタ容量を確保することは困難であり、下部電極の構造をフィン型等に複雑化して有効表面積を得なければならないという課題が残る。

【０００８】

また、酸化タンタル膜をキャパシタ絶縁膜に用いる場合には、下部電極の材料としてシリコン（多結晶シリコン膜）を用いることが困難である。すなわち、酸化タンタル膜の被膜形成中に酸素雰囲気に曝されたシリコンが酸化されて下部電極と酸化タンタル膜との界面に低誘電率のシリコン酸化膜が形成され、容量絶縁膜の実質的な膜厚を厚くし、また、容量絶縁膜の実質的な誘電率を低下させて蓄積電荷量を低下させてしまうためである。このため、特開平８－１６７７０２号公報には、上記低誘電率層の生成を防止できる下部電極の材料として、酸化ルテニウムが例示されている。

【０００９】

しかしながら、酸化ルテニウムの代表的な形成方法であるルテニウム（Ｒｕ）膜のスパッタ法による堆積とその後の酸素処理による酸化反応により形成した場合には、後に説明するように被膜表面に凹凸が形成され、キャパシタの信頼性を損なうという問題がある。

【００１０】

本発明の目的は、２５６ＭｂｉｔＤＲＡＭ以降のメモリセルのキャパシタの蓄積容量を確保できる技術を提供することにある。

【００１１】

また、本発明の目的は、情報蓄積用容量素子の容量絶縁膜に酸化タンタル膜を用い、酸素雰囲気における熱処理を施しても実効的な容量絶縁膜の誘電率の低下および膜厚の増加を来すことがない技術を提供することにある。

【００１２】

また、本発明の目的は、情報蓄積用容量素子の下部電極表面を平坦化する技術を提供し、情報蓄積用容量素子の信頼性を向上することにある。

【００１３】

また、本発明の目的は、下部電極の形状を単純化し、その形成工程の簡略化を実現できる技術を提供することにある。

【００１４】

また、本発明の目的は、情報蓄積用容量素子の容量絶縁膜の絶縁性の向上、すなわちリー

ク電流の低減を図る技術を提供し、情報蓄積用容量素子の性能と信頼性の向上を図ることにある。

【００１５】

また、本発明の目的は、情報蓄積用容量素子の上部電極の材料を最適化し、信頼性の高い情報蓄積用容量素子を提供することにある。

【００１６】

また、本発明の目的は、情報蓄積用容量素子の蓄積電荷量を増加し、ＤＲＡＭのリフレッシュマージンを増加して半導体集積回路装置の低電圧化、低電力化を図ることにある。

【００１７】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【００１８】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【００１９】

本発明の半導体集積回路装置は、半導体基板の主面上に形成されたメモリセル選択用ＭＩＳＦＥＴおよびメモリセル選択用ＭＩＳＦＥＴに直列に接続され、下部電極、容量絶縁膜および上部電極を備えた情報蓄積用容量素子で構成されるメモリセルを有するＤＲＡＭを含む半導体集積回路装置であって、下部電極が二酸化ルテニウム（RuO_2）を主成分とする導電材からなり、容量絶縁膜が結晶化された五酸化タンタル（Ta_2O_5）からなるものである。

【００２０】

このような半導体集積回路装置によれば、下部電極が二酸化ルテニウムを主成分とする導電材からなるため、容量絶縁膜として酸化雰囲気で形成される五酸化タンタルを用いても、下部電極と容量絶縁膜との境界面にシリコン酸化膜等の低い誘電率の被膜が形成されず、容量絶縁膜の高い誘電率と実質的な膜厚増加の防止を図ることができる。さらに、後に説明する五酸化タンタル膜の熱処理、すなわち、容量絶縁膜である五酸化タンタル膜の結晶化を図るための酸化性雰囲気での五酸化タンタル膜の熱処理を施しても下部電極と容量絶縁膜との境界面にシリコン酸化膜等の低い誘電率の被膜が形成されない。なお、安定なルテニウムの酸化物は二酸化ルテニウム（RuO_2）に限られるため、どのような製造方法を用いても、安定に導電体である二酸化ルテニウム（RuO_2）が生成され、プロセスウィンドウを広くすることができるという効果もある。たとえば、窒化チタンを下部電極に用いた場合には窒化チタン膜と酸化タンタル膜との界面に酸化チタン膜が形成され、酸化チタン膜が導電性を示すものである場合には問題は生じないが、化学量論比によっては不導体となる場合もあり、このように界面生成物が不導体となる場合には容量絶縁膜の実質的な膜厚を増加し好ましくない。しかし、酸化ルテニウムを下部電極に用いる場合には、このような不具合は生じない。

【００２１】

また、本発明の半導体集積回路装置では、容量絶縁膜が結晶化された五酸化タンタル（Ta_2O_5）からなるため、非晶質な酸化タンタルの比誘電率（２０～２５）に比較してその比誘電率が４０～５０と高く、同一膜厚で形成した場合の情報蓄積用容量素子の蓄積容量を大幅に増加することができる。この結果、下部電極の構造をフィン型あるいは円筒型にすることなく、２５６ＭｂｉｔＤＲＡＭあるいは１ＧｂｉｔＤＲＡＭで必要な情報蓄積用容量素子の容量値を確保することができる。

【００２２】

また、本発明の半導体集積回路装置は、前記下部電極の表面粗さを中心線平均粗さ（Ｒａ）で表した値で１ｎｍ以下とするものである。

【００２３】

このような半導体集積回路装置によれば、下部電極の表面の粗さが中心線平均粗さ（Ｒａ

）で表現した値で１ｎｍ以下となるため、たとえば容量絶縁膜の膜厚（５～１５ｎｍ）に比較して十分な平坦性を確保できる。仮に下部電極の表面にたとえばＲａ＝２０ｎｍ程度の凹凸が存在する場合には、容量絶縁膜に好ましくない電界の集中や容量絶縁膜の膜厚の薄い部分が発生する可能性があり、耐電圧を低下させる要因となる可能性がある。しかし、本発明では下部電極の平坦性が確保できているためこのような不具合は発生しない。

【００２４】

なお、容量絶縁膜には炭素原子が含まれる。これは、後に説明するように容量絶縁膜である酸化タンタル膜は有機タンタルガスを用いてＣＶＤ法で形成されるため、不可避的に形成膜中に炭素原子が含まれるものである。ただし、リーク電流を低減するためには、炭素原子はできるだけ少ないことが好ましい。

【００２５】

また、前記半導体集積回路装置において、容量絶縁膜は二層以上の結晶化された五酸化タンタル膜の積層膜とすることができる。結晶化された五酸化タンタル膜は通常多結晶状態となり、多結晶薄膜においては粒界が存在する。このような粒界は、一般に不純物等の偏析、あるいは結晶構造の不完全性等により耐電圧が低下する可能性が高い。そこで本発明では、容量絶縁膜を二層以上の五酸化タンタル積層膜とし、一層に粒界があっても他の層で粒界によるリーク経路を遮断し、耐電圧を向上することができる。

【００２６】

また、前記半導体集積回路装置において、容量絶縁膜の膜厚は、５～１５ｎｍの範囲内とすることができる。これにより、ある程度の膜厚を確保して耐電圧を確保し、かつ、十分に薄い換算膜厚（シリコン酸化膜に換算した場合の膜厚）を確保することができる。

【００２７】

また、本発明の半導体集積回路装置は、前記上部電極を、窒化チタン（ＴｉＮ）、ルテニウム（Ｒｕ）、二酸化ルテニウム（RuO_2）、タングステン（Ｗ）または窒化タングステン（ＷＮ）から選択された単層膜またはそれらの積層膜とするものである。

【００２８】

このような半導体集積回路装置によれば、上部電極の材料を最適化して情報蓄積用容量素子の信頼性を向上することができる。すなわち、ルテニウム（Ｒｕ）、タングステン（Ｗ）は、タンタル（Ｔａ）よりも酸化され難いため、容量絶縁膜である酸化タンタルと直接接触していても、酸化タンタル膜中の酸素を引き抜いてルテニウムあるいはタングステンが酸化されることがない。このため、ルテニウムあるいはタングステン（それらの酸化物もしくは窒化物を含む）を上部電極に用いた場合には酸化タンタルの化学量論比が長期間に渡って安定に保たれ、また、熱的にも安定となる。この結果、情報蓄積用容量素子の信頼性を向上することとなる。

【００２９】

一方、ＣＯＢ構造の下部電極は立体的に形成されるため、上部電極を構成する被膜の段差被覆性および段差埋め込み性は良好であることが好ましい。窒化チタン（ＴｉＮ）は、無機あるいは有機化合物を原料ガスとしてＣＶＤ法により形成することができるため、段差被覆性および段差埋め込み性に優れている。このため、窒化チタン（ＴｉＮ）を上部電極に用いた場合には良好に被覆されかつ埋め込まれた上部電極を形成することが可能である。仮に段差被覆性あるいは段差埋め込み性の悪い被膜で上部電極を構成した場合には、下部電極の形状により形成された凹部にボイドが形成され、このボイドに起因した情報蓄積用容量素子の信頼性の低下が発生する可能性があるが、上部電極にＣＶＤ法による窒化チタン膜を用いた場合ではこのような不具合は発生しない。

【００３０】

なお、前記上部電極は、容量絶縁膜に接して形成されたタングステン膜およびタングステン膜に接して形成された窒化チタン膜の積層膜とすることができる。このような場合には、前記した熱的な安定性と、ボイドの発生を防止する効果をともに得ることができる。

【００３１】

また、本発明の半導体集積回路装置は、前記した半導体集積回路装置であって、メモリセ

ル選択用ＭＩＳＦＥＴのソース・ドレイン領域と下部電極とを接続するプラグが、二酸化ルテニウム（RuO_2）を主成分とする導電材で構成されているものである。

【００３２】

また、本発明の半導体集積回路装置は、前記した半導体集積回路装置であって、メモリセル選択用ＭＩＳＦＥＴのソース・ドレイン領域と下部電極とを接続するプラグ、および下部電極の間には、プラグの酸化を抑制するブロッキング膜が形成されているものである。

【００３３】

このような半導体集積回路装置によれば、容量絶縁膜の形成の際の酸化性雰囲気のおける熱処理により、メモリセル選択用ＭＩＳＦＥＴのソース・ドレイン領域と下部電極とを接続する部分にシリコン酸化膜等の不導体の生成を防止することができる。すなわち、プラグに二酸化ルテニウム（RuO_2）を主成分とする導電材を用いるためシリコン酸化膜が形成されることがなく、また、プラグに多結晶シリコンを用いたとしてもプラグと下部電極との間に酸化を抑制するブロッキング膜を形成するためプラグが酸化されてシリコン酸化膜が生成されることがない。この結果、メモリセル選択用ＭＩＳＦＥＴのソース・ドレイン領域と下部電極との接続は確実に行われ、半導体集積回路装置の信頼性を向上することができる。

【００３４】

なお、ブロッキング膜としては、窒化チタン膜を例示できる。

【００３５】

本発明の半導体集積回路装置の製造方法は、半導体基板の主面上に形成されたメモリセル選択用ＭＩＳＦＥＴおよびメモリセル選択用ＭＩＳＦＥＴに直列に接続され、下部電極、容量絶縁膜および上部電極を備えた情報蓄積用容量素子で構成されるメモリセルを有するＤＲＡＭを含む半導体集積回路装置の製造方法であって、（ａ）メモリセル選択用ＭＩＳＦＥＴおよびＤＲＡＭのビット線を形成した後、ビット線を覆う層間絶縁膜上に二酸化ルテニウム（RuO_2）膜を堆積し、二酸化ルテニウム膜をパターニングして下部電極を形成する工程、（ｂ）下部電極上に非晶質の酸化タンタル膜を堆積した後、酸化タンタル膜を熱処理することにより結晶化し、結晶化された五酸化タンタル（Ta_2O_5）からなる容量絶縁膜を形成する工程、を有するものである。

【００３６】

このような半導体集積回路装置の製造方法によれば、前記した半導体集積回路装置を製造することができる。なお、（ａ）工程において二酸化ルテニウム膜をパターニングして下部電極を形成するため、下部電極の構造を単純化し、工程を簡略化することが可能である。また、（ｂ）工程において、非晶質の酸化タンタル膜を堆積した後、酸化タンタル膜を熱処理することにより結晶化するため、容量絶縁膜となる酸化タンタル膜の誘電率を高め、情報蓄積用容量素子の蓄積容量を増加することが可能である。

【００３７】

なお、二酸化ルテニウム膜の堆積は、ターゲット材料として二酸化ルテニウム（RuO_2）を用いたスパッタ法により行うことができる。このようにあらかじめルテニウムの酸化物である二酸化ルテニウム（RuO_2）を出発材料としてスパッタ法により被膜を堆積するため、ルテニウム（Ｒｕ）を堆積した後に酸化処理を行って二酸化ルテニウムを形成する場合の表面粗さ（Ｒａ＝約２０ｎｍ）と比較して著しく平坦な被膜（Ｒａ＝１ｎｍ以下）を堆積することが可能である。これにより情報蓄積用容量素子の信頼性を向上できる。

【００３８】

また、二酸化ルテニウム膜の堆積は、ターゲット材料としてルテニウム（Ｒｕ）を用い、酸素を含むガスを用いた反応性スパッタ法により行うことができる。このようにターゲット材料としてルテニウム（Ｒｕ）を用い、酸素を含むガスを用いた反応性スパッタ法を用いることにより、前記と同様に平坦な被膜（Ｒａ＝１ｎｍ以下）を堆積することができ、情報蓄積用容量素子の信頼性を向上できる。

【００３９】

また、二酸化ルテニウム膜の堆積は、有機ルテニウムガスと酸素とを含むガスを原料ガス

としたＣＶＤ法により行うことができる。このように有機ルテニウムガスと酸素とを含むガスを原料ガスとしてＣＶＤ法によりワンプロセスで二酸化ルテニウム膜を堆積するため、前記と同様に平坦な被膜（Ｒａ＝１ｎｍ以下）を堆積することができ、情報蓄積用容量素子の信頼性を向上できる。なお、有機ルテニウムガスとしては、たとえばトリスジビバロイルメタナートルテニウム（Ｒｕ（（CH_3）$_3$ ＣＣＯＣＨＣＯＣ（CH_3）$_3$）$_3$）を例示できる。

【００４０】

また、酸化タンタル膜は、ペンタアルキルタンタル（Ｔａ（C_n H_{2n+1}）$_5$）および酸素（O_2）を含むガスを原料ガスとし、５００℃以下の減圧状態における熱ＣＶＤ法により形成することができる。このようにペンタアルキルタンタル（Ｔａ（C_n H_{2n+1}）$_5$）および酸素（O_2）を含むガスを原料ガスとし、５００℃以下の減圧状態における熱ＣＶＤ法により形成するため、容量絶縁膜の段差被覆性を向上することが可能である。

【００４１】

なお、ｎの値としては１ないし２が妥当である。このようにｎの値を低く選択することにより成膜後の酸化タンタル膜に含まれる炭素量を減少させることができる。

【００４２】

また、酸化タンタル膜の熱処理は、酸化性雰囲気において７５０℃、１０分間のアニールを加えることにより行うことができる。あるいは、酸化性雰囲気において８００℃、３分間のアニールを加えることにより行うことができる。酸化タンタル膜の熱処理を、酸化性雰囲気において８００℃、３分間のアニールを加えることにより行う場合には、核発生密度を増加して酸化タンタル結晶の粒径を小さくし、より緻密な容量絶縁膜あるいは膜厚均一性の高い被膜を形成して情報蓄積用容量素子の耐電圧を向上することができる。

【００４３】

また、本発明の半導体集積回路装置の製造方法は、前記製造方法の工程に加えて、窒化チタン（ＴｉＮ）、ルテニウム（Ｒｕ）、二酸化ルテニウム（RuO_2）、タングステン（Ｗ）または窒化タングステン（ＷＮ）から選択された単層膜またはそれらの積層膜を堆積し、単層膜または積層膜をパターニングして上部電極を形成する工程を含むものである。

【００４４】

このような半導体集積回路装置の製造方法によれば、前記した上部電極を備えた半導体集積回路装置を製造することができる。

【００４５】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【００４６】

（実施の形態１）

図１は、本実施の形態のＤＲＡＭを形成した半導体チップの全体平面図である。図示のように、単結晶シリコンからなる半導体チップ１Ａの主面には、Ｘ方向（半導体チップ１Ａの長辺方向）およびＹ方向（半導体チップ１Ａの短辺方向）に沿って多数のメモリアレイＭＡＲＹがマトリクス状に配置されている。Ｘ方向に沿って互いに隣接するメモリアレイＭＡＲＹの間にはセンスアンプＳＡが配置されている。半導体チップ１Ａの主面の中央部には、ワードドライバＷＤ、データ線選択回路などの制御回路や、入出力回路、ボンディングパッドなどが配置されている。

【００４７】

図２は、本実施の形態のＤＲＡＭの等価回路図である。図示のように、このＤＲＡＭのメモリアレイ（ＭＡＲＹ）は、マトリクス状に配置された複数のワード線ＷＬ（WL_{n-1}、WL_n、WL_{n+1} …）と複数のビット線ＢＬおよびそれらの交点に配置された複数のメモリセル（ＭＣ）により構成されている。１ビットの情報を記憶する１個のメモリセルは、１個の情報蓄積用容量素子Ｃとこれに直列に接続された１個のメモリセル選択用ＭＩＳＦ

ＥＴＱｓとで構成されている。メモリセル選択用ＭＩＳＦＥＴＱｓのソース、ドレインの一方は、情報蓄積用容量素子Ｃと電気的に接続され、他方はビット線ＢＬと電気的に接続されている。ワード線ＷＬの一端は、ワードドライバＷＤに接続され、ビット線ＢＬの一端は、センスアンプＳＡに接続されている。

【００４８】

次に、本実施の形態のＤＲＡＭの製造方法を図３～図３７を用いて工程順に説明する。図３～図３７は、本実施の形態のＤＲＡＭの製造工程の一例を工程順に示した断面図である。

【００４９】

まず、図３に示すように、ｐ型で比抵抗が１０Ωcm程度の半導体基板１を８５０℃程度でウェット酸化してその表面に膜厚１０nm程度の薄い酸化シリコン膜２を形成した後、この酸化シリコン膜２の上部にＣＶＤ（Chemical Vapor Deposition ）法で膜厚１４０nm程度の窒化シリコン膜３を堆積する。酸化シリコン膜２は、後の工程で素子分離溝の内部に埋め込まれる酸化シリコン膜をシンタリング（焼き締め）するときなどに基板に加わるストレスを緩和するために形成される。窒化シリコン膜３は酸化されにくい性質を持つので、その下部（活性領域）の基板表面の酸化を防止するマスクとして利用される。

【００５０】

次に、図４に示すように、フォトレジスト膜４をマスクにして窒化シリコン膜３、酸化シリコン膜２および半導体基板１をドライエッチングすることにより、素子分離領域の半導体基板１に深さ３００～４００nm程度の溝５ａを形成する。溝５ａを形成するには、フォトレジスト膜４をマスクにして窒化シリコン膜３をドライエッチングし、次いでフォトレジスト膜４を除去した後、窒化シリコン膜３をマスクにして酸化シリコン膜２および半導体基板１をドライエッチングしてもよい。

【００５１】

次に、フォトレジスト膜４を除去した後、図５に示すように、前記のエッチングによって溝５ａの内壁に生じたダメージ層を除去するために、半導体基板１を８５０～９００℃程度でウェット酸化して溝５ａの内壁に膜厚１０nm程度の薄い酸化シリコン膜６を形成する。

【００５２】

次に、図６に示すように、半導体基板１上に膜厚３００～４００nm程度の酸化シリコン膜７を堆積した後、半導体基板１を１０００℃程度でドライ酸化することにより、溝５ａに埋め込まれた酸化シリコン膜７の膜質を改善するためのシンタリング（焼き締め）を行う。酸化シリコン膜７は、例えばオゾン（O_3 ）とテトラエトキシシラン（ＴＥＯＳ）とをソースガスに用いたプラズマＣＶＤ法で堆積する。

【００５３】

次に、図７に示すように、酸化シリコン膜７の上部にＣＶＤ法で膜厚１４０nm程度の窒化シリコン膜８を堆積した後、図８に示すように、フォトレジスト膜９をマスクにして窒化シリコン膜８をドライエッチングすることにより、メモリアレイと周辺回路との境界部のような相対的に広い面積の溝５ａの上部のみに窒化シリコン膜８を残す。溝５ａの上部に残った窒化シリコン膜８は、次の工程で酸化シリコン膜７をＣＭＰ法で研磨して平坦化する際に、相対的に広い面積の溝５ａの内部の酸化シリコン膜７が相対的に狭い面積の溝５ａの内部の酸化シリコン膜７に比べて深く研磨される現象（ディッシング；dishing ）を防止するために形成される。

【００５４】

次に、フォトレジスト膜９を除去した後、図９に示すように、窒化シリコン膜３、８をストッパに用いたＣＭＰ法で酸化シリコン膜７を研磨して溝５ａの内部に残すことにより、素子分離溝５を形成する。

【００５５】

次に、熱リン酸を用いたウェットエッチングで窒化シリコン膜３、８を除去した後、図１０に示すように、メモリセルを形成する領域（メモリアレイ）の半導体基板１にｎ型不純

物、例えばＰ（リン）をイオン打ち込みしてｎ型半導体領域１０を形成し、メモリアレイと周辺回路の一部（ｎチャネル型ＭＩＳＦＥＴを形成する領域）にｐ型不純物、例えばＢ（ホウ素）をイオン打ち込みしてｐ型ウエル１１を形成し、周辺回路の他の一部（ｐチャネル型ＭＩＳＦＥＴを形成する領域）にｎ型不純物、例えばＰ（リン）をイオン打ち込みしてｎ型ウエル１２を形成する。また、このイオン打ち込みに続いて、ＭＩＳＦＥＴのしきい値電圧を調整するための不純物、例えばBF_2(フッ化ホウ素）をｐ型ウエル１１およびｎ型ウエル１２にイオン打ち込みする。ｎ型半導体領域１０は、入出力回路などから半導体基板１を通じてメモリアレイのｐ型ウエル１１にノイズが侵入するのを防止するために形成される。

【００５６】

次に、ｐ型ウエル１１およびｎ型ウエル１２の各表面の酸化シリコン膜２をＨＦ（フッ酸）系の洗浄液を使って除去した後、半導体基板１を８５０℃程度でウェット酸化してｐ型ウエル１１およびｎ型ウエル１２の各表面に膜厚７nm程度の清浄なゲート酸化膜１３を形成する。

【００５７】

特に限定はされないが、上記ゲート酸化膜１３を形成した後、半導体基板１をＮＯ（酸化窒素）雰囲気中またはN_2O（亜酸化窒素）雰囲気中で熱処理することによって、ゲート酸化膜１３と半導体基板１との界面に窒素を偏析させてもよい（酸窒化処理）。ゲート酸化膜１３が７nm程度まで薄くなると、半導体基板１との熱膨張係数差に起因して両者の界面に生じる歪みが顕在化し、ホットキャリアの発生を誘発する。半導体基板１との界面に偏析した窒素はこの歪みを緩和するので、上記の酸窒化処理は、極めて薄いゲート酸化膜１３の信頼性を向上できる。

【００５８】

次に、図１１に示すように、ゲート酸化膜１３の上部にゲート電極１４Ａ、１４Ｂ、１４Ｃを形成する。ゲート電極１４Ａは、メモリセル選択用ＭＩＳＦＥＴの一部を構成し、活性領域以外の領域ではワード線ＷＬとして使用される。このゲート電極１４Ａ（ワード線ＷＬ）の幅、すなわちゲート長は、メモリセル選択用ＭＩＳＦＥＴの短チャネル効果を抑制して、しきい値電圧を一定値以上に確保できる許容範囲内の最小寸法（例えば0.２４μm程度）で構成される。また、隣接するゲート電極１４Ａ（ワード線ＷＬ）同士の間隔は、フォトリソグラフィの解像限界で決まる最小寸法（例えば0.２２μm）で構成される。ゲート電極１４Ｂおよびゲート電極１４Ｃは、周辺回路のｎチャネル型ＭＩＳＦＥＴおよびｐチャネル型ＭＩＳＦＥＴの各一部を構成する。

【００５９】

ゲート電極１４Ａ（ワード線ＷＬ）およびゲート電極１４Ｂ、１４Ｃは、例えばＰ（リン）などのｎ型不純物がドープされた膜厚７０nm程度の多結晶シリコン膜を半導体基板１上にＣＶＤ法で堆積し、次いでその上部に膜厚５０nm程度のＷＮ（タングステンナイトライド）膜と膜厚１００nm程度のＷ膜とをスパッタリング法で堆積し、さらにその上部に膜厚１５０nm程度の窒化シリコン膜１５をＣＶＤ法で堆積した後、フォトレジスト膜１６をマスクにしてこれらの膜をパターニングすることにより形成する。ＷＮ膜は、高温熱処理時にＷ膜と多結晶シリコン膜とが反応して両者の界面に高抵抗のシリサイド層が形成されるのを防止するバリア層として機能する。バリア層は、ＷＮ膜の他、ＴｉＮ（チタンナイトライド）膜などを使用することもできる。

【００６０】

ゲート電極１４Ａ（ワード線ＷＬ）の一部を低抵抗の金属（Ｗ）で構成した場合には、そのシート抵抗を２～2.５Ω／□程度にまで低減できるので、ワード線遅延を低減することができる。また、ゲート電極１４（ワード線ＷＬ）をＡｌ配線などで裏打ちしなくともワード線遅延を低減できるので、メモリセルの上部に形成される配線層の数を１層減らすことができる。

【００６１】

次に、フォトレジスト膜１６を除去した後、フッ酸などのエッチング液を使って、半導体

基板１の表面に残ったドライエッチング残渣やフォトレジスト残渣などを除去する。このウェットエッチングを行うと、ゲート電極１４Ａ（ワード線ＷＬ）およびゲート電極１４Ｂ、１４Ｃの下部以外の領域のゲート酸化膜１３が削られると同時に、ゲート側壁下部のゲート酸化膜１３も等方的にエッチングされてアンダーカットが生じるため、そのままではゲート酸化膜１３の耐圧が低下する。そこで、半導体基板１を９００℃程度でウェット酸化することによって、削れたゲート酸化膜１３の膜質を改善する。

【００６２】

次に、図１２に示すように、ｎ型ウエル１２にｐ型不純物、例えばＢ（ホウ素）をイオン打ち込みしてゲート電極１４Ｃの両側のｎ型ウエル１２にp^-型半導体領域１７を形成する。また、ｐ型ウエル１１にｎ型不純物、例えばＰ（リン）をイオン打ち込みしてゲート電極１４Ｂの両側のｐ型ウエル１１にn^-型半導体領域１８を形成し、ゲート電極１４Ａの両側のｐ型ウエル１１にｎ型半導体領域１９を形成する。これにより、メモリアレイにメモリセル選択用ＭＩＳＦＥＴＱｓが形成される。

【００６３】

次に、図１３に示すように、半導体基板１上にＣＶＤ法で膜厚５０～１００nm程度の窒化シリコン膜２０を堆積した後、図１４に示すように、メモリアレイの窒化シリコン膜２０をフォトレジスト膜２１で覆い、周辺回路の窒化シリコン膜２０を異方性エッチングすることにより、ゲート電極１４Ｂ、１４Ｃの側壁にサイドウォールスペーサ２０ａを形成する。このエッチングは、ゲート酸化膜１３や素子分離溝５に埋め込まれた酸化シリコン膜７の削れ量を最少とするために、酸化シリコン膜に対する窒化シリコン膜２０のエッチングレートが大きくなるようなエッチングガスを使用して行う。また、ゲート電極１４Ｂ、１４Ｃ上の窒化シリコン膜１５の削れ量を最少とするために、オーバーエッチング量を必要最小限にとどめるようにする。

【００６４】

次に、フォトレジスト膜２１を除去した後、図１５に示すように、周辺回路領域のｎ型ウエル１２にｐ型不純物、例えばＢ（ホウ素）をイオン打ち込みしてｐチャネル型ＭＩＳＦＥＴのp^+型半導体領域２２（ソース、ドレイン）を形成し、周辺回路領域のｐ型ウエル１１にｎ型不純物、例えばＡｓ（ヒ素）をイオン打ち込みしてｎチャネル型ＭＩＳＦＥＴのn^+型半導体領域２３（ソース、ドレイン）を形成する。これにより、周辺回路領域にＬＤＤ(Lightly Doped Drain) 構造を備えたｐチャネル型ＭＩＳＦＥＴＱｐおよびｎチャネル型ＭＩＳＦＥＴＱｎが形成される。

【００６５】

次に、図１６に示すように、半導体基板１上に膜厚３００nm程度のＳＯＧ（スピンオングラス）膜２４をスピン塗布した後、半導体基板１を８００℃、１分程度熱処理してＳＯＧ膜２４をシンタリング（焼き締め）する。

【００６６】

次に、図１７に示すように、ＳＯＧ膜２４の上部に膜厚６００nm程度の酸化シリコン膜２５を堆積した後、この酸化シリコン膜２５をＣＭＰ法で研磨してその表面を平坦化する。酸化シリコン膜２５は、例えばオゾン（O_3）とテトラエトキシシラン（ＴＥＯＳ）とをソースガスに用いたプラズマＣＶＤ法で堆積する。

【００６７】

このように、本実施の形態では、ゲート電極１４Ａ（ワード線ＷＬ）およびゲート電極１４Ｂ、１４Ｃの上部にリフロー性が高いＳＯＧ膜２４を塗布し、さらにその上部に堆積した酸化シリコン膜２５をＣＭＰ法で平坦化する。これにより、ゲート電極１４Ａ（ワード線ＷＬ）同士の微細な隙間のギャップフィル性が向上すると共に、ゲート電極１４Ａ（ワード線ＷＬ）およびゲート電極１４Ｂ、１４Ｃの上部の絶縁膜の平坦化を実現することができる。

【００６８】

次に、図１８に示すように、酸化シリコン膜２５の上部に膜厚１００nm程度の酸化シリコン膜２６を堆積する。この酸化シリコン膜２６は、ＣＭＰ法で研磨されたときに生じた前

記酸化シリコン膜２５の表面の微細な傷を補修するために堆積する。酸化シリコン膜２６は、例えばオゾン（O_3）とテトラエトキシシラン（ＴＥＯＳ）とをソースガスに用いたプラズマＣＶＤ法で堆積する。酸化シリコン膜２５の上部には、上記酸化シリコン膜２６に代えてＰＳＧ(Phospho Silicate Glass)膜などを堆積してもよい。

【００６９】

次に、図１９に示すように、フォトレジスト膜２７をマスクにしたドライエッチングでメモリセル選択用ＭＩＳＦＥＴＱｓのｎ型半導体領域１９（ソース、ドレイン）の上部の酸化シリコン膜２６、２５およびＳＯＧ膜２４を除去する。このエッチングは、窒化シリコン膜２０に対する酸化シリコン膜２６、２５およびＳＯＧ膜２４のエッチングレートが大きくなるような条件で行い、ｎ型半導体領域１９や素子分離溝５の上部を覆っている窒化シリコン膜２０が完全には除去されないようにする。

【００７０】

なお、図１９における酸化シリコン膜２６およびレジスト膜２７の表面は、図１８に示すような周辺回路領域における酸化シリコン膜２５表面に沿って落ち込み（段差）形状を成している。図１９はその形状を省略している。

【００７１】

続いて、図２０に示すように、上記フォトレジスト膜２７をマスクにしたドライエッチングでメモリセル選択用ＭＩＳＦＥＴＱｓのｎ型半導体領域１９（ソース、ドレイン）の上部の窒化シリコン膜２０とゲート酸化膜１３とを除去することにより、ｎ型半導体領域１９（ソース、ドレイン）の一方の上部にコンタクトホール２８を形成し、他方の上部にコンタクトホール２９を形成する。

【００７２】

このエッチングは、酸化シリコン膜（ゲート酸化膜１３および素子分離溝５内の酸化シリコン膜７）に対する窒化シリコン膜１５のエッチングレートが大きくなるような条件で行い、ｎ型半導体領域１９や素子分離溝５が深く削れないようにする。また、このエッチングは、窒化シリコン膜２０が異方的にエッチングされるような条件で行い、ゲート電極１４Ａ（ワード線ＷＬ）の側壁に窒化シリコン膜２０が残るようにする。これにより、フォトリソグラフィの解像限界以下の微細な径を有するコンタクトホール２８、２９がゲート電極１４Ａ（ワード線ＷＬ）に対して自己整合で形成される。コンタクトホール２８、２９をゲート電極１４Ａ（ワード線ＷＬ）に対して自己整合で形成するには、あらかじめ窒化シリコン膜２０を異方性エッチングしてゲート電極１４Ａ（ワード線ＷＬ）の側壁にサイドウォールスペーサを形成しておいてもよい。

【００７３】

次に、フォトレジスト膜２７を除去した後、フッ酸＋フッ化アンモニウム混液などのエッチング液を使って、コンタクトホール２８、２９の底部に露出した基板表面のドライエッチング残渣やフォトレジスト残渣などを除去する。その際、コンタクトホール２８、２９の側壁に露出したＳＯＧ膜２４もエッチング液に曝されるが、ＳＯＧ膜２４は、前述した８００℃程度のシンタリングによってフッ酸系のエッチング液に対するエッチングレートが低減されているので、このウェットエッチング処理によってコンタクトホール２８、２９の側壁が大きくアンダーカットされることはない。これにより、次の工程でコンタクトホール２８、２９の内部に埋め込まれるプラグ同士のショートを確実に防止することができる。

【００７４】

次に、図２１に示すように、コンタクトホール２８、２９の内部にプラグ３０を形成する。プラグ３０は、酸化シリコン膜２６の上部にｎ型不純物（例えばＰ（リン））をドープした多結晶シリコン膜をＣＶＤ法で堆積した後、この多結晶シリコン膜をＣＭＰ法で研磨してコンタクトホール２８、２９の内部に残すことにより形成する。

【００７５】

次に、図２２に示すように、酸化シリコン膜２６の上部に膜厚２００nm程度の酸化シリコン膜３１を堆積した後、半導体基板１を８００℃程度で熱処理する。酸化シリコン膜３１

は、例えばオゾン（O_3）とテトラエトキシシラン（ＴＥＯＳ）とをソースガスに用いたプラズマＣＶＤ法で堆積する。この熱処理によって、プラグ３０を構成する多結晶シリコン膜中のｎ型不純物がコンタクトホール２８、２９の底部からメモリセル選択用ＭＩＳＦＥＴＱｓのｎ型半導体領域１９（ソース、ドレイン）に拡散し、ｎ型半導体領域１９が低抵抗化される。

【００７６】

次に、図２３に示すように、フォトレジスト膜３２をマスクにしたドライエッチングで前記コンタクトホール２８の上部の酸化シリコン膜３１を除去してプラグ３０の表面を露出させる。次に、フォトレジスト膜３２を除去した後、図２４に示すように、フォトレジスト膜３３をマスクにしたドライエッチングで周辺回路領域の酸化シリコン膜３１、２６、２５、ＳＯＧ膜２４およびゲート酸化膜１３を除去することにより、ｎチャネル型ＭＩＳＦＥＴＱｎのn^+型半導体領域２３（ソース、ドレイン）の上部にコンタクトホール３４、３５を形成し、ｐチャネル型ＭＩＳＦＥＴＱｐのp^+型半導体領域２２（ソース、ドレイン）の上部にコンタクトホール３６、３７を形成する。

【００７７】

次に、フォトレジスト膜３３を除去した後、図２５に示すように、酸化シリコン膜３１の上部にビット線ＢＬおよび周辺回路の第１層配線３８、３９を形成する。ビット線ＢＬおよび第１層配線３８、３９を形成するには、まず酸化シリコン膜３１の上部に膜厚５０nm程度のＴｉ膜をスパッタリング法で堆積し、半導体基板１を８００℃程度で熱処理する。次いで、Ｔｉ膜の上部に膜厚５０nm程度のＴｉＮ膜をスパッタリング法で堆積し、さらにその上部に膜厚１５０nm程度のW膜と膜厚２００nm程度の窒化シリコン膜４０とをＣＶＤ法で堆積した後、フォトレジスト膜４１をマスクにしてこれらの膜をパターニングする。

【００７８】

酸化シリコン膜３１の上部にＴｉ膜を堆積した後、半導体基板１を８００℃程度で熱処理することにより、Ｔｉ膜と下地Ｓｉとが反応し、ｎチャネル型ＭＩＳＦＥＴＱｎのn^+型半導体領域２３（ソース、ドレイン）の表面とｐチャネル型ＭＩＳＦＥＴＱｐのp^+型半導体領域２２（ソース、ドレイン）の表面とプラグ３０の表面とに低抵抗の$TiSi_2$（チタンシリサイド）層４２が形成される。これにより、n^+型半導体領域２３、p^+型半導体領域２２およびプラグ３０に接続される配線（ビット線ＢＬ、第１層配線３８、３９）のコンタクト抵抗を低減することができる。また、ビット線ＢＬをW膜／ＴｉＮ膜／Ｔｉ膜で構成することにより、そのシート抵抗を２Ω／□以下にまで低減できるので、情報の読み出し速度および書き込み速度を向上させることができると共に、ビット線ＢＬと周辺回路の第１層配線３８、３９とを一つの工程で同時に形成することができるので、ＤＲＡＭの製造工程を短縮することができる。さらに、周辺回路の第１層配線（３８、３９）をビット線ＢＬと同層の配線で構成した場合には、第１層配線をメモリセルの上層のＡｌ配線で構成する場合に比べて周辺回路のＭＩＳＦＥＴ（ｎチャネル型ＭＩＳＦＥＴＱｎ、ｐチャネル型ＭＩＳＦＥＴＱｐ）と第１層配線とを接続するコンタクトホール（３４～３７）のアスペクト比が低減されるため、第１層配線の接続信頼性が向上する。

【００７９】

ビット線ＢＬは、隣接するビット線ＢＬとの間に形成される寄生容量をできるだけ低減して情報の読み出し速度および書き込み速度を向上させるために、その間隔がその幅よりも長くなるように形成する。ビット線ＢＬの間隔は例えば0.２４μm程度とし、その幅は例えば0.２２μm程度とする。

【００８０】

次に、フォトレジスト膜４１を除去した後、図２６に示すように、ビット線ＢＬの側壁と第１層配線３８、３９の側壁とにサイドウォールスペーサ４３を形成する。サイドウォールスペーサ４３は、ビット線ＢＬおよび第１層配線３８、３９の上部にＣＶＤ法で窒化シリコン膜を堆積した後、この窒化シリコン膜を異方性エッチングして形成する。

【００８１】

次に、図２７に示すように、ビット線ＢＬおよび第１層配線３８、３９の上部に膜厚３０

０nm程度のＳＯＧ膜４４をスピン塗布する。次いで、半導体基板１を８００℃、１分程度熱処理してＳＯＧ膜４４をシンタリング（焼き締め）する。

【００８２】

ＳＯＧ膜４４は、ＢＰＳＧ膜に比べてリフロー性が高く、微細な配線間のギャップフィル性に優れているので、フォトリソグラフィの解像限界程度まで微細化されたビット線ＢＬ同士の隙間を良好に埋め込むことができる。また、ＳＯＧ膜４４は、ＢＰＳＧ膜で必要とされる高温、長時間の熱処理を行わなくとも高いリフロー性が得られるため、ビット線ＢＬの下層に形成されたメモリセル選択用ＭＩＳＦＥＴＱｓのソース、ドレインや周辺回路のＭＩＳＦＥＴ（ｎチャネル型ＭＩＳＦＥＴＱｎ、ｐチャネル型ＭＩＳＦＥＴＱｐ）のソース、ドレインに含まれる不純物の熱拡散を抑制して浅接合化を図ることができる。さらに、ゲート電極１４Ａ（ワード線ＷＬ）およびゲート電極１４Ｂ、１４Ｃを構成するメタル（Ｗ膜）の劣化を抑制できるので、ＤＲＡＭのメモリセルおよび周辺回路を構成するＭＩＳＦＥＴの高性能化を実現することができる。また、ビット線ＢＬおよび第１層配線３８、３９を構成するＴｉ膜、ＴｉＮ膜、Ｗ膜の劣化を抑制して配線抵抗の低減を図ることができる。

【００８３】

次に、図２８に示すように、ＳＯＧ膜４４の上部に膜厚６００nm程度の酸化シリコン膜４５を堆積した後、この酸化シリコン膜４５をＣＭＰ法で研磨してその表面を平坦化する。酸化シリコン膜４５は、例えばオゾン（O_3）とテトラエトキシシラン（ＴＥＯＳ）とをソースガスに用いたプラズマＣＶＤ法で堆積する。

【００８４】

このように、本実施の形態では、ビット線ＢＬおよび第１層配線３８、３９の上部に成膜直後でも平坦性が良好なＳＯＧ膜４４を塗布し、さらにその上部に堆積した酸化シリコン膜４５をＣＭＰ法で平坦化する。これにより、ビット線ＢＬ同士の微細な隙間のギャップフィル性が向上すると共に、ビット線ＢＬおよび第１層配線３８、３９の上部の絶縁膜の平坦化を実現することができる。また、高温・長時間の熱処理を行わないため、メモリセルおよび周辺回路を構成するＭＩＳＦＥＴの特性劣化を防止して高性能化を実現することができると共に、ビット線ＢＬおよび第１層配線３８、３９の低抵抗化を図ることができる。

【００８５】

次に、図２９に示すように、酸化シリコン膜４５の上部に膜厚１００nm程度の酸化シリコン膜４６を堆積する。この酸化シリコン膜４６は、ＣＭＰ法で研磨されたときに生じた前記酸化シリコン膜４５の表面の微細な傷を補修するために堆積する。酸化シリコン膜４６は、例えばオゾン（O_3）とテトラエトキシシラン（ＴＥＯＳ）とをソースガスに用いたプラズマＣＶＤ法で堆積する。

【００８６】

次に、図３０に示すように、フォトレジスト膜４７をマスクにしたドライエッチングでコンタクトホール２９の上部の酸化シリコン膜４６、４５、ＳＯＧ膜４４および酸化シリコン膜３１を除去してプラグ３０の表面に達するスルーホール４８を形成する。このエッチングは、酸化シリコン膜４６、４５、３１およびＳＯＧ膜４４に対する窒化シリコン膜のエッチングレートが小さくなるような条件で行い、スルーホール４８とビット線ＢＬの合わせずれが生じた場合でも、ビット線ＢＬの上部の窒化シリコン膜４０やサイドウォールスペーサ４３が深く削れないようにする。これにより、スルーホール４８がビット線ＢＬに対して自己整合で形成される。

【００８７】

次に、フォトレジスト膜４７を除去した後、フッ酸＋フッ化アンモニウム混液などのエッチング液を使って、スルーホール４８の底部に露出したプラグ３０の表面のドライエッチング残渣やフォトレジスト残渣などを除去する。その際、スルーホール４８の側壁に露出したＳＯＧ膜４４もエッチング液に曝されるが、ＳＯＧ膜４４は、前記８００℃程度のシンタリングによってフッ酸系のエッチング液に対するエッチングレートが低減されている

ので、このウェットエッチング処理によってスルーホール４８の側壁が大きくアンダーカットされることはない。これにより、次の工程でスルーホール４８の内部に埋め込まれるプラグとビット線ＢＬとのショートを確実に防止することができる。また、プラグとビット線ＢＬとを十分に離間させることができるので、ビット線ＢＬの寄生容量の増加を抑制することができる。

【００８８】

次に、図３１に示すように、スルーホール４８の内部にプラグ４９を形成する。プラグ４９は、酸化シリコン膜４６の上部にｎ型不純物（例えばＰ（リン））をドープした多結晶シリコン膜をＣＶＤ法で堆積した後、この多結晶シリコン膜をエッチバックしてスルーホール４８の内部に残すことにより形成する。

【００８９】

次に、図３２に示すように、プラグ４９および酸化シリコン膜４６の上部に窒化チタン膜５０および二酸化ルテニウム（RuO_2）膜５１を堆積する。窒化チタン膜５０および二酸化ルテニウム膜５１は、後にブロッキング層および下部電極となるものである。窒化チタン膜５０の膜厚は数ｎｍ～５０ｎｍ程度とすることができる。また、二酸化ルテニウム膜５１の膜厚は、たとえば0.５μｍとすることができる。ただし、この0.５μｍという値は、後に説明する下部電極の高さを規定するものであり、下部電極の面積すなわち確保しようとする容量値により調整することができる。

【００９０】

窒化チタン膜５０は、スパッタ法あるいはＣＶＤ法により形成することができる。

【００９１】

二酸化ルテニウム膜５１は、二酸化ルテニウム（RuO_2）をターゲットとするスパッタ法により堆積することができる。このように金属ルテニウムをターゲットするルテニウム（Ｒｕ）膜を堆積した後にそれを酸化処理して酸化ルテニウム膜を形成する方法ではなく、二酸化ルテニウム（RuO_2）を出発材料として二酸化ルテニウム膜５１を堆積することにより、図３８（ｂ）に示すようにその表面を平坦化することができる。このような二酸化ルテニウム膜５１の製造方法によりその表面の表面粗さを中心線平均粗さ（Ｒａ）で表した値で１ｎｍ以下にすることが可能である。この結果、後に説明する下部電極の表面粗さ（Ｒａ）を１ｎｍ以下に低減して平坦性を向上し、容量絶縁膜の耐電圧を向上して情報蓄積用容量素子の信頼性を向上することができる。

【００９２】

図３８は、本発明者らの実験検討により得られた二酸化ルテニウム膜の表面状態を示した電子顕微鏡写真であり、（ａ）は、ルテニウム金属膜を堆積した後に酸化処理を行って得られた二酸化ルテニウム膜の表面を示し、（ｂ）は、本実施の形態の方法つまり二酸化ルテニウム（RuO_2）を出発材料としてスパッタ法により堆積した二酸化ルテニウム膜の表面を示す。（ｂ）のスパッタ法の堆積条件は、ＤＣ電源電力0.６ｋＷ、反応圧力0.５Ｐａ、酸素分圧0.４Ｐａ、アルゴン分圧0.１Ｐａである。ルテニウム金属膜を堆積した後に酸化処理を行って得られた二酸化ルテニウム膜の表面は、図３８（ａ）に示すようにその表面粗さが、中心線平均粗さ（Ｒａ）で表した値で２０ｎｍ以上となり、本実施の形態と比較して凹凸が著しい。

【００９３】

なお、二酸化ルテニウムをターゲット材料とするスパッタ法により二酸化ルテニウム膜５１を堆積する際には、その雰囲気を酸化性、たとえば酸素ガスを含むスパッタリングとすることができる。これにより二酸化ルテニウム膜５１の酸素欠陥を低減することが可能である。また、酸化性雰囲気でのスパッタリングにより、多結晶シリコン膜からなるプラグ４９の表面酸化により絶縁体である酸化シリコンの形成が問題となるが、本実施の形態では窒化チタン膜５０が形成されているため、プラグ４９の酸化を防止することが可能である。この結果、プラグ４９と情報蓄積用容量素子の下部電極との界面における電気的接続の信頼性を向上することができる。

【００９４】

なお、スパッタ法としては、ＤＣ（Direct Current）またはＲＦ（Radio Freqency）スパッタ法が例示できる。

【００９５】

次に、図３３に示すように、二酸化ルテニウム膜５１上にフォトレジスト膜５２を形成し、このフォトレジスト膜５２をマスクとして二酸化ルテニウム膜５１および窒化チタン膜５０をたとえばＲＩＥ（Reactive Ion Etching）法を用いてエッチングし、除去する。このようにして窒化チタン膜５０からなるブロッキング層５３および二酸化ルテニウム膜５１からなる下部電極５４を形成する。ブロッキング層５３は、後に説明する容量絶縁膜の酸化性雰囲気での熱処理の際の酸素の侵入を阻止する作用を有する。

【００９６】

このように二酸化ルテニウム膜５１からなる下部電極５４を形成することにより、後に説明する容量絶縁膜の酸化性雰囲気における熱処理の際にも、下部電極５４の表面の酸化により誘電率の低いたとえば酸化シリコンのような物質が形成されない。これにより、容量絶縁膜の実質的な膜厚の増加と誘電率の低下を抑えて、情報蓄積用容量素子の蓄積容量を大きくし、極めて微細な加工が要求される２５６Ｍｂｉｔ以上のＤＲＡＭの情報蓄積用容量素子を形成することが可能となる。

【００９７】

また、前記したとおり、本実施の形態の下部電極５４は、従来微細加工に対応するために採用せざるを得なかったクラウン形状あるいはフィン形状等に比較して著しく単純な形状を有するものである。このため、下部電極５４の製造工程を上記のとおり単純化することが可能である。この製造工程の単純化は、さらに微細な加工が要求される現状においては、プロセスマージンを向上することができ、結果としてＤＲＡＭの歩留まりおよび信頼性を向上できるというメリットを有する点で特に有意義である。

【００９８】

次に、フォトレジスト膜５２を除去した後、図３４に示すように、半導体基板１の全面に膜厚１０nm程度の酸化タンタル膜５５を堆積する。酸化タンタル膜５５の堆積は、ペンタアルキルタンタル（$Ta(C_nH_{2n+1})_5$）、たとえば$Ta(C_2H_5)_5$および酸素（O_2）を含むガスを原料ガスとし、５００℃以下（たとえば４５０℃）の減圧状態（たとえば４００ｍＴｏｒｒ）における熱ＣＶＤ法により形成できる。このように、酸化タンタル膜５５を熱ＣＶＤ法により堆積することにより、ステップカバレッジに優れた酸化タンタル膜５５とすることができる。なお、この段階では酸化タンタル膜５５はアモルファス状態であり、誘電率は低い。また、上記のとおり有機タンタルガスを用いるため、酸化タンタル膜５５には数％の炭素が含有される。この炭素の存在は、図４１に示すような耐圧の低下をもたらし、多くの炭素が含有されることは好ましくない。そこで、$Ta(C_2H_5)_5$を$Ta(CH_3)_5$に代え、あるいは反応温度をより低くすることが可能である。これにより、容量絶縁膜の耐圧を向上することが可能である。なお、図４１は酸化タンタル膜５５内に含まれる炭素濃度と耐圧との関係を示したグラフであり、本発明者らによる実験検討により得られたものである。耐圧は、リーク電流が１０ｎＡ／cm^2となる電圧をＭＶ／ｃｍの単位で示したものである。本データは酸化タンタル膜５５が堆積された直後の状態、つまりアズデポ状態でのデータを示すものであるため、耐圧の絶対値は一般に要求される耐圧（たとえば４ＭＶ／ｃｍ）よりは低いが、後に説明するような熱処理により耐圧は上昇する。しかし、炭素濃度の増加により耐圧が低下する傾向は熱処理によっても維持される。

【００９９】

次に、酸化タンタル膜５５に熱処理を施し、多結晶の五酸化二タンタル（Ta_2O_5）膜５６を形成する。酸化タンタル膜５５の熱処理は、たとえば酸素雰囲気に保持した炉体中での７５０℃、１０分間の熱処理（アニール）とすることができる。このような熱処理により非晶質な酸化タンタル多結晶である五酸化二タンタル膜に固相成長する。なお、酸化タンタル膜５５の熱処理は、酸素雰囲気における８００℃、３分間の熱処理とすることもできる。７５０℃、１０分間の熱処理では、本工程の前に形成した選択ＭＩＳＦＥＴ等の

デバイスへの影響を最小限に抑えることができ、一方、８００℃、３分間の熱処理では、五酸化二タンタル膜５６を構成する各結晶の粒径を小さくして、粒径の均一な五酸化二タンタル膜５６を形成することができるというメリットがある。

【０１００】

このように多結晶の五酸化二タンタル膜５６は後に容量絶縁膜となるものであるが、容量絶縁膜として多結晶の五酸化二タンタルを用いることによりその誘電率を大きくして情報蓄積用容量素子の蓄積容量を大きくすることができる。従来酸化タンタル膜として酸化性雰囲気で熱処理を行ない酸素改質処理を施したものが知られているが、このような酸化タンタル膜は比誘電率が２０～２５であり、シリコン酸化膜に換算したいわゆる換算膜厚で表現して2.５ｎｍ以上のものである。一方、本実施の形態の五酸化二タンタル膜５６は比誘電率が４０～５０であり、換算膜厚で表現して１ｎｍ程度のものとなる。

【０１０１】

また、本工程は酸素雰囲気、すなわち酸化性雰囲気で行われるものであるが、下部電極５４の材料として二酸化ルテニウムが用いられているため、熱処理の工程中に酸素が酸化タンタル膜５５を通過して下部電極５４の表面に到達しても、酸化シリコン膜のような低誘電率の絶縁体は形成されない。この結果、容量絶縁膜の実質的な膜厚は増加せず、また、容量絶縁膜の誘電率を高く維持することが可能である。

【０１０２】

さらに、前記したとおり、窒化チタン膜からなるブロッキング層５３が形成されているため、本熱処理工程において酸素が酸化タンタル膜５５および下部電極５４を通過してプラグ４９に達することはなく、また、下部電極５４を構成する二酸化ルテニウム中の酸素とプラグ４９を構成するシリコンとが反応して絶縁体であるシリコン酸化膜が形成されることがない。この結果、プラグ４９と下部電極５４との接続抵抗を低減して情報蓄積用容量素子の性能を向上するとともに、プラグ４９と下部電極５４との電気的な接続の信頼性を向上することができる。

【０１０３】

次に、五酸化二タンタル膜５６上に窒化チタン膜を堆積し、図３５に示すように前記窒化チタン膜上にフォトレジスト膜５７を形成し、このフォトレジスト膜５７をマスクとして前記窒化チタン膜および五酸化二タンタル膜５６をエッチングして容量絶縁膜５８および上部電極５９を形成する。窒化チタン膜の堆積にはたとえばＣＶＤ法を用いることができる。このようにして二酸化ルテニウムからなる下部電極５４、多結晶の五酸化二タンタルからなる容量絶縁膜５８および窒化チタンからなる上部電極５９で構成される情報蓄積用容量素子Ｃを形成する。これにより、メモリセル選択用ＭＩＳＦＥＴＱｓとこれに直列に接続された情報蓄積用容量素子Ｃとで構成されるＤＲＡＭのメモリセルが完成する。

【０１０４】

次に、フォトレジスト膜５７を除去した後、図３６に示すように、情報蓄積用容量素子Ｃの上部に膜厚４０nm程度の酸化シリコン膜６０を堆積する。酸化シリコン膜６０は、例えばオゾン（O_3）とテトラエトキシシラン（ＴＥＯＳ）とをソースガスに用いたプラズマＣＶＤ法で堆積する。さらにＳＯＧ膜６１を塗布してメモリセルの形成された領域を平坦化すると同時に、周辺回路領域との段差を緩和する。本実施の形態のＤＲＡＭでは、容量絶縁膜５８に誘電率の高い多結晶五酸化二タンタルを用いるため、下部電極５４の高さを特に高く形成する必要はない。このため、ＳＯＧ膜６１のみでメモリセル領域と周辺回路領域との段差を緩和することが可能である。この結果、前記段差を解消するための複雑な工程を採用することなく、プロセスを単純化することができる。

【０１０５】

次に、図３７に示すように、フォトレジスト膜をマスクにしたドライエッチングで周辺回路の第１層配線３８の上部のＳＯＧ膜６１、酸化シリコン膜６０、５３、酸化シリコン膜４６、酸化シリコン膜４５、ＳＯＧ膜４４および窒化シリコン膜４０を除去することにより、スルーホール６２を形成する。また、同様に上部電極５９の上部のＳＯＧ膜６１、酸化シリコン膜６０を除去することにより、スルーホール６３を形成する。その後、スルー

ホール６２、６３の内部にプラグ６４を形成し、続いてＳＯＧ膜６１の上部に第２層配線６５を形成する。プラグ６４は、ＳＯＧ膜６１の上部にスパッタリング法で膜厚１００nm程度のＴｉＮ膜を堆積し、さらにその上部にＣＶＤ法で膜厚５００nm程度のW膜を堆積した後、これらの膜をエッチバックしてスルーホール６２、６３の内部に残すことにより形成する。第２層配線６５は、ＳＯＧ膜６１の上部にスパッタリング法で膜厚５０nm程度のＴｉＮ膜、膜厚５００nm程度のＡｌ（アルミニウム）膜、膜厚５０nm程度のＴｉ膜を堆積した後、フォトレジスト膜をマスクにしたドライエッチングでこれらの膜をパターニングして形成する。

【０１０６】

その後、層間絶縁膜を介して第３層配線を形成し、その上部に酸化シリコン膜と窒化シリコン膜とで構成されたパッシベーション膜を堆積するが、その図示は省略する。以上の工程により、本実施の形態のＤＲＡＭが略完成する。

【０１０７】

なお、第３層配線およびそれに接続するプラグは第２層配線の場合と同様に形成することができ、層間絶縁膜は、例えば膜厚３００nm程度の酸化シリコン膜、膜厚４００nm程度のＳＯＧ膜および膜厚３００nm程度の酸化シリコン膜で構成できる。酸化シリコン膜は、例えばオゾン（O_3）とテトラエトキシシラン（ＴＥＯＳ）とをソースガスに用いたプラズマＣＶＤ法で堆積できる。

【０１０８】

本実施の形態によれば、下部電極５４を二酸化ルテニウムで、容量絶縁膜５８を多結晶の五酸化二タンタルで構成することにより、情報蓄積用容量素子Ｃの蓄積容量を増し、２５６Ｍｂｉｔ以降のＤＲＡＭを容易な工程により製造することが可能となる。なお、本実施の形態により製造される容量絶縁膜５８を構成する多結晶五酸化二タンタル膜の膜厚とシリコン酸化膜の換算膜厚との関係を図３９に示す。また、下部電極５４の高さが0.５μmの場合であって、蓄積容量（Ｃｓ）が２５ｆＦを満足する条件の五酸化二タンタル膜厚とセル面積の関係を図４０に示す。図４０中に示したように、上記条件の下では２５６ＭｂｉｔＤＲＡＭに要求されるシリコン酸化膜換算膜厚は約1.１５ｎｍであり、１ＧｂｉｔＤＲＡＭに要求されるシリコン酸化膜換算膜厚は約0.８５ｎｍである。本実施の形態の多結晶五酸化二タンタル膜からなる容量絶縁膜５８を用いれば、その膜厚は各々１２ｎｍ、８ｎｍであり、２５６Ｍｂｉｔ以降のＤＲＡＭに十分対応できることがわかる。なお、下部電極５４の高さの調整あるいは要求される蓄積容量の最適化により容量絶縁膜５８の膜厚は１５ｎｍ程度まで厚くすることは可能であり、一方、容量絶縁膜５８の膜厚は絶縁耐力の要求から５ｎｍ程度までは薄くすることが可能である。

【０１０９】

なお、上記実施の形態では、下部電極５４を構成する二酸化ルテニウム膜５１の堆積を二酸化ルテニウムをターゲットするスパッタ法により行う方法を例示したが、ルテニウム金属をターゲットとし、酸素を含む反応性スパッタ法により二酸化ルテニウム膜を堆積する方法により二酸化ルテニウム膜５１を形成しても良い。この場合であっても、前記実施の形態と同様に平坦な表面の二酸化ルテニウム膜５１を形成することが可能である。

【０１１０】

また、二酸化ルテニウム膜５１はＣＶＤ法により堆積しても良い。このＣＶＤ法は、有機ルテニウムガスと酸素とを含むガスを原料ガスとしたＣＶＤ法を例示できる。有機ルテニウムガスとしてはトリスジビバロイルメタナートルテニウム（$Ru((CH_3)_3CCOCHCOC(CH_3)_3)_3$）を例示できる。その他の条件は、たとえば、反応温度を６００℃、反応圧力を１０Ｔｏｒｒ、酸素流量を１ｓｌｍ、アルゴン流量を0.３ｓｌｍとすることができる。

【０１１１】

また、上記実施の形態では、上部電極５９として窒化チタン膜の場合を例示したが、ルテニウム、酸化ルテニウム、タングステン、窒化タングステンからなる膜であっても良い。この場合、ルテニウムあるいはタングステンは、タンタルよりも酸化され難く、よって容

量絶縁膜５８を構成する五酸化二タンタル膜から酸素を引き抜くことが少ない。これに対してチタンはタンタルよりも酸化され易く、容量絶縁膜５８を構成する五酸化二タンタル膜から酸素を引き抜く確率が高くなる。すなわち、熱的には窒化チタン膜を五酸化二タンタル膜に接して形成するよりも、ルテニウム、酸化ルテニウム、タングステンまたは窒化タングステンからなる被膜を五酸化二タンタル膜に接して形成する方が安定となる。しかしながら、上部電極５９は微細に加工された下部電極５４上に形成するものであり、ＣＶＤ法で形成できる窒化チタン膜を用いる方がステップカバレッジの点から有利である。さらに、窒化チタン膜をＣＶＤ法で形成する場合には成膜条件、たとえば成膜温度を調整することにより堆積被膜の内部応力を調整することが可能であり、ＣＶＤ法で形成できる窒化チタン膜により上部電極５９のストレスを低減して容量絶縁膜５８にかかる応力を低減し、リーク電流を少なくできる可能性がある。そこで、五酸化二タンタル膜からなる容量絶縁膜５８に接して形成されるルテニウム、酸化ルテニウム、タングステンまたは窒化タングステンからなる被膜を第一層とし、ＣＶＤ法で形成される窒化チタン膜を第二層とする積層膜からなる上部電極５９とすることも可能である。このような上部電極５９により、熱的に安定であり、かつ、複雑な下地形状に対してもステップカバレッジよく形成される上部電極５９とすることができる。さらに、上部電極５９による応力を緩和して容量絶縁膜５８にかかるストレスを低減し、情報蓄積用容量素子Ｃのリーク電流を低減してその性能を向上し、また、その信頼性を向上することができる。

【０１１２】

（実施の形態２）

図４２～図４５は、本発明の他の実施の形態であるＤＲＡＭの製造方法をその工程順に示した断面図である。

【０１１３】

本実施の形態のＤＲＡＭは、実施の形態１のＤＲＡＭとほぼ同様な構成を有するものであり、多結晶シリコン膜からなるプラグ４９に代えて酸化ルテニウムからなるプラグ６６を有するものである。したがって、それ以外の実施の形態１と同様な構成については説明を省略する。

【０１１４】

本実施の形態２のＤＲＡＭは、以下の工程により製造される。本実施の形態２の製造工程は実施の形態１における図３０までの工程については同様である。

【０１１５】

実施の形態１の図３０におけるスルーホール４８の形成の後、図４２に示すように、スルーホール４８の内部に酸化ルテニウムからなるプラグ６６を形成する。プラグ６６は、酸化ルテニウムを出発材料とするスパッタ法により酸化ルテニウム膜を堆積したのち、これをエッチバックしてスルーホール４８内に酸化ルテニウムを残すことにより形成する。

【０１１６】

なお、酸化ルテニウム膜の堆積前にブロッキング層として窒化チタン膜を堆積しても良い。

【０１１７】

次に、図４３に示すように、プラグ６６が形成された酸化シリコン膜４６の上部に二酸化ルテニウム（RuO_2）膜６７を堆積する。二酸化ルテニウム膜６７は実施の形態１の二酸化ルテニウム膜５１と同様に堆積することができる。

【０１１８】

なお、プラグ６６が酸化ルテニウムで構成されているため、ブロッキング層を形成する必要がない。

【０１１９】

次に、実施の形態１と同様に、図４４に示すようにフォトレジスト膜５２を形成し、このフォトレジスト膜５２をマスクとして二酸化ルテニウム膜６７をたとえばＲＩＥ（Reactive Ion Etching）法を用いてエッチングし、除去する。このようにして二酸化ルテニウム膜６７からなる下部電極６８を形成する。

【０１２０】
次に、実施の形態１と同様に、フォトレジスト膜５２を除去した後、図４５に示すように、半導体基板１の全面に膜厚１０nm程度の酸化タンタル膜５５を堆積する。また、酸化タンタル膜５５を熱処理して多結晶の五酸化二タンタル膜５６を形成する。
【０１２１】
この後の工程は実施の形態１と同様であるため説明を省略する。
【０１２２】
本実施の形態２によれば、プラグ６６が酸化ルテニウムからなるため、プラグ６６と下部電極６８との界面にブロッキング層を形成する必要がなく、接続抵抗の低い情報蓄積用容量素子Ｃとし、また、その信頼性を向上できる。
【０１２３】
（実施の形態３）
図４６および図４７は、本発明のさらに他の実施の形態であるＤＲＡＭの製造工程を示した断面図である。
【０１２４】
本実施の形態３のＤＲＡＭは、情報蓄積用容量素子Ｃを構成する容量絶縁膜６９が下層絶縁膜６９ａと上層絶縁膜６９ｂとの２層構成となっているものである。その他の構成については実施の形態１と同様であるため、説明を省略する。
【０１２５】
本実施の形態３のＤＲＡＭの製造工程は、実施の形態１における図３３の工程までについては同様である。
【０１２６】
下部電極５４を形成した後、図４６に示すように、まず下層絶縁膜６９ａを形成する。その後、上層絶縁膜６９ｂを形成する。下層絶縁膜６９ａの形成は、実施の形態１における五酸化二タンタル膜５６の形成と同様である。すなわち、まずアモルファスの酸化タンタル膜をＣＶＤ法により堆積し、これを酸素雰囲気にて熱処理して多結晶化する。
【０１２７】
その後の上層絶縁膜６９ｂの形成は、多結晶化された五酸化二タンタルからなる下層絶縁膜６９ａ上に、下層絶縁膜６９ａの形成と同様にアモルファスの酸化タンタル膜をＣＶＤ法により堆積し、これを酸素雰囲気にて熱処理して多結晶化し、多結晶化された五酸化二タンタルからなる上層絶縁膜６９ｂを形成する。
【０１２８】
このようにして形成された２層構造の容量絶縁膜６９は、図４７に示すように、その粒界７０が下層絶縁膜６９ａと上層絶縁膜６９ｂの双方に形成されるが、下層絶縁膜６９ａの粒界７０と上層絶縁膜６９ｂの粒界７０とは相違した位置に形成される。
【０１２９】
なお、この後の工程は実施の形態１と同様であるため説明を省略する。
【０１３０】
このような容量絶縁膜６９によれば、情報蓄積用容量素子Ｃのリーク電流を低減することができる。一般に多結晶膜の絶縁耐圧はその粒界部分で最も弱くなり、多結晶化五酸化二タンタル膜においてもこれを容量絶縁膜に用いた場合には粒界部分でリーク電流が発生すると考えられるが、本実施の形態３では、粒界７０が膜厚方向に貫通して形成されることがなく、下層絶縁膜６９ａの粒界７０によりリーク電流が発生したとしても上層絶縁膜６９ｂでこれを阻止し、また、上層絶縁膜６９ｂの粒界７０によりリーク電流が発生したとしても下層絶縁膜６９ａでこれを阻止することができる。
【０１３１】
なお、容量絶縁膜６９の膜厚は、下層絶縁膜６９ａと上層絶縁膜６９ｂとを合わせて５ｎｍ～１５ｎｍとすることができる。
【０１３２】
以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、

本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【０１３３】

たとえば、上部電極５９の材料としては上記した材料に限られず、多結晶シリコン膜であってもよい。また、チタン、タングステン、ルテニウム以外の高融点金属、たとえば、タンタル、ニオブ、モリブデン、クロム、イリジウム、ニッケル、パラジウム、白金等を用いることができる。また、それが導電体である限り、前記した金属の酸化物、窒化物であってもよい。

【０１３４】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【０１３５】

（１）２５６ＭｂｉｔＤＲＡＭ以降のメモリセルのキャパシタの蓄積容量を確保できる。

【０１３６】

（２）情報蓄積用容量素子の容量絶縁膜に酸化タンタル膜を用い、酸素雰囲気における熱処理を施しても実効的な容量絶縁膜の誘電率の低下および膜厚の増加を来すことがない技術を提供できる。

【０１３７】

（３）情報蓄積用容量素子の下部電極表面を平坦化でき、情報蓄積用容量素子の信頼性を向上できる。

【０１３８】

（４）下部電極の形状を単純化でき、その形成工程の簡略化できる。

【０１３９】

（５）情報蓄積用容量素子の容量絶縁膜の絶縁性を向上し、リーク電流の低減を図ることができる。また、情報蓄積用容量素子の性能と信頼性を向上できる。

【０１４０】

（６）情報蓄積用容量素子の上部電極の材料を最適化でき、信頼性の高い情報蓄積用容量素子を提供できる。

【０１４１】

（７）情報蓄積用容量素子の蓄積電荷量を増加し、ＤＲＡＭのリフレッシュマージンを増加して半導体集積回路装置の低電圧化、低電力化を図ることができる。

【図面の簡単な説明】

【図１】本発明の一実施の形態であるＤＲＡＭを形成した半導体チップの全体平面図である。

【図２】本発明の一実施の形態であるＤＲＡＭの等価回路図である。

【図３】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。

【図４】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。

【図５】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。

【図６】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。

【図７】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。

【図８】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。

【図９】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。

【図１０】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図１１】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図１２】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図１３】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図１４】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図１５】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図１６】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図１７】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図１８】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図１９】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図２０】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図２１】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図２２】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図２３】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図２４】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図２５】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図２６】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図２７】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図２８】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図２９】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図３０】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図３１】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図３２】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図３３】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図３４】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。

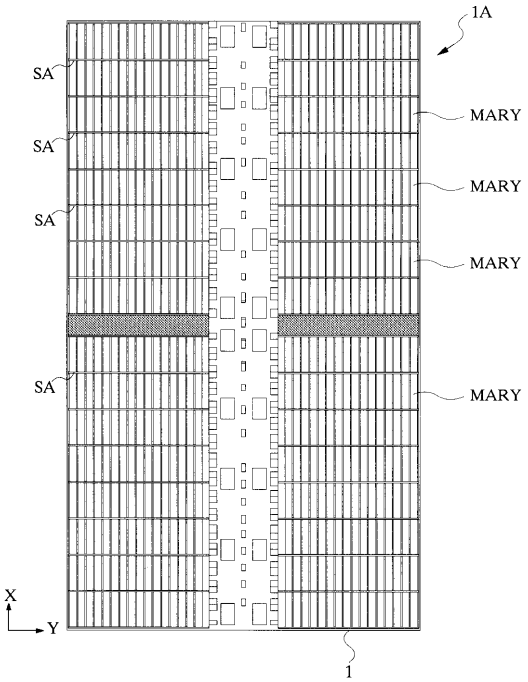
【図３５】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図３６】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図３７】本発明の一実施の形態であるＤＲＡＭの製造工程の一例を工程順に示した断面図である。
【図３８】本発明者らの実験検討により得られた二酸化ルテニウム膜の表面状態を示した電子顕微鏡写真であり、（ａ）は、ルテニウム金属膜を堆積した後に酸化処理を行って得られた二酸化ルテニウム膜の表面を示し、（ｂ）は、本発明の一実施の形態である製造方法を用いて形成した二酸化ルテニウム膜の表面を示す。
【図３９】多結晶五酸化二タンタル膜の膜厚とシリコン酸化膜の換算膜厚との関係を示したグラフである。
【図４０】五酸化二タンタル膜厚とセル面積の関係を示したグラフである。
【図４１】酸化タンタル膜内に含まれる炭素濃度と耐圧との関係を示したグラフである。
【図４２】本発明の他の実施の形態であるＤＲＡＭの製造方法をその工程順に示した断面図である。
【図４３】本発明の他の実施の形態であるＤＲＡＭの製造方法をその工程順に示した断面図である。
【図４４】本発明の他の実施の形態であるＤＲＡＭの製造方法をその工程順に示した断面図である。
【図４５】本発明の他の実施の形態であるＤＲＡＭの製造方法をその工程順に示した断面図である。
【図４６】本発明のさらに他の実施の形態であるＤＲＡＭの製造工程を示した断面図である。
【図４７】本発明のさらに他の実施の形態であるＤＲＡＭの製造工程を示した断面図である。
【符号の説明】
１　半導体基板
１Ａ　半導体チップ
２　酸化シリコン膜
３　窒化シリコン膜
４　フォトレジスト膜
５　素子分離溝
５ａ　溝
６　酸化シリコン膜
７　酸化シリコン膜
８　窒化シリコン膜
９　フォトレジスト膜
１０　ｎ型半導体領域
１１　ｐ型ウエル
１２　ｎ型ウエル
１３　ゲート酸化膜
１４　ゲート電極
１４Ａ　ゲート電極
１４Ｂ　ゲート電極
１４Ｃ　ゲート電極
１５　窒化シリコン膜
１６　フォトレジスト膜
１７　n^- 型半導体領域
１８　n^- 型半導体領域

１９　ｎ型半導体領域
２０　窒化シリコン膜
２０ａ　サイドウォールスペーサ
２１　フォトレジスト膜
２２　p^+ 型半導体領域
２３　n^+ 型半導体領域
２４　ＳＯＧ膜
２５　酸化シリコン膜
２６　酸化シリコン膜
２７　フォトレジスト膜
２８　コンタクトホール
２９　コンタクトホール
３０　プラグ
３１　酸化シリコン膜
３２　フォトレジスト膜
３３　フォトレジスト膜
３４　コンタクトホール
３６　コンタクトホール
３８　第１層配線
４０　窒化シリコン膜
４１　フォトレジスト膜
４２　$TiSi_2$ 層
４３　サイドウォールスペーサ
４４　ＳＯＧ膜
４５　酸化シリコン膜
４６　酸化シリコン膜
４７　フォトレジスト膜
４８　スルーホール
４９　プラグ
５０　窒化チタン膜
５１　二酸化ルテニウム膜
５２　フォトレジスト膜
５３　ブロッキング層
５４　下部電極
５５　酸化タンタル膜
５６　五酸化二タンタル膜
５７　フォトレジスト膜
５８　容量絶縁膜
５９　上部電極
６０　酸化シリコン膜
６１　ＳＯＧ膜
６２　スルーホール
６３　スルーホール
６４　プラグ
６５　第２層配線
６６　プラグ
６７　二酸化ルテニウム膜
６８　下部電極
６９　容量絶縁膜
６９ａ　下層絶縁膜

６９ｂ　上層絶縁膜
７０　粒界
ＢＬ　ビット線
Ｃ　情報蓄積用容量素子
ＭＡＲＹ　メモリアレイ
Ｑｎ　ｎチャネル型ＭＩＳＦＥＴ
Ｑｐ　ｐチャネル型ＭＩＳＦＥＴ
Ｑｓ　メモリセル選択用ＭＩＳＦＥＴ
ＳＡ　センスアンプ
ＷＤ　ワードドライバ
ＷＬ　ワード線

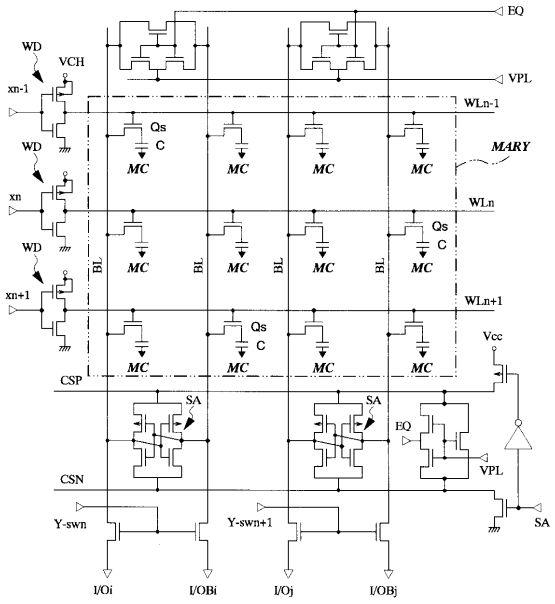
【図１】

図　1



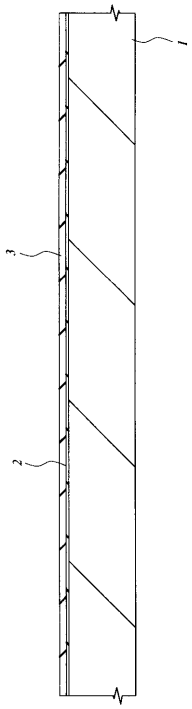
【図２】

図　2



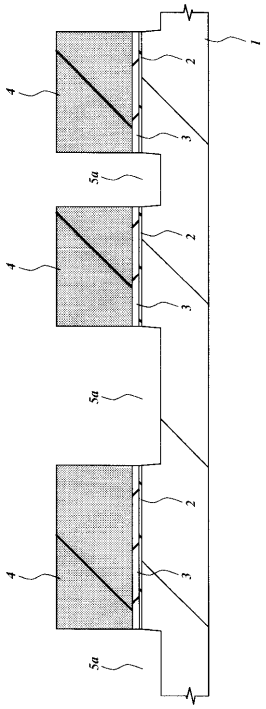
【図３】

図３



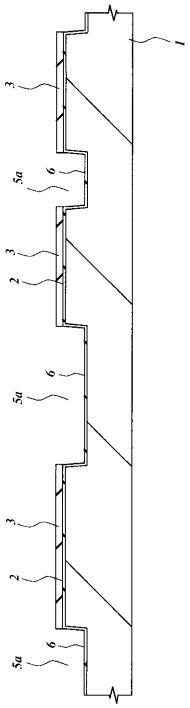
【図４】

図４



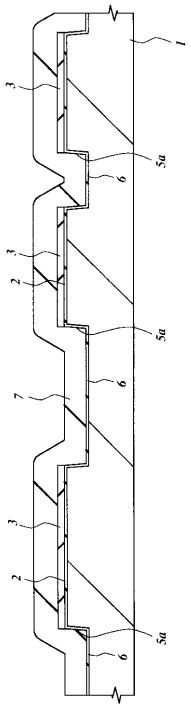
【図５】

図５



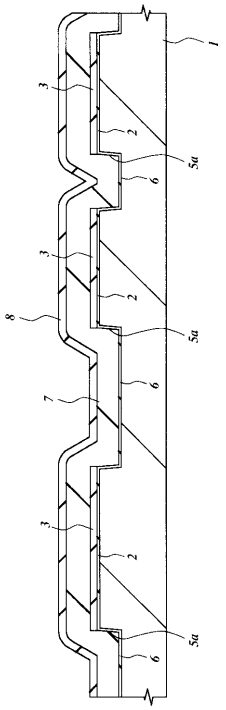
【図６】

図６



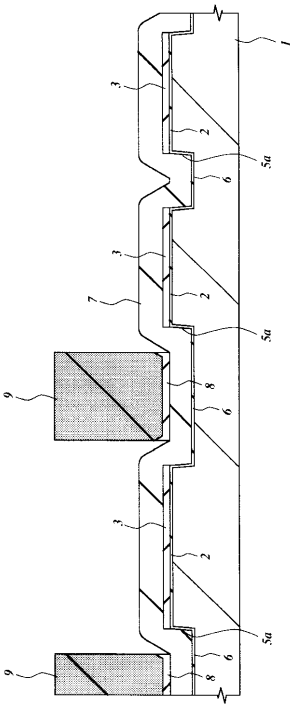
【図７】

図７



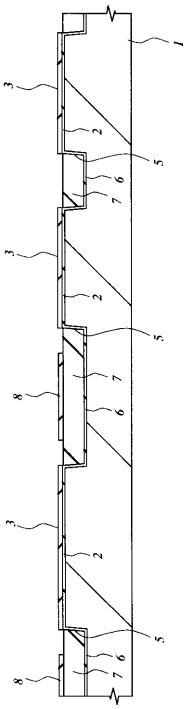
【図８】

図８



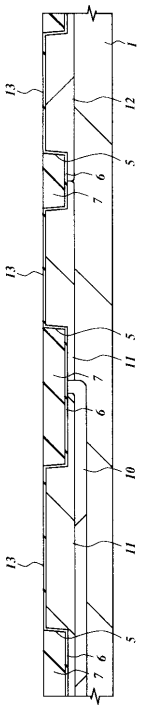
【図９】

図９



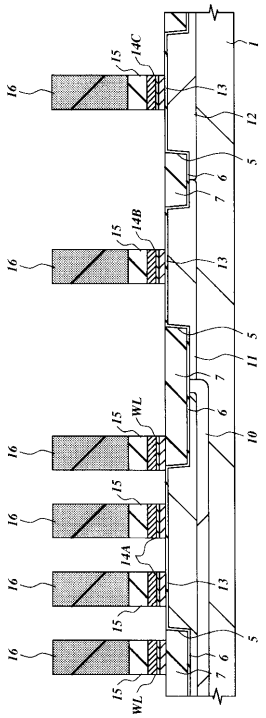
【図１０】

図１０



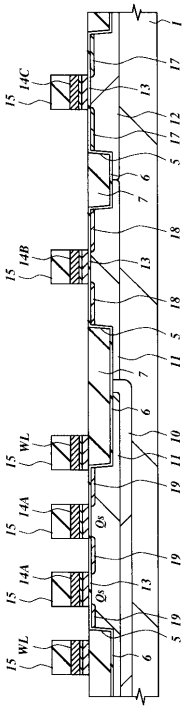
【図１１】

図 11



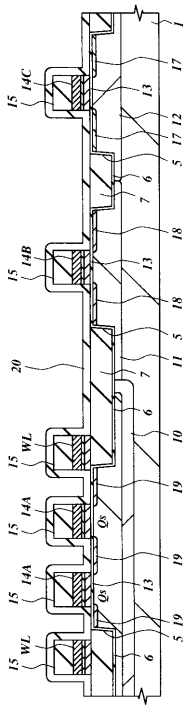
【図１２】

図 12



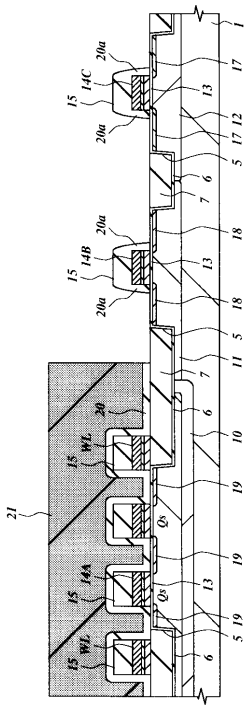
【図１３】

図 13



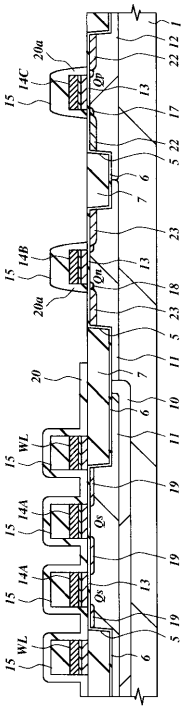
【図１４】

図 14



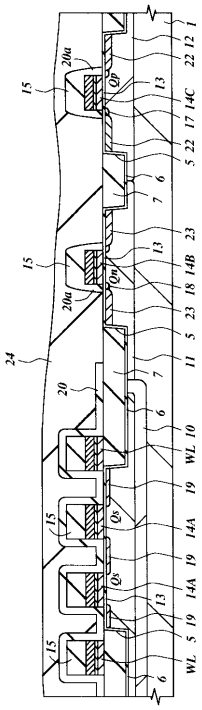
【図１５】

図 15



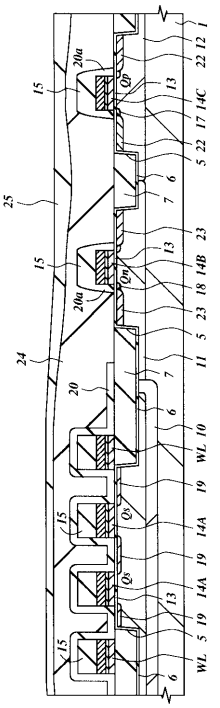
【図１６】

図 16



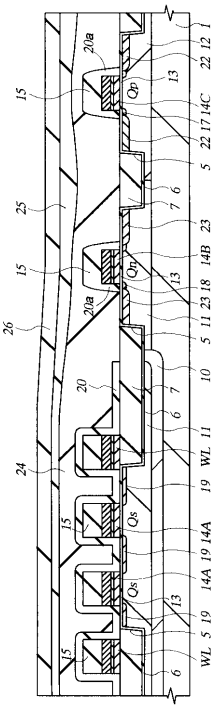
【図１７】

図 17



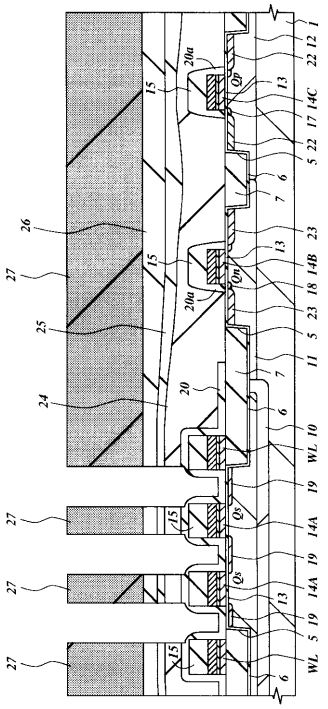
【図１８】

図 18



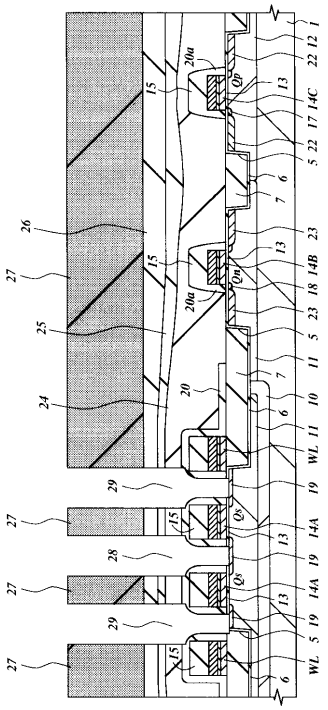
【図１９】

図 19



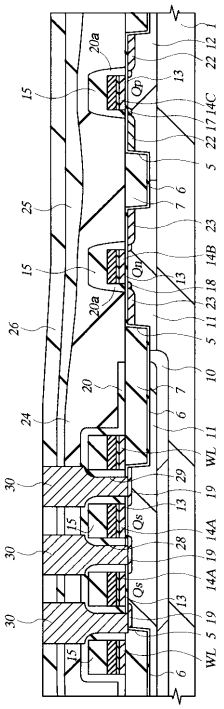
【図２０】

図 20



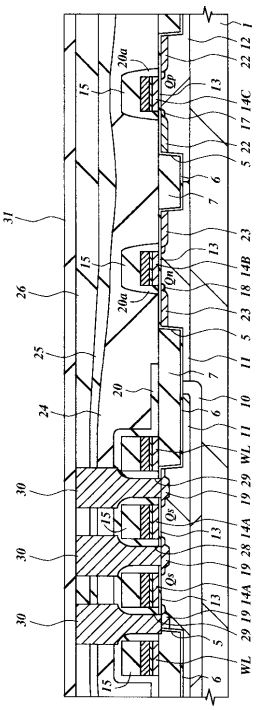
【図２１】

図 21



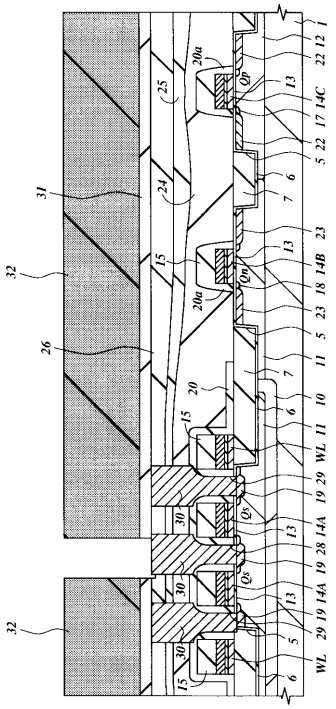
【図２２】

図 22



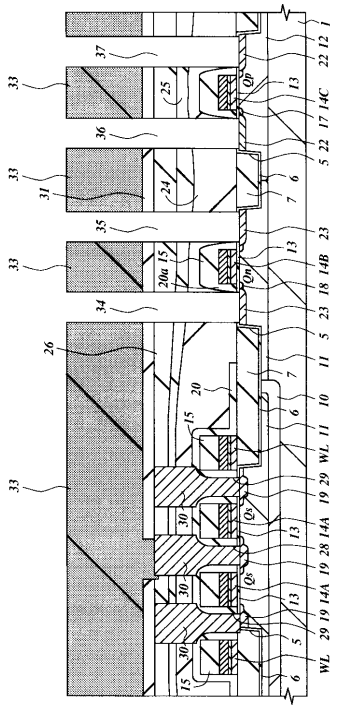
【図２３】

図 23



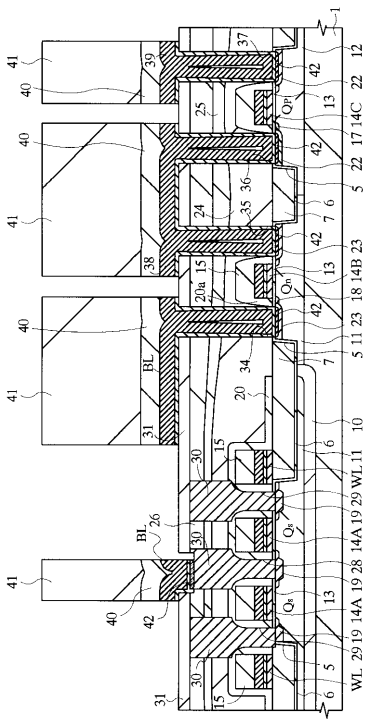
【図２４】

図 24



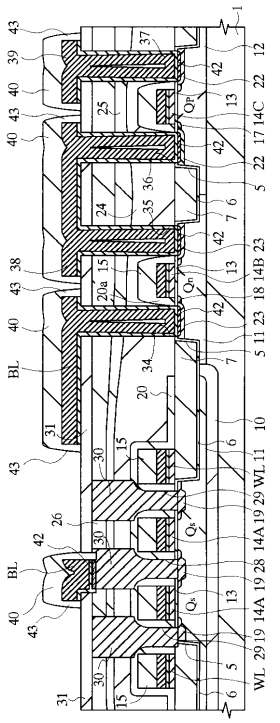
【図２５】

図 25



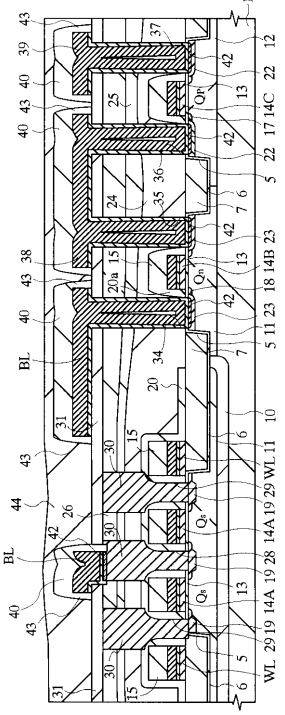
【図２６】

図 26



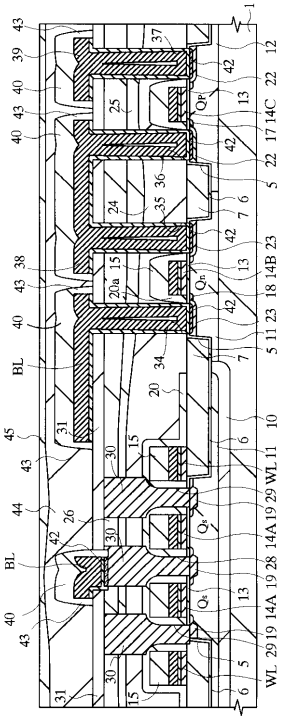
【図２７】

図 27



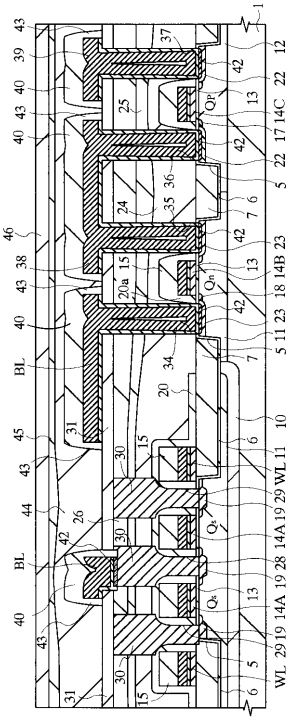
【図２８】

図 28



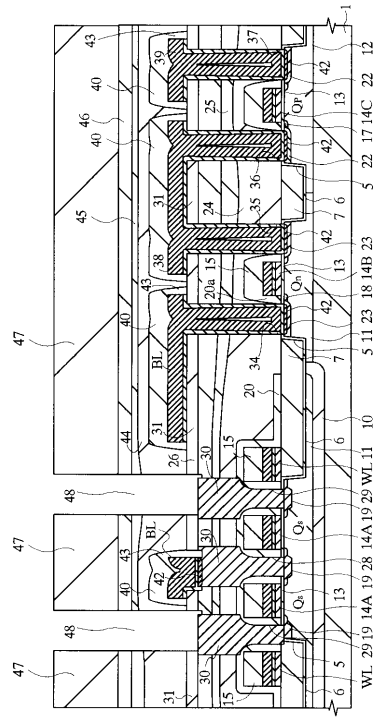
【図２９】

図 29



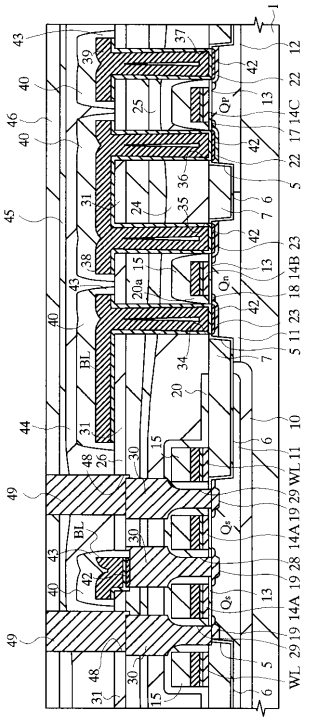
【図３０】

図 30



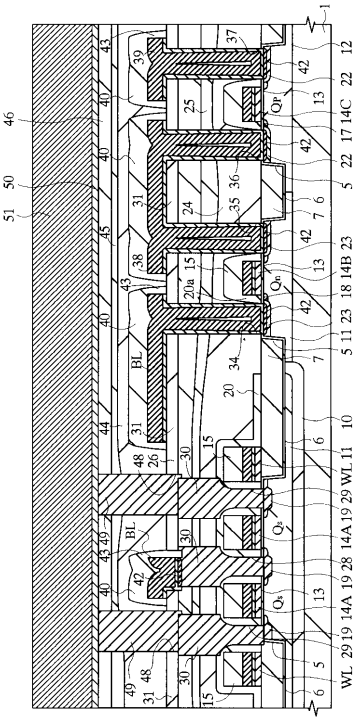
【図３１】

図 31



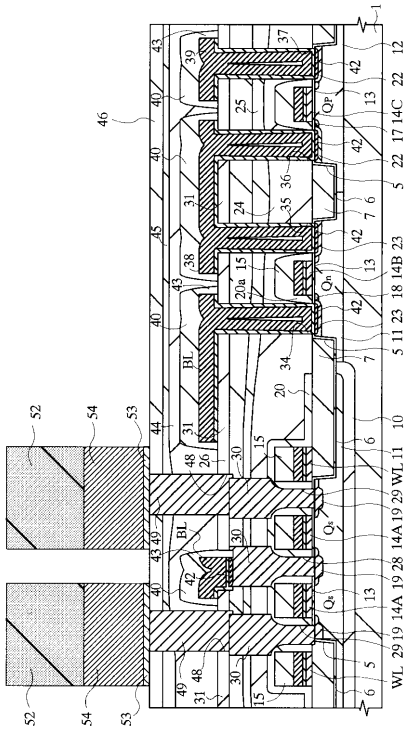
【図３２】

図 32



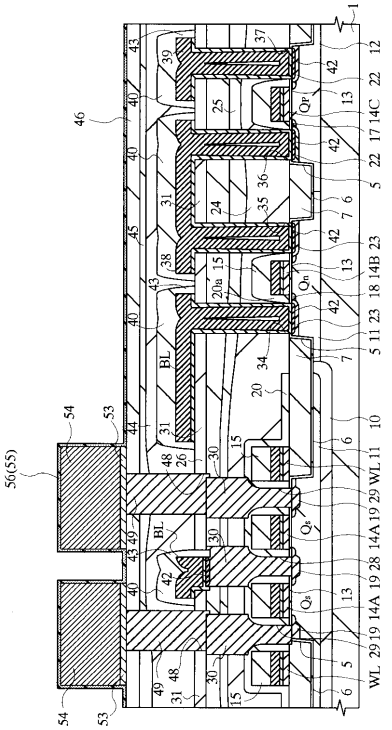
【図３３】

図 33



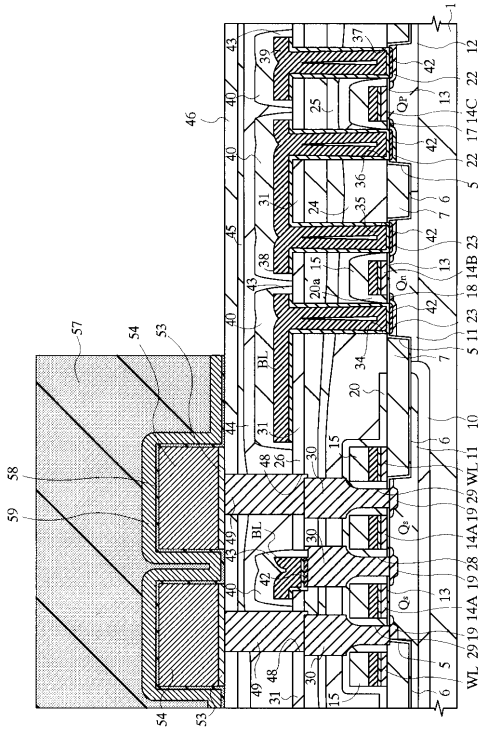
【図３４】

図 34



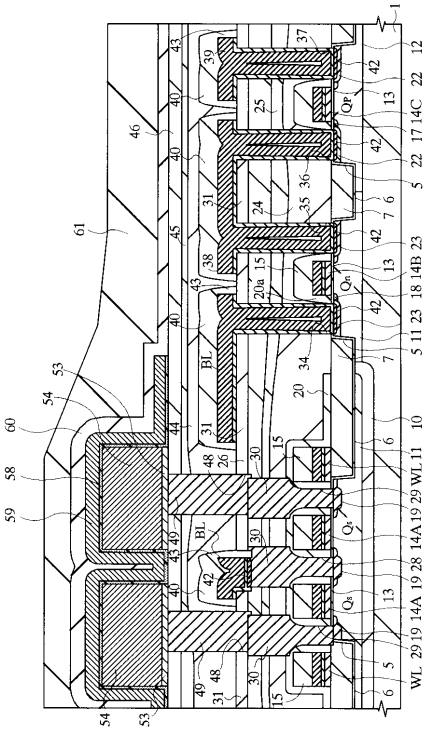
【図３５】

図 35



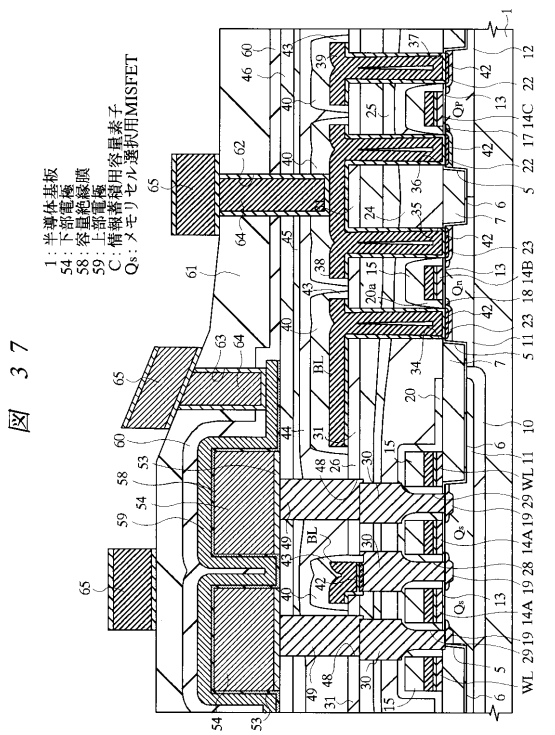
【図３６】

図 36



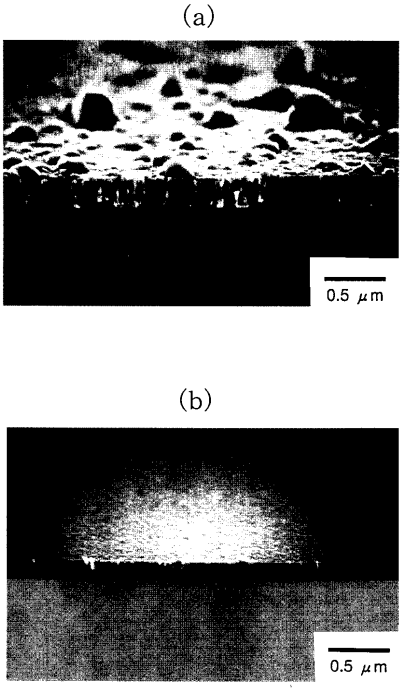
【図３７】

図 37



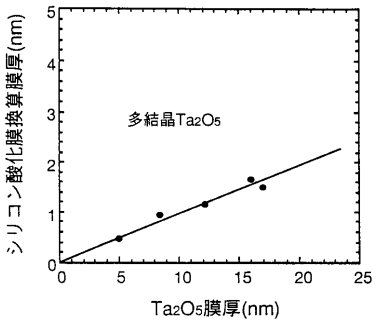
【図３８】

図 38



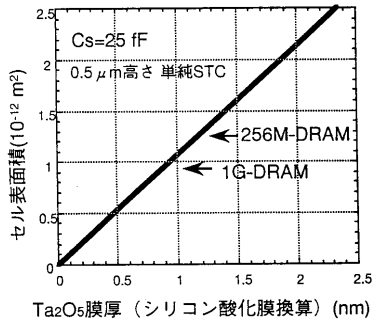
【図３９】

図３９



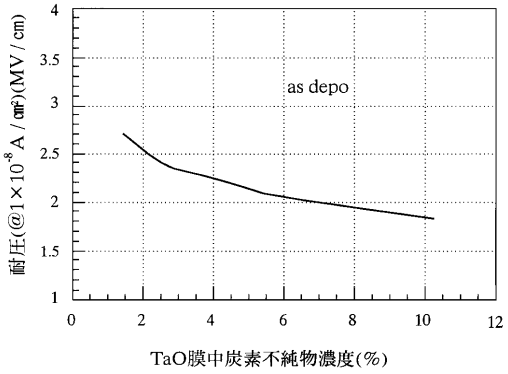
【図４０】

図４０



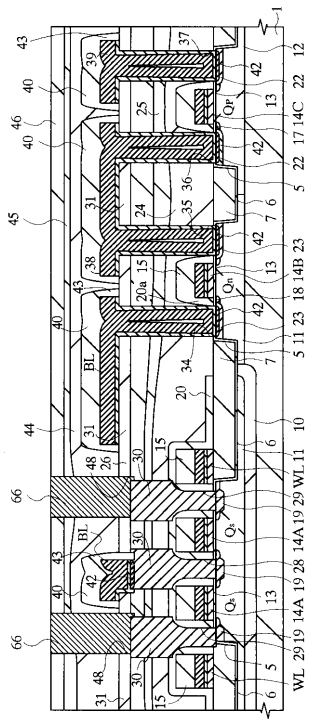
【図４１】

図 41



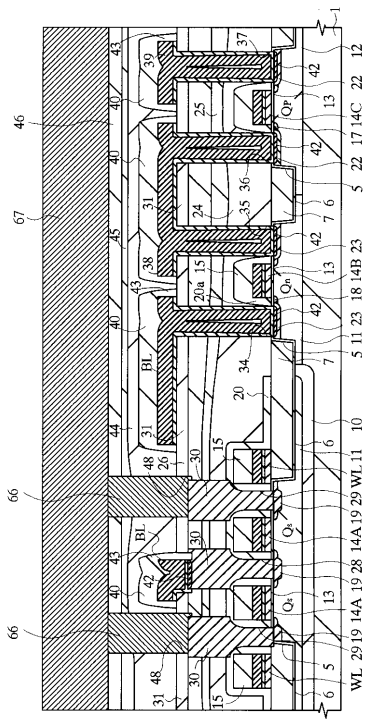
【図４２】

図 42



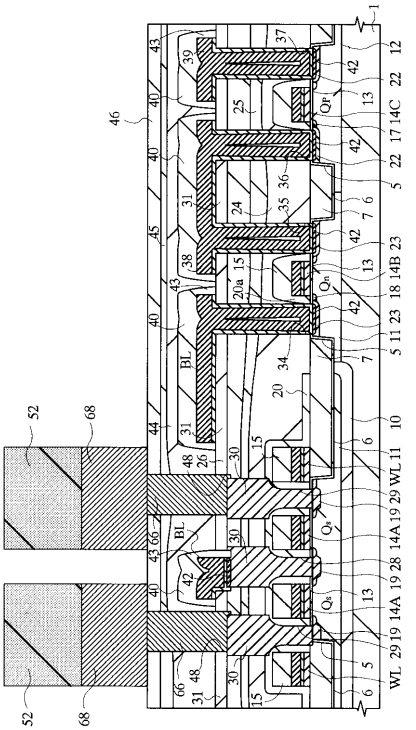
【図４３】

図 43



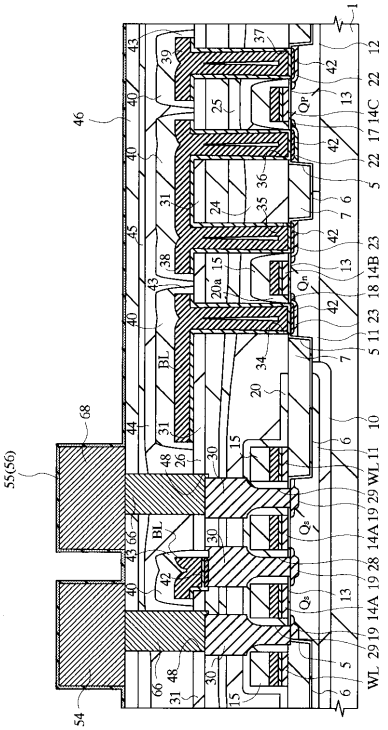
【図４４】

図 44



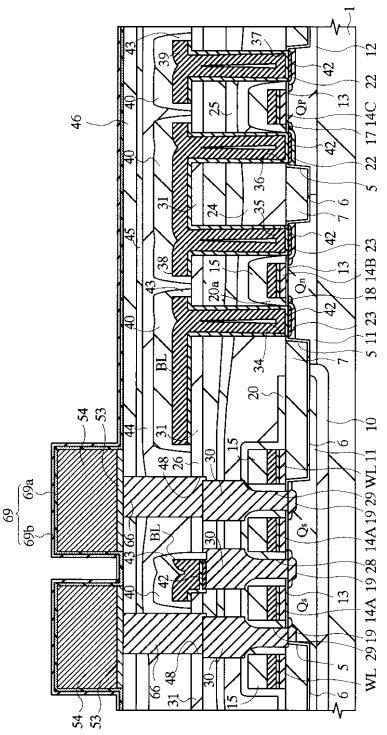
【図４５】

図 45



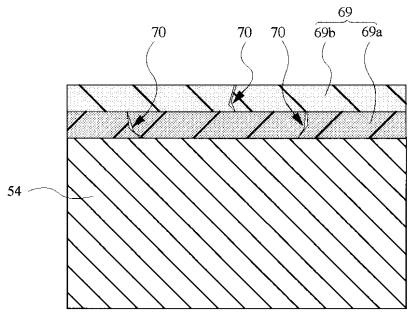
【図４６】

図 46



【図４７】

図 47



フロントページの続き

(72)発明者　飯島　晋平
東京都小平市上水本町五丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　菅原　安浩
東京都小平市上水本町五丁目２０番１号　株式会社日立製作所　半導体事業部内
(72)発明者　金井　美鈴
東京都小平市上水本町五丁目２０番１号　株式会社日立製作所　半導体事業部内

審査官　北島　健次

(56)参考文献　特開平０８－１９１１３７（ＪＰ，Ａ）
特開平０６－０９７１２１（ＪＰ，Ａ）
特開平０９－１２１０３５（ＪＰ，Ａ）
特開平０７－１６９９１７（ＪＰ，Ａ）
特開平０９－０８２９１５（ＪＰ，Ａ）
特開平０９－１９９６７９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H01L 21/8242
H01L 27/108