

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-63333

(P2010-63333A)

(43) 公開日 平成22年3月18日(2010.3.18)

(51) Int.Cl.

H02M 3/155 (2006.01)

F I

H02M 3/155

P

テーマコード (参考)

5H730

審査請求 未請求 請求項の数 18 O L (全 22 頁)

(21) 出願番号 特願2008-229366 (P2008-229366)
(22) 出願日 平成20年9月8日 (2008.9.8)

(71) 出願人 000006747
株式会社リコー
東京都大田区中馬込1丁目3番6号
(74) 代理人 100081422
弁理士 田中 光雄
(74) 代理人 100068526
弁理士 田村 恭生
(74) 代理人 100098280
弁理士 石野 正弘
(72) 発明者 野田 一平
東京都大田区中馬込1丁目3番6号 株式
会社リコー内
Fターム(参考) 5H730 AA04 AA17 AS01 BB13 DD04
EE13 EE59 FD01 FD31 FD58
FF03 FG05

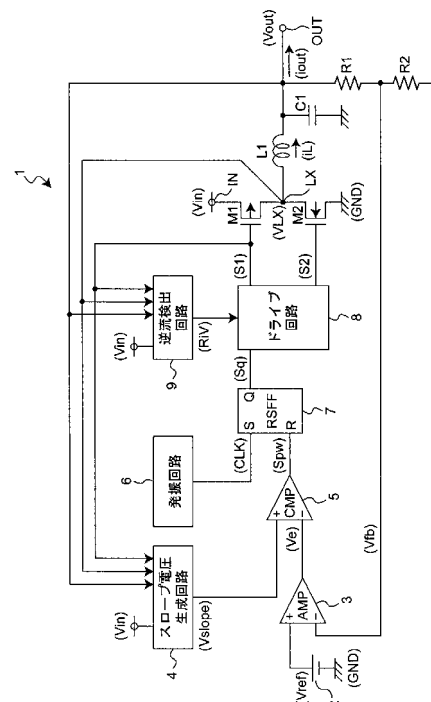
(54) 【発明の名称】 電流モード制御型スイッチングレギュレータ及びその動作制御方法

(57) 【要約】

【課題】遅れが小さく直線性のよいスロープ電圧を生成することができ、スイッチングトランジスタのオン時間が短くても安定した動作を行うことができる電流モード制御型スイッチングレギュレータ及びその動作制御方法を得る。

【解決手段】インダクタL1に流れるインダクタ電流*i*_Lに比例した電圧を擬似的に生成する疑似インダクタ回路をなすようにスロープ電圧生成回路4を形成し、出力電圧*V*_{out}を分圧した分圧電圧*V*_{fb}と所定の基準電圧*V*_{ref}との電圧差を増幅して誤差電圧*V*_eを生成し、誤差電圧*V*_eとスロープ電圧*V*_{slope}との電圧比較を行い、所定のクロック信号CLKを使用して該比較結果に応じたデューティサイクルのパルス信号*S*_{pw}を生成し、パルス信号*S*_{pw}に応じてスイッチングトランジスタM1及び同期整流用トランジスタM2の動作制御を行うようにした。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

入力端子に入力された入力電圧を、所定の定電圧に降圧して出力端子から出力電圧として出力する電流モード制御型スイッチングレギュレータにおいて、

制御電極に入力された制御信号に応じてスイッチングを行うスイッチ素子と、

該スイッチ素子のスイッチングによって前記入力電圧による充電が行われるインダクタと、

該インダクタの放電を行う整流素子と、

前記インダクタの充電を行う際に該インダクタに流れるインダクタ電流に比例した電圧を擬似的に生成しスローブ電圧として出力するスローブ電圧生成回路部と、

前記スローブ電圧に応じて前記スイッチ素子のスイッチング制御を行うスイッチング制御回路部と、

を備えることを特徴とする電流モード制御型スイッチングレギュレータ。

【請求項 2】

前記スローブ電圧生成回路部は、

前記インダクタに印加されている電圧に比例した電流を生成して出力する第 1 電流生成回路と、

該第 1 電流生成回路から出力された電流で充電され、両端の電圧差が前記スローブ電圧として出力される第 1 コンデンサと、

前記スイッチ素子によって前記インダクタが充電される期間、前記第 1 電流生成回路から出力された電流で前記第 1 コンデンサの充電を行い、前記スイッチ素子による前記インダクタへの充電が停止している期間、前記第 1 コンデンサの放電を行う第 1 制御回路と、
を備えることを特徴とする請求項 1 記載の電流モード制御型スイッチングレギュレータ。

【請求項 3】

前記第 1 電流生成回路は、サブハーモニック発振が発生しないように、生成した電流を所定の第 1 比率で増加させることを特徴とする請求項 2 記載の電流モード制御型スイッチングレギュレータ。

【請求項 4】

前記第 1 コンデンサは、サブハーモニック発振が発生しないように、容量値が所定の第 2 比率で減少されることを特徴とする請求項 2 又は 3 記載の電流モード制御型スイッチングレギュレータ。

【請求項 5】

前記第 1 制御回路は、前記スイッチ素子によって前記インダクタの充電が行われる期間、前記スローブ電圧の最低電圧をなす所定のオフセット電圧を前記第 1 コンデンサの一端に印加すること特徴とする請求項 2、3 又は 4 記載の電流モード制御型スイッチングレギュレータ。

【請求項 6】

前記整流素子は、前記スイッチ素子と相反するスイッチング動作を行うように前記スイッチング制御回路部から制御電極に入力された制御信号に応じてスイッチングを行い前記インダクタの放電を行う同期整流用スイッチ素子をなし、前記インダクタへの充電が停止した際に該インダクタに流れるインダクタ電流に比例した電圧を擬似的に生成し、該生成した電圧から、前記出力端子から前記同期整流用スイッチ素子の方向に流れる逆電流の発生兆候又は発生を検出する逆流検出回路部を備えることを特徴とする請求項 1、2、3、4 又は 5 記載の電流モード制御型スイッチングレギュレータ。

【請求項 7】

前記逆流検出回路部は、

前記インダクタに印加されている電圧に比例した電流を生成して出力する第 2 電流生成回路と、

該第 2 電流生成回路から出力された電流で充電され、両端の電圧差が前記インダクタ電流を電圧に変換した電圧として出力される第 2 コンデンサと、

前記スイッチ素子による前記インダクタへの充電が停止されている期間、前記第 2 電流生成回路から出力された電流で前記第 2 コンデンサの放電を行い、前記スイッチ素子によって前記インダクタの充電が行われている期間、前記第 2 コンデンサの充電を行う第 2 制御回路と、
を備え、

前記第 2 制御回路は、前記スイッチ素子による前記インダクタへの充電が停止している期間に、前記第 2 コンデンサの電荷がゼロになったことを検出すると、前記逆電流の発生兆候又は発生を検出したと判定して、所定の逆流検出信号を出力することを特徴とする請求項 6 記載の電流モード制御型スイッチングレギュレータ。

【請求項 8】

前記スイッチング制御回路部は、前記逆流検出回路部から所定の逆流検出信号が出力されると、前記同期整流用スイッチ素子を強制的にオフさせて遮断状態にすることを特徴とする請求項 7 記載の電流モード制御型スイッチングレギュレータ。

【請求項 9】

前記第 2 制御回路は、前記第 2 コンデンサの放電を行う期間、該第 2 コンデンサの一端に所定のバイアス電圧を印加することを特徴とする請求項 7 又は 8 記載の電流モード制御型スイッチングレギュレータ。

【請求項 10】

制御電極に入力された制御信号に応じてスイッチングを行うスイッチ素子と、
該スイッチ素子のスイッチングによって、入力端子に入力された入力電圧による充電が行われるインダクタと、
該インダクタの放電を行う整流素子と、
を備え、

出力端子から出力される出力電圧が所定の定電圧になるように前記スイッチ素子に対するスイッチング制御を行い、前記入力端子に入力された入力電圧を所定の定電圧に変換して前記出力端子から出力電圧として出力する電流モード制御型スイッチングレギュレータの動作制御方法において、

前記インダクタの充電を行う際に該インダクタに流れるインダクタ電流に比例した電圧を擬似的に生成し、

該生成した電圧をスローブ電圧とし、

該スローブ電圧を使用して前記スイッチ素子のスイッチング制御を行うためのパルス信号を生成することを特徴とする電流モード制御型スイッチングレギュレータの動作制御方法。

【請求項 11】

前記インダクタに印加されている電圧に比例した第 1 比例電流を生成し、

前記スイッチ素子によって前記インダクタが充電される期間、該生成した第 1 比例電流で第 1 コンデンサの充電を行い、

前記スイッチ素子による前記インダクタへの充電が停止している期間、前記第 1 コンデンサの放電を行い、

前記第 1 コンデンサの両端の電圧差を前記スローブ電圧とすることを特徴とする請求項 10 記載の電流モード制御型スイッチングレギュレータの動作制御方法。

【請求項 12】

サブハーモニック発振が発生しないように、前記第 1 比例電流を所定の第 1 比率で増加させて前記スローブ電圧を生成することを特徴とする請求項 11 記載の電流モード制御型スイッチングレギュレータの動作制御方法。

【請求項 13】

サブハーモニック発振が発生しないように、所定の第 2 比率で前記第 1 コンデンサの容量値を減少させて前記スローブ電圧を生成することを特徴とする請求項 11 又は 12 記載の電流モード制御型スイッチングレギュレータの動作制御方法。

【請求項 14】

10

20

30

40

50

前記スイッチ素子によって前記インダクタの充電が行われる期間、前記スロープ電圧の最低電圧をなす所定のオフセット電圧を前記第 1 コンデンサの一端に印加することを特徴とする請求項 1 1、1 2 又は 1 3 記載の電流モード制御型スイッチングレギュレータの動作制御方法。

【請求項 1 5】

前記整流素子は、前記スイッチ素子と相反するスイッチング動作を行うように制御電極に入力された制御信号に応じてスイッチングを行い前記インダクタの放電を行う同期整流用スイッチ素子をなし、前記インダクタへの充電が停止した際に該インダクタに流れるインダクタ電流に比例した電圧を擬似的に生成し、該生成した電圧から、前記出力端子から前記同期整流用スイッチ素子の方向に流れる逆電流の発生兆候又は発生を検出することを特徴とする請求項 1 0、1 1、1 2、1 3 又は 1 4 記載の電流モード制御型スイッチングレギュレータの動作制御方法。

10

【請求項 1 6】

前記インダクタに印加されている電圧に比例した第 2 比例電流を生成し、

前記スイッチ素子による前記インダクタへの充電が停止されている期間、該生成した第 2 比例電流で第 2 コンデンサの放電を行い、

前記スイッチ素子によって前記インダクタの充電が行われている期間、前記第 2 コンデンサの充電を行い、

前記スイッチ素子による前記インダクタへの充電が停止している期間に、前記第 2 コンデンサの電荷がゼロになったことを検出すると、前記逆電流の発生兆候又は発生を検出したと判定することを特徴とする請求項 1 5 記載の電流モード制御型スイッチングレギュレータの動作制御方法。

20

【請求項 1 7】

前記逆電流の発生兆候又は発生を検出したと判定すると、前記同期整流用スイッチ素子を強制的にオフさせて遮断状態にすることを特徴とする請求項 1 5 又は 1 6 記載の電流モード制御型スイッチングレギュレータの動作制御方法。

【請求項 1 8】

前記第 2 コンデンサの放電を行う期間、該第 2 コンデンサの一端に所定のバイアス電圧を印加することを特徴とする請求項 1 6 又は 1 7 記載の電流モード制御型スイッチングレギュレータの動作制御方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、DC - DC コンバータである電流モード制御型のスイッチングレギュレータに関し、特に負荷電流のダイナミックレンジが大きい場合にも安定した動作が可能な電流モード制御型スイッチングレギュレータ及びその動作制御方法に関する。

【背景技術】

【0002】

図 1 1 は、従来の同期整流方式で電流モード制御型の降圧型スイッチングレギュレータの例を示したブロック図である（例えば、特許文献 1 参照。）。

40

図 1 1 のスイッチングレギュレータ 1 0 0 は、入力端子 I N に入力された入力電圧 V_{in} を降圧して、出力端子 O U T から出力電圧 V_{out} として出力するものである。スイッチングレギュレータ 1 0 0 では、スイッチングトランジスタ M 1 0 1 と同期整流トランジスタ M 1 0 2 が相補的にオン / オフ動作を行うことにより、インダクタ L 1 0 1 とコンデンサ C 1 0 1 にエネルギーを蓄え、蓄えたエネルギーを出力端子 O U T から出力電圧 V_{out} として出力し、負荷 2 0 0 に供給している。

【0003】

図 1 2 は、図 1 1 のスイッチングレギュレータの動作例を示したタイミングチャートである。

発振回路 1 1 3 からは、図 1 2 に示すように、所定の周期でハイレベルのクロック信号

50

C L K が出力されており、ハイレベルのクロック信号 C L K が R S フリップフロップ回路 1 1 4 のセット入力端 S に入力されると、R S フリップフロップ回路 1 1 4 の出力端 Q からハイレベルの信号が出力される。該信号はインバータ回路 1 1 5 で信号レベルが反転され、スイッチングトランジスタ M 1 0 1 と同期整流用トランジスタ M 1 0 2 のゲート信号 S 1 0 1 はローレベルになる。このため、スイッチングトランジスタ M 1 0 1 がオンすると共に同期整流用トランジスタ M 1 0 2 はオフし、インダクタ L 1 0 1 とコンデンサ C 1 0 1 との直列回路に入力電圧 V_{in} が印加される。インダクタ電流 i_L は時間の経過に伴って直線的に増加し、インダクタ電流 i_L が出力電流 i_o よりも大きくなると、コンデンサ C 1 0 1 に電荷が蓄積され、出力電圧 V_{out} が上昇する。

【0004】

スローブ電圧生成回路 1 2 0 は、インダクタ電流 i_L を検出して電圧に変換すると共に、サブハーモニック発振を防止するための補償ランプ電圧を生成し、インダクタ電流 i_L を変換して得られた電圧に該補償ランプ電圧を加算してスローブ電圧 V_{slp} として出力する。スローブ電圧 V_{slp} は、スイッチングトランジスタ M 1 0 1 がオンしている間、直線的に上昇する。誤差増幅回路 1 1 1 は、出力電圧検出信号をなす分圧電圧 V_{fb} と基準電圧 V_{ref} の電圧差を増幅し、誤差電圧 V_e として出力する。PWM コンパレータ 1 1 2 は、誤差電圧 V_e とスローブ電圧 V_{slp} との電圧比較を行い、スローブ電圧 V_{slp} が誤差電圧 V_e を超えるとハイレベルの信号を出力し、R S フリップフロップ回路 1 1 4 をリセットする。すると、R S フリップフロップ回路 1 1 4 の出力端 Q はローレベルになってゲート信号 S 1 0 1 がハイレベルになり、スイッチングトランジスタ M 1 0 1 がオフすると共に、同期整流用トランジスタ M 1 0 2 がオンする。

【0005】

スイッチングトランジスタ M 1 0 1 がオフすると共に同期整流用トランジスタ M 1 0 2 がオンすると、インダクタ L 1 0 1 に蓄えられていたエネルギーが放出される。これに伴って、インダクタ電流 i_L が時間の経過に伴って直線的に減少し、インダクタ電流 i_L が出力電流 i_o よりも小さくなると、コンデンサ C 1 0 1 から負荷 2 0 0 へ電力が供給され、出力電圧 V_{out} が低下する。

図 1 2 の時刻 T_0 に示すように、出力電流 i_o が急増すると出力電圧 V_{out} が低下する。このため、誤差電圧 V_e が上昇し、スローブ電圧 V_{slp} が誤差電圧 V_e を超えるまでの時間が長くなるため、スイッチングトランジスタ M 1 0 1 のオン時間が長くなる。言い換えると、インダクタ L 1 0 1 に電力を供給する時間が長くなるため出力電圧 V_{out} は上昇する。逆に、出力電圧 V_{out} が上昇すると誤差電圧 V_e が低下するため、スイッチングトランジスタ M 1 0 1 のオン時間が短くなり出力電圧 V_{out} は低下する。このような動作を繰り返すことにより、出力電圧 V_{out} を所定の電圧で一定にすることができる。

【0006】

図 1 3 は、図 1 1 のスローブ電圧生成回路 1 2 0 の回路例を示した図である。

スイッチングトランジスタ M 1 0 1 がオンしているときにインダクタ L 1 0 1 に流れるインダクタ電流 i_L は、スイッチングトランジスタ M 1 0 1 のドレイン電流と等しいため、スイッチングトランジスタ M 1 0 1 のオン抵抗が分かれば、スイッチングトランジスタ M 1 0 1 の電圧降下を検出することでインダクタ電流 i_L を検出することができる。

そこで、図 1 3 のインダクタ電流検出回路 1 2 0 A は、スイッチングトランジスタ M 1 0 1 がオンしているときの電圧降下を検出している。スイッチングトランジスタ M 1 0 1 がオンしている場合は、ゲート信号 S 1 0 1 はローレベルであり、このとき、PMOS トランジスタ M 1 2 2 がオフすると共に、PMOS トランジスタ M 1 2 3 がオンするため、演算増幅回路 1 2 1 の非反転入力端には図 1 1 の接続部 L X の電圧 V_{LX} が入力される。

【0007】

演算増幅回路 1 2 1 は、PMOS トランジスタ M 1 2 1 のソース電圧が電圧 V_{LX} と同じになるように PMOS トランジスタ M 1 2 1 のゲート電圧を制御することから、PMO

10

20

30

40

50

SトランジスタM121のドレイン電流はインダクタ電流*i_L*に比例した電流になる。該ドレイン電流は、抵抗R122に供給され、抵抗R122によって電圧に変換され、該変換された電圧が抵抗R123を介して出力される。

抵抗R121とR122の各抵抗値が同じであるとする、PMOSTランジスタM121のドレイン電圧*V_A*は、下記(a)式ようになる。

$$V_A = V_{in} - V_{LX} \dots \dots \dots (a)$$

【0008】

なお、スイッチングトランジスタM101がオフしているときは、ゲート信号S101はハイレベルである。このとき、PMOSTランジスタM122がオンすると共にPMOSTランジスタM123がオフするため、演算増幅回路121の非反転入力端の電圧は入力電圧*V_{in}*になり、演算増幅回路121はPMOSTランジスタM121をオフさせることから、PMOSTランジスタM121のドレイン電圧*V_A*は0Vになる。

ランプ電圧生成回路120BのNMOSTランジスタM124は、ゲート信号S101がハイレベルである間はオンしているため、定電流回路*i₁₂₁*から出力される電流はNMOSTランジスタM124でバイパスされ、ランプコンデンサC121の端子電圧*V_B*は0Vになっている。

【0009】

ゲート信号S101がローレベルになるとNMOSTランジスタM124はオフするため、ランプコンデンサC121は定電流回路*i₁₂₁*の出力電流によって充電される。このことから、ランプコンデンサC121の端子電圧*V_B*は直線的に上昇してランプ電圧となり、ランプ電圧*V_B*は抵抗R124を介して出力される。インダクタ電流検出回路120Aとランプ電圧生成回路120Bの各出力電圧は抵抗R123とR124で加算され、抵抗R123とR124の接続部から出力される。抵抗R123とR124の各抵抗値が同じであるとし、抵抗R123とR124との接続部の電圧を*V_C*とすると、電圧*V_C*は、下記(b)式のようになり、スロープ電圧出力回路120Cの演算増幅回路124の非反転入力端に入力される。

$$V_C = (V_A + V_B) / 2 = (V_{in} - V_{LX} + V_B) / 2 \dots \dots \dots (b)$$

【0010】

演算増幅回路124は、NMOSTランジスタM126のソース電圧が電圧*V_C*に等しくなるようにNMOSTランジスタM126のゲート電圧を制御するため、NMOSTランジスタM126のドレイン電流は、電圧*V_C*に比例した電流になる。該電流はPMOSTランジスタM127とM128で構成されたカレントミラー回路を介して抵抗R126に供給され、抵抗R126で電圧に変換されてスロープ電圧*V_{s1p}*になる。抵抗R126の抵抗値を抵抗R125の抵抗値のK倍であるとする、スロープ電圧*V_{s1p}*は、下記(c)式のようになる。

$$V_{s1p} = K \times V_C = K \times (V_{in} - V_{LX} + V_B) / 2 \dots \dots \dots (c)$$

【0011】

また、スロープ電圧を生成する他の方法としては、直接インダクタ電流を測定せずに、出力電圧*V_{out}*に含まれるリップル電圧を微分して、インダクタ電流を検出し、該微分値を増幅してスロープ電圧を生成する方法があった(例えば、特許文献2参照。)。

【特許文献1】特開2006-246626号公報

【特許文献2】特開2001-258244号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

しかし、図11のスロープ電圧生成回路120では、スロープ電圧*V_{s1p}*の立ち上がり部分における直線性が悪いという問題があった。

図14は、図11のスロープ電圧生成回路120で生成されたスロープ電圧*V_{s1p}*の波形を拡大した図である。図14から分かるように、スロープ電圧*V_{s1p}*は、ゲート信号S101がローレベルになった直後は緩やかに立ち上がり、時間の経過に伴って所望の

10

20

30

40

50

傾斜に近づき、時間 T_{del} 後に該所望の傾斜になっていた。このように、スローブ電圧 V_{slp} の立ち上がりが緩やかになる原因は、インダクタ電流 i_L を演算増幅回路 121 で電圧に変化する際の遅延時間と、電圧 V_C を演算増幅回路 124 によって電流に変換する際の遅延時間、更には、PMOS トランジスタ M127 と M128 で構成されたカレントミラー回路を経由するときの遅延時間等により、スローブ電圧 V_{slp} の開始時期が大きく遅れるためである。

【0013】

スローブ電圧 V_{slp} の立ち上がりが緩やかになると、スイッチングトランジスタ M101 のオン時間が、時間 T_{del} よりも短くなる条件、例えば負荷 200 へ流れる負荷電流が非常に小さい場合等においては、スイッチングレギュレータ 100 の動作が不安定になり、出力電圧 V_{out} が安定しない等の不具合が発生していた。

また、スローブ電圧を生成する前記他の方法では、微小なリプル電圧を検出してその微分値を大きく増幅することから、インダクタ電流の検出精度が悪く、十分に安定した動作は望めなかった。

【0014】

本発明は、このような問題を解決するためになされたものであり、遅れが小さく直線性のよいスローブ電圧を生成することができ、スイッチングトランジスタのオン時間が短くても安定した動作を行うことができる電流モード制御型スイッチングレギュレータ及びその動作制御方法を得ることを目的とする。

【課題を解決するための手段】

【0015】

この発明に係る電流モード制御型スイッチングレギュレータは、入力端子に入力された入力電圧を、所定の定電圧に降圧して出力端子から出力電圧として出力する電流モード制御型スイッチングレギュレータにおいて、

制御電極に入力された制御信号に応じてスイッチングを行うスイッチ素子と、

該スイッチ素子のスイッチングによって前記入力電圧による充電が行われるインダクタと、

該インダクタの放電を行う整流素子と、

前記インダクタの充電を行う際に該インダクタに流れるインダクタ電流に比例した電圧を擬似的に生成しスローブ電圧として出力するスローブ電圧生成回路部と、

前記スローブ電圧に応じて前記スイッチ素子のスイッチング制御を行うスイッチング制御回路部と、
を備えるものである。

【0016】

具体的には、前記スローブ電圧生成回路部は、

前記インダクタに印加されている電圧に比例した電流を生成して出力する第 1 電流生成回路と、

該第 1 電流生成回路から出力された電流で充電され、両端の電圧差が前記スローブ電圧として出力される第 1 コンデンサと、

前記スイッチ素子によって前記インダクタが充電される期間、前記第 1 電流生成回路から出力された電流で前記第 1 コンデンサの充電を行い、前記スイッチ素子による前記インダクタへの充電が停止している期間、前記第 1 コンデンサの放電を行う第 1 制御回路と、
を備えるようにした。

【0017】

また、前記第 1 電流生成回路は、サブハーモニック発振が発生しないように、生成した電流を所定の第 1 比率で増加させるようにした。

【0018】

また、前記第 1 コンデンサは、サブハーモニック発振が発生しないように、容量値が所定の第 2 比率で減少されるようにした。

【0019】

10

20

30

40

50

また、前記第 1 制御回路は、前記スイッチ素子によって前記インダクタの充電が行われる期間、前記スロープ電圧の最低電圧をなす所定のオフセット電圧を前記第 1 コンデンサの一端に印加するようにしてもよい。

【0020】

また、前記整流素子は、前記スイッチ素子と相反するスイッチング動作を行うように前記スイッチング制御回路部から制御電極に入力された制御信号に応じてスイッチングを行い前記インダクタの放電を行う同期整流用スイッチ素子をなし、前記インダクタへの充電が停止した際に該インダクタに流れるインダクタ電流に比例した電圧を擬似的に生成し、該生成した電圧から、前記出力端子から前記同期整流用スイッチ素子の方向に流れる逆電流の発生兆候又は発生を検出する逆流検出回路部を備えるようにした。

10

【0021】

具体的には、前記逆流検出回路部は、

前記インダクタに印加されている電圧に比例した電流を生成して出力する第 2 電流生成回路と、

該第 2 電流生成回路から出力された電流で充電され、両端の電圧差が前記インダクタ電流を電圧に変換した電圧として出力される第 2 コンデンサと、

前記スイッチ素子による前記インダクタへの充電が停止されている期間、前記第 2 電流生成回路から出力された電流で前記第 2 コンデンサの放電を行い、前記スイッチ素子によって前記インダクタの充電が行われている期間、前記第 2 コンデンサの充電を行う第 2 制御回路と、

20

を備え、

前記第 2 制御回路は、前記スイッチ素子による前記インダクタへの充電が停止している期間に、前記第 2 コンデンサの電荷がゼロになったことを検出すると、前記逆電流の発生兆候又は発生を検出したと判定して、所定の逆流検出信号を出力するようにした。

【0022】

この場合、前記スイッチング制御回路部は、前記逆流検出回路部から所定の逆流検出信号が出力されると、前記同期整流用スイッチ素子を強制的にオフさせて遮断状態にするようにした。

【0023】

また、前記第 2 制御回路は、前記第 2 コンデンサの放電を行う期間、該第 2 コンデンサの一端に所定のバイアス電圧を印加するようにしてもよい。

30

【0024】

また、この発明に係る電流モード制御型スイッチングレギュレータの動作制御方法は、制御電極に入力された制御信号に応じてスイッチングを行うスイッチ素子と、

該スイッチ素子のスイッチングによって、入力端子に入力された入力電圧による充電が行われるインダクタと、

該インダクタの放電を行う整流素子と、

を備え、

出力端子から出力される出力電圧が所定の定電圧になるように前記スイッチ素子に対するスイッチング制御を行い、前記入力端子に入力された入力電圧を所定の定電圧に変換して前記出力端子から出力電圧として出力する電流モード制御型スイッチングレギュレータの動作制御方法において、

40

前記インダクタの充電を行う際に該インダクタに流れるインダクタ電流に比例した電圧を擬似的に生成し、

該生成した電圧をスロープ電圧とし、

該スロープ電圧を使用して前記スイッチ素子のスイッチング制御を行うためのパルス信号を生成するようにした。

【0025】

具体的には、前記インダクタに印加されている電圧に比例した第 1 比例電流を生成し、

前記スイッチ素子によって前記インダクタが充電される期間、該生成した第 1 比例電流

50

で第 1 コンデンサの充電を行い、

前記スイッチ素子による前記インダクタへの充電が停止している期間、前記第 1 コンデンサの放電を行い、

前記第 1 コンデンサの両端の電圧差を前記スロープ電圧とするようにした。

【 0 0 2 6 】

また、サブハーモニック発振が発生しないように、前記第 1 比例電流を所定の第 1 比率で増加させて前記スロープ電圧を生成するようにした。

【 0 0 2 7 】

また、サブハーモニック発振が発生しないように、所定の第 2 比率で前記第 1 コンデンサの容量値を減少させて前記スロープ電圧を生成するようにしてもよい。

【 0 0 2 8 】

また、前記スイッチ素子によって前記インダクタの充電が行われる期間、前記スロープ電圧の最低電圧をなす所定のオフセット電圧を前記第 1 コンデンサの一端に印加するようにした。

【 0 0 2 9 】

また、前記整流素子は、前記スイッチ素子と相反するスイッチング動作を行うように制御電極に入力された制御信号に応じてスイッチングを行い前記インダクタの放電を行う同期整流用スイッチ素子をなし、前記インダクタへの充電が停止した際に該インダクタに流れるインダクタ電流に比例した電圧を擬似的に生成し、該生成した電圧から、前記出力端子から前記同期整流用スイッチ素子の方向に流れる逆電流の発生兆候又は発生を検出するようにした。

【 0 0 3 0 】

具体的には、前記インダクタに印加されている電圧に比例した第 2 比例電流を生成し、

前記スイッチ素子による前記インダクタへの充電が停止されている期間、該生成した第 2 比例電流で第 2 コンデンサの放電を行い、

前記スイッチ素子によって前記インダクタの充電が行われている期間、前記第 2 コンデンサの充電を行い、

前記スイッチ素子による前記インダクタへの充電が停止している期間に、前記第 2 コンデンサの電荷がゼロになったことを検出すると、前記逆電流の発生兆候又は発生を検出したと判定するようにした。

【 0 0 3 1 】

また、前記逆電流の発生兆候又は発生を検出したと判定すると、前記同期整流用スイッチ素子を強制的にオフさせて遮断状態にするようにした。

【 0 0 3 2 】

また、前記第 2 コンデンサの放電を行う期間、該第 2 コンデンサの一端に所定のバイアス電圧を印加するようにしてもよい。

【発明の効果】

【 0 0 3 3 】

本発明の電流モード制御型スイッチングレギュレータ及びその動作制御方法によれば、前記インダクタの充電を行う際に該インダクタに流れるインダクタ電流に比例した電圧を擬似的に生成し、該生成した電圧をスロープ電圧とし、該スロープ電圧を使用して前記スイッチ素子のスイッチング制御を行うようにした。このことから、遅れが小さく直線性のよいスロープ電圧を生成することができるため、スイッチングトランジスタのオン時間が短くても安定した動作を行うことができ、出力電流のダイナミックレンジを広げることができる。

【 0 0 3 4 】

また、前記インダクタへの充電を停止した際に該インダクタに流れるインダクタ電流に比例した電圧を擬似的に生成し、該生成した電圧から、前記出力端子から前記同期整流用スイッチ素子の方向に流れる逆電流の発生兆候又は発生を検出するようにしたことにより、逆電流の発生兆候又は発生を検出する時点の検出電圧を自由に設定することができる。

【発明を実施するための最良の形態】

【0035】

次に、図面に示す実施の形態に基づいて、本発明を詳細に説明する。

第1の実施の形態

図1は、本発明の第1の実施の形態における電流モード制御型スイッチングレギュレータの回路例を示した図である。

図1の電流モード制御型スイッチングレギュレータ（以下、スイッチングレギュレータと呼ぶ）1は、入力端子INに入力された入力電圧 V_{in} を所定の定電圧に降圧して出力電圧 V_{out} として出力端子OUTから負荷（図示せず）に出力する同期整流方式の降圧型スイッチングレギュレータをなしている。

10

【0036】

スイッチングレギュレータ1は、PMOSトランジスタからなるスイッチングトランジスタM1と、NMOSトランジスタからなる同期整流用トランジスタM2と、インダクタL1と、平滑用のコンデンサC1と、出力電圧 V_{out} を分圧して分圧電圧 V_{fb} を生成し出力する出力電圧検出用の抵抗R1、R2とを備えている。更に、スイッチングレギュレータ1は、所定の基準電圧 V_{ref} を生成して出力する基準電圧発生回路2と、前記分圧電圧 V_{fb} と該基準電圧 V_{ref} との電圧差を増幅して誤差電圧 V_e を生成し出力する誤差増幅回路3と、疑似インダクタ回路を用いてスロープ電圧 V_{slope} を生成し出力するスロープ電圧生成回路4とを備えている。

【0037】

20

また、スイッチングレギュレータ1は、誤差増幅回路3からの誤差電圧 V_e とスロープ電圧 V_{slope} との電圧比較を行い、誤差電圧 V_e に応じたパルス幅を有するPWM制御を行うためのパルス信号 S_{pw} を生成して出力するPWMコンパレータ5と、所定のクロック信号CLKを生成して出力する発振回路6と、セット入力端Sに発振回路6からのクロック信号CLKが、リセット入力端RにPWMコンパレータ5からのパルス信号 S_{pw} がそれぞれ入力されたRSフリップフロップ回路7と、該RSフリップフロップ回路7からの出力信号 S_q に応じて、スイッチングトランジスタM1及び同期整流用トランジスタM2のスイッチング制御を行うための制御信号S1及びS2をそれぞれ生成してスイッチングトランジスタM1及び同期整流用トランジスタM2を駆動するドライブ回路8とを備えている。更に、スイッチングレギュレータ1は、出力端子OUTから同期整流用トランジスタM2の方向に流れる逆電流の発生を検出する逆流検出回路9を備えている。

30

【0038】

なお、スイッチングトランジスタM1はスイッチ素子を、同期整流用トランジスタM2は整流素子を、スロープ電圧生成回路4はスロープ電圧生成回路部を、逆流検出回路9は逆流検出回路部をそれぞれなす。また、基準電圧発生回路2、誤差増幅回路3、PWMコンパレータ5、発振回路6、RSフリップフロップ回路7、ドライブ回路8及び抵抗R1、R2はスイッチング制御回路部をなす。また、図1のスイッチングレギュレータ1では、インダクタL1及びコンデンサC1を除く各回路は、1つのICに集積されるようにしてもよい。

【0039】

40

入力電圧 V_{in} と同期整流用トランジスタM2のドレインとの間にはスイッチングトランジスタM1が接続され、同期整流用トランジスタM2のソースは接地電圧GNDに接続されている。スイッチングトランジスタM1のドレインと同期整流用トランジスタM2のドレインとの接続部をLXとすると、接続部LXと出力端子OUTとの間にインダクタL1が接続され、出力端子OUTと接地電圧GNDとの間に抵抗R1と抵抗R2との直列回路及びコンデンサC1が並列に接続されている。抵抗R1と抵抗R2との接続部の電圧である分圧電圧 V_{fb} は誤差増幅回路3の反転入力端に入力され、誤差増幅回路3の非反転入力端には基準電圧 V_{ref} が入力されている。

【0040】

また、PWMコンパレータ5の反転入力端には、誤差増幅回路3からの誤差電圧 V_e が

50

入力され、PWMコンパレータ5の非反転入力端にはスローブ電圧 V_{slope} が入力されている。RSフリップフロップ回路7の出力信号 S_q は、ドライブ回路8に入力され、ドライブ回路8は、入力された信号 S_q に応じて生成した制御信号 S_1 及び S_2 をスイッチングトランジスタ M_1 及び同期整流用トランジスタ M_2 の各ゲートに対応して出力する。制御信号 S_1 は、スローブ電圧生成回路4にも入力され、更に、スローブ電圧生成回路4には、接続部 L_X の電圧 V_{LX} 及び出力電圧 V_{out} がそれぞれ入力されている。

【0041】

逆流検出回路9には、制御信号 S_1 、電圧 V_{LX} 及び出力電圧 V_{out} がそれぞれ入力されており、前記逆電流を検出すると所定の検出信号 R_{iv} をドライブ回路8に出力し、ドライブ回路8は、所定の検出信号 R_{iv} が入力されると、RSフリップフロップ回路7からの出力信号 S_q に関係なく同期整流用トランジスタ M_2 をオフさせて遮断状態にする。

10

このような構成において、発振回路6からRSフリップフロップ回路7のセット入力端 S には、所定の周期でハイレベルになるクロック信号 CLK が入力されており、クロック信号 CLK がハイレベルになるとRSフリップフロップ回路7の出力信号 S_q はハイレベルになる。

【0042】

この場合、ドライブ回路8は、RSフリップフロップ回路7からの出力信号 S_q の信号レベルを反転させたローレベルの制御信号 S_1 及び S_2 をそれぞれ生成して出力し、スイッチングトランジスタ M_1 がオンして導通状態になると共に同期整流用トランジスタ M_2 がオフして遮断状態になる。このとき、インダクタ L_1 とコンデンサ C_1 との直列回路に入力電圧 V_{in} が印加され、インダクタ L_1 に流れる電流であるインダクタ電流 i_L は時間の経過に連れて直線的に増加する。インダクタ電流 i_L が、出力端子 OUT から出力される出力電流 i_{out} よりも大きくなると、コンデンサ C_1 に電荷が蓄積され、出力電圧 V_{out} が上昇する。

20

【0043】

スローブ電圧生成回路4は、インダクタ電流 i_L を検出し、該検出したインダクタ電流 i_L を電圧に変換すると共に、サブハーモニック発振を防止するための補償電圧を生成する。更に、スローブ電圧生成回路4は、インダクタ電流 i_L を変換した電圧に該補償電圧を加算してスローブ電圧 V_{slope} を生成し出力する。スローブ電圧 V_{slope} は、スイッチングトランジスタ M_1 がオンしている間、直線的に上昇する。一方、誤差増幅回路3は、分圧電圧 V_{fb} と基準電圧 V_{ref} との電圧差を増幅して誤差電圧 V_e を生成し出力する。PWMコンパレータ5は、誤差電圧 V_e とスローブ電圧 V_{slope} との電圧比較を行い、スローブ電圧 V_{slope} が誤差電圧 V_e よりも大きくなるとハイレベルの信号 S_{pw} を出力し、RSフリップフロップ回路7をリセットする。このため、RSフリップフロップ回路7の出力信号 S_q はローレベルに戻り、ドライブ回路8は、制御信号 S_1 及び S_2 をそれぞれハイレベルにすることから、スイッチングトランジスタ M_1 はオフして遮断状態になると共に同期整流トランジスタ M_2 はオンして導通状態になる。

30

【0044】

スイッチングトランジスタ M_1 がオフして同期整流トランジスタ M_2 がオンすると、インダクタ L_1 に蓄えられていたエネルギーが放出され、これに伴って、インダクタ電流 i_L は時間と共に直線的に減少する。インダクタ電流 i_L が出力電流 i_{out} よりも小さくなると、コンデンサ C_1 から出力端子 OUT に接続された負荷（図示せず）へ電力が供給され、出力電圧 V_{out} が低下する。発振回路6からのクロック信号 CLK の1周期後にクロック信号 CLK は再びハイレベルになり、スイッチングトランジスタ M_1 がオンすると共に同期整流トランジスタ M_2 がオフしてインダクタ電流 i_L が流れ、出力電圧 V_{out} が上昇する。

40

【0045】

ここで、出力電流 i_{out} が増加すると、出力電圧 V_{out} が低下し誤差増幅回路3からの誤差電圧 V_e が上昇するため、スローブ電圧 V_{slope} が誤差電圧 V_e の電圧値を

50

超えるまでの時間が長くなる。この結果、スイッチングトランジスタM1のオン時間が長くなり、インダクタL1に電力を供給している時間が長くなることから出力電圧Voutは上昇する。逆に、出力電圧Voutが上昇すると、スイッチングトランジスタM1のオン時間が短くなって出力電圧Voutは低下する。このように、出力電圧Voutの変動に応じてスイッチングトランジスタM1と同期整流用トランジスタM2を相補的にオン/オフさせる時間を制御することにより、出力電圧Voutの電圧を安定化させている。

【0046】

図2は、図1のスロープ電圧生成回路4の回路例を示した図である。

図2において、スロープ電圧生成回路4は、インダクタL1に印加されている電圧に比例した電流irampを生成する電流生成回路11、PMOSTランジスタM11、NMOSTランジスタM12～M14、インバータ12及びコンデンサC11で構成され、コンデンサC11は、スイッチングトランジスタM1のオフ期間終了時におけるインダクタ電流iLに比例した電圧を保持するものである。また、電流生成回路11は、演算増幅回路21、PMOSTランジスタM21, M24, M25、NMOSTランジスタM22, M23及び抵抗R21～R23で構成されている。なお、電流生成回路11は第1電流生成回路を、コンデンサC11は第1コンデンサを、PMOSTランジスタM11、NMOSTランジスタM12～M14及びインバータ12は第1制御回路をそれぞれなす。

【0047】

電流生成回路11において、出力電圧Voutと接地電圧GNDとの間に抵抗R21及びR22が直列に接続され、抵抗R21と抵抗R22との接続部から出力電圧Voutを分圧した分圧電圧Vd1が出力される。演算増幅回路21の非反転入力端には分圧電圧Vd1が入力され、演算増幅回路21の出力端はPMOSTランジスタM21のゲートに接続されている。PMOSTランジスタM21のソースは演算増幅回路21の反転入力端に接続されると共に抵抗R23を介して入力電圧Vinに接続されている。

【0048】

また、NMOSTランジスタM22及びM23はカレントミラー回路を形成しており、各ソースがそれぞれ接地電圧GNDに接続されると共に、各ゲートが接続され、該接続部はNMOSTランジスタM22のドレインに接続されている。NMOSTランジスタM22のドレインはPMOSTランジスタM21のドレインに接続されている。PMOSTランジスタM24及びM25はカレントミラー回路を形成しており、各ソースがそれぞれ入力電圧Vinに接続されると共に、各ゲートが接続され、該接続部はPMOSTランジスタM24のドレインに接続されている。PMOSTランジスタM24のドレインはNMOSTランジスタM23のドレインに接続され、PMOSTランジスタM25のドレインから電流irampが出力される。

【0049】

PMOSTランジスタM11のソースはPMOSTランジスタM25のドレインに接続され、PMOSTランジスタM11のドレインはコンデンサC11の一端に接続されており、PMOSTランジスタM11のゲートには制御信号S1が入力されている。コンデンサC11の他端と接地電圧GNDの間にはNMOSTランジスタM13が、コンデンサC11の他端と電圧VLXの間にはNMOSTランジスタM12がそれぞれ接続されており、コンデンサC11の他端、NMOSTランジスタM12及びM13の接続部をLX4とする。

【0050】

NMOSTランジスタM12のゲートには制御信号S1が、NMOSTランジスタM13のゲートにはインバータ12によって制御信号S1の信号レベルが反転された反転信号S1Bがそれぞれ入力されている。PMOSTランジスタM11とコンデンサC11との接続部が、スロープ電圧Vslopeが出力されるスロープ電圧生成回路4の出力端をなしており、該出力端と接地電圧GNDとの間にNMOSTランジスタM14が接続され、NMOSTランジスタM14のゲートには制御信号S1が入力されている。

【0051】

10

20

30

40

50

図 3 は、スローブ電圧生成回路 4 の動作を説明するためのタイミングチャートであり、図 3 を参照しながらスローブ電圧生成回路 4 の動作について説明する。なお、接続部 L X 4 の電圧を V_{LX4} とする。

抵抗 $R_{21} \sim R_{23}$ の抵抗値を $r_{21} \sim r_{23}$ とすると、分圧電圧 V_{d1} は、 $(B \times V_{out})$ となる。B は比例定数であり、 $B = r_{22} / (r_{21} + r_{22})$ である。

【0052】

演算増幅回路 21 の非反転入力端には、出力電圧 V_{out} を抵抗 R_{21} と R_{22} で分圧した $(B \times V_{out})$ の分圧電圧 V_{d1} が入力されている。演算増幅回路 21 は、PMOS トランジスタ M_{21} のソース電圧が、分圧電圧 V_{d1} と等しくなるように、PMOS トランジスタ M_{21} のゲート電圧を制御するため、抵抗 R_{23} の両端電圧 V_{r23} は、下記 (1) 式のようにになる。

10

$$V_{r23} = V_{in} - B \times V_{out} \dots \dots \dots (1)$$

【0053】

このため、抵抗 R_{23} に流れる電流 i_{r23} は、下記 (2) 式のようにになる。

$$i_{r23} = (V_{in} - B \times V_{out}) / r_{23} \dots \dots \dots (2)$$

この電流 i_{r23} が NMOS トランジスタ M_{22} のドレイン電流になり、更にカレントミラー回路を構成している NMOS トランジスタ M_{23} のドレイン電流になる。NMOS トランジスタ M_{23} のドレイン電流は、PMOS トランジスタ M_{24} のドレイン電流でもあり、PMOS トランジスタ M_{24} のドレイン電流もカレントミラー回路を構成している PMOS トランジスタ M_{25} のドレイン電流になって電流 i_{ramp} として出力される。

20

【0054】

すなわち、前記 2 つのカレントミラー回路を合成したミラー比を A とした場合、電流 i_{ramp} は下記 (3) 式のようにになる。

$$i_{ramp} = A \times i_{r23} = A \times (V_{in} - B \times V_{out}) / r_{23} \dots \dots \dots (3)$$

前記 (3) 式から分かるように、電流 i_{ramp} は、入力電圧 V_{in} と出力電圧 V_{out} の電圧差に比例している。電圧生成回路 11 は、制御信号 S_1 の信号レベルに関係なく常に上記のような動作を行う。

【0055】

次に、コンデンサ C_{11} の動作について説明する。

30

制御信号 S_1 がローレベルになってスイッチングトランジスタ M_1 がオンすると、PMOS トランジスタ M_{11} と NMOS トランジスタ M_{13} がそれぞれオンし、NMOS トランジスタ M_{12} と M_{14} がそれぞれオフして遮断状態になる。このため、コンデンサ C_{11} の一端は電圧生成回路 11 の出力端に接続されると共に、接続部 L X 4 は接地電圧 GND に接続され、コンデンサ C_{11} は電流 i_{ramp} で充電され、コンデンサ C_{11} の電圧は直線的に上昇する。コンデンサ C_{11} の容量を c_{11} とし、コンデンサ C_{11} の端子間電圧を V_{c11} とすると、電圧 V_{c11} の上昇速度 $(V_{c11} \times dv/dt)$ は、下記 (4) 式のようにになる。

$$V_{c11} \times dv/dt = i_{ramp} / c_{11} \dots \dots \dots (4)$$

【0056】

40

前記 (4) 式に前記 (3) 式を代入すると、下記 (5) 式のようにになる。

$$V_{c11} \times dv/dt = A \times (V_{in} - B \times V_{out}) / (r_{23} \times c_{11}) \dots \dots \dots (5)$$

すなわち、スローブ電圧 V_{slope} は前記 (5) 式で示した傾斜で上昇する電圧になる。

【0057】

ここで、スローブ電圧生成回路 4 に図 13 で示した従来のスローブ電圧生成回路を使用した場合のスローブ電圧 V_{slope} の傾斜について考える。

スイッチングトランジスタ M_1 がオンしている間におけるインダクタ電流 i_L のアップスローブの傾斜 $(L_1 \times di/dt)$ は、インダクタ L_1 のインダクタンスを L とすると

50

下記(6)式ようになる。

$$L1 \times di/dt = (Vin - Vout) / L \dots \dots \dots (6)$$

【0058】

この電流を電圧に変換するときの係数をA1とすると、インダクタ電流*i_L*を電圧に変換したときの傾斜($L1 \times dv/dt$)は、下記(7)式ようになる。

$$(L1 \times dv/dt) = A1 \times (Vin - Vout) / L \dots \dots \dots (7)$$

また、スイッチングトランジスタM1がオフしている間のインダクタ電流*i_L*のダウンスロープの傾斜($L1 \times di/dt$)は、下記(8)式ようになる。

$$(L1 \times di/dt) = Vout / L \dots \dots \dots (8)$$

この電流を電圧に変換するときの係数をA1とすると、インダクタ電流*i_L*を電圧に変換したときの傾斜($L1 \times dv/dt$)は、下記(9)式ようになる。

$$(L1 \times dv/dt) = A1 \times Vout / L \dots \dots \dots (9)$$

【0059】

サブハーモニック発振を防止するためには、補償ランプのスロープが、ダウンスロープの1/2以上必要なことが知られていることから、補償ランプの傾斜($V_{comp} \times dv/dt$)は、下記(10)式ようになる。

$$(V_{comp} \times dv/dt) > (Vout / L) / 2 \dots \dots \dots (10)$$

スロープ電圧*V_{slope}*の傾斜は、前記(7)式と(10)式を加算した傾斜になるため、スロープ電圧*V_{slope}*の傾斜($V_{slope} \times dv/dt$)は、下記(11)式ようになる。

$$(V_{slope} \times dv/dt) > (L1 \times dv/dt) + (V_{comp} \times dv/dt) \\ > A1 \times (Vin - Vout) / L + A1 \times (Vout / L) / 2 > A1 \times (Vin - Vout / 2) / L \dots \dots \dots (11)$$

【0060】

これに対して、図2のスロープ電圧生成回路4では、下記(12)式で示すように、前記(5)式の右辺を、前記(11)式の右辺よりも大きくすればよいことが分かる。

$$A \times (Vin - B \times Vout) / (r23 \times c11) > A1 \times (Vin - Vout / 2) / L \dots \dots \dots (12)$$

【0061】

前記(12)式の左辺と右辺を比較すると、係数Aが係数A1に、係数Bが1/2に、抵抗R23とコンデンサC11の積がインダクタンスLにそれぞれ対応することが分かる。そこで、 $A > A1$ 、 $B < 1/2$ 、又は $(r23 \times c11) < L$ になるようにすれば、前記(12)式を満足することができる。 $(r23 \times c11) < L$ を満足するには、抵抗R23をより小さい抵抗値にするか、コンデンサC11の容量値をより小さい値にすればよい。

【0062】

$A > A1$ と、 $B < 1/2$ と、抵抗R23をより小さい抵抗値にすることは、すべて電流*i_{ramp}*を大きくするように作用している。すなわち、前記(12)式を満足させるためには、電流*i_{ramp}*を前記(12)式を満足するレベルまで大きくするか、又はコンデンサC11の容量を前記(12)式を満足する値にまで小さくすればよい。言うまでもなく、電流*i_{ramp}*の電流値とコンデンサC11の容量値の両方を変えるようにしてもよい。

【0063】

制御信号S1がハイレベルの場合、言い換えるとスイッチングトランジスタM1がオフしている場合は、PMOSトランジスタM11とNMOSトランジスタM13がそれぞれオフし、NMOSトランジスタM12とM14がそれぞれオンする。このため、コンデンサC11の一端であるスロープ電圧生成回路4の出力端は接地電圧GNDに接続され、コンデンサC11の他端である接続部LX4は接続部LXに接続された状態になる。このことから、コンデンサC11の一端は接地電圧GNDに固定され、コンデンサC11の他端の電圧は接続部LXの電圧V_{LX}に等しくなる。この結果、コンデンサC11には、スイ

10

20

30

40

50

スイッチングトランジスタM1がオンする直前の接続部LXの電圧VLXが保存されることになる。

【0064】

スイッチングトランジスタM1がオフしたときの接続部LXの電圧VLXは、同期整流用トランジスタM2の電圧降下分であり、該電圧はインダクタ電流iLに比例した電圧になる。このため、コンデンサC11には、スイッチングトランジスタM1がオンする直前のインダクタ電流iLの情報が電圧として保存されていることになる。

制御信号S1がローレベルになってスイッチングトランジスタM1がオンすると、コンデンサC11の他端は再び接地電圧GNDに接続されるため、スロープ電圧VslopeはコンデンサC11に保存されていた電圧になり、該電圧に電流irampで充電が行われるため、実際のインダクタ電流iLを使用した場合とまったく同様の制御が行われることになる。

10

【0065】

更に、インダクタ電流iLの検出や、インダクタ電流iLを電圧へ変換する工程が行われないため、図4に示すように、スロープ電圧Vslopeが、立ち上がり部分から直線性の良い波形になるようにすることができる。このようなことから、スイッチングトランジスタM1のオン時間が短い場合のときまで正確に制御することができ、出力電流のダイナミックレンジを大きくすることができる。

【0066】

ここで、図2において、オフセット電圧生成回路13を追加してNMOSTランジスタM14のソースと接地電圧GNDとの間にオフセット電圧Vofを設けるようにしてもよく、このようにした場合、図2は図5のようになり、図3は図6のようになる。

20

図5の場合、制御信号S1がハイレベル、すなわちスイッチングトランジスタM1がオフする場合は、PMOSTランジスタM11とNMOSTランジスタM13がそれぞれオフし、NMOSTランジスタM12とM14がそれぞれオンする。すると、コンデンサC11の一端はオフセット電圧Vofに接続されるため、スロープ電圧Vslopeはオフセット電圧Vofと同じ電圧になる。また、コンデンサC11の他端が接続された接続部LX4は接続部LXに接続された状態になるため、コンデンサC11の両端の電圧は、スイッチングトランジスタM1がオンする直前の接続部LXの電圧VLXとオフセット電圧Vofを加算した電圧になる。

30

【0067】

制御信号S1がローレベルになりスイッチングトランジスタM1がオンすると、接続部LX4は再び接地電圧GNDに接続されるため、スロープ電圧Vslopeは、コンデンサC11に保存されていた電圧、すなわち(V LX + V of)になり、該電圧に電流生成回路11からの電流irampで充電が行われる。

このように、図5では、スロープ電圧Vslopeにオフセット電圧Vofが加算されているため、スロープ電圧Vslopeが0Vまで低下することがない。例えば、出力電圧Voutが目標電圧以上になった場合は、誤差増幅回路3から出力される誤差電圧Veは、ほぼ接地電圧GNDになった状態になってしまう。

【0068】

40

また、スイッチングレギュレータ1は不連続モードで作動するため、スイッチングトランジスタM1がオフしている期間中に接続部LXの電圧VLXが0Vまで上昇する。このような条件で、スロープ電圧Vslopeが0Vから立ち上がると、一瞬PWMコンパレータ5の両入力端にそれぞれ0Vが入力され、PWMコンパレータ5の出力信号が不定になって誤動作の原因になる。そこで、図5のようにして、スロープ電圧Vslopeが0Vまで低下しないようにコンデンサC11にオフセット電圧Vofを与えることにより、出力電圧Voutが目標電圧以上になった場合で安定した動作を行うことができるようになる。

【0069】

次に、図1の逆流検出回路9について説明する。

50

逆流検出回路 9 は、出力端子 OUT から出力される出力電流 i_{out} が小さくなり、スイッチングトランジスタ M1 のオフ期間にインダクタ L1 のエネルギーがすべて放出され、逆に出力端子 OUT 側からインダクタ L1 と同期整流用トランジスタ M2 を介して接地電圧 GND に電流が流れる逆電流を検出する回路である。該逆電流が発生すると、せっかくコンデンサ C1 に蓄えたエネルギーが無駄に消費されてしまうため、電力変換効率を大幅に低下させる。このため、逆流検出回路 9 は、前記逆電流の発生を検出すると同期整流用トランジスタ M2 を強制的にオフさせて前記逆電流を遮断するものである。

【0070】

図 7 は、図 1 の逆流検出回路 9 の回路例を示した図である。

図 7 において、逆流検出回路 9 は、インダクタ L1 に印加されている電圧に比例した電流 i_r を生成する電流生成回路 31、コンパレータ 32、PMOS トランジスタ M31, M32、NMOS トランジスタ M33, M34 及びコンデンサ C31 で構成され、コンデンサ C31 は、スイッチングトランジスタ M1 のオン期間終了時におけるインダクタ電流 i_L に比例した電圧を保持するものである。また、電流生成回路 31 は、演算増幅回路 41、NMOS トランジスタ M41, M44, M45、PMOS トランジスタ M42, M43 及び抵抗 R41 で構成されている。なお、電流生成回路 31 は第 2 電流生成回路を、コンデンサ C31 は第 2 コンデンサを、コンパレータ 32、PMOS トランジスタ M31, M32 及び NMOS トランジスタ M33, M34 は第 2 制御回路をそれぞれなす。

【0071】

電流生成回路 31 において、演算増幅回路 41 の非反転入力端には出力電圧 V_{out} が入力され、演算増幅回路 41 の出力端は NMOS トランジスタ M41 のゲートに接続されている。NMOS トランジスタ M41 のソースと接地電圧 GND との間には抵抗 R41 が接続され、演算増幅回路 41 の反転入力端は NMOS トランジスタ M41 のソースに接続されている。PMOS トランジスタ M42 及び M43 は、カレントミラー回路を形成しており、各ソースがそれぞれ入力電圧 V_{in} に接続され、各ゲートが接続され該接続部は PMOS トランジスタ M42 のドレインに接続されている。PMOS トランジスタ M42 のドレインは NMOS トランジスタ M41 のドレインに接続されている。

【0072】

また、NMOS トランジスタ M44 及び M45 は、カレントミラー回路を形成しており、各ソースが負の電圧 -V にそれぞれ接続され、各ゲートが接続され該接続部は NMOS トランジスタ M44 のドレインに接続されている。また、NMOS トランジスタ M44 のドレインは PMOS トランジスタ M43 のドレインに接続され、NMOS トランジスタ M45 のドレインは、電流生成回路 31 の出力端をなし、電流 i_r が流れる。

【0073】

NMOS トランジスタ M33 のソースは NMOS トランジスタ M45 のドレインに接続され、NMOS トランジスタ M33 のドレインはコンデンサ C31 の一端に接続されており、NMOS トランジスタ M33 のゲートには制御信号 S1 が入力されている。コンデンサ C31 の他端と接地電圧 GND との間には NMOS トランジスタ M34 が、コンデンサ C11 の他端と電圧 V_{LX} との間には PMOS トランジスタ M31 がそれぞれ接続されており、コンデンサ C11 の他端、PMOS トランジスタ M31 及び NMOS トランジスタ M34 の接続部を LX9 とする。

【0074】

また、入力電圧 V_{in} とコンデンサ C31 の一端との間に PMOS トランジスタ M32 が接続され、PMOS トランジスタ M31, M32 及び NMOS トランジスタ M34 の各ゲートにはそれぞれ制御信号 S1 が入力されている。コンパレータ 32 において、非反転入力端は NMOS トランジスタ M33 と NMOS トランジスタ M45 との接続部に接続され、反転入力端は接地電圧 GND に接続され、出力端は、検出信号 R_{iv} が出力される逆流検出回路 9 の出力端をなしている。

【0075】

図 8 は、逆流検出回路 9 の動作を説明するためのタイミングチャートであり、図 8 を参

照しながら逆流検出回路 9 の動作について説明する。なお、接続部 L X 9 の電圧を V_{LX} とし、コンデンサ C 3 1 の一端と N M O S トランジスタ M 3 3 の接続部の電圧を $V_{r i v}$ とする。また、抵抗 R 4 1 の抵抗値を r_{41} とする。

演算増幅回路 4 1 の非反転入力端には出力電圧 V_{out} が入力されており、演算増幅回路 4 1 は、N M O S トランジスタ M 4 1 のソース電圧が出力電圧 V_{out} に等しくなるように、N M O S トランジスタ M 4 1 のゲート電圧を制御する。このため、抵抗 R 4 1 の両端の電圧 V_{r41} は出力電圧 V_{out} と等しくなり、抵抗 R 4 1 に流れる電流 i_{r41} は、下記 (1 3) 式のようになる。

$$i_{r41} = V_{out} / r_{41} \dots \dots \dots (1 3)$$

【 0 0 7 6 】

10

電流 i_{r41} が N M O S トランジスタ M 4 1 と P M O S トランジスタ M 4 2 のドレイン電流になり、更にカレントミラー回路を構成している P M O S トランジスタ M 4 3 のドレイン電流になる。P M O S トランジスタ M 4 3 のドレイン電流は、N M O S トランジスタ M 4 4 のドレイン電流でもあり、N M O S トランジスタ M 4 4 のドレイン電流は、カレントミラー回路を構成している N M O S トランジスタ M 4 5 のドレイン電流、すなわち電流 i_r となって出力される。2つのカレントミラー回路を合成したミラー比を A_2 とした場合は、電流 i_r は下記 (1 4) 式のようになる。

$$i_r = A_2 \times i_{r41} = A_2 \times V_{out} / r_{41} \dots \dots \dots (1 4)$$

前記 (1 4) 式から分かるように、電流 i_r は、出力電圧 V_{out} に比例している。電流生成回 3 1 は、制御信号 S 1 の信号レベルに関係なく常に上記のような動作を行う。

20

【 0 0 7 7 】

次に、コンデンサ C 3 1 の動作について説明する。

制御信号 S 1 がローレベルである場合、言い換えるとスイッチングトランジスタ M 1 がオンしている場合は、P M O S トランジスタ M 3 1 と M 3 2 がそれぞれオンし、N M O S トランジスタ M 3 3 と M 3 4 がそれぞれオフして遮断状態になる。このため、コンデンサ C 3 1 の一端は入力電圧 V_{in} に接続され、コンデンサ C 3 1 の他端である接続部 L X 9 は接続部 L X に接続された状態になる。このため、コンデンサ C 3 1 には、スイッチングトランジスタ M 1 がオフする直前の接続部 L X の電圧 V_{LX} が保存される。

【 0 0 7 8 】

30

スイッチングトランジスタ M 1 がオンしているときの接続部 L X の電圧 V_{LX} は、スイッチングトランジスタ M 1 による電圧降下分であり、該電圧はインダクタ電流 i_L に比例している。このため、コンデンサ C 3 1 には、スイッチングトランジスタ M 1 がオフする直前のインダクタ電流 i_L の情報が電圧として保存されていることになる。

制御信号 S 1 がハイレベルになってスイッチングトランジスタ M 1 がオフすると、N M O S トランジスタ M 3 3 と M 3 4 がそれぞれオンし、P M O S トランジスタ M 3 1 と M 3 2 がそれぞれオフして遮断状態になる。このため、コンデンサ C 3 1 の一端は電流生成回路 3 1 の出力端に接続され、接続部 L X 9 は接地された状態になる。

【 0 0 7 9 】

40

コンデンサ C 3 1 の電荷は電流 i_r で放電されることから、コンデンサ C 3 1 の電圧は直線的に低下する。コンデンサ C 3 1 の端子間電圧を V_{c31} とし、コンデンサ C 3 1 の容量を c_{31} とすると、電圧 V_{c31} の低下速度 ($V_{c31} \times d v / d t$) は、下記 (1 5) 式のようになる。

$$(V_{c31} \times d v / d t) = i_r / c_{31} \dots \dots \dots (1 5)$$

前記 (1 5) 式を前記 (1 4) 式に代入すると、下記 (1 6) 式のようになる。

$$(V_{c31} \times d v / d t) = A_2 \times V_{out} / r_{31} \dots \dots \dots (1 6)$$

すなわち、コンデンサ C 3 1 の電圧 V_{c31} は、前記 (1 6) 式に示す傾斜で低下する。

【 0 0 8 0 】

スイッチングトランジスタ M 1 がオフする直前にコンデンサ C 3 1 に蓄えられていた電荷によるコンデンサ C 3 1 の電圧 V_{c31} は、インダクタ電流 i_L に比例した電圧である

50

ため、コンデンサC 3 1に蓄えられていた電荷がすべて放電されたとき、インダクタ電流 i_L が0アンペアになった状態と一致する。このようなことから、コンパレータ3 2は、コンデンサC 3 1の一端の電圧 $V_{r i v}$ が0 V以下になったことを検出すると、逆流検出信号 $R i v$ をハイレベルにする。ドライブ回路8は、ハイレベルの逆流検出信号 $R i v$ が入力されると、制御信号S 2をローレベルにして、同期整流用トランジスタM 2を強制的にオフさせて、逆電流の発生を防止する。

【0081】

ここで、図7において、バイアス電圧生成回路3 3を追加してNMOSトランジスタM 3 4のソースと接地電圧GNDとの間にバイアス電圧 $V_{b i}$ を設け、NMOSトランジスタM 4 4及びM 4 5の各ソースをそれぞれ接地電圧GNDに接続するようにしてもよく、このようにした場合、図7は図9のようになり、図8は図10のようになる。

制御信号S 1がローレベルになってスイッチングトランジスタM 1がオンした場合の動作は、図7の回路と同じであるのでその説明を省略する。

【0082】

制御信号S 1がハイレベルになってスイッチングトランジスタM 1がオフすると、NMOSトランジスタM 3 3とM 3 4がそれぞれオンし、PMOSトランジスタM 3 1とM 3 2がそれぞれオフする。すると、コンデンサC 3 1の一端は電流生成回路3 1の出力端に接続され、コンデンサC 3 1の他端が接続された接続部L X 9はバイアス電圧 $V_{b i}$ に接続された状態になる。このため、コンデンサC 3 1の一端の電圧 $V_{r i v}$ はコンデンサC 3 1の端子間電圧 $V_{c 3 1}$ にバイアス電圧 $V_{b i}$ を加えた電圧になる。

【0083】

このようなことから、コンデンサC 3 1の電荷が電流 i_r で放電され、コンデンサC 3 1の電荷が0になったときのコンデンサC 3 1の一端の電圧 $V_{r i v}$ は、バイアス電圧 $V_{b i}$ に等しくなる。コンパレータ3 2は、電圧 $V_{r i v}$ がバイアス電圧 $V_{b i}$ 以下になると、逆流検出信号 $R i v$ をハイレベルにする。このように、バイアス電圧 $V_{b i}$ を設けることにより、負電圧 $-V$ が不要になり、回路の簡素化を図ることができると共に、バイアス電圧 $V_{b i}$ の設定によって、逆流検出レベルを自由に設定することができる。

【0084】

このように、本第1の実施の形態における電流モード制御型スイッチングレギュレータは、インダクタL 1に流れるインダクタ電流 i_L に比例した電圧を擬似的に生成する疑似インダクタ回路をなすようにスロープ電圧生成回路4を形成し、スロープ電圧生成回路4の出力電圧に基づいてスイッチングトランジスタM 1及び同期整流用トランジスタM 2の動作制御を行うようにしたことから、遅れが小さく、直線性のよいスロープ電圧 $V_{s l o p e}$ を生成することができ、スイッチングトランジスタM 1のオン時間が短くても安定した動作を行うことができ、出力電流のダイナミックレンジを広げることができる。

【0085】

また、逆流検出回路9においても前記疑似インダクタ回路をなすように形成したことから、逆流検出レベルを自由に設定することができる。

なお、前記説明では、同期整流方式の降圧型スイッチングレギュレータを例にして説明したが、これは一例であり、本願発明は、同期整流用トランジスタM 2の代わりにダイオードを使用した非同期整流方式の降圧型スイッチングレギュレータや、昇圧型スイッチングレギュレータにも適用することができる。

【図面の簡単な説明】

【0086】

【図1】本発明の第1の実施の形態における電流モード制御型スイッチングレギュレータの回路例を示した図である。

【図2】図1のスロープ電圧生成回路4の回路例を示した図である。

【図3】図2のスロープ電圧生成回路4の動作例を示したタイミングチャートである。

【図4】図2のスロープ電圧生成回路4で生成されたスロープ電圧 $V_{s l o p e}$ の波形を拡大した図である。

10

20

30

40

50

- 【図 5】図 1 のスローブ電圧生成回路 4 の他の回路例を示した図である。
- 【図 6】図 5 のスローブ電圧生成回路 4 の動作例を示したタイミングチャートである。
- 【図 7】図 1 の逆流検出回路 9 の回路例を示した図である。
- 【図 8】図 7 の逆流検出回路 9 の動作例を示したタイミングチャートである。
- 【図 9】図 1 の逆流検出回路 9 の他の回路例を示した図である。
- 【図 10】図 9 の逆流検出回路 9 の動作例を示したタイミングチャートである。
- 【図 11】従来の電流モード制御型スイッチングレギュレータの例を示したブロック図である。
- 【図 12】図 11 のスイッチングレギュレータの動作例を示したタイミングチャートである。
- 【図 13】図 11 のスローブ電圧生成回路 120 の回路例を示した図である。
- 【図 14】図 11 のスローブ電圧生成回路 120 で生成されたスローブ電圧 V_{slp} の波形を拡大した図である。

10

20

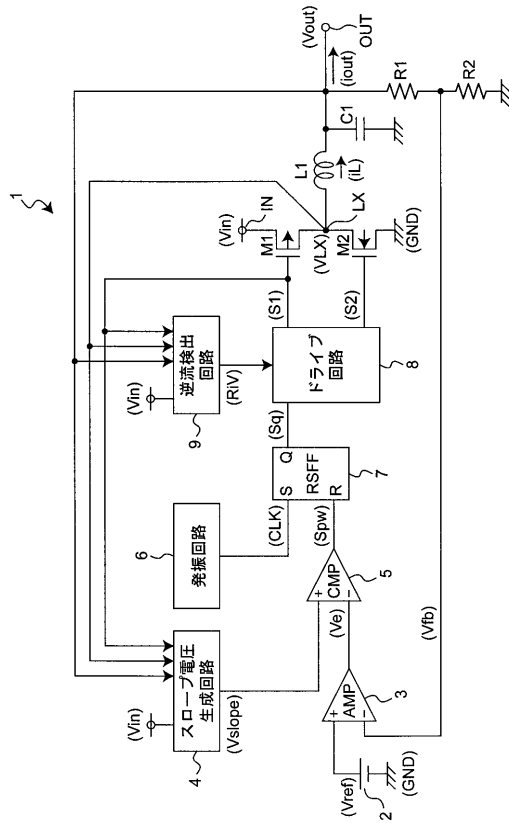
30

【符号の説明】

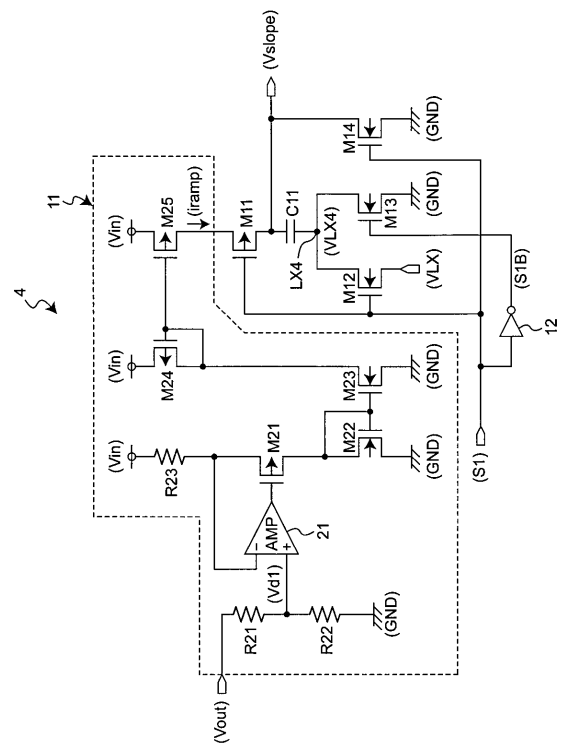
【0087】

- 1 スwitchングレギュレータ
- 2 基準電圧発生回路
- 3 誤差増幅回路
- 4 スローブ電圧生成回路
- 5 PWMコンパレータ
- 6 発振回路
- 7 RFフリップフロップ回路
- 8 ドライブ回路
- 9 逆流検出回路
- 11, 31 電流生成回路
- 12 インバータ
- 13 オフセット電圧生成回路
- 32 コンパレータ
- 33 バイアス電圧生成回路
- M1 スwitchングトランジスタ
- M2 同期整流用トランジスタ
- M11, M31, M32 PMOSトランジスタ
- M12 ~ M14, M33, M34 NMOSトランジスタ
- L1 インダクタ
- C1, C11, C31 コンデンサ
- R1, R2 抵抗

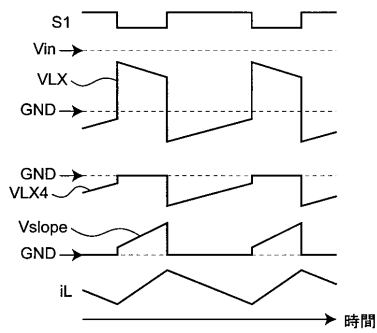
【図 1】



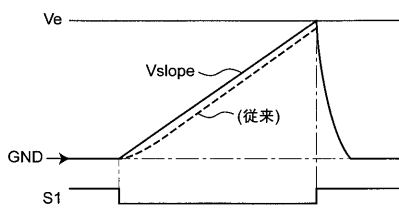
【図 2】



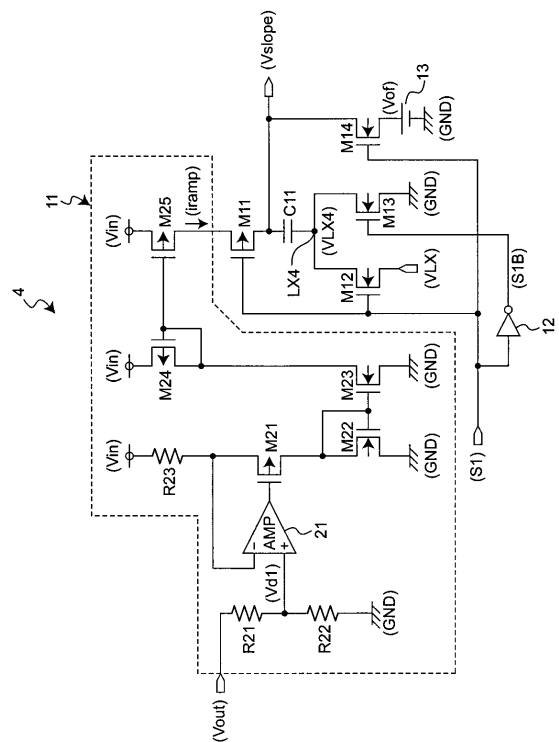
【図 3】



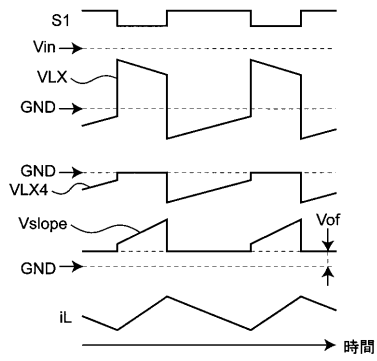
【図 4】



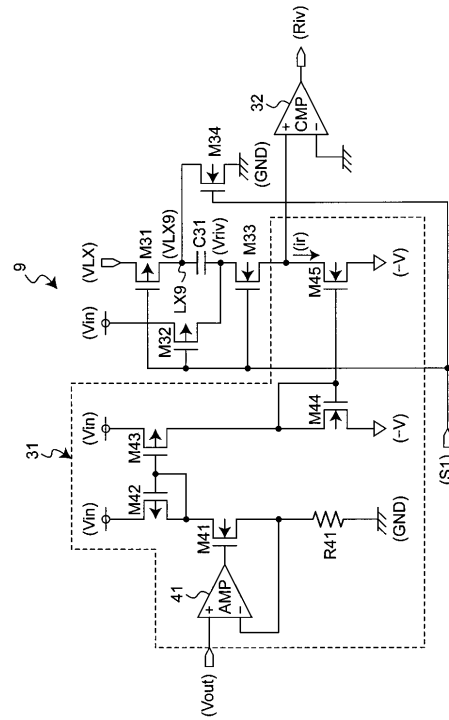
【図 5】



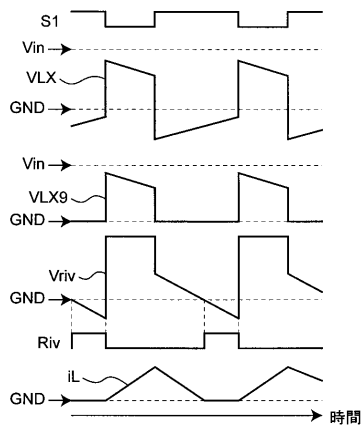
【図 6】



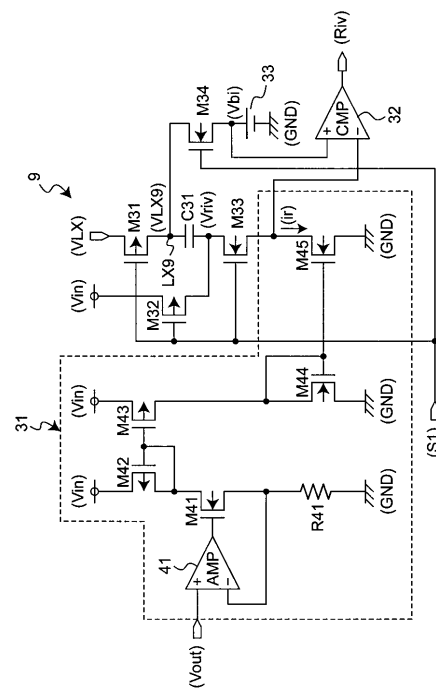
【図 7】



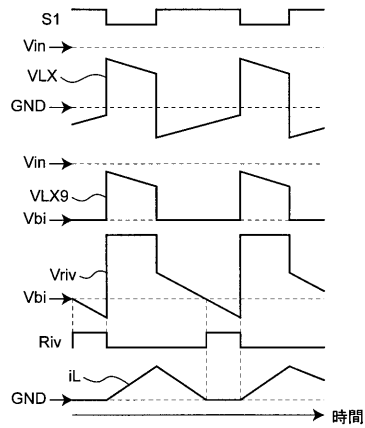
【図 8】



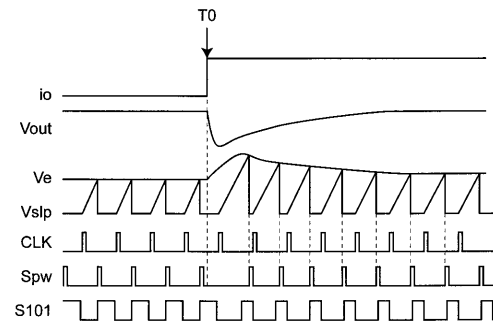
【図 9】



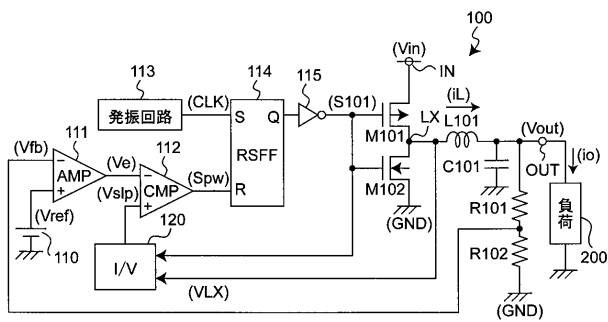
【図 10】



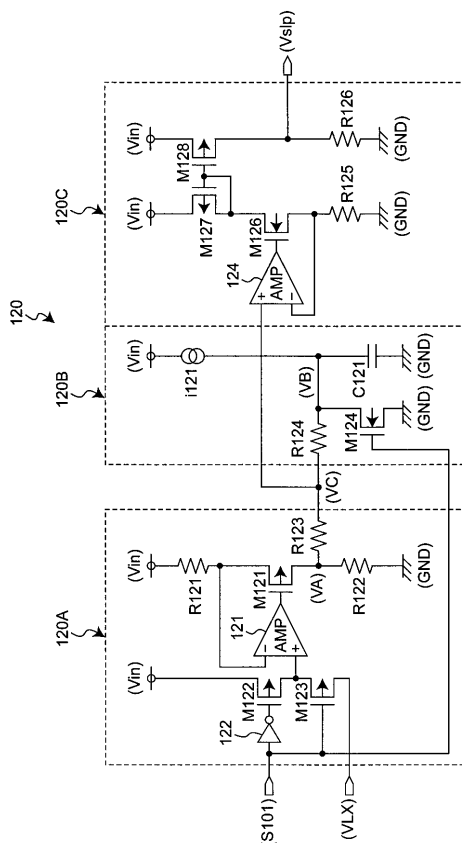
【図 12】



【図 11】



【図 13】



【図 14】

