



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년11월10일
 (11) 등록번호 10-0867921
 (24) 등록일자 2008년11월04일

(51) Int. Cl.

H01L 29/786 (2006.01)

(21) 출원번호 10-2006-0119085
 (22) 출원일자 2006년11월29일
 심사청구일자 2006년11월29일
 (65) 공개번호 10-2008-0048734
 (43) 공개일자 2008년06월03일
 (56) 선행기술조사문헌

KR1020020065388 A

(뒷면에 계속)

전체 청구항 수 : 총 7 항

심사관 : 최광섭

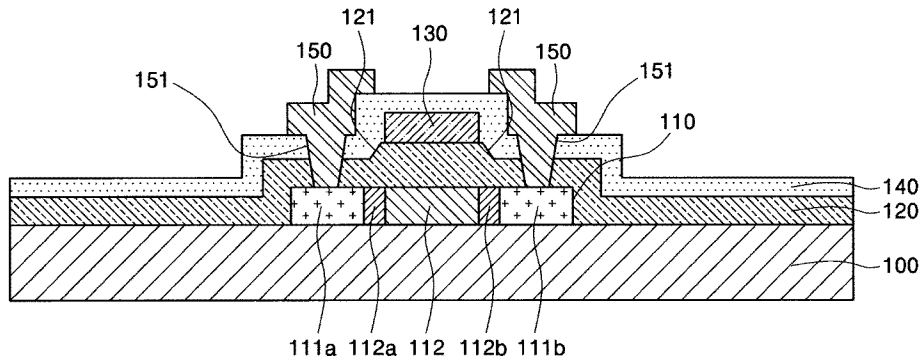
(54) 박막 트랜지스터의 제조방법

(57) 요약

본 발명은 박막 트랜지스터에 관한 것으로 기판 상에 형성되면서 소스/드레인 영역과 채널영역 사이에 엘디디 영역을 갖는 반도체층; 상기 반도체층 상에 형성되며, 테이퍼진 단차영역을 구비하는 게이트 절연막; 상기 게이트 절연막 상에 상기 반도체층과 중첩하여 형성되는 게이트 전극; 상기 게이트 전극 상에 형성되는 층간 절연막; 및 상기 게이트 절연막 및 층간 절연막을 관통하는 콘택 홀을 통하여 상기 소스/드레인 영역과 접촉하는 소스/드레인 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터를 제공한다.

상기 테이퍼는 상기 게이트 절연막의 두께차이에 의한 단차영역에 형성되므로 상기 테이퍼의 각도를 제어하여 엘디디 영역 도핑 효율성을 개선할 수 있으며, 상기 게이트 절연막 상부에 층간 절연막 형성 시 스텝 커버리지를 향상시킬 수도 있다.

대표도



(56) 선행기술조사문헌
KR1020020041782 A
KR1020050117128 A
JP14-313810 A
KR1020020035461 A

특허청구의 범위

청구항 1

기판을 제공하고,

상기 기판상에 반도체층 패턴을 형성하고,

상기 반도체층 패턴을 포함하는 기판 전면에 게이트 절연막을 형성하고,

상기 게이트 절연막 상에 게이트 전극층을 형성하고,

제1단계 식각공정을 진행하여 상기 게이트 전극층의 상기 반도체층 패턴의 채널영역으로 예정되는 영역과 대응되는 영역을 제외한 영역을 일정두께로 식각하고,

제2단계 식각공정을 진행하여 상기 일정두께로 식각된 게이트 전극층을 전부 식각하여 게이트 전극을 형성하고, 이와 동시에 상기 일정두께로 식각된 게이트 전극층과 대응되는 영역의 게이트 절연막을 일정두께로 식각하는 것을 포함하되,

상기 제2단계 식각공정에 의하여, 상기 게이트 절연막은 상기 게이트 전극의 에지부와 접촉하는 영역으로부터 상기 게이트 전극이 상기 게이트 절연막과 접촉하지 않는 영역 방향으로 일정영역에 테이퍼진 단차영역이 형성되는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 2

제1항에 있어서,

상기 게이트 절연막을 형성한 이후에, 상기 반도체층 패턴 상에 채널영역으로 예정되는 영역과 대응하는 영역에 포토레지스트 막을 형성하고, 상기 포토레지스트 막을 마스크로 하여, 불순물을 주입하여 소오스/드레인 영역을 형성하는 것을 더 포함하는 박막트랜지스터의 제조방법.

청구항 3

제1항에 있어서,

상기 제2단계 식각공정을 진행한 이후에, 상기 게이트 전극을 마스크로 하여 불순물을 주입하되, 상기 테이퍼진 단차영역이 형성된 게이트 절연막과 대응하는 상기 반도체층의 패턴에는 엘디디 영역을 형성하는 것을 더 포함하는 박막트랜지스터의 제조방법.

청구항 4

제1항에 있어서,

상기 제1단계 식각공정은 SF₆와 CF₄ 기체를 사용하여 100m Torr 내지 200m Torr의 공정압력의 조건으로 진행하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 5

제1항에 있어서,

상기 제2단계 식각공정은 Cl₂ 기체를 사용하여 50m Torr 내지 100m Torr의 공정압력의 조건으로 진행하는 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 6

제3항에 있어서,

상기 테이퍼진 단차영역의 넓이는 상기 엘디디 영역의 넓이보다 작거나 동일한 것을 특징으로 하는 박막트랜지스터의 제조방법.

청구항 7

제1항에 있어서,

상기 테이퍼는 1.2도 이상 90도 미만의 각도로 형성되는 것을 특징으로 하는 박막트랜지스터의 제조방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <9> 본 발명은 박막 트랜지스터에 관한 것으로 보다 상세하게는 게이트 절연막의 두께차이에 의한 단차영역에 테이퍼를 형성하는 박막 트랜지스터에 관한 것이다.
- <10> 일반적으로, 평판 표시 장치는 구동방법에 따라 수동(Passive Matrix; PM) 구동 방식과 능동(Active Matrix; AM) 구동 방식으로 나누어지는데, 상기 수동 구동방식은 양극과 음극을 매트릭스 방식으로 교차 배열하여 양극과 음극이 교차되는 부분인 화소영역에서 빛을 발광하는데 비하여, 상기 능동 구동 방식은 각 화소마다 위치하는 박막 트랜지스터(Thin Film Transistor; TFT)를 이용해 동작을 제어하여 발광하는 특징이 있다. 상기 박막 트랜지스터는 액정표시장치(Liquid Crystal Display; LCD), 유기 전계 발광 표시장치(Organic Light Emitting Diode display; OLED) 등에 적용되고 있으며, 기판 상에 반도체층, 게이트 절연막, 게이트 전극, 층간 절연막, 소스/드레인 전극의 적층구조로 이루어진다.
- <11> 이러한, 상기 박막 트랜지스터는 지속적인 기술의 발전에 따라 고집적화가 진행되고 있으며, 크기를 축소하기 위하여 상기 반도체층의 소스/드레인 영역사이에 형성되는 채널영역의 길이를 짧게 하고 있으나, 이러한 채널영역의 길이 감소는 결국, 상기 드레인과 채널사이에 급격하게 높은 전계를 형성하여, 높은 에너지를 갖는 핫 캐리어(Hot carrier)를 발생시킨다.
- <12> 이 때, 상기 핫 캐리어는 누설전류를 발생하며 게이트 절연막으로 주입되어 상기 게이트 절연막을 손상시킬 뿐만 아니라 트랩을 유발하여 열화의 문제를 야기시킨다. 따라서, 이러한 상기 핫 캐리어 발생을 방지하기 위하여 상기 채널영역과 소스/드레인 영역 사이에 저농도 불순물을 주입하여 상기 소스/드레인 영역보다 저농도로 도핑된 고저항의 LDD(Lightly Doped Drain)영역을 형성 할 수 있다.
- <13> 이 때, 상기 엘디디 영역은 일정 가속전압으로 저농도 이온 주입 시 게이트 절연막의 두께에 의해 도핑 효율성이 저하되지만, 상기 게이트 절연막의 두께를 감소시킬 경우, 누설전류와 항복전압과 같은 박막 트랜지스터의 특성을 저하시키는 현상을 야기하여 일정 임계치 이상의 두께를 갖는 게이트 절연막을 형성하여야 한다.
- <14> 이와 같은 문제점은 상기 게이트 절연막의 두께를 상이하게 하여 채널영역과 중첩하는 게이트 절연막의 두께보다 엘디디 도핑영역과 중첩되는 게이트 절연막의 두께를 얇게 함으로써, 엘디디 도핑영역의 효율성을 확보할 수 있으나, 상기 게이트 절연막의 두께차이에 의한 단차는 층간절연막 증착 시 스텝 커버리지를 저하시켜 불균일한 층간 절연막 형성으로 단선과 같은 문제를 발생시킨다.

발명이 이루고자 하는 기술적 과제

- <15> 따라서, 본 발명은 상기와 같은 종래 기술의 제반 문제점을 해결하기 위한 것으로, 게이트 절연막의 두께차이에 의한 단차영역을 테이퍼지도록 하여, 엘디디 도핑 효율성을 개선하고, 층간절연막 증착시 스텝 커버리지를 개선하는데 그 목적이 있다.

발명의 구성 및 작용

- <16> 본 발명의 상기 목적은 기판 상에 형성되면서 소스/드레인 영역과 채널영역 사이에 엘디디 영역을 갖는 반도체층;
- <17> 상기 반도체층 상에 형성되며, 테이퍼진 단차영역을 구비하는 게이트 절연막;
- <18> 상기 게이트 절연막 상에 상기 반도체층과 중첩하여 형성되는 게이트 전극;

- <19> 상기 게이트 전극 상에 형성되는 층간 절연막; 및
- <20> 상기 게이트 절연막 및 층간 절연막을 관통하는 콘택 홀을 통하여 상기 소스/드레인 영역과 접촉하는 소스/드레인 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터에 의해 달성된다.
- <21> 본 발명의 상기 목적과 기술적 구성 및 그에 따른 작용효과에 관한 자세한 사항은 본 발명의 바람직한 실시 예를 도시하고 있는 도면을 참조한 이하 상세한 설명에 의해 보다 명확하게 이해될 것이다.
- <22> 도 1a 내지 도 1e는 본 발명에 의한 박막 트랜지스터의 제조공정을 나타내는 단면도이다.
- <23> 먼저, 도 1a는 유리 또는 플라스틱 재질의 절연 기판(100) 상에 버퍼층(미도시)이 형성될 수 있고, 상기 버퍼층(미도시)은 상기 기판(100)에서 발생하는 수분 또는 불순물의 확산을 방지하거나 결정화 시 열 전달을 조절함으로써 반도체층(110)의 결정화가 잘 이루어질 수 있도록 하는 역할을 한다.
- <24> 다음으로, 상기 버퍼층(미도시) 상에 비정질 실리콘을 형성하는데, 상기 비정질 실리콘층은 결정화하여 다결정 실리콘으로 형성하는 것이 바람직하며, 상기 비정질 실리콘층을 결정화하는 것은 ELA(Excimer Laser Annealing), SLS (Sequential Lateral Solidification), MIC(Metal Induced Crystallization) 또는 MILC(Metal Induced Later Crystallization)법 등을 사용할 수 있다.
- <25> 다음으로, 결정화된 상기 다결정 실리콘층을 패터닝하여 일정 패턴의 반도체층(110)을 형성한다. 이 때, 상기 비정질 실리콘은 화학적 기상 증착법 또는 물리적 기상증착법을 이용할 수 있으며, 상기 비정질 실리콘을 형성할 때, 또는 형성한 후 탈수소화 처리를 하여 수소 농도를 낮추는 공정을 진행할 수 있다.
- <26> 다음으로, 상기 반도체층(110)이 형성된 기판 상면에 게이트 절연막(120)을 형성하고, 상기 게이트 절연막(120) 상에 일정패턴의 포토 레지스트층(180)을 형성한 후 일정 가속전압으로 고농도 불순물 이온(200)을 주입하는 공정을 진행하여 상기 반도체층(110)에 소스/드레인(111a, 111b) 영역을 형성한다.
- <27> 다음으로, 도 1b를 참조하면, 상기 레지스트층(180)을 제거한 후, MoW, Al/Cu 등으로 게이트 전극층을 형성하고, SF₆와 CF₄ 기체를 사용하여 100m Torr 내지 200m Torr의 공정압력 범위 내에서 1단계 식각(210)을 진행하여 일정영역의 게이트 전극(130)을 제외한 게이트 전극층을 게이트 전극(130) 두께의 2/3만큼 식각한다.
- <28> 다음으로, 도 1c를 참조하면, Cl₂ 기체를 사용하여 50m Torr 내지 100m Torr의 공정압력 범위 내에서 2단계 식각(211)을 진행하여, 상기 게이트 전극(130) 두께의 2/3만큼 식각되고 남은 게이트 전극층과 상기 게이트 전극층과 중첩되는 영역의 게이트 절연막(120)을 일정두께로 식각한다. 따라서, 상기 게이트 절연막(120)은 게이트 전극(130)과 중첩하지 않는 영역의 두께가 게이트 전극(130)과 중첩하는 영역의 두께보다 얇게 형성되어 두께차이에 의한 단차를 형성하게 되고, 이 때, 상기 게이트 전극(130)과 게이트 절연막(120)이 접촉하는 단차 영역에서는 식각률 감소로 인한 일정각도의 테이퍼(121)가 형성된다.
- <29> 다음으로, 도 1d를 참조하면, 상기 게이트 전극(130)을 마스크로 사용하여 일정 가속전압으로 저농도 불순물 이온(201)을 주입하는 공정을 진행하므로, 상기 반도체층(110)의 소스/드레인 영역(111a, 111b)과 채널영역(112) 사이에 테이퍼(121)와 중첩되는 엘디디 영역(112a, 112b)을 형성한다.
- <30> 이 때, 본 발명에 의한 도 1c의 A영역 SEM사진인 도 2를 참조하면, 게이트 절연막(120)과 게이트 전극(130)이 접촉하는 단차 영역에서 형성되는 테이퍼(121)를 일정 각도의 테이퍼 각도(121a)로 제어하여 엘디디 도핑 효율성을 개선할 수 있다. 상기 테이퍼 각도(121a)는 테이퍼(121) 형성 시 용이한 최저각인 1.2도에서 테이퍼(121)가 수직형태가 되는 90도까지 조절할 수 있는데, 상기 테이퍼 각도의 범위 내에서 테이퍼 각도(121a)를 작게 할수록 게이트 절연막(120) 상에 층간 절연막(130) 형성 시 스텝 커버리가 개선되어 균일한 증착으로 인해 하부에 형성된 소자들을 보호하고 전기적으로 안정된 절연 역할을 할 수 있다. 반대로 상기 테이퍼 각도의 범위 내에서 테이퍼 각도(121a)를 크게 할수록 게이트 절연막(130)의 두께는 얇아져서 엘디디 도핑 시 효율성은 향상되는데, 바람직하게는 상기 테이퍼(121)의 넓이가 상기 엘디디 영역(112a, 112b)의 넓이보다 작거나 동일한 범위 내에서 테이퍼 각도(121a)를 조절할 수 있다.
- <31> 다음으로, 도 1e를 참조하면, 게이트 전극(130) 상부 전면에 층간 절연막(140)을 형성하고, 상기 층간 절연막(140)과 게이트 절연막(120)을 관통하여 반도체층(110)의 소스/드레인 영역(111a, 111b)이 노출되도록 콘택 홀(151)을 형성하여, 상기 층간 절연막(140) 상에 상기 콘택 홀(151)과 연결되는 일정패턴의 소스/드레인 전극(150)을 형성한다.

<32> 한편, 상기 버퍼층(미도시), 게이트 절연막(120) 및 층간 절연막(140)은 SiO_2 또는 SiN_x 로 형성될 수 있으며, 이들로 구성된 복수의 층으로도 이루어질 수 있다.

<33> 본 발명은 이상에서 살펴본 바와 같이 도시하고 설명하였으나, 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

발명의 효과

<34> 따라서, 본 발명의 박막 트랜지스터는 게이트 절연막 두께차이에 의한 단차영역을 테이퍼지도록 함으로써, 상기 테이퍼의 각도 제어를 통해 엘디디 영역 도핑 시 효율성을 개선하고, 층간 절연막의 스텝 커버리지를 향상 시킬 수 있다.

도면의 간단한 설명

<1> 도 1a 내지 도 1e는 본 발명에 의한 박막 트랜지스터의 제조공정을 나타내는 단면도이다.

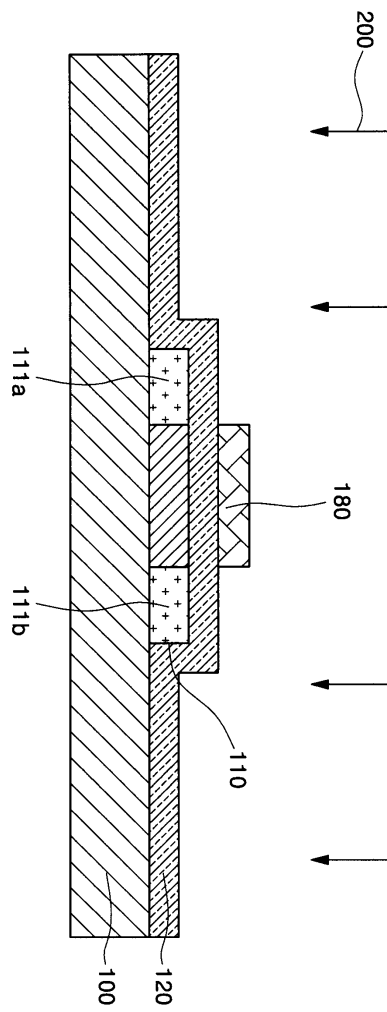
<2> 도 2는 본 발명에 의한 도 1d의 A영역 SEM사진이다.

<3> <도면의 주요부분에 대한 부호의 설명>

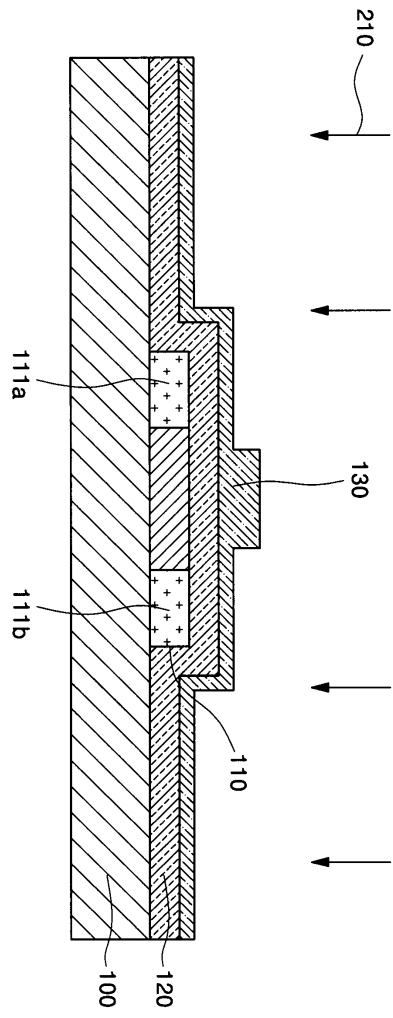
- <4> 100: 기판 111a, 111b: 소스/드레인 영역
- <5> 112a, 112b: LDD영역 120: 게이트 절연막
- <6> 121: 테이퍼 121a: 테이퍼 각도
- <7> 110: 반도체층 130: 게이트 전극
- <8> 140: 층간절연막 150: 소스/드레인 전극

도면

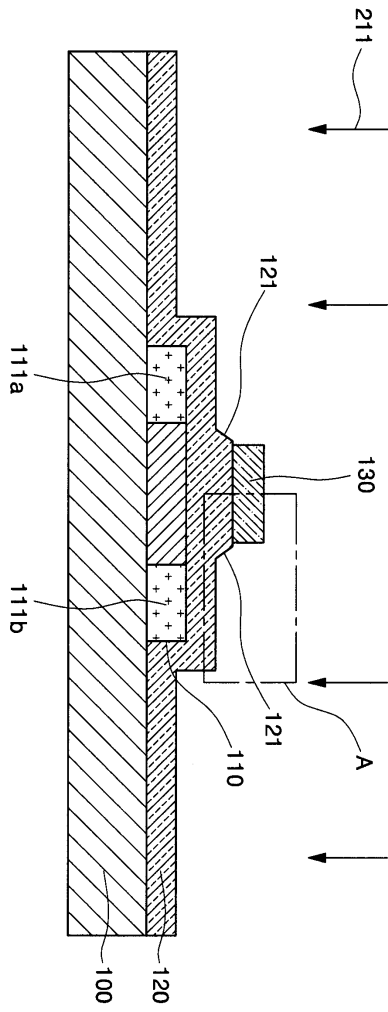
도면1a



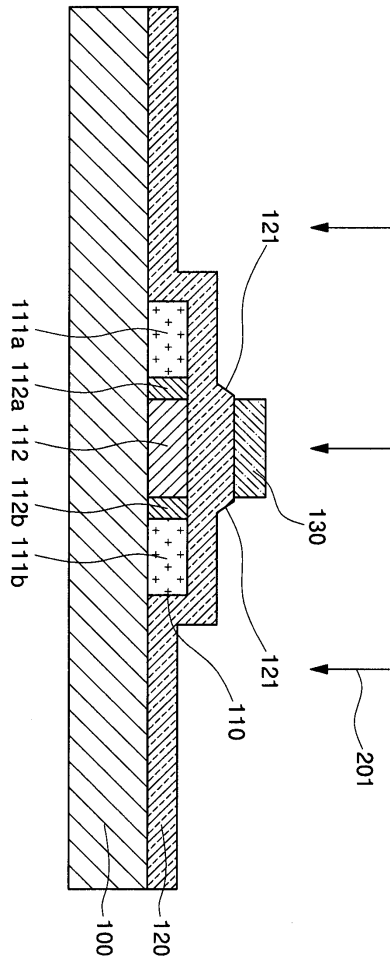
도면1b



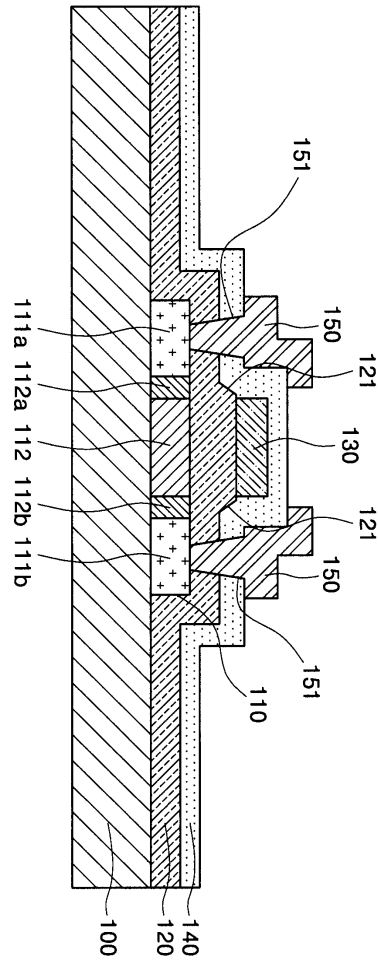
도면1c



도면1d



도면1e



도면2

