(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2004-538741
(P2004-538741A)
(43)公表日　平成16年12月24日(2004.12.24)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H04N 7/15	H04N	7/15	5C023
H04N 5/265	H04N	5/265	5C064

審査請求 有　予備審査請求 有　（全 36 頁）

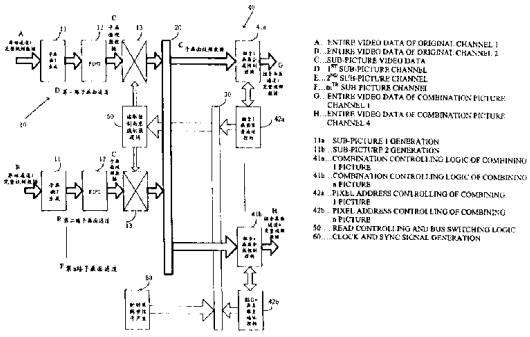
(21)出願番号	特願2003-521618(P2003-521618)
(86)(22)出願日	平成13年12月14日(2001.12.14)
(85)翻訳文提出日	平成15年12月4日(2003.12.4)
(86)国際出願番号	PCT/CN2001/001624
(87)国際公開番号	WO2003/017664
(87)国際公開日	平成15年2月27日(2003.2.27)
(31)優先権主張番号	01 1 18607.0
(32)優先日	平成13年6月4日(2001.6.4)
(33)優先権主張国	中国(CN)

(71)出願人　502385872
華為技術有限公司
中華人民共和国　５１８０５７　広東省深▲ちぇん▼市南山区科技園科発路華為用服中心大厦
(74)代理人　100079049
弁理士　中島　淳
(74)代理人　100084995
弁理士　加藤　和詳
(74)代理人　100085279
弁理士　西元　勝一
(72)発明者　張　原
中華人民共和国　５１８０５７　広東省深▲ちぇん▼市南山区科技園科発路華為用服中心大厦

最終頁に続く

(54)【発明の名称】複数セットの多重チャネルデジタル画像を組み合わせる方法及びバスインタフェース技術

(57)【要約】
本発明は、複数セットの多重チャネルデジタル画像を組み合わせる方法及びバスインタフェース技術に関する。本発明は、主要構成要素として、m個のチャネルのサブ画面画像処理ユニット、nセットのコンビネーション画面画像処理ユニット、nセットのビデオデータバス、アドレス・コントロールバス、及び画素データ読取制御・バス切換ロジックモジュールを含む。m個のチャネルのサブ画面画素データの出力バスストローブ信号により、m個のサブ画面チャネルの画素データを、所定のタイミングでnセットのビデオデータバス中の所定の１セットに出力するよう制御し、nセットの画像コンビネーションモジュールにより、nセットのビデオデータバス上のサブ画面画素データコンビネーションを個別に合成してnセットのコンビネーション画面とし、nセットのコンビネーション画面チャネルから完全なビデオデータを出力する。本発明はマルチメディア画像通信システムや画像編集システムに応用され、システムのマルチ画面画像処理能力を向上させる。



【特許請求の範囲】
【請求項１】
Ａ．オリジナルビデオチャネルからのｍチャネルの完全なビデオデータをｍ個のサブ画面チャネルに対応させて入力し、画素モードでそれぞれ圧縮してｍ個のサブ画面画素データとし、前記画素データをｍ個の先入れ先出し（ＦＩＦＯ）サブ画像フレームメモリに対応させて一時記憶させるステップと、
Ｂ．前記ｍチャネルのサブ画面画素データの出力バスストローブ信号により、前記ｍチャネルのサブ画面画素データを、所定のタイミングでｎセットのビデオデータバス中のうち所定の１セットに出力するよう制御するステップと、
Ｃ．ｎセットの画像コンビネーションモジュールにより、前記ｎセットのビデオデータバス上のサブ画面画素データを個別に組み合わせてｎセットのコンビネーション画面とし、前記ｎセットのコンビネーション画面チャネルから完全なビデオデータを出力するステップと、
を含む、複数セットの多重チャネルデジタル画像を組み合わせる方法。
【請求項２】
前記ステップＡは、オリジナル画像のサブ画面に比べ行画素及び列画素数は少ないがオリジナルビデオデータと同一の走査シーケンスを生成することを含み、前記サブ画面のビデオデータは、前記サブ画面の先入れ先出し（ＦＩＦＯ）フレームメモリの低位アドレスターミナルに記憶される、請求項１に記載の方法。
【請求項３】
前記ステップＢは、所与のタイミングにおいて各ビデオデータバスセットに１チャネルのサブ画面画素データのみが出力されるステップ、及び前記ｍチャネルのサブ画面画素データが前記バスストローブ信号により制御され、前記ｎセットのビデオデータバス上に選択的に切り換えられるステップを更に含む、請求項１に記載の方法。
【請求項４】
前記ステップＢにおけるバスストローブ信号の生成は、
１フィールド又は１フレームのコンビネーション画面の各画素に対応するサブ画面チャネルアドレスを計算するステップと、
計算された１フィールド又は１フレームの画素アドレスを、画像走査シーケンスに基づいてメモリに書き込み、画素アドレステーブルを作成するステップと、
ビデオ同期信号の制御下で該画素アドレステーブルから画素アドレスを読み出し、１セットのビデオデータバスを選択し、第ｎセットのコンビネーション画面画像処理ユニットにより第ｍ番目のサブ画面画素データを読み出すステップと、
を更に含む
請求項１又は３に記載の方法。
【請求項５】
奇数・偶数フィールドモード時、２セットのメモリに奇数フィールド及び偶数フィールドの画素アドレステーブルをそれぞれ記憶させ、フレーム処理モード時、１セットのメモリに共通フレームの画素アドレステーブルを記憶させる、請求項４に記載の方法。
【請求項６】
画面コンビネーションモードが安定して動作している間に、１フィールド又は１フレームのコンビネーション画面の各画素に対応するサブ画面アドレスを一度計算、記憶しておき、フィールド又はフレーム毎に繰り返し読み出す、請求項４に記載の方法。
【請求項７】
ｍチャネルのサブ画面画像処理ユニット、ｎセットのコンビネーション画面画像処理ユニット、ｎセットのビデオデータバス、アドレス・コントロールバス、画素データ読取制御・バス切換ロジックモジュール、及びクロック・同期信号生成モジュールと、
ｎセットのビデオデータバスと同時接続されたｍチャネルのサブ画面画像処理ユニットのｍ個のサブ画面チャネルの出力端と、
ｎセットのコンビネーション画面の画像処理ユニットのサブ画面ビデオデータ入力端と同

時接続された、或いはｎより少ない数のコンビネーション画面画像処理ユニットのサブ画面ビデオデータ入力端と固定接続された、ｎセットのビデオデータバスと、を含み、
前記アドレス・コントロールバスはｎセットの前記コンビネーション画面画像処理ユニット、前記画素データ読取制御・バス切換ロジックモジュール、及び前記クロック・同期信号生成モジュールと同時接続されている、
複数セットの多重チャネルデジタル画像を組み合わせるバスインタフェース。
【請求項８】
前記ｍチャネルのサブ画面画像処理ユニット中の各サブ画面画像処理ユニットチャネルは、サブ画面生成モジュール、サブ画面の先入れ先出し（ＦＩＦＯ）フレームメモリモジュール、及びサブ画面画素データ切換・分配モジュールを連続的に接続して構成され、前記ｎセットのコンビネーション画面画像処理ユニット中の各コンビネーション画面画像処理ユニットセットは、コンビネーション画面の画素アドレス制御モジュールと、コンビネーション画面合成制御ロジックモジュールとを接続して構成され、ｎ個のコンビネーション画面画素アドレス制御モジュール及び前記画素データ読取制御・バス切換ロジックモジュールは、前記アドレス・コントロールバスに接続され、前記画素データ読取制御・バス切換ロジックモジュールは前記ｍ個のサブ画面画素データ切換・分配モジュールと接続され、前記ｍ個のサブ画面画素データ切換・分配モジュールと、前記ｎ個のコンビネーション画面合成制御ロジックモジュールは、ｎセットのビデオデータバスに同時に接続されている、
複数セットの多重チャネルデジタル画像を組み合わせるバスインタフェース。
【請求項９】
前記画素データ読取制御・バス切換ロジックモジュールはデコーダを接続して構成され、関連するコンビネーション画面の画素アドレス制御モジュールにより出力される画素アドレス信号及びビデオ同期信号をデコードし、バスストローブ信号を出力し、１つのサブ画面画素データが１つのビデオデータバスセットに出力されるよう制御する、請求項８に記載のバスインタフェース。
【請求項１０】
前記コンビネーション画面の画素アドレス制御モジュールは、中央処理装置（ＣＰＵ）又はデジタル信号処理装置（ＤＳＰ）と、メモリとを接続して構成され、前記ＣＰＵ又は前記ＤＳＰは、１フィールド又は１フレームのコンビネーション画面の各画素に対応する各サブ画面アドレスを計算し、該アドレスをメモリに記憶し、１フィールド又は１フレームのコンビネーション画面の画素アドレステーブルを作成する、請求項８に記載のバスインタフェース。
【請求項１１】
前記アドレス・コントロールバスはアドレスバス、クロック・同期信号バス、及びコントロールバスを含み、前記アドレスバスは、前記コンビネーション画面の画素アドレス制御モジュール、及び画素読取制御・バス切換ロジックモジュールに接続され、前記クロック・同期信号バスは、ｍチャネルのサブ画面画像処理ユニット、及びｎセットのコンビネーション画面画像処理ユニットに接続され、前記コントロールバスは、ｍ個のサブ画面の画像データ切換・分配モジュール、及び画素読取制御・バス切換ロジックモジュールに接続される、請求項８に記載のバスインタフェース。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、任意のコンビネーション画像を伝送・再現する画像通信技術に関し、より詳しくは、複数セットの多重チャネルデジタル画像を組み合わせる方法及びバスインタフェース技術に関する。当該技術は、マルチ画面ビデオバス及びそのインタフェース技術により実施される。本発明は、テレビ会議システムのマルチポイント制御ユニット（ＭＣＵ）、画像編集装置等に応用できる。
【背景技術】

【０００２】
テレビ会議や画像編集においては、通常、多重チャネルデジタルビデオ動画画像（サブ画像）信号を組み合わせ、リアルタイムで単一チャネル（１つ又は１セットのチャネル）のデジタルビデオ画像信号とする必要がある。組み合わされたデジタルビデオ画像信号は、オリジナルの多重チャネルデジタルビデオ画像信号の内容を含み、そのロジックフォーマット及び物理的インタフェースは単一チャネルのビデオ画像と同一でなくてはならない。多重チャネルビデオ動画画像の制御、多重チャネル画像データのフレキシブルな切り換え及びコンビネーションモードの更新を、同一ハードウェアデバイス上でソフトウェアにより実施する必要がある。例えば、多重チャネル画像のセット化をフレキシブルに行い、各セットに異なるモードの画像コンビネーションを同時に行う。

【発明の開示】
【発明が解決しようとする課題】
【０００３】
従来の画面ディバイダ（例えば、アメリカ合衆国ＡＤ社の製品）の多くは上述の機能を有するが、ビデオ画像のコンビネーションに関しては、固定的なコンビネーションモードか、限られた数種のコンビネーションモードしかないのが実情である。出願人の知る限り、中国においてかかる機器は開発されていない。
【０００４】
従来の多重チャネル画像コンビネーション機能を有するデバイスには以下の問題がある。
１．モードの切り換えが主にハードウェア回路で行われるため、多重チャネルビデオ画像のコンビネーションモードがフレキシブルでない。
２．ハードウェアのインタフェース形状やパフォーマンスに制約があり、コンビネーションモードが複雑である場合、組み合わされるオリジナルサブ画面のオリジナルフレームレートが維持されず、コンビネーション画像の品質低下、フレームレート低下等を招いている。
【０００５】
本発明の目的は、複数セットの多重チャネルデジタル画像を組み合わせる方法、及びバスインタフェース技術を提供することにある。本発明はデジタルビデオバス構造及び対応するインタフェース処理モードを含む。本発明は、多重チャネルデジタルビデオ画像信号のフレキシブルな切り換え及びコンビネーションモードの更新を行うハードウェア機構である。本発明により、多重チャネル画像（サブ画面）をフレキシブルにセット化し、各セットに異なるモードの画像コンビネーションを同時に実施できる。
【課題を解決するための手段】
【０００６】
上記目的は、複数セットの多重チャネルデジタル画像を組み合わせる方法により達成される。該方法は、
Ａ．オリジナルビデオチャネルからのｍチャネルの完全なビデオデータをｍ個のサブ画面チャネルに対応させて入力し、画素モードでそれぞれ圧縮してｍ個のサブ画面画素データとし、該画素データをｍ個の先入れ先出し（ＦＩＦＯ）サブ画像フレームメモリに対応させて一時記憶させるステップと、
Ｂ．ｍチャネルのサブ画面画素データの出力バスストローブ信号により、ｍチャネルのサブ画面画素データを、所定のタイミングでｎセットのビデオデータバス中のうち所定の１セットに出力するよう制御するステップと、
Ｃ．ｎセットの画像コンビネーションモジュールにより、ｎセットのビデオデータバス上のサブ画面画素データを個別に組み合わせてｎセットのコンビネーション画面とし、該ｎセットのコンビネーション画面チャネルから完全なビデオデータを出力するステップと、
を含む。
【０００７】
上記ステップＡは、オリジナル画像のサブ画面に比べ行画素及び列画素数は少ないがオリジナルビデオデータと同一の走査シーケンスを生成することを含む。サブ画面のビデオデ

ータは、サブ画面の先入れ先出し（ＦＩＦＯ）フレームメモリの低位アドレスターミナルに記憶される。

【０００８】

上記ステップＢは、所与のタイミングにおいて各ビデオデータバスセットに１チャネルのサブ画面画素データのみが出力されるステップ、及びｍチャネルのサブ画面画素データが上記バスストローブ信号により制御され、ｎセットのビデオデータバス上に選択的に切り換えられるステップを更に含む。

【０００９】

上記ステップＢにおけるバスストローブ信号の生成は、１フィールド又は１フレームのコンビネーション画面の各画素に対応するサブ画面チャネルアドレスを計算するステップと、計算された１フィールド又は１フレームの画素アドレスを、画像走査シーケンスに基づいてメモリに書き込み、画素アドレステーブルを作成するステップと、ビデオ同期信号の制御下で該画素アドレステーブルから画素アドレスを読み出し、１セットのビデオデータバスを選択し、第ｎセットのコンビネーション画面画像処理ユニットにより第ｍ番目のサブ画面画素データを読み出すステップと、を更に含む。

【００１０】

奇数・偶数フィールドモードでは、２セットのメモリに奇数フィールド及び偶数フィールドの画素アドレステーブルをそれぞれ記憶させる。フレーム処理モードでは、１セットのメモリに共通フレームの画素アドレステーブルを記憶させる。

【００１１】

画面コンビネーションモードが安定して動作している間に、１フィールド又は１フレームのコンビネーション画面の各画素に対応するサブ画面アドレスを一度計算、記憶しておき、フィールド又はフレーム毎に繰り返し読み出す。

【００１２】

また、上記目的は、複数セットの多重チャネルデジタル画像を組み合わせるバスインタフェースにより達成される。該バスインタフェースは、ｍチャネルのサブ画面画像処理ユニット、ｎセットのコンビネーション画面画像処理ユニット、ｎセットのビデオデータバス、アドレス・コントロールバス、画素データ読取制御・バス切換ロジックモジュール、及びクロック・同期信号生成モジュールと、ｎセットのビデオデータバスと同時接続されたｍチャネルのサブ画面画像処理ユニットのｍ個のサブ画面チャネルの出力端と、ｎセットのコンビネーション画面の画像処理ユニットのサブ画面ビデオデータ入力端と同時接続された、或いはｎより少ない数のコンビネーション画面画像処理ユニットのサブ画面ビデオデータ入力端と固定接続された、ｎセットのビデオデータバスと、を含み、該アドレス・コントロールバスはｎセットのコンビネーション画面画像処理ユニット、画素データ読取制御・バス切換ロジックモジュール、及びクロック・同期信号生成モジュールと同時接続されている。

【００１３】

上記ｍチャネルのサブ画面画像処理ユニット中の各サブ画面画像処理ユニットチャネルは、サブ画面生成モジュール、サブ画面の先入れ先出し（ＦＩＦＯ）フレームメモリモジュール、及びサブ画面画素データ切換・分配モジュールを連続的に接続して構成される。上記ｎセットのコンビネーション画面画像処理ユニット中の各コンビネーション画面画像処理ユニットセットは、コンビネーション画面の画素アドレス制御モジュールと、コンビネーション画面合成制御ロジックモジュールとを接続して構成される。ｎ個のコンビネーション画面画素アドレス制御モジュール及び上記画素データ読取制御・バス切換ロジックモジュールは、上記アドレス・コントロールバスに接続される。上記画素データ読取制御・バス切換ロジックモジュールは上記ｍ個のサブ画面画素データ切換・分配モジュールと接続され、上記ｍ個のサブ画面画素データ切換・分配モジュールと、上記ｎ個のコンビネーション画面合成制御ロジックモジュールは、ｎセットのビデオデータバスに同時に接続されている。

【００１４】

上記画素データ読取制御・バス切換ロジックモジュールはデコーダを接続して構成され、関連するコンビネーション画面の画素アドレス制御モジュールにより出力される画素アドレス信号及びビデオ同期信号をデコードし、バスストローブ信号を出力し、１つのサブ画面画素データが１つのビデオデータバスセットに出力されるよう制御する。

【００１５】

上記コンビネーション画面の画素アドレス制御モジュールは、中央処理装置（ＣＰＵ）又はデジタル信号処理装置（ＤＳＰ）と、メモリとを接続して構成される。ＣＰＵ又はＤＳＰは、１フィールド又は１フレームのコンビネーション画面の各画素に対応する各サブ画面アドレスを計算し、該アドレスをメモリに記憶し、１フィールド又は１フレームのコンビネーション画面の画素アドレステーブルを作成する。

【００１６】

上記アドレス・コントロールバスはアドレスバス、クロック・同期信号バス、及びコントロールバスを含む。上記アドレスバスは、上記コンビネーション画面の画素アドレス制御モジュール、及び画素読取制御・バス切換ロジックモジュールに接続される。上記クロック・同期信号バスは、ｍチャネルのサブ画面画像処理ユニット、及びｎセットのコンビネーション画面画像処理ユニットに接続される。上記コントロールバスは、ｍ個のサブ画面の画像データ切換・分配モジュール、及び画素読取制御・バス切換ロジックモジュールに接続される。

【００１７】

本発明の複数セットの多重チャネルデジタル画像を組み合わせる方法及びバスインタフェース技術は以下の諸利点を有する。

１）ハードウェアを信号処理プラットフォームとし、該プラットフォーム機能はソフトウェアにより実施される。ソフトウェアの更新・変更は容易であるため、コンビネーションモードがフレキシブルになる。実際のシステムでは、ソフトウェア制御により、数百に及ぶコンビネーションモードを随時迅速に切り換えられる。

２）セット化をフレキシブルに行い、各サブ画面画像チャネルのセット関係及びコンビネーションモードを要求に応じて随時切り換えられ、システムの画像処理能力を大幅に向上させ、マルチメディア画像通信システムや他の画像編集システム等における要求を満たす。

【発明を実施するための最良の形態】

【００１８】

実施形態及び添付の図面を参照しながら以下に本発明を詳細に説明する。

【００１９】

まず、ビデオ画像コンビネーション原理からのみ画像システムの処理能力を捉えるならば、画面コンビネーションに関与するオリジナルサブ画面の画像数に制限はない。しかし、バスインタフェースチップの駆動能力及び信号品質上の制約があるため、通常オリジナル画像（サブ画面）数は１６を超えてはならない。信号駆動及びバス整合に特殊処理を施せば、サブ画面の画像チャネル数を２５以上とすることができる。

【００２０】

理論上、ソフトウェアはフレキシブルであるため、多くのサブ画面を組み合わせた各々のコンビネーション画像モードにも概ね制約はなく、数多くのコンビネーションモードが可能である。図１は典型的な１０のコンビネーション画像モードを示す。図１ａは２つのサブ画面からなる画像コンビネーションモデル、図１ｂは３つのサブ画面からなる画像コンビネーションモデル、図１ｃは４つのサブ画面からなる画像コンビネーションモデル、図１ｄは９つのサブ画面からなる画像コンビネーションモデル、図１ｅは６つのサブ画面からなる画像コンビネーションモデル、図１ｆは４つのサブ画面からなる別の画像コンビネーションモデル、図１ｇは１６のサブ画面からなる画像コンビネーションモデル、図１ｈは８つのサブ画面からなる画像コンビネーションモデル、図１ｉは１３のサブ画面からなる画像コンビネーションモデル、図１ｊは１３のサブ画面からなる別の画像コンビネーションモデルを示す。

【００２１】
実施形態では１６のサブ画面からなるコンビネーションを例示する。実現可能な画像画面コンビネーションモードは、１６（ｍ＝１６）のオリジナル画像（１６のサブ画面）を分割してｎ個のセット（ｎは通常１～４）とする。サブ画面の各セットは１セットのビデオバスを使用し、ｎセットのサブ画面はｎセットのビデオバスを通じて各々合成され、ｎ個のコンビネーション画像を形成する。但し、組み合わせ過程には、各オリジナル画像（物理的な１つのサブ画面処理チャネルから出力されるデータ）は同時に複数のコンビネーション画像処理に関与できないという制約がある。この条件に適っていれば、多様なモードで各チャネルからのオリジナル画像をセット化し、組み合わせることができる。例えば、第一、第二、第三チャネルのオリジナル画像を組み合わせて第一のセットとし、第四、第五、第六、第七チャネルのオリジナル画像を組み合わせて第二のセットとし、第八乃至第十六チャネルのオリジナル画像を組み合わせて第三のセットとすることが可能である。

【００２２】
図２は、ｍ（ｍ＝１６）個のサブ画像をｎ（ｎ＝４）セットのコンビネーションとするハードウェア構造を示す。このハードウェア構造は、多重チャネルサブ画面画像処理ユニット１０、マルチ画面ビデオデータバス２０（ｎセットのビデオデータバスの総称）、アドレス・コントロールバス３０、複数セットのコンビネーション画面画像処理ユニット４０、画素データ読取制御・バス切換ロジックモジュール５０、及びクロック・同期信号生成モジュール６０を含む。ｍ個のオリジナルビデオチャネルからのｍ個の完全なビデオデータは、ｍ個のサブ画面チャネルに対応させて入力され、組み合わされてｎセットのコンビネーション画面を形成し、ｎセットのコンビネーション画面チャネルから完全なビデオデータが出力される。

【００２３】
多重チャネルサブ画面画像処理ユニット１０中の各サブ画面チャネルは、サブ画面生成モジュール１１、サブ画面の先入れ先出し（ＦＩＦＯ）フレームメモリ（フレームバッファメモリ）モジュール１２、及びサブ画面画素データ切換・分配モジュール１３を含む。モジュール１１、１２、１３は連続して接続される。

【００２４】
サブ画面生成モジュール１１は、対応するオリジナルビデオチャネルからの１つの完全なデジタル画像データチャネルを画素モードで圧縮し、サブ画面のデジタル画像データを生成する。オリジナルの完全なデジタル画像データのフォーマットとして、標準デジタルビデオフォーマット（ＣＣＩＲ－６０１、ＣＣＩＲ－６５６等）、及び明示的な走査シーケンスと同様の、奇数・偶数フィールドを区別しない共通中間フォーマット（ＣＩＦ等）の２種がある。いずれのフォーマットを用いても、ＤＳＰを使用してオリジナル画像の画素を圧縮し、オリジナル画像に比べ行画素及び列画素数は少ないがオリジナル走査シーケンスと同一のサブ画面を生成できる。前者のフォーマットの場合、画像圧縮用の特殊なチップを用いれば同様の処理が可能である。

【００２５】
サブ画面のＦＩＦＯフレームメモリ（フレームバッファメモリ）モジュール１２は、画素圧縮後のオリジナル画像データの一時保存に利用される。各フィールド又は各フレームのオリジナル画像データ圧縮後にサイズの異なるサブ画面を同期させることは困難であるため、圧縮画像をまずＦＩＦＯフレームバッファメモリに一時保存する。ＦＩＦＯフレームバッファメモリは各フィールド又は各フレームにより更新され得る。圧縮後のサブ画面データはＦＩＦＯフレームバッファメモリの低位アドレスに記憶される。

【００２６】
サブ画面画素データ切換・分配モジュール１３は２つの機能を有する。任意のタイミングに１つのサブ画像の画素データのみを同一セットのトライステート出力マルチ画面ビデオデータバス２０に確実に出力させる機能、及び、データバスが複数（例えば、４）セット存在する場合、各サブ画像チャネルを異なるセットのデータバス（例えば４セットのうち任意の１セットのデータバス）に選択的に切り換える機能である。ある期間（数分間から

数時間）におけるｍ個のサブ画像のセット関係は明確である。従ってマルチ画面ビデオデータバス２０の分配関係も比較的安定している。このような分配関係は、システムＣＰＵにより制御される。上記２つの制御機能は複数セットのコンビネーション画面画像処理ユニット４０からのコントロール信号もしくはアドレス信号と、システムＣＰＵとにより実施される。

【００２７】

画素データ読取制御・バス切換ロジックモジュール５０は、複数のデコーダで構成される。モジュール５０の入力信号はアドレス・コントロールバス３０から出力され、該入力信号には複数セットのコンビネーション画面画像処理ユニット４０中の関連画像コンビネーションモジュールから出力される画素アドレス信号及びビデオ同期信号が含まれる。モジュール５０の出力信号は各サブ画面チャネルの画素データの出力ストローブ信号であり、この信号は各サブ画面チャネルの画素データが所定のタイミングにおいて所定セットのビデオデータバスに出力されるよう制御するために使用される。モジュール５０は、図２に示すように多重チャネルサブ画面画像処理ユニット１０側に配置してもよいし、図３に示すように複数セットのコンビネーション画面画像処理ユニット４０側に配置してもよい。

【００２８】

図２及び図３を参照すると、マルチ画面ビデオデータバス２０は４セットのビデオデータバス２０１、２０２、２０３、２０４の総称である。図３に該４セットのバスと、関連するインタフェースモジュールとの典型的な接続関係を示す。

【００２９】

システム設計にあたり、マルチ画面ビデオデータバス２０は、必要に応じて１セット又は複数セット（一般的には４セット以下、図中の実施形態では４セット）のビデオデータバスとして設けることができる。各ビデオデータバスセット２０１、２０２、２０３、２０４は同時に多重チャネルサブ画面画像処理ユニット１０側の全て（１６）のサブ画面チャネルの出力端、すなわちサブ画面画素データ切換・分配モジュール２３の全チャネルの出力端に接続される。また、複数セットのコンビネーション画面画像処理ユニット４０側の全ての画像コンビネーションユニット、すなわち全ての画面合成制御ロジックモジュールに同時に接続できる。また、当然ながら図３に示すように１つの画像コンビネーションユニットに個別に接続してもよい。ビデオデータバスセット２０１、２０２、２０３、２０４は、色差、輝度信号等のＹＵＶデータを伝送するための１６本又は８本のビデオデータバスをそれぞれ含む。

【００３０】

マルチ画面ビデオデータバス２０は、１セット又は複数セットのビデオデータバスを含む構成とすることができる。複数セットのコンビネーション画面画像処理ユニット４０における複数のビデオデータバスセットの入力選択は必須ではなく、所与の１セットのデータバスに固定的に接続してもよい。画素データ読取制御・バス切換ロジックモジュール５０は多重チャネルサブ画面画像処理ユニット１０内（図２参照）、或いは複数セットのコンビネーション画面画像処理ユニット４０内（図３参照）に配置できる。

【００３１】

バスの信号品質を保証するため、各ビデオ信号に適切なインピーダンス整合処理を施す必要がある。一般に、バス駆動はＡＢＴ型（バス駆動チップの一種）のインタフェースチップを使用して行われる。

【００３２】

図２のアドレス・コントロールバス３０は、図３のコントロールバス３０１及びクロック・同期信号３０２の総称であり、ビデオ同期信号、ビデオ画素アドレス信号／サブ画面画像ストローブ信号を含む。このうちビデオ同期信号は２７ＭＨｚのビデオデバイスメインクロック、１３．５ＭＨｚ又は６．７５ＭＨｚの画素クロック、フィールド同期信号、行同期信号、複合ブランキング指示信号を含む。このタイプのビデオ同期信号は、多重チャネルサブ画面画像処理ユニット１０及び複数セットのコンビネーション画面画像処理ユニット４０に供給される。ビデオ画素アドレス信号／サブ画面画像ストローブ信号の信号タ

イプは、画素データ読取・バス切換ロジックモジュール５０がバスのどの位置に配置されるかにより決定される。コンビネーション画面画像処理ユニット４０のコンビネーション画面画素アドレス制御モジュール４２の各セットは、画素クロックの各タイミングにおいて、該タイミングで読み取られるべき画素に対応する画像チャネル番号（アドレス）を出力する。該画像チャネル番号（アドレス）が画素データ読取制御・バス切換ロジックモジュール５０によりデコードされた後、モジュール５０は第ｍチャネルのサブ画面画像データが第ｎセットのコンビネーション画面により読み取られるためのストローブ信号を生成する。第ｍチャネルのサブ画面のＦＩＦＯフレームバッファメモリ（１２）からビデオデータを読み取ってもよい。

【００３３】

本発明のマルチ画面ビデオデータバスは多重チャネルビデオデータバス２０、コントロールバス３０１及びクロック・同期信号３０２の総称としてもよい。図３の実施形態では、画素データ読取制御・バス切換ロジックモジュール５０は、マルチ画面ビデオデータバスはコンビネーション画面画像処理ユニット４０側に配置されている。

【００３４】

コンビネーション画面画素アドレス制御モジュール４２はＣＰＵ又はＤＳＰと、メモリとから構成される。将来的な操作要求に基づき、ＣＰＵ又はＤＳＰにより１フィールド又は１フレームのコンビネーション画面の各画素に対応するサブ画面の番号（アドレス）を計算し、続いて１フィールド又は１フレームの画素アドレスを、画像走査シーケンスに基づいてメモリに記憶させる。奇数・偶数フィールドモードでは、両フィールドの画素アドレステーブルをそれぞれ格納するため２セットのメモリを使用する必要がある。フレーム処理モードでは、共通フレームの画素アドレステーブルを格納すればよい。

【００３５】

メモリはＦＩＦＯもしくはＳＲＡＭフレームバッファメモリとすることができる。ある期間（数分間から数時間）における複数画面のコンビネーションモードは比較的安定的であり、頻繁に切り換える必要はない。よって、フィールド又はフレーム毎に画素アドレスを計算する必要がない。このため、所与のモードに対し、画素アドレスを一度計算し、画素アドレステーブルをメモリに格納すればよい。この後ビデオ同期信号の制御の下、フィールド又はフレーム毎にメモリから繰り返し読み出す。これはハードウェアのクロックオペレーションである。この他、画素アドレステーブルの計算は演算量が多く、フィールド又はフレーム毎にリアルタイムで計算するとしたら高速ＤＳＰを採用せねばならず、コストが高くなる。従って、コスト面を考慮してもフィールド又はフレーム毎に画素アドレスを計算する必要はない。

【００３６】

画面合成制御ロジックモジュール４１と、コンビネーション画面画素アドレス制御モジュール４２とで、画像コンビネーションサブモジュールを構成する。各サブ画面のビデオデータが所定のシーケンスに従いマルチ画面ビデオデータバス２０に出力された後、実際にはコンビネーション画像のデータフォーマット及びシーケンスはすでに形成されているが、システム機能の増強を図るため、各画像コンビネーションサブモジュールは以下の２つの機能を有する必要がある。複数のビデオデータバスセットから１セット（固定接続であってもよい）を選択する機能、及び、主にコンビネーション画像中の空白のサブ画面領域に固定色をあてがい、囲み線や字幕を付すための、画素置換及び字幕や囲み線を重ねる機能である。固定色をあてがう機能は、直接ビデオデータバス上でプッシュアップ又はプッシュダウンモードで実施してもよく、或いはその他の処理サブモジュール及び字幕により実施してもよい。囲み線や字幕を付す方法については本特許の討論範囲を超えているため詳細は割愛する。

【００３７】

クロック・ビデオ同期信号生成モジュール６０は専用のビデオデバイスにより構成してもよく、ロジック回路で構成してもよい。

【００３８】

本発明の複数セットの多重チャネルデジタル画像を組み合わせる技術及びバスインタフェース技術をテレビ会議のＭＣＵシステムの視覚通信交換プラットフォーム上で試験したところ、所期の目的が達せられ、その極めて高いマルチ画面処理能力と優れたパフォーマンスにより、マルチメディア画像通信設備に応用できることが証明された。

【図面の簡単な説明】

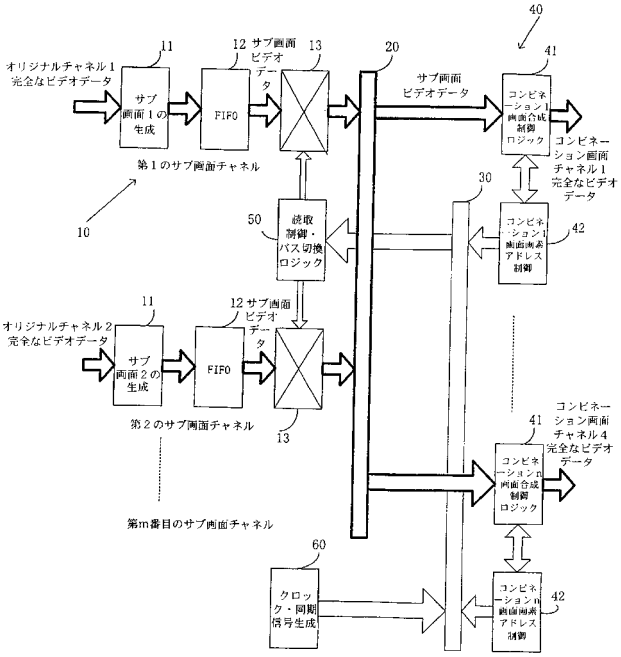
【００３９】

【図１】図１ａ乃至図１ｊは、マルチ画面画像コンビネーションの典型的な１０のモードを示す。

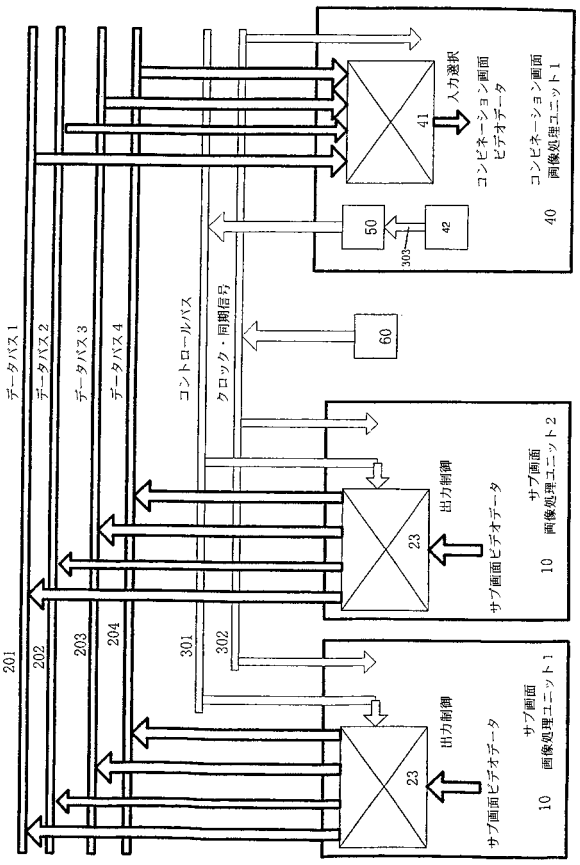
【図２】本発明の複数セットの多重チャネルデジタル画像コンビネーションを実施するためのハードウェア構造の原理ブロック図である。

【図３】本発明の複数セットの多重チャネルデジタル画像コンビネーションを実施するバス及び関連するインタフェースモジュールの接続関係を示す図である。

【図２】



【図３】



【国際公開パンフレット】

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日:
2003年2月27日(27.02.2003)

PCT

(10) 国际公布号:
WO 03/017664 A1

(51) 国际分类号[7]: H04N 7/15

(21) 国际申请号: PCT/CN01/01624

(22) 国际申请日: 2001年12月14日(14.12.2001)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
01118607.0 2001年6月4日(04.06.2001) CN

(71) 申请人(对除美国以外的所有指定国): 华为技术有限公司(HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市南山区科技园科发路华为用服中心大厦, Guangdong 518057 (CN)。

(72) 发明人;及
(75) 发明人/申请人(仅对美国): 张原(ZHANG, Yuan) [CN/CN]; 朱雄羽(ZHU, Xiongyu) [CN/CN]; 王光奎(WANG, Guangkui) [CN/CN]; 李江宏(LI, Jianghong) [CN/CN]; 中国广东省深圳市南山区科技园科发路华为用服中心大厦, Guangdong 518057 (CN)。

(74) 代理人: 北京康信知识产权代理有限责任公司(KANGXIN & PARTNERS); 中国北京市西城区二龙路甲33号新龙大厦2313室, Beijing 100032 (CN)。

(81) 指定国(国家): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW

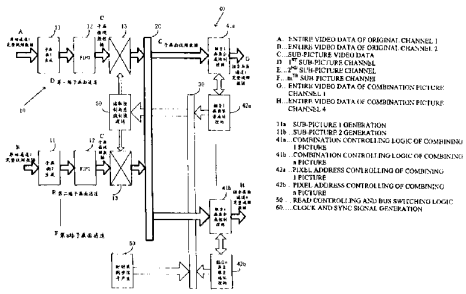
(84) 指定国(地区): ARIPO专利(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚专利(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲专利(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI专利(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)

本国际公布:
-- 包括国际检索报告。

所引用双字母代码和其它缩写符号，请参考刊登在每期PCT公报期刊起始的"代码及缩写符号简要说明"。

(54) Title: METHOD OF REALIZING COMBINATION OF MULTI-SETS OF MULTIPLE DIGITAL IMAGES AND BUS INTERFACE TECHNIQUE

(54) 发明名称: 多路数字图像多组组合的实现方法和总线接口技术



(57) Abstract: The invention relates to a bus interface technique and a method of realizing combination of multi-sets of multiple digital images. It mainly comprises an image-processing unit for M-channel sub-images, an image-processing unit for a N-set of combined images, a N-set of video data buses, address and control buses, pixel data read control and bus switching logic module. Controlled by the gate output-signals of the M-route sub-images pixel data, the M-channel sub-images pixel data are output onto a predetermined one of the N-sets of the video data buses in determined time. The sub-image pixel data on the N sets of the video data buses are combined to N sets of combined images by the N-sets of image combined modules respectively, and the complete combined video data are output from the N sets of the combined image channels. The invention can increase the system capability of processing multi-image services in application to the multimedia image communication systems and other image editing systems.

[见续页]

WO 03/017664 A1

WO 03/017664 A1

(57) 摘要

本发明涉及一种多路数字图像多组组合的实现方法及总线接口技术。主要包括m路子画面图像处理单元、n组组合画面图像处理单元、n组视频数据总线、地址及控制总线、像素数据读取控制与总线切换逻辑模块。由m路子画面像素数据的输出选通信号控制m路子画面像素数据在规定的时刻输出到n组视频数据总线中一组规定的视频数据总线上；由n组图像组合模块分别将n组视频数据总线上的子画面像素数据组合成n组组合画面，并从n组组合画面通道输出完整的组合视频数据。在多媒体图像通信系统和其它图像编辑系统中应用，可提高系统处理多画面图像业务的能力。

多路数字图像多组组合的实现方法和总线接口技术

技术领域

本发明涉及一种传输或重现任意组合图像的图像通讯技术，更确切地说是涉及一种多路数字图像多组组合的总体实现方法和总线接口技术，通过本发明的多画面视频总线及其接口技术来实现，可应用于会议电视系统中的多点控制单元（MCU）、图像编辑等设备中。

背景技术

在会议电视、图像编辑等业务中，经常需要将多路数字视频运动图像信号（子画面）实时组合成为单路（一路或者说一组）数字视频图像信号，组合后的数字视频图像信号中应包含原始的多路数字视频图像信号中的内容，并且在物理接口和逻辑格式上又与单路视频图像相同。需要通过在同一台硬件设备上利用软件对多路视频运动图像进行控制，对多路图像数据实现灵活地切换与组合方式的更改，如多路图像灵活分组、每个分组同时实现不同模式的图像组合等。

现有的普通画面分割器（如美国AD公司生产的此类设备）大多能够实现符合上述要求的功能，但对视频图像的组合只有一种固定的组合方式或少量几种组合方式。据申请人所知，还未见到国产的此类设备。

现有的实现多路图像组合等功能的设备，所存在的不足主要包括以下两方面：

1）模式切换主要依赖硬件电路进行，因此多路视频图像的组合方式不可能灵活；

2）受硬件接口形式与性能的限制，在组合方式比较复杂的情况下，往往不能保证参与组合的原始子画面保持其原有的帧率，造成组合后的图像质量不理想，帧率低等问题。

发明内容

本发明的目的是提供一种多路数字图像多组组合的实现方法和总线接口技术，包括数字视频总线结构和相应的接口处理方式，是一种能够实现多路数字视频图像信号灵活切换与组合方式更改的硬件架构，可对多路图像（子画面）灵活分组、每个分组又能同时实现不同模式的图像组合等。

实现本发明目的的技术方案是这样的：一种多路数字图像多组组合的实现方法，其特征在于包括以下处理步骤：

A. 将来自原始视频通道的m路完整的视频数据对应送入m路子画面通道，分别按像素方式压缩成m个子画面像素数据并对应暂存在m个先进先出（FIFO）子画面帧存中；

B. 由m路子画面像素数据的输出总线选通信号控制m路子画面像素数据在规定的时刻输出到n组视频数据总线中的一组规定的视频数据总线上；

C. 由n组图像组合模块分别将n组视频数据总线上的子画面像素数据组合成n组组合画面，并从n组组合画面通道输出完整的视频数据。

所述的步骤A包括生成扫描顺序与原始视频数据相同但行像素与

列像素少于原始图像的子画面，和将子画面视频数据存放在先进先出（FIFO）子画面帧存的低位地址端。

所述的步骤B进一步包括：在规定的时刻，每一组视频数据总线上只有一路子画面像素数据被输出，m路子画面像素数据被所述的总线选通信号控制，选择性地切换到n组视频数据总线上。

所述步骤B中的总线选通信号的生成进一步包括：计算出一场或一帧组合画面的每个像素所对应的子画面的通道地址；将计算后的一场或一帧的像素地址按照图像扫描顺序写入存储器，形成像素地址表；在视频同步信号的控制下从像素地址表中读取像素地址，选通一组视频数据总线，由第n组组合画面图像处理单元读取第m个子画面像素数据。

在奇偶场方式下，是由两组存储器分别存储奇场与偶场的像素地址表；在帧处理方式下，是由一组存储器存储公共帧的像素地址表。

在画面组合方式稳定的业务时间段内，一次计算并存储的一场或一帧组合画面的每个像素所对应的子画面的地址，在每场或每帧供重复读取。

实现本发明目的的技术方案还可以是这样的：一种多路数字图像多组组合的总线接口，其特征在于：包括

m路子画面图像处理单元、n组组合画面图像处理单元、n组视频数据总线、地址及控制总线、像素数据读取控制与总线切换逻辑模块和时钟及同步信号产生模块；

m路子画面图像处理单元的m个子画面通道输出端同时连接n组视

频数据总线；n组视频数据总线同时连接n组组合画面图像处理单元的子画面视频数据输入端，或者固定连接少于n的组合画面图像处理单元的子画面视频数据输入端；

所述的地址及控制总线同时连接n组组合画面图像处理单元、像素数据读取控制与总线切换逻辑模块和时钟及同步信号产生模块。

所述的m路子画面图像处理单元中的每一路子画面图像处理单元，是由子画面生成模块、先进先出（FIFO）子画面帧存模块和子画面像素数据切换与分配模块顺序连接构成的；所述n组组合画面图像处理单元中的每一组组合画面图像处理单元是由组合画面像素地址控制模块和组合画面合成控制逻辑模块连接构成的；n个组合画面像素地址控制模块及所述的像素数据读取控制与总线切换逻辑模块与所述的地址及控制总线连接；所述的像素数据读取控制与总线切换逻辑模块与所述的m个子画面像素数据切换与分配模块连接，所述的m个子画面像素数据切换与分配模块及所述的n个组合画面合成控制逻辑模块同时连接n组视频数据总线。

所述的像素数据读取控制与总线切换逻辑模块是由译码器连接组成的，对由相关的组合画面像素地址控制模块送出的像素地址信号及视频同步信号进行译码，输出总线选通信号，控制一子画面像素数据输出到一组视频数据总线上。

所述的组合画面像素地址控制模块由中央处理单元（CPU）或数字信号处理器（DSP）与存储器连接组成，中央处理单元（CPU）或数字信号处理器（DSP）用于计算一场或一帧组合画面的每个像素所对应的

各子画面的地址，存储器中存放该地址，形成一场或一帧组合画面的像素地址表。

所述的地址与控制总线包括地址总线、时钟与同步信号总线与控制总线，所述的地址总线连接所述的组合画面像素地址控制模块及所述的像素读取控制与总线切换逻辑模块，所述的时钟与同步信号总线连接所述的m路子画面图像处理单元和n组组合画面图像处理单元，所述的控制总线连接所述的m个子画面图像数据切换与分配模块和所述的像素读取控制与总线切换逻辑模块。

本发明的多路数字图像多组组合的总体实现方法和总线接口技术，具有以下有益效果：

1）体现了将硬件作为信号处理的平台、通过软件来实现功能的设计思想，由于软件设计改进方便，模式非常灵活，该方案在实际系统中，通过软件控制，可以随时在高达数以百计的模式中快速切换；

2）灵活的分组能力，可以根据需求随时切换各子画面图像信道的分组关系和组合模式，大大提高了系统处理图像业务的能力，满足多媒体图像通信系统和其它图像编辑系统等的要求。

附图简要说明

图1是多画面图像组合的十种典型模式，由图1a、图1b、图1c、图1d、图1e、图1f、图1g、图1h、图1i、图1j组成；

图2是实现本发明多路数字图像多组组合的硬件结构原理框图；

图3是实现本发明多路数字图像多组组合的总线与相关接口模块的连接关系示意图。

实施本发明的方式

下面结合实施例及附图进一步说明本发明的技术方案。

需要预先说明的是：若仅从视频图像组合的原理来考虑图像系统的处理能力的话，参与画面组合的原始子画面图像的数量是可以不受限制的，但由于受总线接口芯片驱动能力的限制与信号质量的约束，通常原始图像（子画面）的数量不宜超过16个。如果对信号驱动与总线匹配做特殊技术处理，可能使子画面的图像通道数增加到25个或更多。

理论上，由于软件的灵活性，用多个子画面组合出的每个组合图像的模式也几乎是不受限制的，可以有成千上万种。图1中示出了十个比较典型的组合图像模式。其中，图1a所示是2个子画面的一种图像组合模式，图1b所示是3个子画面的一种图像组合模式，图1c所示是4个子画面的一种图像组合模式，图1d所示是9个子画面的一种图像组合模式，图1e所示是6个子画面的一种图像组合模式，图1f所示是4个子画面的另一种图像组合模式，图1g所示是16个子画面的一种图像组合模式，图1h所示是8个子画面的一种图像组合模式，图1i所示是13个子画面的一种图像组合模式，图1j所示是13个子画面的另一种图像组合模式。

实施例以16个子画面的组合情况为例，其可以实现的图像画面组合方式可以是将16（m=16）个原始图像（16个子画面）分成N个组（N一般为1～4），每一组子画面使用一组视频总线，N组子画面分别通过N组视频总线组合成N个组合图像。但其组合过程需受一个条件限制，

即每一个原始图像（指物理上的一路子画面处理通道的输出数据）不能同时参与两个及两个以上的组合图像处理。只要符合该限制条件，来自于各通道的原始图像的分组或者说组合的方式可以有很多种，例如第1、2、3路原始图像组成一组，第4、5、6、7路原始图像组成第二组，第8～16路原始图像组合成第三组等。

参见图2，图中示出对m（m＝16）个子画面作n（n=4）组组合的硬件结构，包括多路子画面图像处理单元10、多画面视频数据总线20（是n分组视频数据总线的总称）、地址及控制总线30、多组组合画面图像处理单元40、像素数据读取控制与总线切换逻辑模块50和时钟及同步信号产生模块60，将来自m路原始视频通道的m路完整的视频数据对应送入m路子画面通道，组合成n组组合画面，并从n组组合画面通道输出完整的视频数据。

多路子画面图像处理单元10中的每一路子画面通道中包括有子画面生成模块11、子画面帧存（Frame Buffer Memory）先进先出（FIFO）模块12和子画面像素数据切换与分配模块13，模块11、模块12、模块13顺序连接。

子画面生成模块11，将来自对应原始视频通道的一路完整的数字图像数据按像素方式压缩成子画面数字图像数据。原始的完整的数字图像数据可以有两种格式：一种是标准数字视频格式，包括CCIR-601或CCIR-656格式；第二种是与显示的扫描顺序相同但不区分奇偶场的公共中间格式，例如CIF格式。在这两种格式情况下，都可以采用数字信号处理器（DSP）对原始图像做像素压缩，生成与原有扫描顺序相同、

但行像素或列像素比原始图像少的子画面。对于第一种格式，还可以采用图像缩放专用芯片做同样的处理。

子画面帧存（Frame Buffer Memory）FIFO模块12，用于暂存经像素压缩后的原始图像数据，在每场或每帧的原始图像数据被压缩后，由于难以使不同大小的子画面同步，故而先暂存在FIFO中，每场或每帧都可对FIFO刷新，压缩后的子画面数据存放在FIFO的低端。

子画面像素数据切换与分配模块13，有两种作用：一是确保任一时刻只有一个子画面的像素数据被输出到同一组三态输出的多画面视频数据总线20上；二是在有多个（如4个）分组的情况下，各路子画面需要被选择性地切换到不同组的数据总线（如4组数据总线中的任一组）上。在某一段可以是几分钟至若干小时的时间段内，m个子画面的分组关系是确定的，因而多画面视频数据总线20的分配关系也是相对稳定的，这种分配关系由系统CPU来控制，上述两种控制作用是由来自于多组组合画面图像处理单元40的控制或地址信号与系统CPU共同完成的。

像素数据读取控制与总线切换逻辑模块50是由若干个译码器构成的，像素数据读取控制与总线切换逻辑模块50的输入信号来自于地址及控制总线30，包括由多组组合画面图像处理单元40中相关的图像组合模块送出的像素地址信号及视频同步信号，像素数据读取控制与总线切换逻辑模块50的输出信号是各路子画面像素数据的输出选通信号，用于控制各路子画面像素数据在规定的时刻输出到规定的一组视频数据总线上。该像素数据读取控制与总线切换逻辑模块50可以放在

多路子画面图像处理单元10一侧，如图2中所示，也可以放在多组组合画面图像处理单元40一侧，如图3中所示。

结合参见图2、图3，多画面视频数据总线20，是4组视频数据总线201、202、203、204的总称，图3中示出该4组视频数据总线与相关接口模块间的典型连接关系。

系统设计时，根据需要可以将多画面视频数据总线20设置为1组或多组（一般为4组或4组以下，图中实施例设置为4组）视频数据总线，但每一组视频数据总线201、202、203、204都同时连接到多路子画面图像处理单元10侧的所有子画面通道（16个）的输出端，即所有路子画面像素数据切换与分配模块23的输出端上，同时还连接到多组组合画面图像处理单元40侧的所有图像组合单元上，即所有画面合成控制逻辑模块41上，当然也可以只分别连接到一个图像组合单元上，如图3中所示。每组视频数据总线201或202或203或204均包括16条或8条视频数据线，传送包括色差、亮度等信号的YUV数据。

需要说明的是：多画面视频数据总线20可以只有一组视频数据总线，也可以有多组视频数据总线；多组组合画面图像处理单元40内对多组视频数据总线的输入选择也不是必须的，可以固定连接到某一组数据总线上；像素数据读取控制与总线切换逻辑模块50也可以放在多路子画面图像处理单元10内（如图2所示）或放在多组组合画面图像处理单元40内（如图3所示）。

为保证总线的信号质量，还需要对各视频信号做适当的阻抗匹配处理，总线驱动一般采用ABT（一种总线驱动芯片）类型的接口芯片。

图2中地址及控制总线30是图3中控制总线301和时钟与同步信号302的总称，包括视频同步信号与视频像素地址信号/子画面图像选通信号。其中的视频同步信号包括27MHz的视频器件工作主时钟、13.5MHz或6.75MHz的像素时钟、场同步信号、行同步信号、复合消隐指示信号，该类视频同步信号供多路子画面图像处理单元10及多组组合画面图像处理单元40共用。视频像素地址信号/子画面图像选通信号，根据像素数据读取控制与总线切换逻辑模块50放置在总线哪一侧的情况而确定信号类型。每组组合画面图像处理单元40的组合画面像素地址控制模块42都会在每个像素时钟的时刻，输出用于指定该时刻需要读取的像素所对应的图像通道代号（地址）。该图像通道代号（地址）经像素读取控制与总线切换逻辑模块50译码后，生成第m路子画面图像数据被第n组组合画面读取的选通信号，就可从该路子画面通道的FIFO（12）中读取视频数据。

本发明的多画面视频总线可以是多路视频数据总线20、控制总线301与时钟与同步信号302的总称。图3的实施例则是将像素数据读取控制与总线切换逻辑模块50放在多画面视频数据总线靠近画面组合单元40一侧的情况。

组合画面像素地址控制模块42，由CPU或DSP和存储器组成。根据后台操作的要求，由CPU或DSP计算出一场或一帧组合画面的每个像素所对应的子画面的代号（即地址），再将一场或一帧的像素地址按照图像扫描的顺序写入存储器。在奇偶场的方式下，需要采用两组存储器分别存储两场的像素地址表；在帧处理的方式下，只需存储公共帧

的像素地址表。

该存储器可以是帧存（Frame Buffer Memory）FIFO或SRAM。由于在一段几分钟至若干小时的业务时间内，多个画面的组合方式是相对稳定的，并不需要频繁切换，因而不需要每场或每帧都计算像素的地址，因此针对某一种确定的模式，只需计算一次像素地址，将像素地址表保存在存储器中，然后在视频同步信号的控制下，每场或每帧从存储器中重复读取，属于纯硬件时序操作。此外，计算像素地址表需要较大的运算量，如果每场或每帧都要实时计算，则需要采用高速DSP，则成本太高，因而从成本考虑也不要求每场或每帧都计算像素地址。

画面合成控制逻辑模块41是与画面像素地址控制模块42配合工作而构成的图像组合子模块。各子画面的视频数据按照规定的顺序依次输出到多画面视频数据总线20上后，实际上已经形成了组合图像的数据格式与顺序，但为满足系统功能增强的需要，各图像组合子模块还需要实现以下两个功能：从多组视频数据总线中选择一组视频数据总线（也可以固定连接）；像素替换及字幕框线叠加，主要用于将组合图像中空白的子画面区域填充为固定颜色，以及叠加框线和字幕。区域颜色填充的功能可以直接在视频数据总线上通过上拉或下拉的方式实现，或采用其它处理子模块与字幕一起实现。关于叠加框线和字幕的实现方法，由于不属于本专利讨论的范围，在此不详述。

时钟及视频同步信号产生模块60，可以由专用视频器件构成，也可以由逻辑电路构成。

本发明的多路数字图像多组组合的总体实现方法和总线接口技

术，经在会议电视MCU系统的视讯交换平台设备上试应用，证明可以实现发明目的，在多媒体图像通讯类设备中应用，因其极强的多画面处理能力而具有明显优良的性能。

权利要求

1. 一种多路数字图像多组组合的实现方法，其特征在于包括以下处理步骤：

A. 将来自原始视频通道的m路完整的视频数据对应送入m路子画面通道，分别按像素方式压缩成m个子画面像素数据并对应暂存在m个先进先出（FIFO）子画面帧存中；

B. 由m路子画面像素数据的输出总线选通信号控制m路子画面像素数据在规定的时刻输出到n组视频数据总线中的一组规定的视频数据总线上；

C. 由n组图像组合模块分别将n组视频数据总线上的子画面像素数据组合成n组组合画面，并从n组组合画面通道输出完整的视频数据。

2. 根据权利要求1所述的一种多路数字图像多组组合的实现方法，其特征在于：所述的步骤A包括生成扫描顺序与原始视频数据相同但行像素与列像素少于原始图像的子画面，和将子画面视频数据存放在先进先出（FIFO）子画面帧存的低位地址端。

3. 根据权利要求1所述的一种多路数字图像多组组合的实现方法，其特征在于：所述的步骤B进一步包括：在规定的时刻，每一组视频数据总线上只有一路子画面像素数据被输出，m路子画面像素数据被所述的总线选通信号控制，选择性地切换到n组视频数据总线上。

4. 根据权利要求1或3所述的一种多路数字图像多组组合的实现方法，其特征在于：所述步骤B中的总线选通信号的生成进一步包括：计算出一场或一帧组合画面的每个像素所对应的子画面的通道地址；将

计算后的一场或一帧的像素地址按照图像扫描顺序写入存储器，形成像素地址表；在视频同步信号的控制下从像素地址表中读取像素地址，选通一组视频数据总线，由第n组组合画面图像处理单元读取第m个子画面像素数据。

5. 根据权利要求4所述的一种多路数字图像多组组合的实现方法，其特征在于：在奇偶场方式下，是由两组存储器分别存储奇场与偶场的像素地址表；在帧处理方式下，是由一组存储器存储公共帧的像素地址表。

6. 根据权利要求4所述的一种多路数字图像多组组合的实现方法，其特征在于：在画面组合方式稳定的业务时间段内，一次计算并存储的一场或一帧组合画面的每个像素所对应的子画面的地址，在每场或每帧供重复读取。

7. 一种多路数字图像多组组合的总线接口，其特征在于：包括

m路子画面图像处理单元、n组组合画面图像处理单元、n组视频数据总线、地址及控制总线、像素数据读取控制与总线切换逻辑模块和时钟及同步信号产生模块；

m路子画面图像处理单元的m个子画面通道输出端同时连接n组视频数据总线；n组视频数据总线同时连接n组组合画面图像处理单元的子画面视频数据输入端，或者固定连接少于n的组合画面图像处理单元的子画面视频数据输入端；

所述的地址及控制总线同时连接n组组合画面图像处理单元、像素数据读取控制与总线切换逻辑模块和时钟及同步信号产生模块。

8. 根据权利要求7所述的一种多路数字图像多组组合的总线接口，其特征在于：所述的m路子画面图像处理单元中的每一路子画面图像处理单元，是由子画面生成模块、先进先出（FIFO）子画面帧存（Frame Buffer Memory）模块和子画面像素数据切换与分配模块顺序连接构成的；所述n组组合画面图像处理单元中的每一组组合画面图像处理单元是由组合画面像素地址控制模块和组合画面合成控制逻辑模块连接构成的；n个组合画面像素地址控制模块及所述的像素数据读取控制与总线切换逻辑模块与所述的地址及控制总线连接；所述的像素数据读取控制与总线切换逻辑模块与所述的m个子画面像素数据切换与分配模块连接，所述的m个子画面像素数据切换与分配模块及所述的n个组合画面合成控制逻辑模块同时连接n组视频数据总线。

9. 根据权利要求8所述的一种多路数字图像多组组合的总线接口，其特征在于：所述的像素数据读取控制与总线切换逻辑模块是由译码器连接组成的，对由相关的组合画面像素地址控制模块送出的像素地址信号及视频同步信号进行译码，输出总线选通信号，控制一子画面像素数据输出到一组视频数据总线上。

10. 根据权利要求8所述的一种多路数字图像多组组合的总线接口，其特征在于：所述的组合画面像素地址控制模块由中央处理单元（CPU）或数字信号处理器（DSP）与存储器连接组成，中央处理单元（CPU）或数字信号处理器（DSP）用于计算一场或一帧组合画面的每个像素所对应的各子画面的地址，存储器中存放该地址，形成一场或一帧组合画面的像素地址表。

11. 根据权利要求8所述的一种多路数字图像多组组合的总线接口，其特征在于：所述的地址与控制总线包括地址总线、时钟与同步信号总线与控制总线，所述的地址总线连接所述的组合画面像素地址控制模块及所述的像素数据读取控制与总线切换逻辑模块，所述的时钟与同步信号总线连接所述的m路子画面图像处理单元和n组组合画面图像处理单元，所述的控制总线连接所述的m个子画面图像数据切换与分配模块和所述的像素读取控制与总线切换逻辑模块。

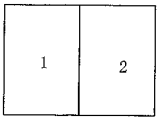


图 1a

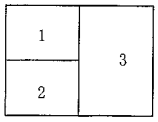


图 1b

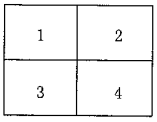


图 1c

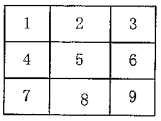


图 1d

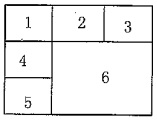


图 1e

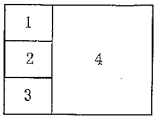


图 1f

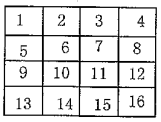


图 1g

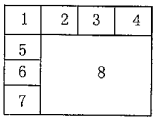


图 1h

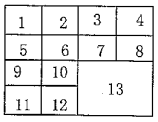


图 1i

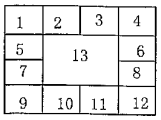


图 1j

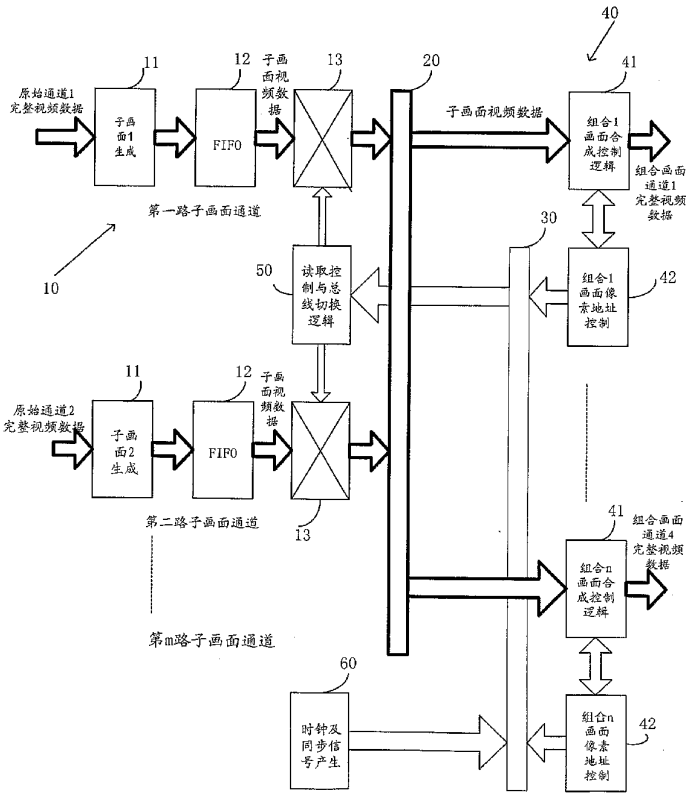

40
11
12
子画面视频数据
13
20
41
原始通道1完整视频数据
子画面1生成
FIFO
子画面视频数据
组合1画面合成控制逻辑
组合画面通道1完整视频数据
第一路子画面通道
10
30
50
读取控制与总线切换逻辑
组合1画面像素地址控制
42
11
12
子画面视频数据
原始通道2完整视频数据
子画面2生成
FIFO
第二路子画面通道
13
41
组合画面通道4完整视频数据
组合n画面合成控制逻辑
第m路子画面通道
60
时钟及同步信号产生
组合n画面像素地址控制
42

图 2

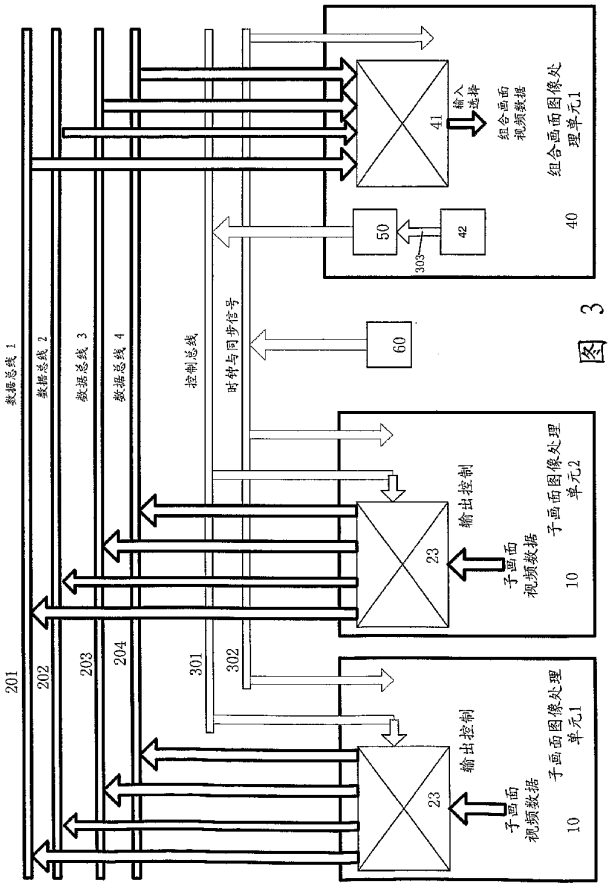

数据总线 1
数据总线 2
数据总线 3
数据总线 4
控制总线
时钟与同步信号
201
202
203
204
301
302
303
子画面图像处理单元1
10
输出控制
23
子画面视频数据
子画面图像处理单元2
10
输出控制
23
子画面视频数据
60
50
42
组合画面图像处理单元1
40
41
输入选择
组合画面视频数据

图 3

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN01/01624

A. CLASSIFICATION OF SUBJECT MATTER

IPC [7] H04N7/15

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC [7] H04N7/15

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, EPODOC, WPI, PAJ (INTERACTIVE,TV,IMAGE,COMBINE,MULTI-)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0909070 (MATSUSHITA ELECTRIC INDUSTRIAL CO.,LTD.) ; 14.Apr.1999 (14.04.99) , The whole document	1-11
A	WO 01/52544 (SAMSUNG ELECTRICS CO.,LTD.) ; 19.Jul.2001(19.07.01), The whole document	1-11

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10..May.2002(10.05.02)	27 June. 2002 (27.06.02)
Name and mailing address of the ISA/CN 6 Xitucheng Rd., Jimen Bridge, Haidian District, 100088 Beijing, China Facsimile No. 86-10-62019451	Authorized officer SONG Yuqin Telephone No. (86-10)62093192

Form PCT/ISA/210 (second sheet) (July 1998)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
Pct/cn01/01624

Patent Document Cited in Search Report	Publication Date	Patent Family Member(s)	Publication Date
EP 0909070	14.04.1999	JP 11085654	30.03.90
WO 01/52544	19.07.01	AU 2714601	24.07.01
		US 2002010927	24.01.02

Form PCT/ISA/210 (patent family annex) (July 1998)

国际检索报告	国际申请号 PCT/CN01/01624

A. 主题的分类

IPC^{7} H04N7/15

按照国际专利分类表(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类体系和分类号)

IPC^{7} H04N7/15

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称和，如果实际可行的，使用的检索词)

CNPAT，EPODOC，WPI，PAJ(交互、电视、图象、组合、多路)

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求编号
A	EP 0909070（MATSUSHITA ELECTRIC INDUSTRIAL CO.，LTD.）； 14.4 月 1999（14.04.99），全文	1-11
A	WO 01/52544（SAMSUNG ELECTRICS CO.，LTD.）； 19.7 月 2001（19.07.01），全文	1-11

☐ 其余文件在 C 栏的续页中列出。 ☒ 见同族专利附件。

* 引用文件的专用类型：

"A" 明确叙述了被认为不是特别相关的一般现有技术的文件

"E" 在国际申请日的当天或之后公布的在先的申请或专利

"L" 可能引起对优先权要求的怀疑的文件，为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布的在后文件，它与申请不相抵触，但是引用它是为了理解构成发明基础的理论或原理

"X" 特别相关的文件，仅仅考虑该文件，权利要求所记载的发明就不能认为是新颖的或不能认为是有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，权利要求记载的发明不具有创造性

"&" 同族专利成员的文件

国际检索实际完成的日期 10.5 月.2002（10.05. 02）	国际检索报告邮寄日期 27. 6月 2002(27 06. 02)
国际检索单位名称和邮寄地址 ISA/CN 中国北京市海淀区西土城路 6 号(100088) 传真号： 86-10-62019451	受权官员 宋 宋[illegible] 电话号码：86-10-62093192

PCT/ISA/210 表(第 2 页)(1998 年 7 月)

国际检索报告
关于同族专利成员的报告

国际申请号
PCT/CN01/01624

检索报告中引用的专利文件	公布日期	同族专利成员	公布日期
EP 0909070	14.04.99	JP 11085654	30.03.90
		US 6182116	30.01.01
WO 01/52544	19.07.01	AU 2714601	24.07.01
		US 2002010927	24.01.02

PCT/ISA/210 表(同族专利附件)(1998 年 7 月)

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,US,UZ,VN,YU,ZA,ZW

(72)発明者 朱 雄 羽
中華人民共和国 ５１８０５７ 広東省深▲ちぇん▼市南山区科技園科発路華為用服中心大厦
(72)発明者 王 光 奎
中華人民共和国 ５１８０５７ 広東省深▲ちぇん▼市南山区科技園科発路華為用服中心大厦
(72)発明者 李 江 宏
中華人民共和国 ５１８０５７ 広東省深▲ちぇん▼市南山区科技園科発路華為用服中心大厦

Ｆターム(参考) 5C023 AA14 AA38 BA11 CA01 DA04
5C064 AA02 AC22