

(43) 国際公開日  
2016 年 8 月 4 日(04.08.2016)



(10) 国際公開番号

WO 2016/121258 A1

- (51) 国際特許分類:  
*G09F 9/33* (2006.01) *H01L 33/54* (2010.01)  
*G09F 9/30* (2006.01) *H01L 33/62* (2010.01)  
*H01L 33/00* (2010.01)

(21) 国際出願番号: PCT/JP2015/085171

(22) 国際出願日: 2015 年 12 月 16 日(16.12.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
 特願 2015-015843 2015 年 1 月 29 日(29.01.2015) JP

(71) 出願人: ソニー株式会社(SONY CORPORATION)  
 [JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 Tokyo (JP).

(72) 発明者: 長谷川 利昭(HASEGAWA, Toshiaki); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 青柳 健一(AOYAGI, Kenichi); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 荒木 信達(ARAKI, Nobutatsu); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 城野 毅(JYOUNO, Tsuyoshi); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 大坪 勝則(OOTSUBO, Katsunori); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 萩本 賢哉(HAGIMOTO, Yoshiya); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 水間 保宏(MIZUMA, Yasuhiro); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 特許業務法人つばさ国際特許事務所(TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿 1 丁目 1 5 番 9 号さわだビル3階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

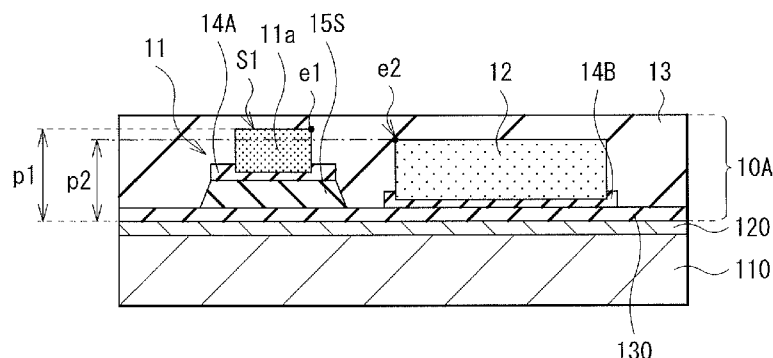
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

**(54) Title:** DISPLAY DEVICE

(54) 発明の名称：表示装置

[图2]



**(57) Abstract:** This display device is provided with, on a substrate, a first wiring layer and an element part including a plurality of pixels. The element part has, in each pixel, a light-emitting element part that includes one or a plurality of light-emitting elements and has a light emission surface, and a drive element for driving the light-emitting element part, the drive element being electrically connected to the light-emitting element part via the first wiring layer. The end of the light emission surface of the light-emitting element part is arranged at the same height as the upper end of the drive element or at a position higher than the upper end.

(57) 要約: 表示装置は、基板上に、第1の配線層と、複数の画素を含む素子部とを備え、素子部は、各画素内に、1または複数の発光素子を含むと共に発光面を有する発光素子部と、発光素子部を駆動すると共に、第1の配線層を介して発光素子部と電気的に接続された駆動素子とを有するものである。発光素子部の発光面の端部は、駆動素子の上端部と同じ高さか、または上端部よりも高い位置に配置されている。

**WO 2016/121258 A1**

**WO 2016/121258 A1**



---

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

**発明の名称：**表示装置

### 技術分野

[0001] 本開示は、発光素子と駆動素子とが画素内に混載して形成された表示装置に関する。

### 背景技術

[0002] 近年、1画素内に、発光素子とこれを駆動する駆動用ＩＣ（Integrated Circuit）とが混載された表示装置が開発されている（例えば、特許文献１）。この表示装置では、発光素子や駆動用ＩＣなどの各種半導体素子は、仮基板上に形成、封止された後、転写技術やＴＳＶ技術などを用いて素子間接続がなされる。このようにして形成された素子基板が、インターポーザなどのプリント基板上に実装される。

### 先行技術文献

#### 特許文献

[0003] 特許文献１：特開２００２－１８２５８０号公報

### 発明の概要

[0004] 上記のような表示装置では、特に小型化が進むと、発光素子と駆動用ＩＣとの間隔が狭まり、発光素子から出射した光の一部が、駆動用ＩＣによってけられ（遮られ）易い。この結果、視野角が狭まり、表示性能が劣化するという問題がある。

[0005] したがって、発光素子と駆動素子とを含む素子構造において、表示性能の劣化を抑制しつつ小型化を実現することが可能な表示装置を提供することが望ましい。

[0006] 本開示の一実施の形態の表示装置は、基板上に、第１の配線層と、複数の画素を含む素子部とを備え、素子部は、各画素内に、１または複数の発光素子を含むと共に発光面を有する発光素子部と、発光素子部を駆動すると共に、第１の配線層を介して発光素子部と電気的に接続された駆動素子とを有す

るものである。発光素子部の発光面の端部は、駆動素子の上端部と同じ高さか、または上端部よりも高い位置に配置されている。

[0007] 本開示の一実施の形態の表示装置では、基板上に第1の配線層と、複数の画素を含む素子部とが設けられ、素子部は、各画素内に、1または複数の発光素子を含む発光素子部と、これを駆動する駆動素子とを有する。発光素子部の発光面の端部が、駆動素子の上端部と同じ高さか、または上端部よりも高い位置に配置されることにより、発光素子部から出射した光が、駆動素子の上端部においてけられにくくなる。

[0008] 本開示の一実施の形態の表示装置によれば、基板上に第1の配線層と、複数の画素を含む素子部とが設けられ、素子部は、各画素内に、1または複数の発光素子を含む発光素子部と、これを駆動すると共に、第1の配線層を介して発光素子部と電氣的に接続された駆動素子とを有する。発光素子部の発光面の端部が、駆動素子の上端部と同じ高さか、または上端部よりも高い位置に配置されることにより、発光素子部から出射した光がけられ、視野角が狭くなることを抑制できる。よって、発光素子と駆動素子とを含む素子構造において、表示性能の劣化を抑制しつつ小型化を実現することが可能となる。

[0009] 尚、上記内容は本開示の一例である。本開示の効果は、上述したものに限らず、他の異なる効果であってもよいし、更に他の効果を含んでいてもよい。

## 図面の簡単な説明

[0010] [図1]本開示の第1の実施の形態に係る表示装置の概略構成を表す模式図である。

[図2]図1に示した素子部の構成例を表す模式図である。

[図3]図1および図2に示した素子部の実装例を表す断面図である。

[図4A]図2に示した素子部の形成方法を工程順に示す模式図である。

[図4B]図4Aに続く工程を示す模式図である。

[図4C]図4Bに続く工程を示す模式図である。

- [図4D]図4 Cに続く工程を示す模式図である。
- [図4E]図4 Dに続く工程を示す模式図である。
- [図4F]図4 Eに続く工程を示す模式図である。
- [図5]比較例1に係る素子部の作用を説明するための模式図である。
- [図6]図2に示した素子部の作用を説明するための模式図である。
- [図7]本開示の第2の実施の形態に係る素子部の構成を表す模式図である。
- [図8A]図7に示した素子部の形成方法を工程順に示す模式図である。
- [図8B]図8 Aに続く工程を示す模式図である。
- [図8C]図8 Bに続く工程を示す模式図である。
- [図8D]図8 Cに続く工程を示す模式図である。
- [図8E]図8 Dに続く工程を示す模式図である。
- [図8F]図8 Eに続く工程を示す模式図である。
- [図9]本開示の第3の実施の形態に係る素子部の構成を表す模式図である。
- [図10]図9に示した高屈折率層の設計パラメータを示す模式図である。
- [図11A]図9に示した素子部の形成方法を工程順に示す模式図である。
- [図11B]図1 1 Aに続く工程を示す模式図である。
- [図11C]図1 1 Bに続く工程を示す模式図である。
- [図11D]図1 1 Cに続く工程を示す模式図である。
- [図11E]図1 1 Dに続く工程を示す模式図である。
- [図11F]図1 1 Eに続く工程を示す模式図である。
- [図12A]本開示の第4の実施の形態に係る素子部の構成を表す模式図である。
- [図12B]図1 2 Aの一部を拡大した模式図である。
- [図13A]図1 2に示した素子部の形成方法を工程順に示す模式図である。
- [図13B]図1 3 Aに続く工程を示す模式図である。
- [図13C]図1 3 Bに続く工程を示す模式図である。
- [図13D]図1 3 Cに続く工程を示す模式図である。
- [図13E]図1 3 Dに続く工程を示す模式図である。
- [図13F]図1 3 Eに続く工程を示す模式図である。

[図13G]図13Fに続く工程を示す模式図である。

[図13H]図13Gに続く工程を示す模式図である。

[図13I]図13Hに続く工程を示す模式図である。

[図13J]図13Iに続く工程を示す模式図である。

[図13K]図13Jに続く工程を示す模式図である。

[図14]本開示の第5の実施の形態に係る素子部の構成を表す模式図である。

[図15A]図14に示した素子部の形成方法を工程順に示す模式図である。

[図15B]図15Aに続く工程を示す模式図である。

[図15C]図15Bに続く工程を示す模式図である。

[図15D]図15Cに続く工程を示す模式図である。

[図15E]図15Dに続く工程を示す模式図である。

[図16]比較例1に係る素子部の作用を説明するための模式図である。

[図17]図14に示した素子部の作用を説明するための模式図である。

[図18]本開示の第6の実施の形態に係る素子部の構成を表す模式図である。

[図19A]比較例2に係る素子部の形成方法を工程順に示す模式図である。

[図19B]図19Aに続く工程を示す模式図である。

[図19C]図19Bに続く工程を示す模式図である。

[図20A]図18に示した素子部の形成方法を工程順に示す模式図である。

[図20B]図20Aに続く工程を示す模式図である。

[図20C]図20Bに続く工程を示す模式図である。

[図20D]図20Cに続く工程を示す模式図である。

[図20E]図20Dに続く工程を示す模式図である。

[図20F]図20Eに続く工程を示す模式図である。

[図20G]図20Fに続く工程を示す模式図である。

[図21]本開示の第7の実施の形態に係る素子部の構成を表す模式図である。

[図22A]図21に示した素子部の形成方法を工程順に示す模式図である。

[図22B]図22Aに続く工程を示す模式図である。

[図23]変形例1に係る素子部の構成を表す模式図である。

[図24]本開示の第8の実施の形態に係る素子部の構成を表す模式図である。

[図25]図24に示した素子部の要部構成を表す平面模式図である。

[図26]本開示の第9の実施の形態に係る素子部の構成を表す模式図である。

[図27A]図26に示した素子部の形成方法を工程順に示す模式図である。

[図27B]図27Aに続く工程を示す模式図である。

[図27C]図27Bに続く工程を示す模式図である。

[図27D]図27Cに続く工程を示す模式図である。

[図28]変形例2-1に係る素子部の構成を表す模式図である。

[図29]変形例2-2に係る素子部の構成を表す模式図である。

[図30]変形例2-3に係る素子部の構成を表す模式図である。

### 発明を実施するための形態

[0011] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。尚、説明は以下の順序で行う。

1. 第1の実施の形態（発光素子の下に絶縁膜が形成され、駆動素子よりも高い位置に発光面をもつ表示装置の例）
2. 第2の実施の形態（駆動素子が凹部に形成され、駆動素子よりも高い位置に発光面をもつ表示装置の例）
3. 第3の実施の形態（発光素子を覆う高屈折率層が設けられ、駆動素子よりも高い位置に発光面をもつ表示装置の例）
4. 第4の実施の形態（発光素子が駆動素子に埋め込み形成された場合の例）
5. 第5の実施の形態（駆動素子がテーパ形状を有する場合の例）
6. 第6の実施の形態（駆動素子の断面形状が台形状を有する場合の例）
7. 第7の実施の形態（発光素子と駆動素子との接続配線が遮光層を兼ねる場合の例）
8. 変形例1（発光素子と駆動素子との接続配線の他の例）
9. 第8の実施の形態（駆動素子に重畳するシード層が遮光層を兼ねる場合の例）

10. 第9の実施の形態（発光素子と駆動素子との間に遮光樹脂層が埋め込み形成された場合の例）

11. 変形例2-1～2-3（遮光層の他の例）

[0012] <第1の実施の形態>

[構成]

図1は、本開示の第1の実施の形態に係る表示装置（表示装置1）の全体構成を表すものである。図2は、素子部10Aの構成の一例を模式的に表したものである。尚、図2では、第1基板10ではなく、剥離前（再配線層15形成前）の仮基板（第2基板110）に接着層（剥離層120）を介して、素子部10Aが形成された状態を図示している。図3は、素子部10Aを第1基板10に実装した状態の構成例を表す断面図である。

[0013] 表示装置1は、1または複数の発光素子11R、11G、11B（特に区別の必要のない場合には発光素子11aとする）を含む発光素子部11と、この発光素子部11を駆動する駆動素子12とが、1つの画素内に混載された発光デバイスである。これらの発光素子11aと駆動素子12とを含む素子部10Aは、再配線層15および接合部14を介して第1基板10上に実装されている。表示装置1では、素子部10Aは、例えば図示しない仮基板上に形成された後、転写技術およびTSV技術などを用いて、再配線層15が形成され、素子間の配線接続が行われる。

[0014] 第1基板10は、例えばインターポーザ等のプリント基板から構成されている。素子部10Aは、仮基板から剥離され、TSV等により再配線層15が形成された後、この第1基板10に実装される。この第1基板10が、本開示の「基板」の一具体例に相当する。

[0015] 発光素子部11は、例えば赤（R）、緑（G）、青（B）の色光を発する発光素子11R、11G、11Bを含んで構成されている。これらの発光素子11R、11G、11Bはそれぞれ、例えば発光ダイオード（LED: Light Emitting Diode）チップから構成され、素子部10A内に並んで配置されている。発光素子11R、11G、11Bは、例えば数 $\mu\text{m}$ 以上数100 $\mu\text{m}$

m以下程度の幅で形成され、狭小な間隔をおいて配置されている。

[0016] 駆動素子12は、駆動用ICであり、図3に示したように、例えばICチップを含むシリコン(Si)層(Si層12a)と、例えばBEOL(Back-End of Line)技術により形成された多層配線層(配線層12b)を含んで構成されている。この駆動素子12は、素子部10A内において、発光素子部11と並んで配置されている。駆動素子12と発光素子11aとの間隔も狭小である。

[0017] 素子部10Aでは、これらの発光素子部11および駆動素子12が、封止層13により封止されている。封止層13は、例えばシリコン酸化膜およびシリコン窒化膜などの無機絶縁膜などから構成され、単層膜であってもよいし、積層膜であってもよい。層間絶縁膜を含んでいてもよい。また、発光素子11aと駆動素子12とは、接着層14A、14Bにより下地層(絶縁膜15s、透明絶縁膜130または配線層16など)に接着されている。

[0018] 接合部14は、再配線層15と第1基板10とをはんだ付けするためのものである。接合部14は、例えば錫(Sn)、銅(Cu)および銀(Ag)などを含む合金により構成されている。

[0019] 再配線層15は、例えば発光素子部11の各発光素子11aと、駆動素子12とを電氣的に接続する配線や、発光素子11aと接合部14とを電氣的に接続する配線、および駆動素子12と接合部14とを電氣的に接続する配線などを含む多層配線層である。この再配線層15は、素子部10Aの形成後に、剥離工程などを経て、素子部10Aに隣接して形成されるものである。この再配線層15が、本開示の「第1の配線層」の一具体例に相当する。

[0020] 本実施の形態では、図2に示したように、上記のような素子部10Aにおいて、発光素子部11の発光面の端部e1が、駆動素子12の上端部e2と同じか、または上端部e2よりも高い位置に配置されている。ここでは、発光素子部11を構成する発光素子11aの上面(例えば、発光ダイオードチップの上面)が発光面S1となっており、この発光面S1の端部e1が、駆動素子12の上端部e2よりも高い位置に配置されている(端部e1の高さ

$p_1 >$  上端部 e 2 の高さ  $p_2$  )。

[0021] 具体的には、発光素子部 1 1 において、発光素子 1 1 a の下に、絶縁膜 1 5 s (第 1 の絶縁膜) が形成されている (発光素子 1 1 a の第 2 基板 1 1 0 (第 1 基板 1 0) 側に絶縁膜 1 5 s が形成されている)。この絶縁膜 1 5 s の厚みと発光素子 1 1 a の厚みとの合計は、駆動素子 1 2 の厚みと同等か、または駆動素子 1 2 の厚みよりも大きくなっている。絶縁膜 1 5 s は、例えばシリコン、アクリル、ポリイミドまたはエポキシ等の透明樹脂から構成されている。あるいは、絶縁膜 1 5 s は、例えばシリコン酸化膜、シリコン窒化膜またはシリコン酸化窒化膜などの無機透明材料から構成されていてもよい。絶縁膜 1 5 s の厚みの設定により、発光面 S 1 の高さ  $p_2$  を調整することができる。

[0022] [製造方法]

表示装置 1 の素子部 1 0 A は、例えば次のようにして形成することができる。図 4 A ~ 図 4 F は、素子部 1 0 A の形成方法を工程順に表す模式図である。

[0023] まず、図 4 A に示したように、第 2 基板 1 1 0 上に、剥離層 1 2 0 および透明絶縁膜 1 3 0 (第 2 の絶縁膜) をこの順に形成する。この後、図 4 B に示したように、透明絶縁膜 1 3 0 上の選択的な領域に、例えばフォトリソグラフィ法を用いたエッチングにより絶縁膜 1 5 s を形成する。この際、絶縁膜 1 5 s の側面が、テーパ形状 1 5 a を有するように加工する。続いて、図 4 C に示したように、配線層 1 6 を形成する。絶縁膜 1 5 s のテーパ形状 1 5 a により、配線層 1 6 が断線することを抑制することができる。尚、この配線層 1 6 は、図 2 では簡便化のため省略している。

[0024] この後、図 4 D に示したように、絶縁膜 1 5 s 上の領域に接着層 1 4 A を形成すると共に、透明絶縁膜 1 3 0 上の選択的な領域に接着層 1 4 B を形成する。続いて、図 4 E に示したように、これらの接着層 1 4 A, 1 4 B 上に、発光素子 1 1 a と駆動素子 1 2 とをそれぞれ貼り合わせる (転写する)。最後に、図 4 F に示したように、発光素子部 1 1 (発光素子 1 1 a) と、駆

動素子 12 とを覆うように、封止層 13 を形成する。このようにして、素子部 10A を形成する。その後は、特に図示はしないが、第 2 基板 110 と対向する基板を、素子部 10A を間にして貼り合わせた後、第 2 基板 110 を剥離層 120 により透明絶縁膜 130 から分離する。この素子部 10A の透明絶縁膜 130 の側に再配線層 15 と接合部 14 とを形成し、第 1 基板 10 上にはんだ付けすることにより、図 1 に示した表示装置 1 を作製することができる。

[0025] [作用, 効果]

本実施の形態の表示装置 1 では、外部から入力された映像信号に基づいて、図示しない駆動回路から映像電圧が各画素に供給される。これにより、各画素が表示駆動され、映像表示がなされる。

[0026] ここで、表示装置 1 の素子部 10A では、1 画素内に、発光素子 11a を含む発光素子部 11 と、これを駆動する駆動素子 12 とが混載して配置されている。このため、発光素子 11a と駆動素子 12 との間隔が比較的狭く、特に小型化が進むと発光素子 11a と駆動素子 12 とが、数  $\mu\text{m}$  ~ 数 100  $\mu\text{m}$  程度の近接した範囲に配置される。

[0027] 図 5 に、比較例 1 に係る素子部 101A の構造を示す。尚、ここでは、第 2 基板 101 上に、剥離層 102 を介して形成された状態を示す。素子部 101A では、透明絶縁膜 103 上に、接着層 104A を介して発光素子 105 が配置されると共に、接着層 104B を介して駆動素子 106 が配置されている。ここで一般に、発光素子 105 は、駆動素子 106 に比べてサイズが小さい。このため、比較例 1 の素子部 101A では、発光面 s100 が駆動素子 106 の上端部 e102 よりも低い位置に配置される。この場合、発光面 S100 から出射された光の一部 (X1 の範囲の光) が、駆動素子 106 の上端部 e102 においてけられ (遮られ) てしまう。この結果、素子部 101A をプリント基板などに実装した場合、発光素子 105 からの出射光の一部が駆動素子 106 によって遮られ、視野角が狭くなる。

[0028] これに対し、本実施の形態では、図 6 に示したように、発光素子部 11 の

発光面 S 1 の端部 e 1 が、駆動素子 1 2 の上端部 e 2 と同じか、または上端部 e 2 よりも高い位置に配置されている。具体的には、発光素子 1 1 a の基板側に絶縁膜 1 5 s が設けられている。これにより、発光素子部 1 1（発光素子 1 1 a）からの出射光が駆動素子 1 2 によって遮られにくく、視野角が狭まることを抑制できる。よって、発光素子と駆動素子とを含む素子構造において、表示性能の劣化を抑制しつつ小型化を実現することが可能となる。

[0029] 以下、本開示の他の実施の形態に係る素子部について説明する。尚、上記第 1 の実施の形態と同様の構成要素については同一の符号を付し、適宜その説明を省略する。

[0030] <第 2 の実施の形態>

[構成]

図 7 は、本開示の第 2 の実施の形態に係る素子部（素子部 1 0 B）の構成を模式的に表したものである。尚、図 7 では、第 2 基板 1 1 0 上に剥離層 1 2 0 を介して、素子部 1 0 B が形成された状態を示している。本実施の形態の素子部 1 0 B では、上記第 1 の実施の形態の素子部 1 0 A と同様、発光素子部 1 1（発光素子 1 1 a）と駆動素子 1 2 とが、1 画素内に混載されている。また、素子部 1 0 B は、図 7 には図示しないが、再配線層 1 5 および接合部 1 4 を介して第 1 基板 1 0 上に実装される。更に、素子部 1 0 B においても、発光素子部 1 1 は発光素子 1 1 a を含み、この発光素子 1 1 a と駆動素子 1 2 とが、封止層 1 3 によって覆われている。

[0031] また、本実施の形態においても、発光素子部 1 1 の発光面 S 1 の端部 e 1 が、駆動素子 1 2 の上端部 e 2 と同じか、または上端部 e 2 よりも高い位置に配置されている。図 7 の例では、発光面 S 1 の端部 e 1 の高さ p 1 が、駆動素子 1 2 の上端部 e 2 の高さ p 2 よりも高くなっている。

[0032] 但し、本実施の形態では、駆動素子 1 2 が発光素子 1 1 a よりも低い位置に配置されている点で、上記第 1 の実施の形態と異なっている。具体的には、本実施の形態では、透明絶縁膜 1 3 0 の選択的な領域に開口（または凹部）が形成されており、この開口部分に駆動素子 1 2 が接着層 1 4 B を介して

貼り合わせられている。発光素子 11a は、透明絶縁膜 130 上の選択的な領域に、接着層 14A を介して貼り合わせられている。

[0033] [素子部 10B の形成方法]

素子部 10B は、例えば次のようにして形成することができる。図 8A ～ 図 8F は、素子部 10A の形成方法を工程順に表す模式図である。

[0034] まず、図 8A に示したように、第 2 基板 110 上に、剥離層 120 および透明絶縁膜 130 をこの順に形成する。この後、図 8B に示したように、透明絶縁膜 130 上の選択的な領域に、例えばフォトリソグラフィ法を用いたエッチングにより開口 H1 を形成する。この際、開口 H1 の側面が、テーパ形状 H1a を有するように加工する。続いて、図 8C に示したように、配線層 17 を形成する。開口 H1 のテーパ形状 H1a により、配線層 17 が断線することを抑制することができる。尚、この配線層 17 は、図 7 では簡便化のため省略している。

[0035] この後、図 8D に示したように、透明絶縁膜 130 上の選択的な領域に接着層 14A を、開口 H1 内に接着層 14B を、それぞれ形成する。続いて、図 8E に示したように、この接着層 14A、14B 上に、発光素子 11a と駆動素子 12 とをそれぞれ貼り合わせる。最後に、図 8F に示したように、発光素子部 11（発光素子 11a）と、駆動素子 12 とを覆うように、封止層 13 を形成する。このようにして、素子部 10B を形成する。その後は、特に図示はしないが、第 2 基板 110 と対向する基板を、素子部 10B を間にして貼り合わせた後、第 2 基板 110 を剥離層 120 により透明絶縁膜 130 から分離する。この素子部 10B の透明絶縁膜 130 の側に再配線層 15 と接合部 14 とを形成し、第 1 基板 10 上にはんだ付けすることにより、図 1 に示したような表示装置を作製することができる。

[0036] [効果]

本実施の形態においても、1 画素内に発光素子部 11 と駆動素子 12 とが混載されてなる素子部 10B において、発光素子部 11 の発光面 S1 の端部 e1 が、駆動素子 12 の上端部 e2 と同じか、または上端部 e2 よりも高い

位置に配置されている。具体的には、透明絶縁膜 130 の選択的な領域に開口（または凹部）が形成されており、この開口部分に駆動素子 12 が設けられている。これにより、発光素子部 11（発光素子 11a）からの出射光が駆動素子 12 によって遮られにくくなり、視野角が狭まることを抑制できる。よって、上記第 1 の実施の形態と同等の効果を得ることができる。

[0037] <第 3 の実施の形態>

[構成]

図 9 は、本開示の第 3 の実施の形態に係る素子部（素子部 10C）の構成を模式的に表したものである。尚、図 9 では、第 2 基板 110 上に剥離層 120 を介して、素子部 10C が形成された状態を示している。本実施の形態の素子部 10C では、上記第 1 の実施の形態の素子部 10A と同様、発光素子部（発光素子部 20）と駆動素子 12 とが、1 画素内に混載されている。また、素子部 10C は、図 9 には図示しないが、再配線層 15 および接合部 14 を介して第 1 基板 10 上に実装される。更に、素子部 10C においても、発光素子部 20 は発光素子 11a を含み、この発光素子部 20 と駆動素子 12 とが、封止層 13 によって覆われている。

[0038] また、本実施の形態においても、発光素子部 11 の発光面（発光面 S2）の端部（端部 e3）が、駆動素子 12 の上端部 e2 と同じか、または上端部 e2 よりも高い位置に配置されている。

[0039] 但し、本実施の形態では、発光素子部 20 が発光素子 11a と、この発光素子 11a を覆う高屈折率層 18 とを含んで構成されている点で、上記第 1 の実施の形態と異なっている。また、高屈折率層 18 の上面が発光面 S2 を成し、この発光面 S2 の端部 e3 が、駆動素子 12 の上端部 e2 と同等以上の高さに配置されている。

[0040] 高屈折率層 18 は、発光素子 11a の上面と側面とを覆って形成されている。この高屈折率層 18 は、封止層 13 よりも屈折率が高い材料から構成されている。高屈折率層 18 の構成材料としては、例えば硫黄（S）およびリン（P）のうちの少なくとも 1 つを含むアクリル、エポキシもしくはポリイ

ミド等の樹脂、またはTiO<sub>2</sub>等のナノ粒子を含む樹脂等が挙げられる。

[0041] 図10は、高屈折率層18の設計パラメータを説明するための模式図である。高屈折率層18の発光面S2の端部e3から出射する光の出射角 $\beta$ の最大値は、90°であることが望ましい。即ち、封止層13と高屈折率層18との界面に入射角 $\alpha$ で入射して、出射角 $\beta$  ( $\beta = 90^\circ$ ) で出射した光が駆動素子12の上面に平行な方向に沿って進むことが望ましい。

[0042] この高屈折率層18の材料および厚みは、例えば以下の条件式(A)を満足するように設定されることが望ましい。但し、 $n_0$ を封止層13の屈折率、 $n_1$ を高屈折率層18の屈折率、 $L_1$ を発光素子11aの側面に対向する高屈折率層18の厚み、 $H_1$ を発光素子11aの発光面(上面)に対向する高屈折率層18の厚みとする。また、制約として、 $L_1 < L_2$ および $H_{LED} > H_{IC}$ の大小関係が成り立つ。

$$n_0 / n_1 < L_1 / (H_1^2 + L_1^2)^{1/2} \quad \dots\dots\dots (A)$$

[0043] [素子部10Cの形成方法]

素子部10Cは、例えば次のようにして形成することができる。図11A～図11Fは、素子部10Cの形成方法を工程順に表す模式図である。

[0044] まず、図11Aに示したように、第2基板110上に、剥離層120および透明絶縁膜130をこの順に形成する。この後、図11Bに示したように、透明絶縁膜130上に、配線層19をパターン形成する。続いて、図11Cに示したように、透明絶縁膜130上の選択的な領域に接着層14A、14Bを、それぞれ形成する。尚、この配線層19は、図10では簡便化のため省略している。

[0045] この後、図11Dに示したように、接着層14A、14B上に、発光素子11aと駆動素子12とをそれぞれ貼り合わせる。続いて、図11Eに示したように、発光素子11aを覆って高屈折率層18を形成する。このようにして、発光素子部20と駆動素子12とを形成する。最後に、図11Fに示したように、発光素子部20(発光素子11a、高屈折率層18)と、駆動素子12とを覆うように、封止層13を形成する。このようにして、素子部

10Cを形成する。その後は、特に図示はしないが、第2基板110と対向する基板を、素子部10Cを間にして貼り合わせた後、第2基板110を剥離層120により透明絶縁膜130から分離する。この素子部10Cの透明絶縁膜130の側に再配線層15と接合部14とを形成し、第1基板10上にはんだ付けすることにより、図1に示したような表示装置を作製することができる。

[0046] [効果]

本実施の形態においても、1画素内に発光素子部20と駆動素子12とが混載されてなる素子部10Cにおいて、発光素子部20の発光面S2の端部e3が、駆動素子12の上端部e2と同じか、または上端部e2よりも高い位置に配置されている。具体的には、発光素子部20において、発光素子11aを覆って高屈折率層18が形成されており、この高屈折率層18の上面（発光面S2）の端部e3が、駆動素子12の上端部e2と同等以上の高さに配置されている。これにより、発光素子部20からの出射光が駆動素子12によって遮られにくくなり、視野角が狭くなることを抑制できる。よって、上記第1の実施の形態と同等の効果を得ることができる。

[0047] <第4の実施の形態>

[構成]

図12Aは、本開示の第4の実施の形態に係る素子部（素子部10D）の構成を模式的に表したものである。図12Bは、素子部10Dの一部を拡大して表したものである。本実施の形態の素子部10Dでは、上記第1の実施の形態の素子部10Aと同様、発光素子部11（発光素子11a）と駆動素子（駆動素子21）とが、1画素内に混載されている。また、素子部10Dは、再配線層15および接合部14を介して第1基板10上に実装される。

[0048] また、本実施の形態においても、図12Bに示したように、発光素子部11の発光面S1の端部e1が、駆動素子21の上端部e2と同じか、または上端部e2よりも高い位置に配置されている。

[0049] 但し、本実施の形態の素子部10Dでは、発光素子11aが、駆動素子2

1の一部に埋め込み形成されている点で、上記第1の実施の形態と異なっている。具体的には、駆動素子21が、選択的な領域に凹部H2（第2の凹部）を有しており、発光素子11aは、この凹部H2内に形成されている。

[0050] また、発光素子11aの下地層として、凹部H2の底面にSiN膜22（第3の絶縁膜）が形成されている。SiN膜22の厚みにより、発光面S1の高さを調整することができる。

[0051] [素子部10Dの形成方法]

素子部10Dは、例えば次のようにして形成することができる。図13A～図13Kは、素子部10Dの形成方法を工程順に表す模式図である。

[0052] まず、図13Aに示したように、シリコンチップなどからなる駆動素子21を形成する。この後、図13Bに示したように、駆動素子21に凹部H2を形成する。続いて、図13Cに示したように、凹部H2の底面に、SiN膜22を所定の厚みとなるように形成する。この後、図13Dに示したように、発光素子11aを転写し、配線層23を形成する。尚、この配線層23は、図12Aでは簡便化のため省略している。続いて、図13Eに示したように、駆動素子21と発光素子11aとを覆って層間絶縁膜140を形成した後、図13Fに示したように、層間絶縁膜140を平坦化する。このようにして、発光素子部11が駆動素子21に埋め込まれてなる素子部10Dを形成する。

[0053] 次に、図13Gに示したように、駆動素子21の層間絶縁膜140の側に、対向基板141を、接着層を介して貼り合わせる。この後、図13Hに示したように、駆動素子21のSi基板を薄膜化する。続いて、図13Iに示したように、TSVにより貫通孔H3を形成する。その後、図13Jに示したように、貫通孔H3を埋め込むように配線層21a1を形成する。最後に、図13Kに示したように、配線層21a1上に、はんだ（接合部14）を形成する。これにより、図12Aに示した素子構造が形成される。

[0054] [効果]

本実施の形態においても、1画素内に発光素子部11と駆動素子12とが

混載されてなる素子部 10D において、発光素子部 11 の発光面 S1 の端部 e1 が、駆動素子 21 の上端部 e2 と同じか、または上端部 e2 よりも高い位置に配置される。具体的には、発光素子 11a が駆動素子 21 に形成された凹部 H2 内に埋め込まれており、発光面 S1 の高さは、SiN 膜 22 の厚みにより調整可能である。これにより、発光素子部 11（発光素子 11a）からの出射光が駆動素子 21 によって遮られにくくなり、視野角が狭くなることを抑制できる。よって、上記第 1 の実施の形態と同等の効果を得ることができる。

[0055] <第 5 の実施の形態>

[構成]

図 14 は、本開示の第 5 の実施の形態に係る素子部（素子部 10E）の構成を模式的に表したものである。尚、図 14 では、第 2 基板 110 上に剥離層 120 を介して、素子部 10E が形成された状態を示している。本実施の形態の素子部 10E では、上記第 1 の実施の形態の素子部 10A と同様、発光素子部（発光素子 11a）と駆動素子（駆動素子 31）とが、1 画素内に混載されている。また、素子部 10E は、図 14 には図示しないが、再配線層 15 および接合部 14 を介して第 1 基板 10 上に実装される。更に、素子部 10E においても、発光素子 11a と駆動素子 31 とが、封止層 13 によって覆われている。

[0056] 但し、本実施の形態の素子部 10E では、上記第 1 の実施の形態と異なり、駆動素子 31 がテーパ形状 31c を有している。また、駆動素子 31 が、遮光膜 32 と反射防止膜 33 とにより覆われている。駆動素子 31 では、BEOL による配線層 31a とシリコンチップを含む Si 層 31b とが積層されているが、これらのうちの Si 層 31b が、テーパ形状 31c を有している。

[0057] [素子部 10E の形成方法]

上記のような素子部 10E は、例えば次のようにして形成することができる。図 15A～図 15E は、素子部 10E の形成方法を工程順に表す模式図

である。

[0058] まず、図15Aに示したように、配線層31aおよびSi層31bからなる駆動素子31上にフォトリソ膜150を所定のパターンで形成する。尚、配線層31aには、予め、ガードリング層153（遮光膜と反射防止膜との積層膜）を形成しておく。この後、図15Bに示したように、エッチングによりSi層31bを加工する。これにより、テーパ形状31cを形成する。続いて、図15Cに示したように、形成したテーパ形状31cを覆うように、遮光膜32と反射防止膜33とを形成する。

[0059] この後、図15Dに示したように、反射防止膜33上にフォトリソ膜151を所定のパターンで形成する。続いて、図15Eに示したように、フォトリソ膜151を用いたエッチングにより、遮光膜32と反射防止膜33との各一部と、配線層31aの一部とを除去する。このようにして、図14に示したような駆動素子31と、遮光膜32および反射防止膜33とを形成する。この後、図示はしないが、発光素子11aと、駆動素子31とを覆うように、封止層13を形成する。このようにして、素子部10Eを形成する。その後は、第2基板110と対向する基板を、素子部10Eを間に貼って貼り合わせた後、第2基板110を剥離層120により透明絶縁膜130から分離する。この素子部10Eの透明絶縁膜130の側に再配線層15と接合部14とを形成し、第1基板10上にはんだ付けすることにより、図1に示したような表示装置を作製することができる。

[0060] [効果]

図16に、比較例1に係る素子部101Aの構造を示す。尚、ここでは、第2基板101上に、剥離層102を介して形成された状態を示す。素子部101Aでは、透明絶縁膜103上に、接着層104Aを介して発光素子105が配置されると共に、接着層104Bを介して駆動素子106が配置されている。上述したように、比較例1の素子部101Aでは、発光面s100が駆動素子106の上端部e102よりも低い位置に配置される。このため、比較例1では、上述のけられにより視野角が狭まるだけでなく、発光素

子 105 から漏れ出た光 L101 が、駆動素子 106 に入射し (X2)、IC を構成するトランジスタなどの特性に影響を与えてしまう。この結果、素子部 101A をプリント基板などに実装した場合、発光素子 105 からの漏れ光の一部が駆動素子 106 に入射し、トランジスタ特性を劣化させる要因となる。また、駆動素子 106 の側面において光反射が生じると、その反射光により表示品位が低下することがある。

[0061] これに対し、本実施の形態では、図 17 に示したように、駆動素子 31 がテーパ形状 31c を有することで、発光素子 11a からの出射光が駆動素子 31 によって遮られにくくなり、視野角が狭まることを抑制できる。また、駆動素子 31 を覆って、遮光膜 32 と反射防止膜 33 とを有することで、駆動素子 31 への光入射および駆動素子 31 の側面での光反射を抑制することができる。よって、上記第 1 の実施の形態と同等の効果を得ることができると共に、駆動素子 31 における特性劣化および反射光による表示品位の低下を抑制することができる。

[0062] 尚、上記第 5 の実施の形態では、テーパ形状 31c によって光のけられを抑制できるが、更に、上記第 1 ないし第 3 の実施の形態のいずれかを採用し、発光素子部 11 の発光面 S1 の端部 e1 が、駆動素子 12 の上端部 e2 と同じか、または上端部 e2 よりも高い位置に配置されていてもよい。これにより、発光素子部 11 (発光素子 11a) からの出射光が駆動素子 12 によって遮られにくくなり、視野角が狭くなることを抑制できる。よって、発光素子と駆動素子とを含む素子構造において、表示性能の劣化を抑制しつつ小型化を実現することが可能となる。

[0063] <第 6 の実施の形態>

[構成]

図 18 は、本開示の第 6 の実施の形態に係る素子部 (素子部 10F) の構成を模式的に表したものである。尚、図 18 では、第 2 基板 110 上に剥離層 120 を介して、素子部 10F が形成された状態を示している。本実施の形態の素子部 10F では、上記第 1 の実施の形態の素子部 10A と同様、発

光素子部（発光素子 11a）と駆動素子（駆動素子 34）とが、1画素内に混載されている。また、素子部 10F は、図 18 には図示しないが、再配線層 15 および接合部 14 を介して第 1 基板 10 上に実装される。更に、素子部 10F においても、発光素子 11a と駆動素子 34 とが、封止層 13 によって覆われている。

[0064] また、本実施の形態の素子部 10F では、上記第 5 の実施の形態と同様、駆動素子 34 がテーパ形状 34c を有している。また、駆動素子 34 が、遮光膜 35 により覆われている。駆動素子 34 では、BEOL による配線層 34a とシリコンチップを含む Si 層 34b とが積層されているが、これらの配線層 34a と Si 層 34b とが、テーパ形状 34c を有し、駆動素子 34 の断面形状が台形状を有している。このように、Si 層 34b と配線層 34a との両方がテーパ形状を有していてもよい。また、駆動素子 34 を覆って、反射防止膜 33 を設けずに、遮光膜 35 のみが設けられていてもよい。但し、上記第 5 の実施の形態のように、反射防止膜 33 を形成した場合の方が表示品位の低下を抑制できるため望ましい。

[0065] [効果]

本実施の形態においても、上記第 5 の実施の形態と同様、駆動素子 34 がテーパ形状 34c を有することで、発光素子 11a からの出射光が駆動素子 34 によって遮られにくくなり、視野角が狭まることを抑制できる。また、駆動素子 34 を覆って、遮光膜 35 を有することで、駆動素子 34 への光入射を抑制することができる。よって、上記第 1 の実施の形態と同等の効果を達成できると共に、駆動素子 31 における特性劣化をも抑制することができる。尚、第 5 実施の形態のように、更に反射防止膜を形成しても構わない。

[0066] 尚、上記第 6 の実施の形態では、テーパ形状 34c によって光のけられを抑制できるが、更に、上記第 1 ないし第 3 の実施の形態のいずれかを採用し、発光素子部 11 の発光面 S1 の端部 e1 が、駆動素子 12 の上端部 e2 と同じか、または上端部 e2 よりも高い位置に配置されていてもよい。これに

より、発光素子部 11（発光素子 11a）からの出射光が駆動素子 12 によって遮られにくくなり、視野角が狭くなることを抑制できる。よって、発光素子と駆動素子とを含む素子構造において、表示性能の劣化を抑制しつつ小型化を実現することが可能となる。

[0067] [テーパ形状の他の形成方法]

上記第 5, 6 の実施の形態の素子部 10E, 10F のテーパ形状は、例えば次のようにして形成することもできる。図 19A～図 19C は、比較例 2 に係る素子部の形成方法を工程順に表す模式図である。図 20A～図 20G は、テーパ形状の形成手法を工程順に表す模式図である。尚、ここでは、図 14 に示した素子部 10E を例に挙げて説明する。

[0068] まず、比較例 2 では、図 19A および図 19B に示したように、BEOL からなる配線層 1011 と Si 層 1012 とのうち、Si 層 1012 の一部を、フォトリソ膜 1015 を用いたエッチング（例えばドライエッチング）により選択的に除去する。これにより、テーパ形状 31c を形成する。その後、図 19C に示したように、フォトリソ膜 1015 を除去する。尚、Si 層 1012 上には、透明絶縁膜 1013 を介して遮光膜 (Ti) 1014 が形成されている。この比較例 2 の Si 加工では、ドライ処理を用いるため、加工後の Si 側面のカバレッジが悪く、遮光性において改善の余地がある。

[0069] そこで、図 20A～図 20G に示したように、Si 層 34b にテーパ形状を形成するとよい。即ち、まず、図 20A および図 20B に示したように、例えば SiN よりなるマスク 152 を用いて、例えばアルカリ系エッチャントによるウェット処理を行う。この後、図 20C に示したように、例えば酸系エッチャントを用いたウェット処理を行い、マスク 152 を除去する。続いて、図 20D および図 20E に示したように、例えば酸系エッチャントを用いたウェット処理を行い、Si 層 34b の上部（庇部分）を選択的に除去する。その後、図 20F および図 20G に示したように、Si 層 34b を覆って透明絶縁膜 36 と遮光膜 35 とをこの順に形成する。このように、Si

層 3 4 b がテーパ形状を有することで、上記比較例 2 に比べ、遮光膜 3 5 のカバレッジ性が良好となる。十分な遮光性を得ることができる。

[0070] <第 7 の実施の形態>

[構成]

図 2 1 は、本開示の第 7 の実施の形態に係る素子部（素子部 1 0 G）の構成を模式的に表したものである。尚、図 2 1 では、第 2 基板 1 1 0 上に剥離層 1 2 0 を介して、素子部 1 0 G が形成された状態を示している。本実施の形態の素子部 1 0 G では、上記第 1 の実施の形態の素子部 1 0 A と同様、発光素子部（発光素子 1 1 a）と駆動素子 1 2 とが、1 画素内に混載されている。また、素子部 1 0 G は、図 2 1 には図示しないが、再配線層 1 5 および接合部 1 4 を介して第 1 基板 1 0 上に実装される。更に、素子部 1 0 G においても、発光素子 1 1 a と駆動素子 1 2 とが、封止層 1 3 によって覆われている。

[0071] 但し、本実施の形態の素子部 1 0 G では、上記第 1 の実施の形態と異なり、発光素子 1 1 a と駆動素子 1 2 とを電氣的に接続する配線（接続配線 3 7）が、封止層 1 3 に埋設されている。この場合、再配線層 1 5 には、発光素子 1 1 a と駆動素子 1 2 とを電氣的に接続する配線は形成されない。

[0072] [素子部 1 0 G の形成方法]

上記のような素子部 1 0 G は、例えば次のようにして形成することができる。図 2 2 A および図 2 2 B は、素子部 1 0 G の形成方法を工程順に表す模式図である。

[0073] まず、図 2 2 A に示したように、発光素子 1 1 a と駆動素子 1 2 とを覆って封止層 1 3 を形成した後、封止層 1 3 に接続孔 H 4 を形成する。この後、図 2 2 B に示したように、接続孔 H 4 を埋めこむように接続配線 3 7 を形成する。最後に、形成した接続配線 3 7 の表面側の一部を除去することにより、図 2 1 に示した素子部 1 0 G を形成することができる。

[0074] この後、図示はしないが、第 2 基板 1 1 0 と対向する基板を、素子部 1 0 G を間にして貼り合わせた後、第 2 基板 1 1 0 を剥離層 1 2 0 により透明絶

縁膜 130 から分離する。この素子部 10G の透明絶縁膜 130 の側に再配線層 15 と接合部 14 とを形成し、第 1 基板 10 上にはんだ付けすることにより、図 1 に示したような表示装置を作製することができる。

[0075] [効果]

本実施の形態では、発光素子 11a と駆動素子 12 とを電氣的に接続する接続配線 37 が封止層 13 に埋設されることにより、この接続配線 37 が遮光膜として機能し（遮光膜を兼ね）、駆動素子 12 への光入射を抑制することができる。よって、上記第 5 の実施の形態と同等の効果を得ることができる。

[0076] 尚、上記第 7 の実施の形態において、更に、上記第 1 ないし第 3 の実施の形態のいずれかを採用し、発光素子部 11 の発光面 S1 の端部 e1 が、駆動素子 12 の上端部 e2 と同じか、または上端部 e2 よりも高い位置に配置されていてもよい。これにより、発光素子部 11（発光素子 11a）からの出射光が駆動素子 12 によって遮られにくくなり、視野角が狭くなることを抑制できる。このような構成により、上記第 1 の実施の形態と同等の効果を得ることができる。

[0077] <変形例 1>

図 23 は、上記第 7 の実施の形態の変形例に係る素子部（素子部 10G1）の構成を模式的に表したものである。本変形例の素子部 10G1 では、TSV 技術により接続配線 37 と貫通電極 37a とを用いて、発光素子 11a と駆動素子 12 との電氣的接続が確保されている。このように TSV 技術を用いて配線接続を行うこともできる。

[0078] <第 8 の実施の形態>

[構成]

図 24 は、本開示の第 8 の実施の形態に係る素子部（素子部 10H）の構成を模式的に表したものである。図 25 は、素子部 10G の要部の平面構成を表したものである。本実施の形態の素子部 10H では、上記第 1 の実施の形態の素子部 10A と同様、発光素子部（発光素子 11a）と駆動素子 12

とが、１画素内に混載されている。また、素子部１０Ｈは、再配線層１５および接合部１４を介して第１基板１０（図２４には図示せず）上に実装される。

[0079] 但し、本実施の形態の素子部１０Ｈでは、上記第１の実施の形態と異なり、駆動素子１２上に重畳してシード層３８が形成されており、このシード層３８が、発光素子１１ａと駆動素子１２との間に介在して遮光層を兼ねた構成となっている。シード層３８は、例えば銅（Ｃｕ）配線などの金属配線を、めっきにより形成する際に用いられる下地層である。通常めっき形成後に除去するシード層の一部（シード層３８に相当する部分）をフォトリジストなどで覆っておくことで残し、遮光層として利用したものである。また、このシード層３８の外周部には、他の配線を利用して支柱３８ａが形成されている。これらのシード層３８と支柱３８ａとが、全体として、駆動素子１２の側面および上面を囲むように形成されている。

[0080] [効果]

本実施の形態では、駆動素子１２を囲むように、シード層３８および支柱３８ａが形成されることにより、これらのシード層３８および支柱３８ａが遮光層として機能し（遮光層を兼ね）、駆動素子１２への光入射を抑制することができる。よって、上記第５の実施の形態と同等の効果を達成することができる。

[0081] 尚、上記第８の実施の形態において、更に、上記第１ないし第３の実施の形態のいずれかを採用し、発光素子部１１の発光面Ｓ１の端部ｅ１が、駆動素子１２の上端部ｅ２と同じか、または上端部ｅ２よりも高い位置に配置されていてもよい。これにより、発光素子部（発光素子１１ａ）からの出射光が駆動素子１２によって遮られにくくなり、視野角が狭くなることを抑制できる。このような構成により、上記第１の実施の形態と同等の効果を達成することができる。

[0082] <第９の実施の形態>

[構成]

図26は、本開示の第9の実施の形態に係る素子部（素子部101）の構成を模式的に表したものである。本実施の形態の素子部101では、上記第1の実施の形態の素子部10Aと同様、発光素子部（発光素子11a）と駆動素子12とが、1画素内に混載されている。また、素子部101は、再配線層15および接合部14を介して第1基板10（図26には図示せず）上に実装される。また、図26には、発光素子11aの電極に接続された引き出し配線142についても図示している。

[0083] 但し、本実施の形態の素子部101では、上記第1の実施の形態と異なり、発光素子11aと駆動素子12との間に埋め込み形成された遮光樹脂層39を有している。遮光樹脂層39は、例えばブラックマトリクスなどに用いられる感光性樹脂から構成されている。この遮光樹脂層39は、更に、発光素子11a間にも埋め込み形成されていることが望ましい。遮光層と平坦化層との機能を兼ね備えた構造を実現できるためである。

[0084] [素子部101の形成方法]

上記のような素子部101は、例えば次のようにして形成することができる。図27A～図27Dは、素子部101の形成方法を工程順に表す模式図である。尚、図27A～図27Dでは、発光素子11aとして、3つの発光素子11R、11G、11Bを図示している。

[0085] まず、図27Aに示したように、発光素子11a（発光素子11R、11G、11B）と駆動素子12とを、透明絶縁膜130上に貼り合わせる（転写形成する）。この後、図27Bに示したように、第2基板110の全面にわたって遮光樹脂層39を成膜する。遮光樹脂層39としては、例えばネガ型のフォトリソストを用いることができる。続いて、図27Cに示したように、第2基板110の裏面側から露光および現像等を行うことで、例えば発光素子11aと駆動素子12との間および画素間に、遮光樹脂層39が残存する。尚、遮光樹脂層39として、ポジ型のフォトリソストを用い、表面側から露光してもよい。このようにして、図26に示したような素子部101を形成することができる。

## [0086] [効果]

本実施の形態では、発光素子 1 1 a と駆動素子 1 2 との間を埋め込むように遮光樹脂層 3 9 が形成されることにより、発光素子 1 1 a から駆動素子 1 2 への光入射を抑制することができる。よって、上記第 5 の実施の形態と同等の効果を得ることができる。また、この遮光樹脂層 3 9 が素子間に形成されることで、平坦化層を兼ねることから、その後の製造プロセスにおいて、空隙（ボイド）の発生を抑制することができる。

[0087] 尚、上記第 9 の実施の形態において、更に、上記第 1 ないし第 3 の実施の形態のいずれかを採用し、発光素子部 1 1 の発光面 S 1 の端部 e 1 が、駆動素子 1 2 の上端部 e 2 と同じか、または上端部 e 2 よりも高い位置に配置されていてもよい。これにより、発光素子部（発光素子 1 1 a）からの出射光が駆動素子 1 2 によって遮られにくくなり、視野角が狭くなることを抑制できる。このような構成により、上記第 1 の実施の形態と同等の効果を得ることができる。

## [0088] &lt;変形例 2-1～2-3&gt;

また、上記第 9 の実施の形態において、更に、次のような構造を採用しても構わない。即ち、図 28 に示した変形例 2-1 のように、第 2 基板 1 1 0 と、剥離層 1 2 0 との間の層において、引き出し配線 1 4 2 に重畳する領域に、例えばアルミニウム（A 1）などよりなる遮光層 4 0 がパターン形成されていてもよい。また、図 29 に示した変形例 2-2 のように、発光素子 1 1 a 上において、Cu 配線層 4 2 をめっき形成するためのシード層 4 1 の下にカーボン CVD 膜を形成しておき、遮光層を兼ねるように構成してもよい。更に、図 30 に示した変形例 2-3 のように、引き出し配線 1 5 0 a を、発光素子 1 1 R, 1 1 G, 1 1 B の上面から取り出すのではなく、側面から取り出すようにした構成であっても構わない。

[0089] 以上、実施の形態および変形例を挙げて本開示を説明したが、本開示はこれらの実施の形態等に限定されず、種々の変形が可能である。例えば、上記実施の形態等では、発光素子部が R, G, B の 3 つの発光ダイオードチップ

を含む場合を例示して説明したが、発光素子部が更に他の色の発光ダイオードチップを含んでいてもよいし、R、G、Bの発光ダイオードチップのいずれかに代えて他の色の発光ダイオードチップを含んでいてもよい。

[0090] 尚、本開示内容は以下のような構成であってもよい。

(1)

基板上に、第1の配線層と、複数の画素を含む素子部とを備え、

前記素子部は、各画素内に、

1または複数の発光素子を含むと共に発光面を有する発光素子部と、

前記発光素子部を駆動すると共に、前記第1の配線層を介して前記発光素子部と電氣的に接続された駆動素子とを有し、

前記発光素子部の前記発光面の端部は、前記駆動素子の上端部と同じ高さか、または前記上端部よりも高い位置に配置されている

表示装置。

(2)

前記発光素子部では、前記発光素子の前記基板側に第1の絶縁膜が設けられ、

前記第1の絶縁膜の厚みと前記発光素子の厚みとの合計は、前記駆動素子の厚みと同等か、または前記駆動素子の厚み以上である

上記(1)に記載の表示装置。

(3)

前記発光素子部および前記駆動素子と前記基板との間に、選択的な領域に第1の凹部を有する第2の絶縁膜が設けられ、

前記駆動素子は、前記第2の絶縁膜の前記第1の凹部に一部が埋め込まれて形成されている

上記(1)または(2)に記載の表示装置。

(4)

前記発光素子部と前記駆動素子とを覆う封止層を更に備え、

前記発光素子部は、前記発光素子を覆うと共に、前記発光面を含み、かつ

前記封止層よりも屈折率の高い高屈折率層を有する

上記（１）～（３）のいずれかに記載の表示装置。

（５）

前記高屈折率層の前記発光面の端部から出射する光の出射角の最大値は  $90^\circ$  である

上記（４）に記載の表示装置。

（６）

前記高屈折率層の屈折率および厚みは、以下の条件式（Ａ）を満たす

上記（５）に記載の表示装置。

$$n_0 / n_1 < L_1 / (H_1^2 + L_1^2)^{1/2} \quad \dots\dots\dots (A)$$

但し、

$n_0$  : 封止層の屈折率

$n_1$  : 高屈折率層の屈折率

$L_1$  : 発光素子の側面に対向する高屈折率層の厚み

$H_1$  : 発光素子の発光面に対向する高屈折率層の厚み

とする。

（７）

前記発光素子は、前記駆動素子の一部に埋め込み形成されている

上記（１）に記載の表示装置。

（８）

前記駆動素子は、選択的な領域に第２の凹部を有し、

前記発光素子は、前記第２の凹部内に形成されている

上記（７）に記載の表示装置。

（９）

前記第２の凹部の底面に、前記発光面の高さを調整するための第３の絶縁膜を有する

上記（８）に記載の表示装置。

（１０）

前記駆動素子がテーパ形状を有する

上記（１）～（９）のいずれかに記載の表示装置。

（１１）

前記駆動素子の断面形状が台形状である

上記（１０）に記載の表示装置。

（１２）

前記駆動素子の表面を覆って遮光膜が形成されている

上記（１）～（１１）のいずれかに記載の表示装置。

（１３）

前記駆動素子の表面を覆って反射防止膜が形成されている

上記（１）～（１２）のいずれかに記載の表示装置。

（１４）

前記発光素子と前記駆動素子とを電氣的に接続するための接続配線を有し

、

前記接続配線は、前記発光素子と前記駆動素子との間に介在して遮光層を兼ねる

上記（１）～（１３）のいずれかに記載の表示装置。

（１５）

前記接続配線は、ＴＳＶ（Through-Silicon Via）により形成されている

上記（１４）に記載の表示装置。

（１６）

前記駆動素子に重畳すると共に、めっきによる金属配線形成用のシード層を有し、

前記シード層は、前記発光素子と前記駆動素子との間に介在して遮光層を兼ねる

上記（１）～（１５）のいずれかに記載の表示装置。

（１７）

前記発光素子と駆動素子との間に埋め込み形成された遮光樹脂層を有する

上記（１）～（１６）のいずれかに記載の表示装置。

（１８）

前記遮光樹脂層は、前記画素間および前記発光素子と前記駆動素子との間に埋め込まれ、平坦化層を兼ねる

上記（１７）に記載の表示装置。

[0091] 本出願は、日本国特許庁において２０１５年１月２９日に出願された日本特許出願番号第２０１５－０１５８４３号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0092] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

## 請求の範囲

- [請求項1]           基板上に、第1の配線層と、複数の画素を含む素子部とを備え、  
前記素子部は、各画素内に、  
1または複数の発光素子を含むと共に発光面を有する発光素子部と  
、  
前記発光素子部を駆動すると共に、前記第1の配線層を介して前記  
発光素子部と電氣的に接続された駆動素子とを有し、  
前記発光素子部の前記発光面の端部は、前記駆動素子の上端部と同  
じ高さか、または前記上端部よりも高い位置に配置されている  
表示装置。
- [請求項2]           前記発光素子部では、前記発光素子の前記基板側に第1の絶縁膜が  
設けられ、  
前記第1の絶縁膜の厚みと前記発光素子の厚みとの合計は、前記駆  
動素子の厚みと同等か、または前記駆動素子の厚みよりも大きい  
請求項1に記載の表示装置。
- [請求項3]           前記発光素子部および前記駆動素子と前記基板との間に、選択的な  
領域に第1の凹部を有する第2の絶縁膜が設けられ、  
前記駆動素子は、前記第2の絶縁膜の前記第1の凹部に一部が埋め  
込まれて形成されている  
請求項1に記載の表示装置。
- [請求項4]           前記発光素子部と前記駆動素子とを覆う封止層を更に備え、  
前記発光素子部は、前記発光素子を覆うと共に、前記発光面を含み  
、かつ前記封止層よりも屈折率の高い高屈折率層を有する  
請求項1に記載の表示装置。
- [請求項5]           前記高屈折率層の前記発光面の端部から出射する光の出射角の最大  
値は90°である  
請求項4に記載の表示装置。
- [請求項6]           前記高屈折率層の屈折率および厚みは、以下の条件式（A）を満た

す

請求項 5 に記載の表示装置。

$$n_0 / n_1 < L_1 / (H_1^2 + L_1^2)^{1/2} \dots\dots\dots (A)$$

但し、

$n_0$  : 封止層の屈折率

$n_1$  : 高屈折率層の屈折率

$L_1$  : 発光素子の側面に対向する高屈折率層の厚み

$H_1$  : 発光素子の発光面に対向する高屈折率層の厚み

とする。

[請求項7] 前記発光素子は、前記駆動素子の一部に埋め込み形成されている  
請求項 1 に記載の表示装置。

[請求項8] 前記駆動素子は、選択的な領域に第 2 の凹部を有し、  
前記発光素子は、前記第 2 の凹部内に形成されている  
請求項 7 に記載の表示装置。

[請求項9] 前記第 2 の凹部の底面に、前記発光面の高さを調整するための第 3  
の絶縁膜を有する  
請求項 8 に記載の表示装置。

[請求項10] 前記駆動素子がテーパ形状を有する  
請求項 1 に記載の表示装置。

[請求項11] 前記駆動素子の断面形状が台形状である  
請求項 10 に記載の表示装置。

[請求項12] 前記駆動素子の表面を覆って遮光膜が形成されている  
請求項 1 に記載の表示装置。

[請求項13] 前記駆動素子の表面を覆って反射防止膜が形成されている  
請求項 1 に記載の表示装置。

[請求項14] 前記発光素子と前記駆動素子とを電氣的に接続するための接続配線  
を有し、

前記接続配線は、前記発光素子と前記駆動素子との間に介在して遮

光層を兼ねる

請求項 1 に記載の表示装置。

[請求項15] 前記接続配線は、T S V (Through-Silicon Via) により形成されている

請求項 1 4 に記載の表示装置。

[請求項16] 前記駆動素子に重畳すると共に、めっきによる金属配線形成用のシード層を有し、

前記シード層は、前記発光素子と前記駆動素子との間に介在して遮光層を兼ねる

請求項 1 に記載の表示装置。

[請求項17] 前記発光素子と駆動素子との間に埋め込み形成された遮光樹脂層を有する

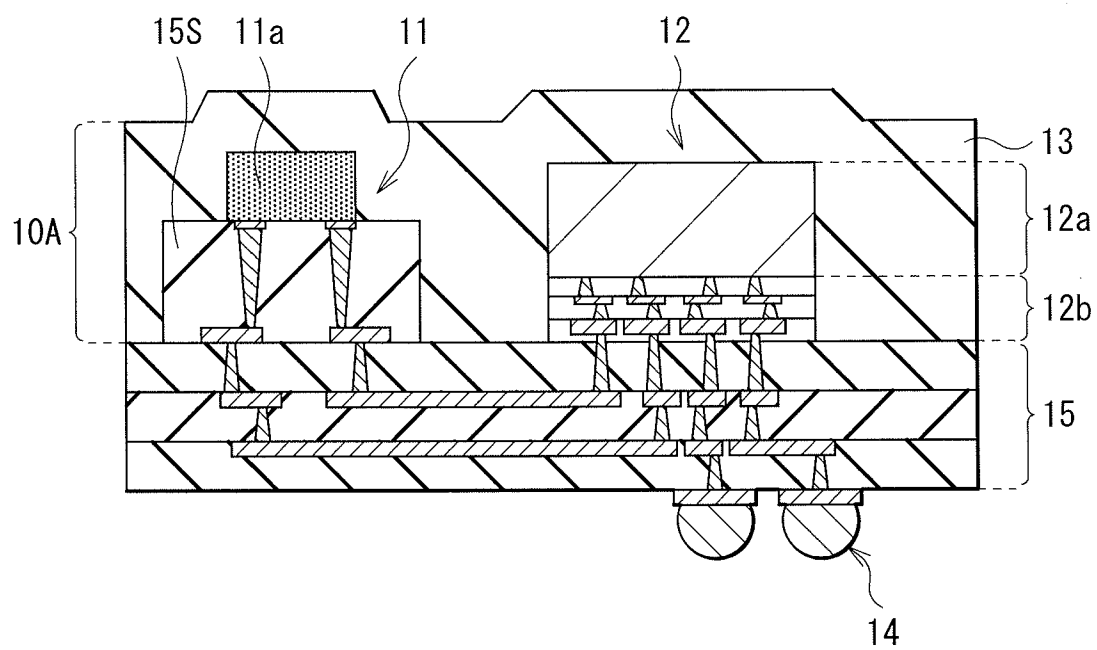
請求項 1 に記載の表示装置。

[請求項18] 前記遮光樹脂層は、前記画素間および前記発光素子と前記駆動素子との間に埋め込まれ、平坦化層を兼ねる

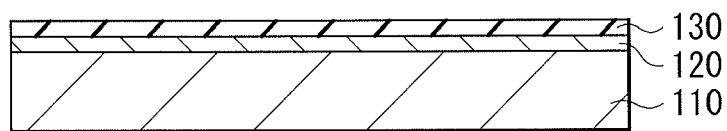
請求項 1 7 に記載の表示装置。



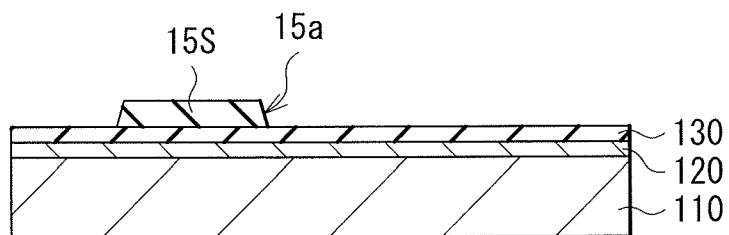
[図3]



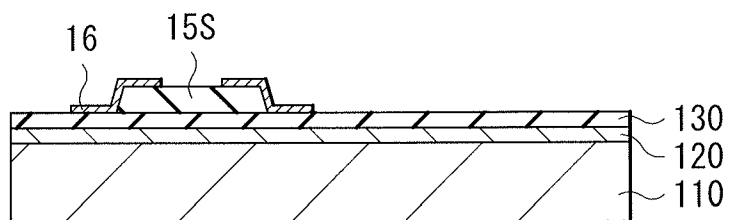
[図4A]



[図4B]



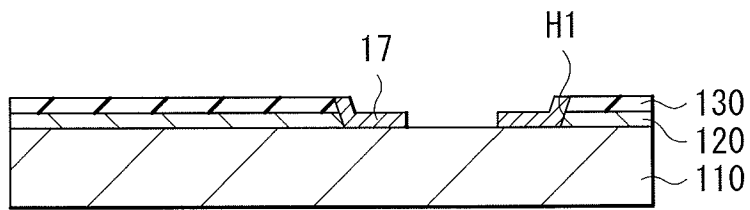
[図4C]



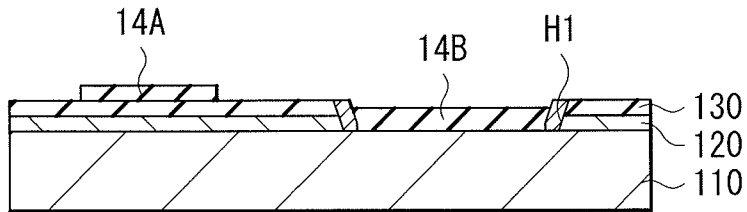


[illegible][illegible]

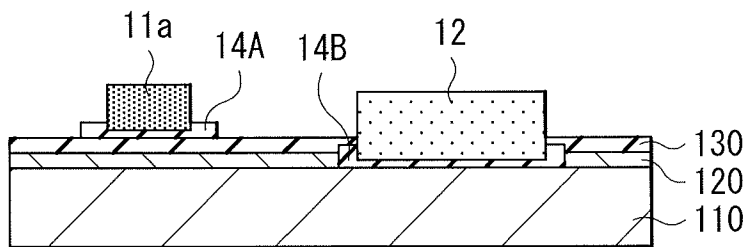
[図8C]



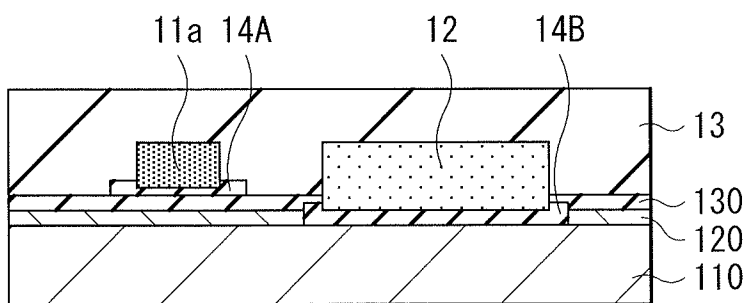
[図8D]



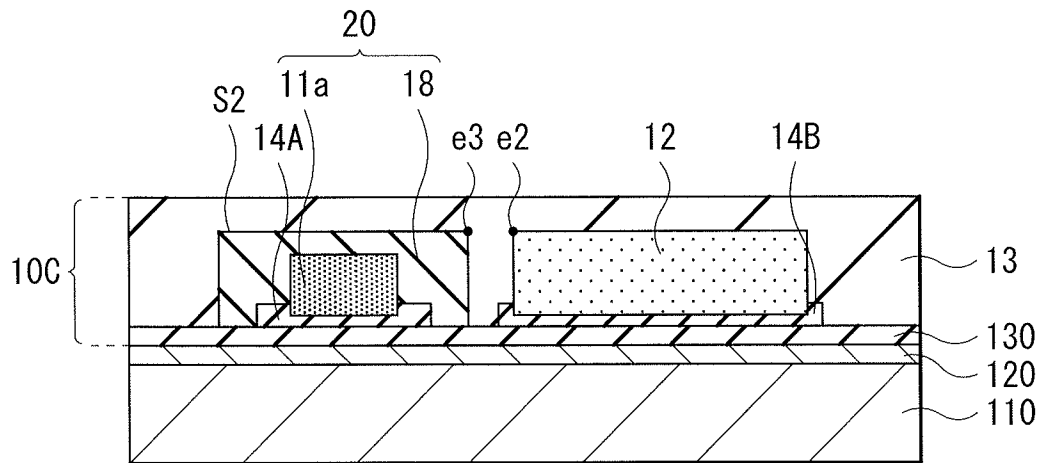
[図8E]



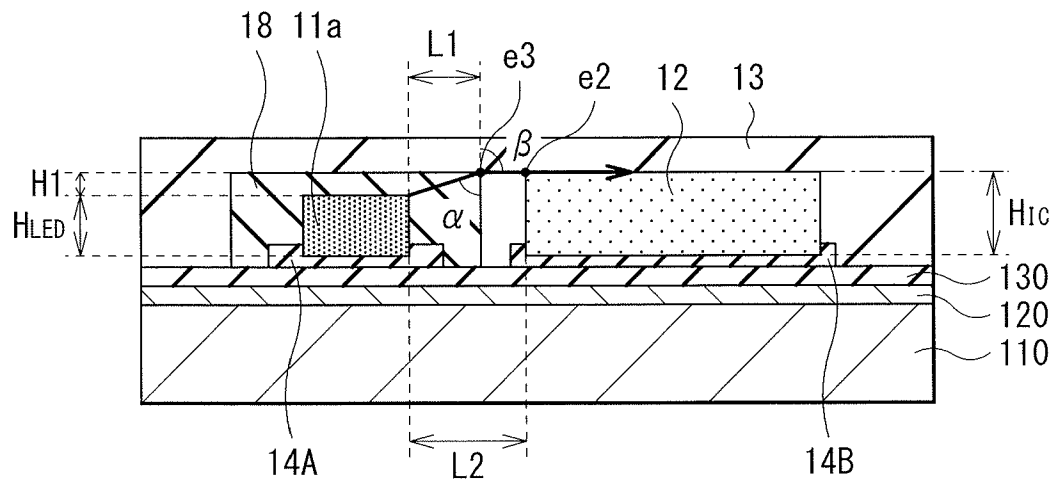
[図8F]



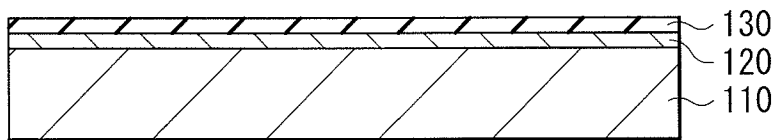
[図9]



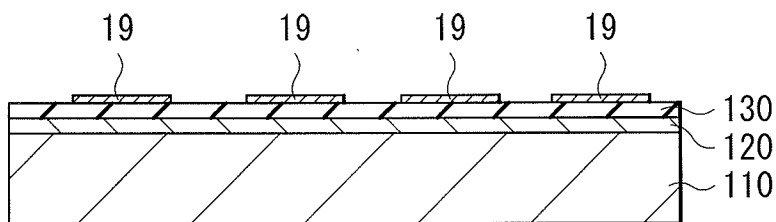
[図10]



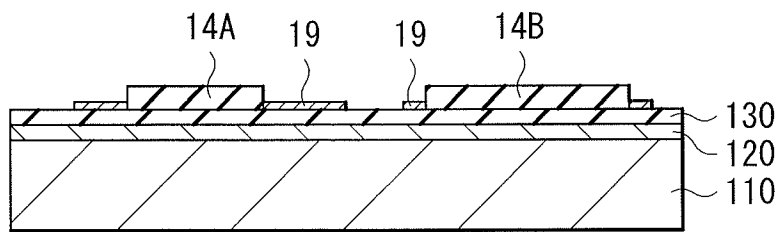
[図11A]



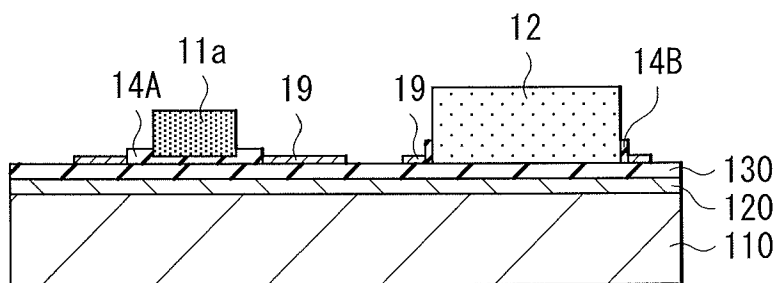
[図11B]



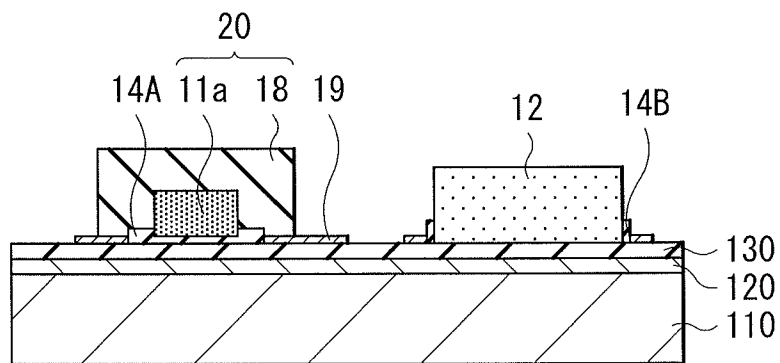
[図11C]



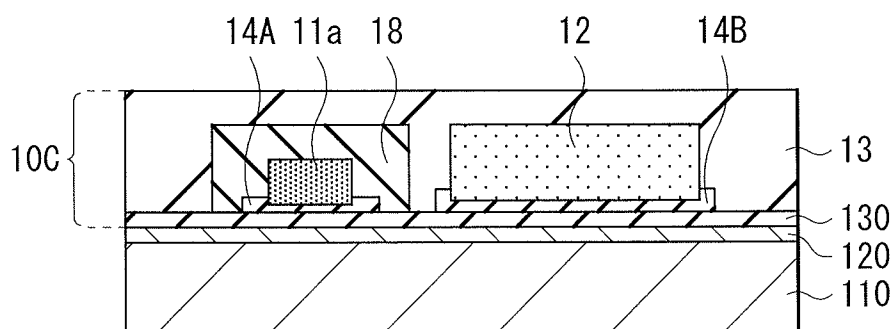
[図11D]



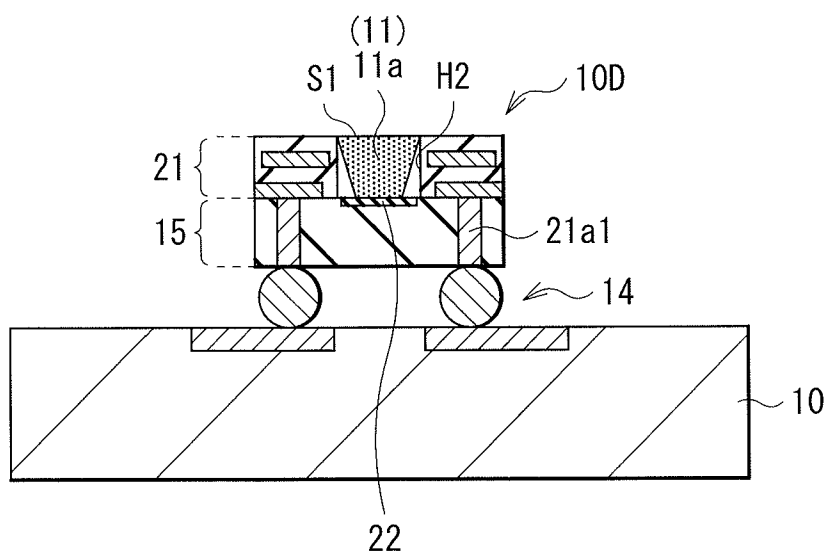
[図11E]



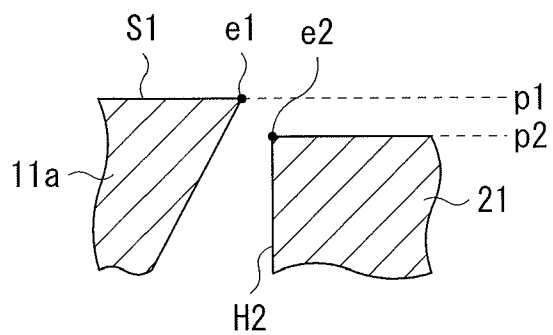
[図11F]



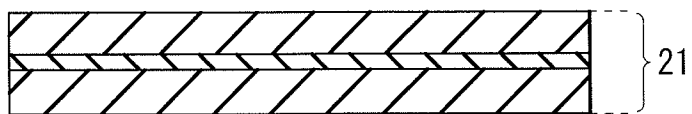
[図12A]



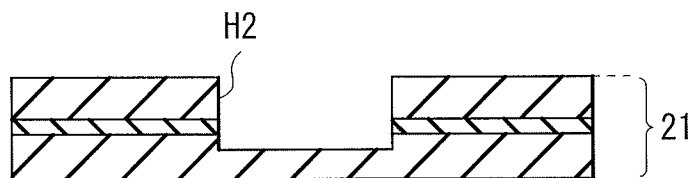
[図12B]



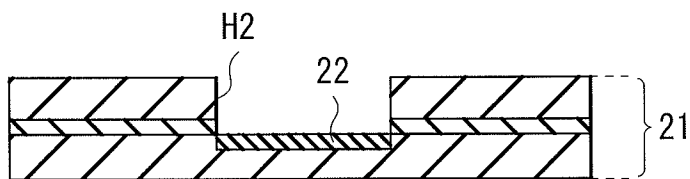
[図13A]



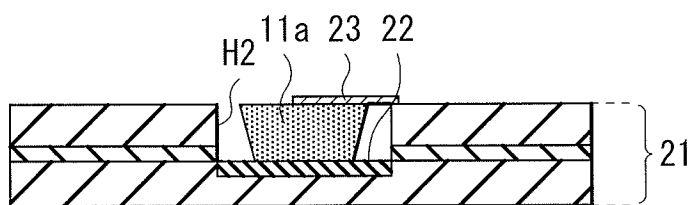
[図13B]



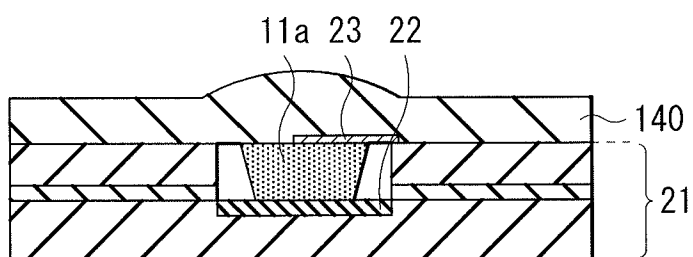
[図13C]



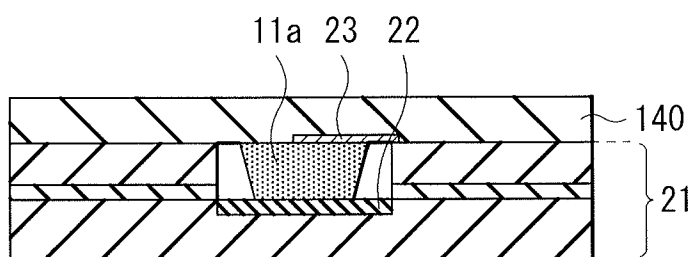
[図13D]



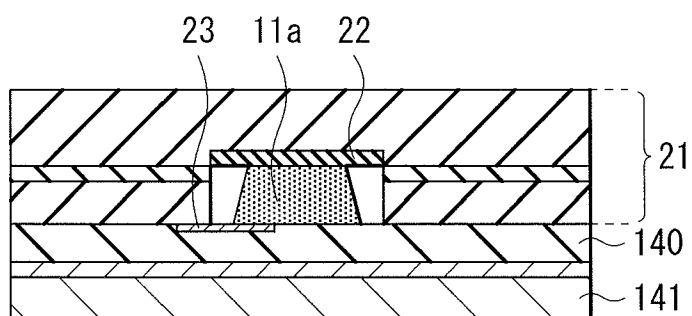
[図13E]



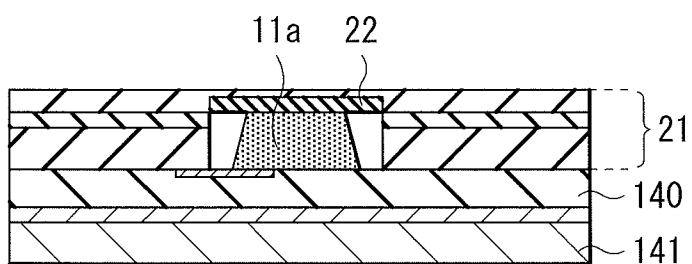
[図13F]



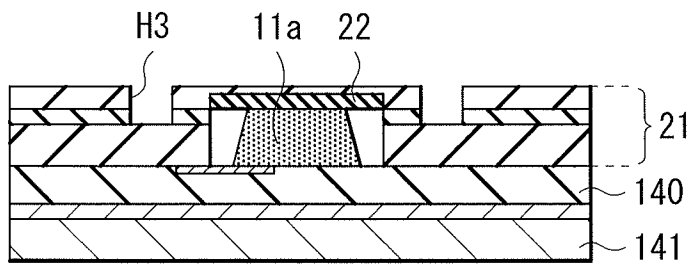
[図13G]



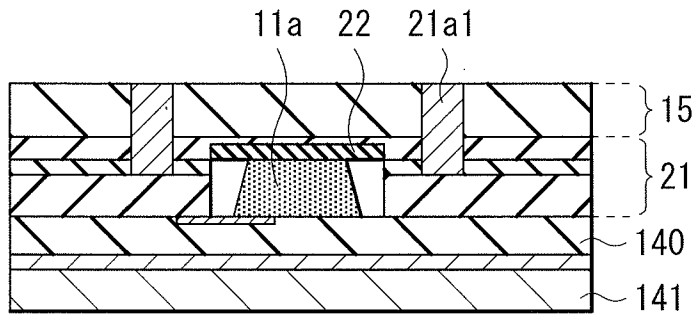
[図13H]



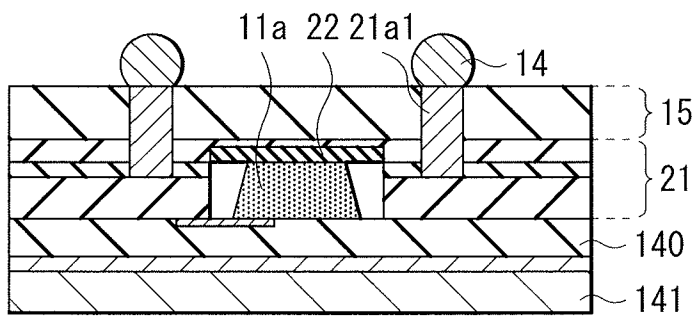
[図13I]



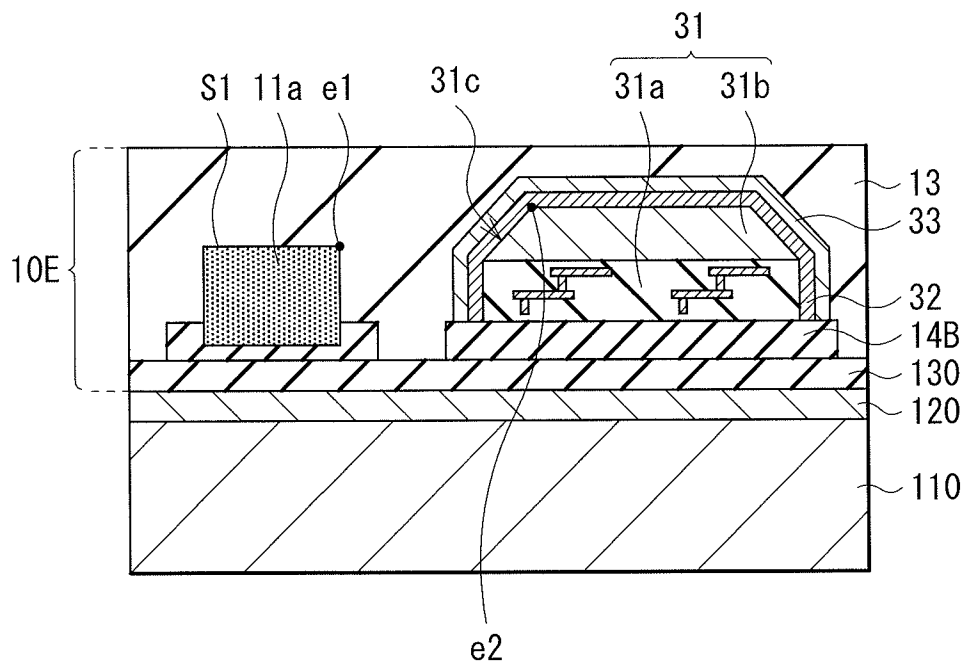
[図13J]



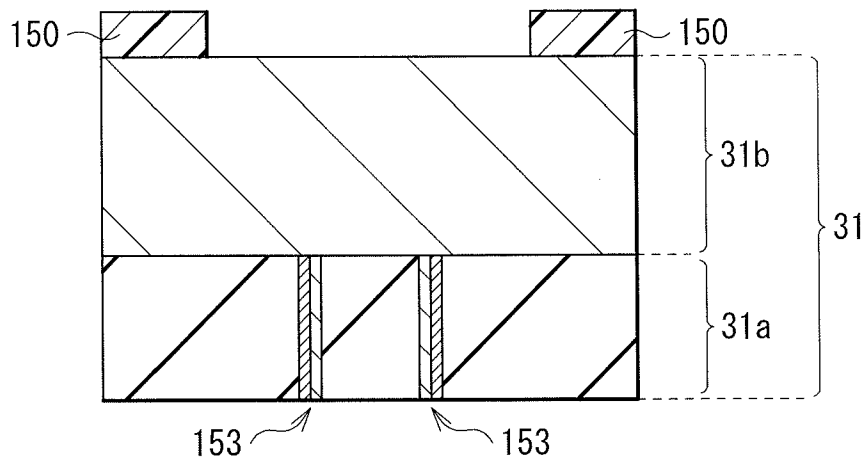
[図13K]



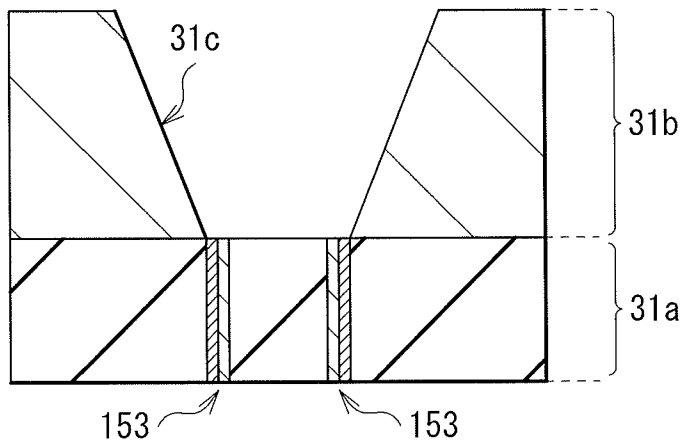
[図14]



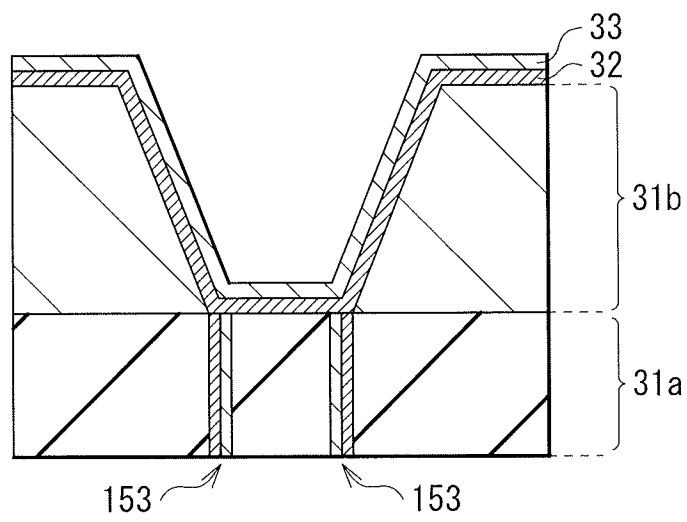
[図15A]



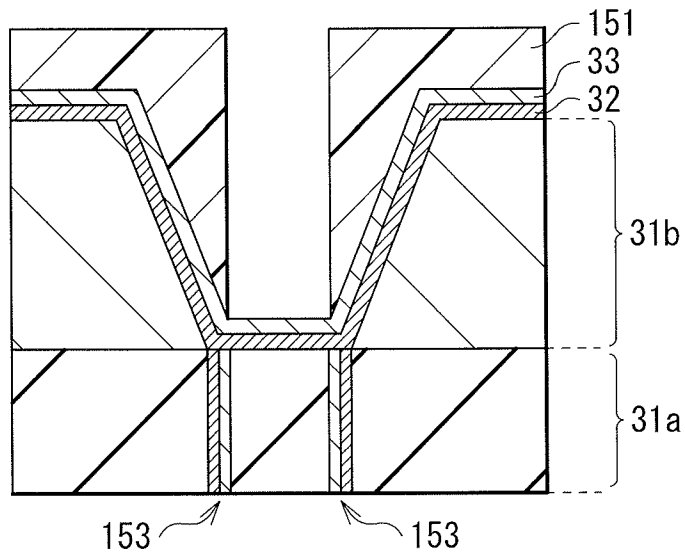
[図15B]



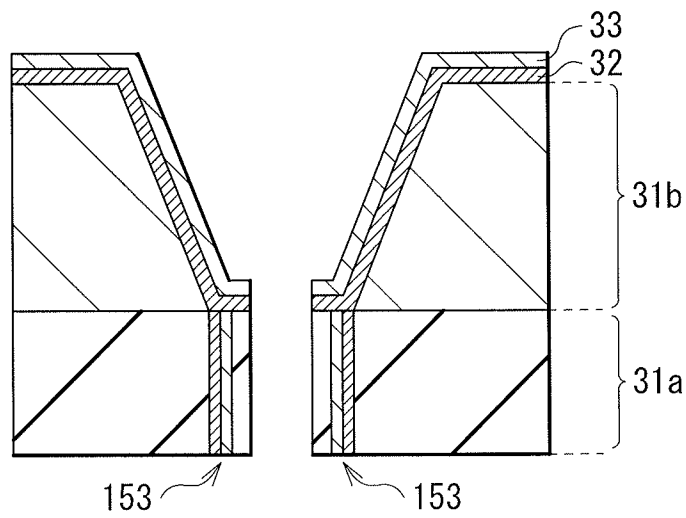
[図15C]



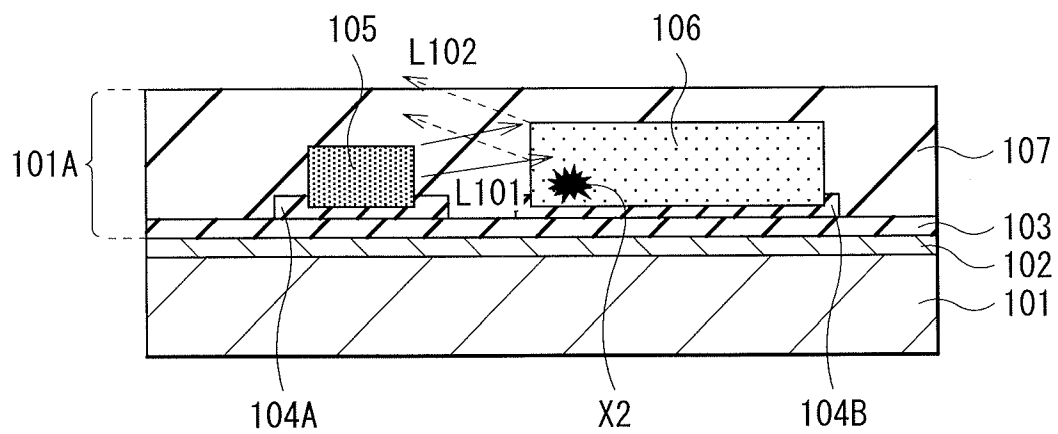
[図15D]



[図15E]



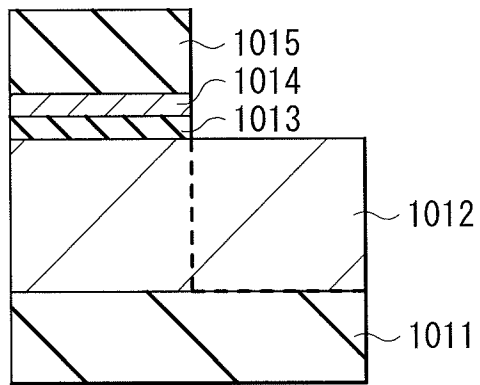
[図16]



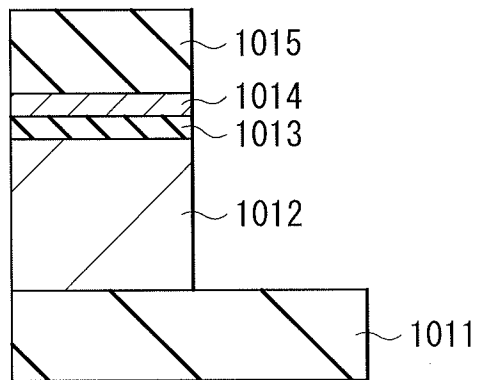
A cross-sectional view of a semiconductor device 10E. The device is built on a substrate 110. A base layer 120 is formed on the substrate. Above the base layer, there is a layer 130, which is divided into a central region 132 and side regions 133. A layer 14A is formed on the central region 132, and a layer 14B is formed on the side regions 133. A structure 31 is formed on the layer 14A. Structure 31 includes a central part 31a and side parts 31b. A layer 31c is formed on the top surface of the central part 31a. A layer 11a is formed on the side parts 31b. A layer L2 is formed on the top surface of the side parts 31b. A layer 14A is also formed on the side parts 31b. A layer 14B is formed on the side regions 133. A layer 130 is formed on the side regions 133. A layer 120 is formed on the side regions 133. A layer 110 is formed on the side regions 133.

A cross-sectional view of a semiconductor device 10F. The device is built on a substrate 110. A base layer 120 is formed on the substrate. Above the base layer, there is a layer 130, which is divided into a region 14A on the left and a region 14B on the right. In region 14A, a rectangular block 11 is formed, which is divided into a top layer S1 and a bottom layer 11a. A contact point e1 is located on the top surface of layer 11a. In region 14B, a more complex structure is formed. It includes a layer 13, a layer 35, and a layer 34. Layer 34 is divided into two parts, 34a and 34b. A contact point e2 is located on the top surface of layer 34a. The entire device is labeled 10F.

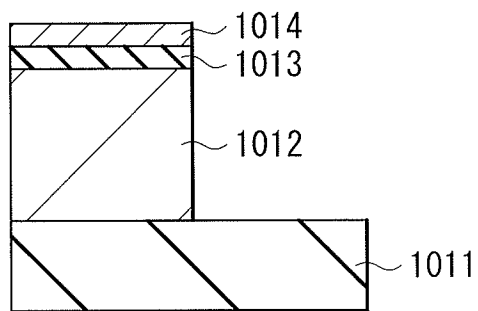
[図19A]



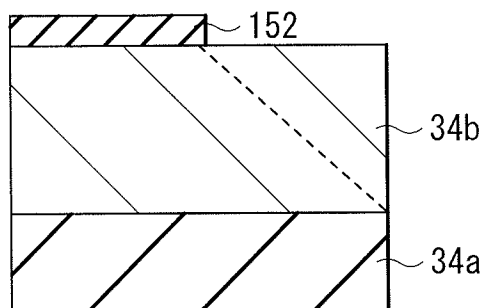
[図19B]



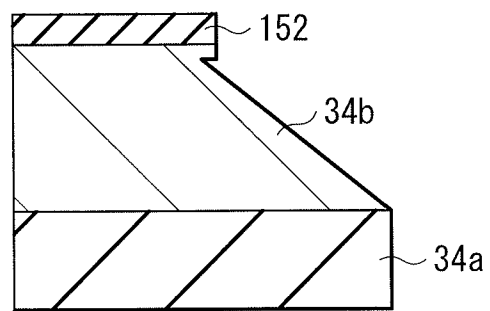
[図19C]



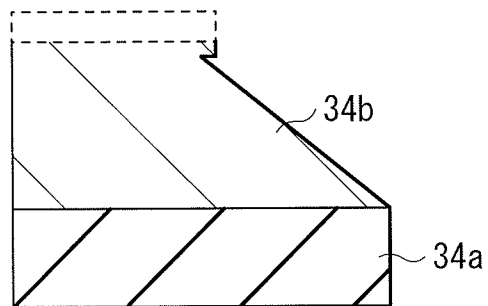
[図20A]



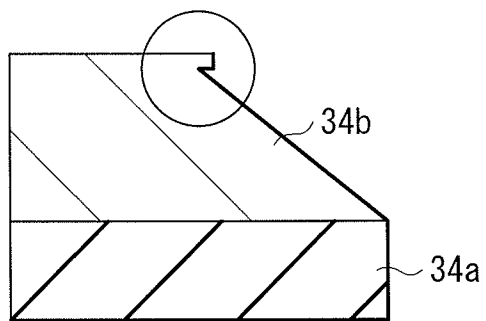
[図20B]



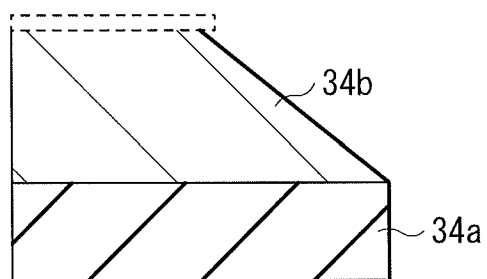
[図20C]



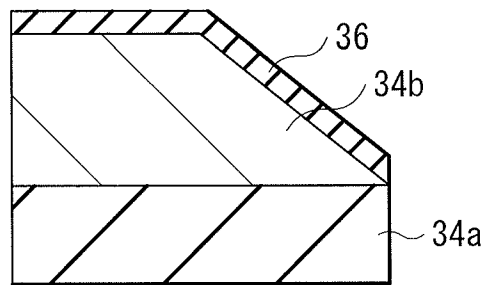
[図20D]



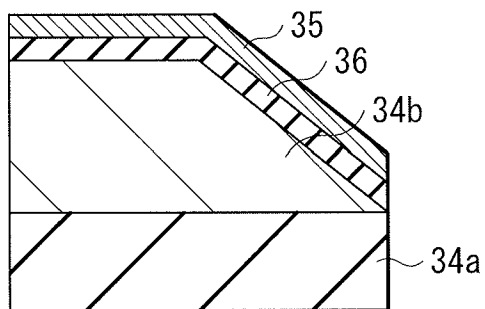
[図20E]



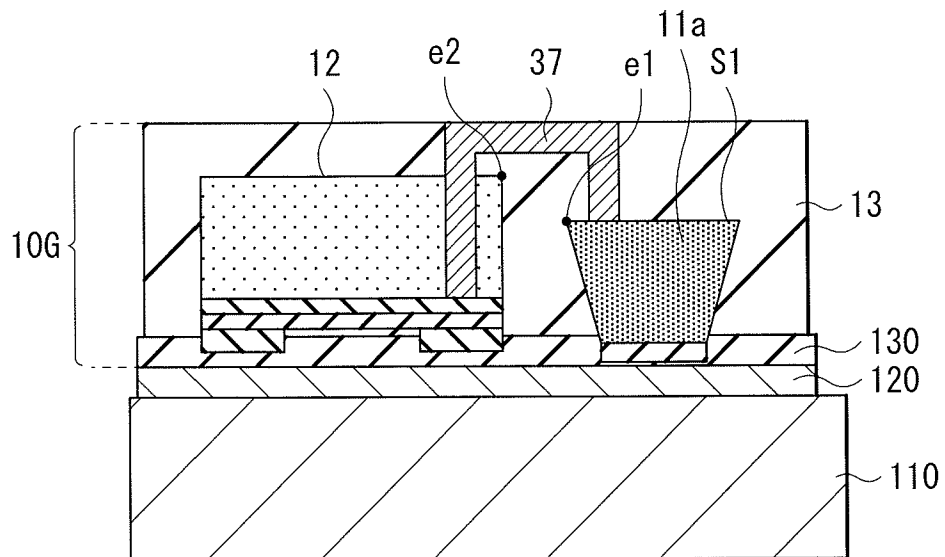
[図20F]



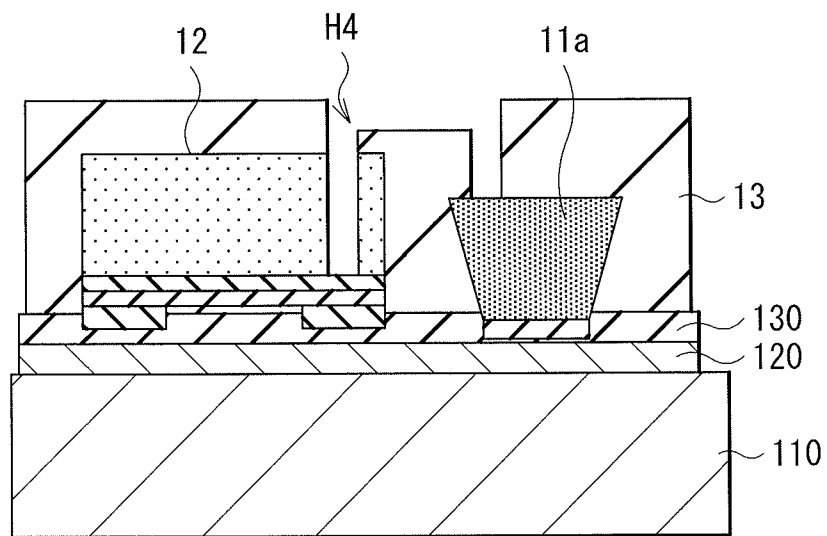
[図20G]



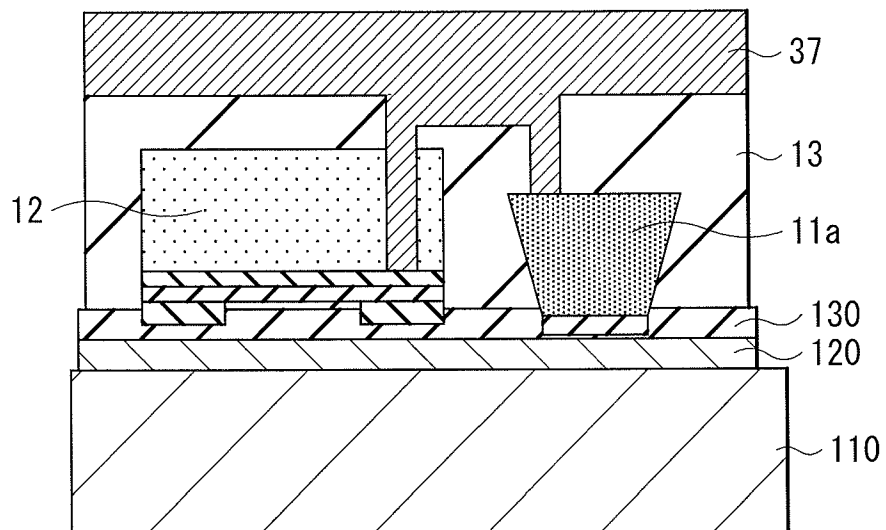
[図21]



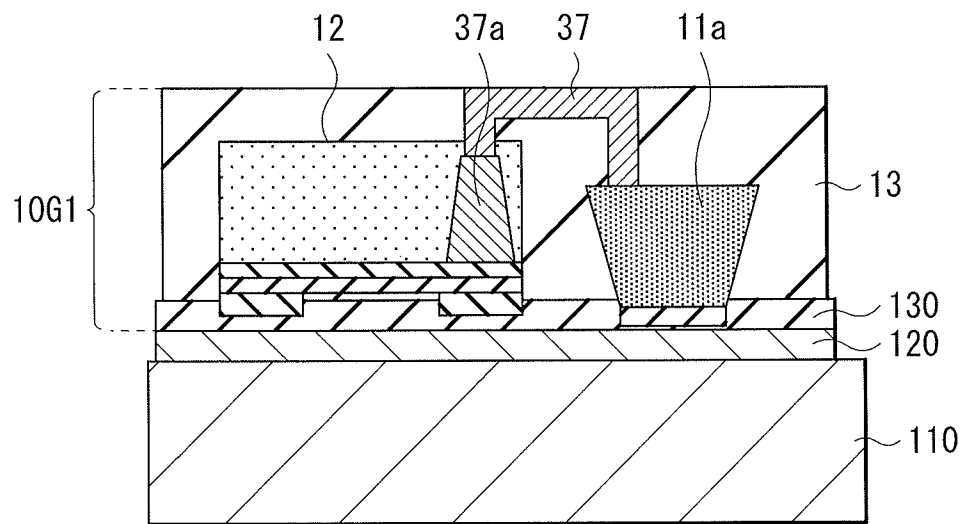
[図22A]



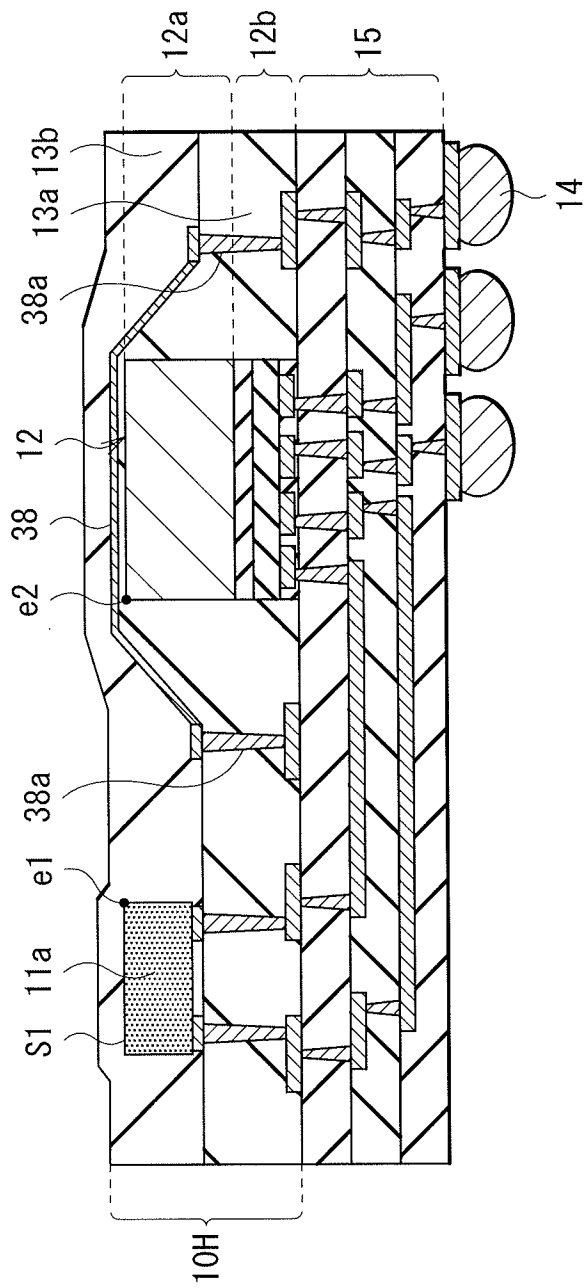
[図22B]



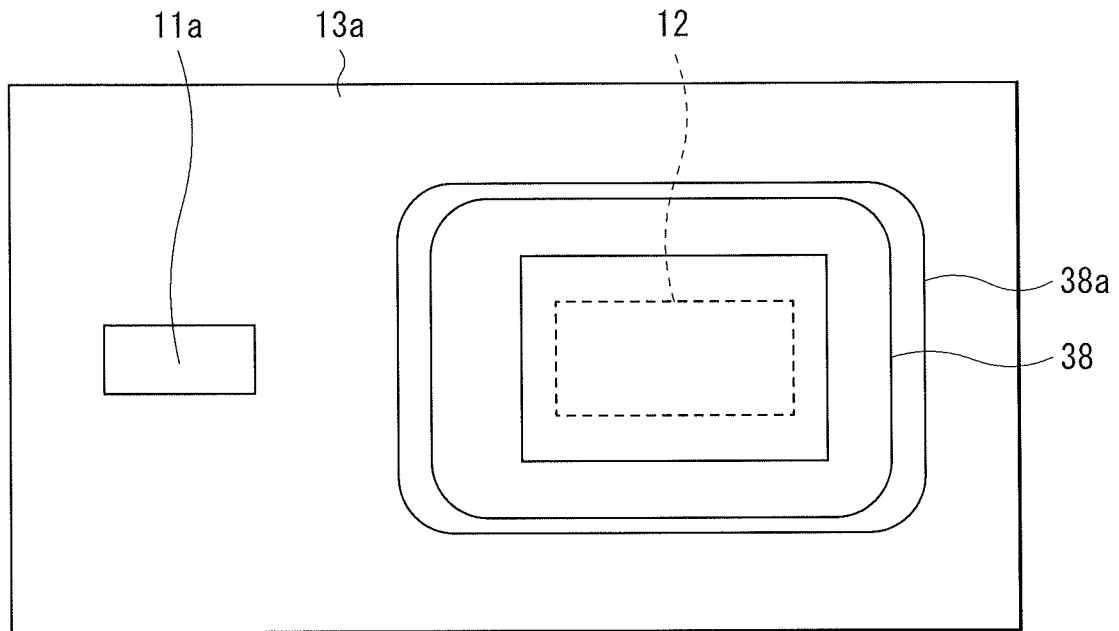
[図23]



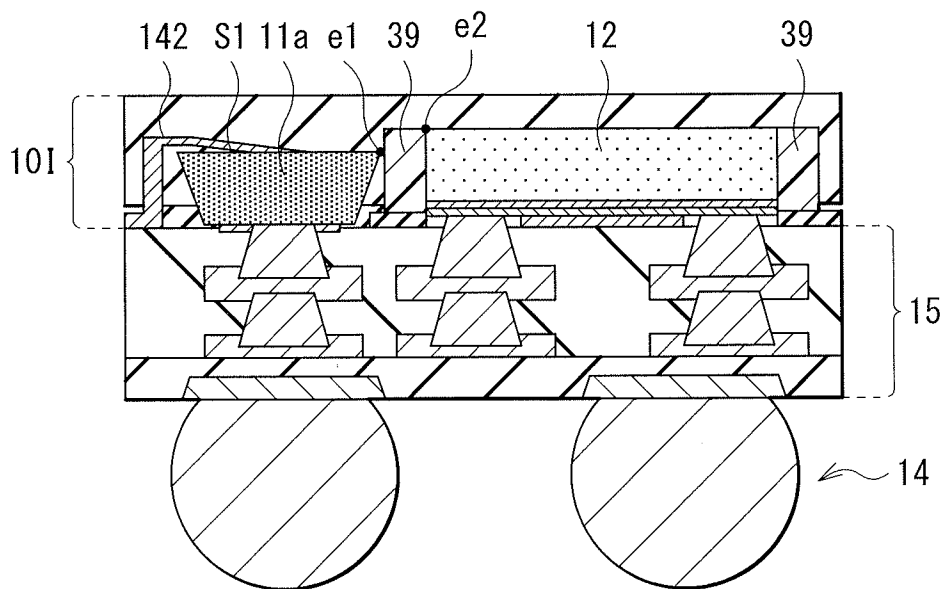
[図24]



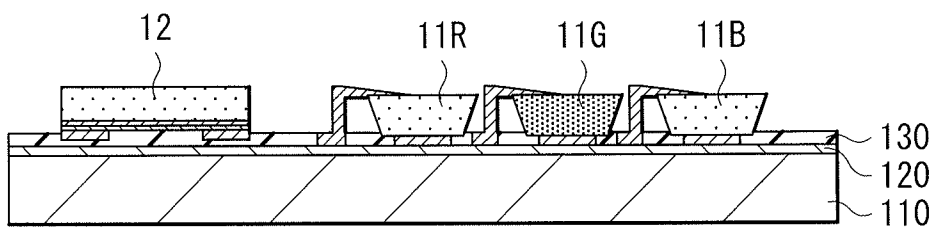
[図25]



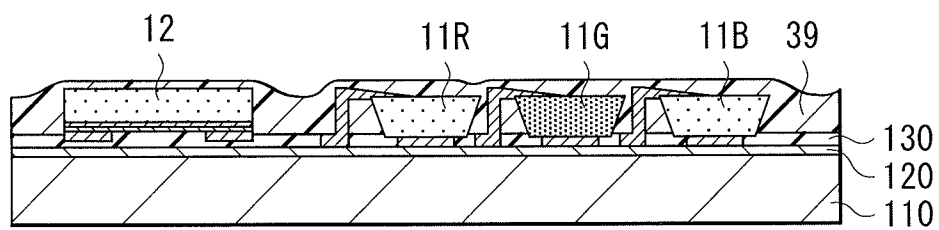
[図26]



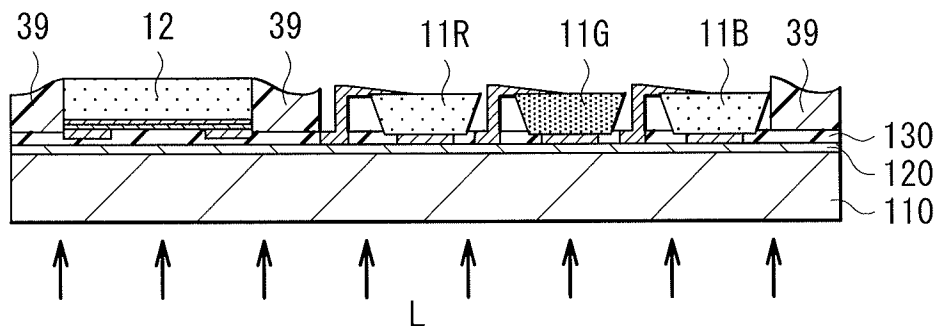
[図27A]



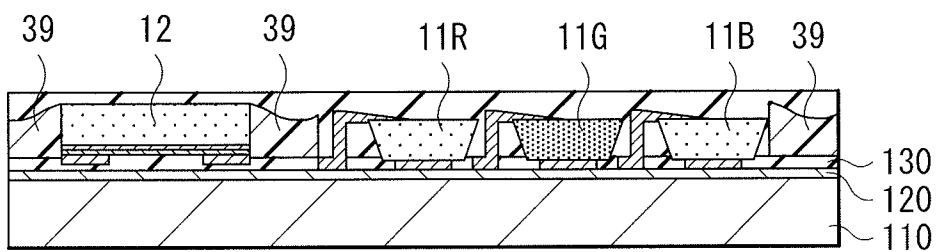
[図27B]



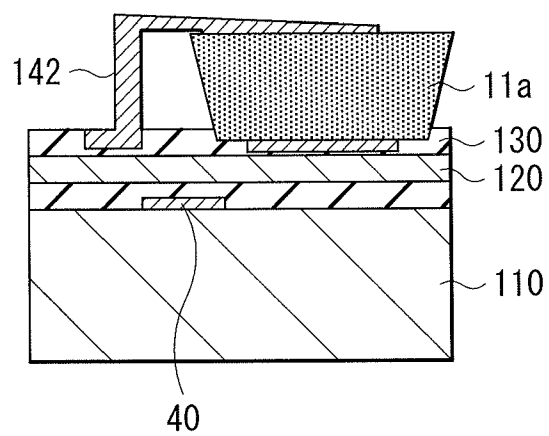
[図27C]



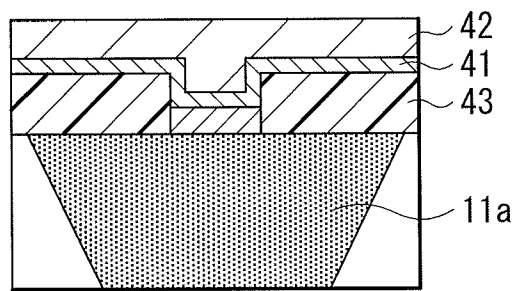
[図27D]



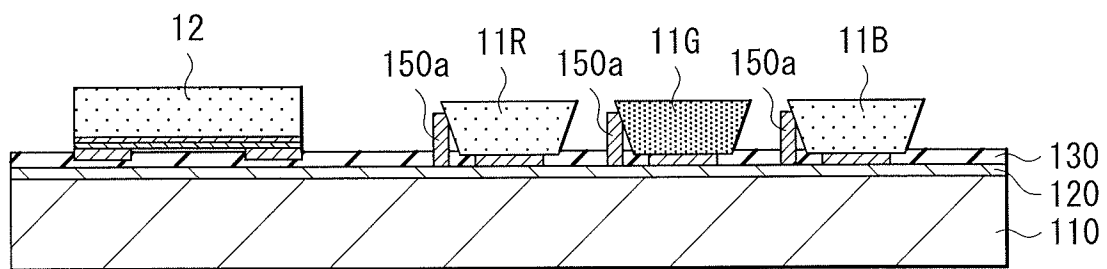
[図28]



[図29]



[図30]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/085171

## A. CLASSIFICATION OF SUBJECT MATTER

G09F9/33(2006.01)i, G09F9/30(2006.01)i, H01L33/00(2010.01)i, H01L33/54(2010.01)i, H01L33/62(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09F9/33, G09F9/30, H01L33/00, H01L33/54, H01L33/62

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2016 |
| Kokai Jitsuyo Shinan Koho | 1971-2016 | Toroku Jitsuyo Shinan Koho | 1994-2016 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------|-----------------------|
| X         | JP 2002-083689 A (Semiconductor Energy Laboratory Co., Ltd.),                      | 1, 2, 10-11, 14-16    |
| Y         | 22 March 2002 (22.03.2002),                                                        | 3-6, 12, 17-18        |
| A         | examples 2 to 3; fig. 6<br>& US 2002/0000561 A1<br>examples 2 to 3; fig. 6         | 7-9, 13               |
| Y         | JP 2005-266616 A (Hideki MATSUMURA),                                               | 3                     |
| A         | 29 September 2005 (29.09.2005),<br>paragraphs [0019], [0041]<br>(Family: none)     | 1-2, 4-18             |

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
26 February 2016 (26.02.16)

Date of mailing of the international search report  
08 March 2016 (08.03.16)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/085171

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                | Relevant to claim No.    |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------|
| Y<br>A    | JP 2009-070814 A (Fujifilm Corp.),<br>02 April 2009 (02.04.2009),<br>examples 4 to 6; fig. 5<br>& US 2009/0051278 A1<br>examples 4 to 6; fig. 5<br>& KR 10-2009-0019753 A         | 4-6<br>1-3, 7-18         |
| Y<br>A    | JP 2013-221991 A (Panasonic Corp.),<br>28 October 2013 (28.10.2013),<br>paragraphs [0043] to [0044]; fig. 2<br>(Family: none)                                                     | 12, 17-18<br>1-11, 13-16 |
| A         | JP 2006-065305 A (Semiconductor Energy<br>Laboratory Co., Ltd.),<br>09 March 2006 (09.03.2006),<br>entire text; all drawings<br>& US 2006/0011913 A1<br>entire text; all drawings | 1-18                     |

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G09F9/33(2006.01)i, G09F9/30(2006.01)i, H01L33/00(2010.01)i, H01L33/54(2010.01)i, H01L33/62(2010.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G09F9/33, G09F9/30, H01L33/00, H01L33/54, H01L33/62

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2016年 |
| 日本国実用新案登録公報 | 1996-2016年 |
| 日本国登録実用新案公報 | 1994-2016年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                            | 関連する<br>請求項の番号     |
|-----------------|--------------------------------------------------------------|--------------------|
| X               | JP 2002-083689 A（株式会社半導体エネルギー研究所）2002.03.22,（実施例2）－（実施例3）、図6 | 1, 2, 10-11, 14-16 |
| Y               | & US 2002/0000561 A1 実施例2－実施例3、図6                            | 3-6, 12, 17-18     |
| A               |                                                              | 7-9, 13            |
| Y               | JP 2005-266616 A（松村 英樹）2005.09.29, [0019]、[0041]段落（ファミリーなし）  | 3                  |
| A               |                                                              | 1-2, 4-18          |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

26.02.2016

国際調査報告の発送日

08.03.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

松岡 智也

21

3107

電話番号 03-3581-1101 内線 3273

| C (続き) . 関連すると認められる文献 |                                                                                                                           |                          |
|-----------------------|---------------------------------------------------------------------------------------------------------------------------|--------------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                         | 関連する<br>請求項の番号           |
| Y<br>A                | JP 2009-070814 A (富士フイルム株式会社) 2009. 04. 02, <実施例 4 - 6 >、図 5<br>& US 2009/0051278 A1 実施例 4 - 6、図 5 & KR 10-2009-0019753 A | 4-6<br>1-3, 7-18         |
| Y<br>A                | JP 2013-221991 A (パナソニック株式会社) 2013. 10. 28, [ 0 0 4 3 ]<br>- [ 0 0 4 4 ] 段落、図 2 (ファミリーなし)                                 | 12, 17-18<br>1-11, 13-16 |
| A                     | JP 2006-065305 A (株式会社半導体エネルギー研究所) 2006. 03. 09,<br>全文、全図 & US 2006/0011913 A1 全文、全図                                      | 1-18                     |