


申請日期	88.3.19
案號	88104369
類別	H01L 2/00

A4
C4

(以上各欄由本局填註)

發明專利說明書 413882

一、發明名稱	中文	具有高電容量之電容器的製造方法
	英文	FABRICATION METHOD OF CAPACITOR HAVING HIGH CAPACITANCE
二、發明人	姓名	金東 
	國籍	韓國
	住、居所	大韓民國漢城特別市中浪區面牧7洞578-55
三、申請人	姓名 (名稱)	韓商·LG半導體股份有限公司
	國籍	韓國
	住、居所 (事務所)	大韓民國忠清北道清州市興德區香亭洞1
	代表姓名	具本俊

413882

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

韓 國(地區) 申請專利，申請日期： 1999,1,20 案號： 1659/1999

， 有 無主張優先權

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

1. 發明領域

本發明係關於一種半導體元件的製造方法，且更特別相關於一種具有高電容量之電容器之改良的製造方法。

2. 傳統技藝說明

在半導體的技術領域中，主要關心已經被集中於改良半導體元件之整合積集度，因此半導體元件的尺寸已被縮小，來達到一特定程度的整合積集度。然而，此類尺寸的縮小造成一電容器的電容量因而縮小的問題。所以，眾多的研究已接連地完成以在半導體元件之製造中製造具有高電容量且在半導體基體上佔據相對小的面積之電容器。

如具有高電容量之電容器之例子，已有發展出一種藉由將一波節電極接觸至一半導體基體之不純物層上、在一閘電極之上延伸地形成波節電極並且在波節電極上形成一介電層與一板狀電極來被製造之疊層電極。隨後，鰭型電容器已被普遍地使用，因其被發展成疊層電極之型式。

第1圖舉例說明一傳統的鰭型電容器，其中一閘電極3藉由在一半導體基體1上施覆一閘絕緣薄膜2而被形成，並且不純物層4在該基體之一上表面上於該閘電極3之兩側被形成。在此類的電容器中，其中一層不純物層4被與該電容器之一波節電極30連接，該波節電極30係延伸至閘電極3之上層部份。此外，一介電層31與一板狀電極32在波節電極30之一外部表面上被形成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(2)

製造此類傳統的電容器，首先，第1A圖顯示在形成鰭型電容器之半導體基體1與其他不同的部件。更特別地，閘絕緣薄膜2與閘電極在半導體基體1上被形成，並且不純物層4在半導體基體上1於閘電極3的兩側被形成。

第1B圖舉例說明一第一絕緣薄膜5在第1A圖之基體上被形成。接著，一多層膜10在第一絕緣薄膜5上被形成，多層膜10依序地包括一第二絕緣薄膜6、一第一多晶矽薄膜7及一第三絕緣薄膜8。在此，第二絕緣薄膜6與第三絕緣薄膜8由對第一多晶矽層7有大的蝕刻選擇比之材料所形成，諸如一由化學氣相沉積(CVP)所沉積的氧化矽薄膜。

接下來，第1C圖之結構被以藉由蝕刻被形成在該不純物層40上的多層膜10來暴露不純物層40而形成一接觸洞20所形成。爾後，藉由在第1C圖之結構上形成一第二多晶矽層9，形成有一第1D圖之結構，其中覆蓋不純物層4之第二多晶矽層9亦位於接觸洞20之內壁被形成，藉此電氣連接至第一多晶矽層7。接著，如第1E圖所示，第二多晶矽層9與多層膜10藉由運用一單幕(未顯示)來乾蝕刻而被形成圖案，以便形成電容器之一波節電極。

在第1F圖中，藉由以濕式蝕刻來移除第三絕緣薄膜8與第二絕緣薄膜6並且接著僅剩下第一與第二多晶矽層7、9來形成鰭型電容器之一波節電極30。最後，如第1G圖所示一介電層31在電容器之波節電極30之上被形成。介電層31被形成，例如藉由將一氮化矽(Si_3N_4)薄膜沉積在第1F之結構之上。在此，當應用CVP時，介電層31可以在構成電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

五、發明說明(3)

容器之波節電極的第二與第一多晶矽層9、7之間的一個空間中被形成。

形成介電層31之另一個例子，係為藉由氧化為構成電容器波節電極之材料的第一與第二多晶矽層7、9。接下來，板狀電極32在介電層31上被形成，該板狀電極係由多晶矽層所形成。在此，CVP亦被應用。

在此類傳統的鰭型電容器中，當半導體元件之一設計標準減少時，由於一微影程序之解析度的限制造成在該程序中的對準邊際被縮小。此外，當藉由濕式蝕刻來移除在多晶矽層之間被形成的絕緣層時，在絕緣層的上部與下部被形成的該等多晶矽層會被不期望地移除，其會導致因從元件上移除鰭型電極而造成該半導體元件之故障百分比的增加。

發明總結

因此，本發明關於一種免除因傳統技藝所造成的問題與優點之鰭型電容器之改良的製造方法。

為達成這些與其他優點並根據本發明之目的，如具體實施與概略地說明，提供有一種具有高電容量之電容器的製造方法，其係包括：在一半導體基體上形成一不純物層；在半導體基體之一上表面之上形成一絕緣薄膜；在不純物層之上形成一第一接觸洞；在第一接觸洞與絕緣層之上形成一第一多晶矽層，並且以 As^+ 摻雜第一多晶矽層；在第一多晶矽層上沉積矽化鎢薄膜；將矽化鎢薄膜與第一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

多晶矽層形成圖案，藉此在第一接觸洞中與在絕緣薄膜之一上表面之一部份處形成一第一多晶矽層圖案，並且在第一多晶矽層圖案上形成一矽化鎢薄膜圖案；回火半導體基體；在矽化鎢薄膜圖案與絕緣薄膜上形成一第一絕緣薄膜；在第一絕緣薄膜上形成一第二絕緣薄膜；在矽化鎢薄膜圖案之一上表面之一被預定部份上形成一第二接觸洞，藉此暴露一部分的矽化鎢薄膜圖案並接著形成第一與第二絕緣薄膜圖案；藉由移除與矽化鎢薄膜圖案呈接觸狀態之一部分的第一絕緣薄膜圖案來在矽化鎢薄膜圖案與第二絕緣薄膜圖案之間形成一空間；在包括第二絕緣薄膜圖案之一上表面的一部分與第二接觸洞與空間之內壁之矽化鎢薄膜圖案上形成一電容器之下電極；在下電極之一外部表面上形成一介電層；及在介電層與第二絕緣薄膜圖案上形成一上電極。

圖示簡短說明

被包括來提供本發明之進一步的了解並被合併在說明書中並構成此說明書的一部分之後附圖式舉例說明本發明之實施例並連同說明作為解釋本發明原理之用。

在圖式中：

第1A至1G圖為依序地舉例說明一傳統緒型電容器的製造方法之垂直橫截面圖；

第2A至2G圖為根據本發明依序地舉例說明一種具有高電容器之電容器的製造方法之垂直橫截面圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

本發明之詳細說明

現在，詳細地參考本發明之較佳實施例，其例子在後附圖式中被舉例說明。

第2A至2G圖為根據本發明依序地舉例說明一種具有高電容量之電容器的製造方法之橫截面圖。在此，注意根據本發明之電容器的製造方法不僅僅只被限制在一DRAM單元中的電容器製造方法，而且還可以被應用到在傳統技藝中所包括電容器之其他所有形式的半導體元件。

首先，如第2A圖所示，一開絕緣薄膜2與一開電極3在一半導體基體1之一上表面的一被預定部分上依序地被形成，並且接著複數層不純物層4在半導體基體於開電極3的兩側被形成，各不純物層一般被稱為一源極或一汲極。

接下來，如第2B圖所示，一絕緣薄膜5在第2A圖之結構之上被形成，接著部分被移除以在不純物層4之一被預定部分上形成一第一接觸洞50。再者，一第一多晶矽層51在該結構之上藉由CVP來被形成。此即，第一多晶矽層51在第一接觸洞50中以及在絕緣薄膜5之上被形成。接著As⁺以80 Kev被植入第一多晶矽層51中，以減少在第一多晶矽層51與其他接觸層之間的接觸抗阻。此類離子植入在一範圍在 1×10^{16} 與 5×10^{16} 之間的劑量下被進行。接下來，一層在第一多晶矽層51上被形成的原始氧化物薄膜被移除，並且接著一矽化鎢(Wsix)薄膜52在第一多晶矽層51之上被沉積，矽化鎢薄膜52係藉由使用SiH₄與WF₆以低溫CVP在350-400°C的溫度下被形成，繼之在將半導體基體的溫度

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

維持在850-950°C的同時在N₂的氣氛下回火30分鐘，並且在此程序期間，在第一多晶矽層51中的As⁺被擴散至Wsix薄膜52。

在第2C圖中，藉由將第一多晶矽層51與矽化鎢薄膜52形成圖案，一第一多晶矽層圖案51a與一矽化鎢薄膜圖案52a只有在絕緣薄膜5的上表面之一部分上於第一接觸洞50周圍被形成。

其次，如第2D圖所示，在第2C圖之結構之上依序地形成有第一與第二絕緣薄膜53、54。在此，註明第一絕緣薄膜53為藉由使用TEOS與O₂在大約700°C的溫度下以CVD所形成的氧化矽薄膜，而以硼磷矽玻璃(BPSG)或磷矽玻璃(PSG)所形成的第二絕緣薄膜54為平坦化而被設置。此外，一罩幕圖案(未顯示)位於第二絕緣薄膜54上，該罩幕圖案係在一部分的第一接觸洞50處具有一開口。另外，一第二接觸洞56藉由依序地移除部分的第一與第二絕緣薄膜53、54來被形成，該第一與第二絕緣薄膜係於第二接觸洞56處被形成，並且第一與第二絕緣薄膜圖案53a、54a如第2E圖所示般被形成。

此外，第2F圖之結構藉由將具有第2E圖之結構的半導體基體1放入HF溶液中約20至60秒，並且接著將基體1放置在一被緩衝的氧化蝕刻劑(BOE)中來被製備，該被緩衝的氧化蝕刻劑係藉由將NH₅OH與HF溶液混合來而提供，藉此蝕刻氧化物薄膜。在此類的程序中，在矽化鎢薄膜圖案52a上被形成的該SiO₂薄膜被揮發，因此一空間55

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

在矽化鎢薄膜圖案52a與第二絕緣薄膜圖案54a之間被形成。形成空間55的原因如下，根據第2B圖所示之程序As⁺離子存在於第一多晶矽層圖案51a中。此外，在後續的程序中，回火被進行並且藉此As⁺離子滲透過矽化鎢薄膜圖案52a至第一絕緣薄膜53中。即言之，As⁺離子存在於被形成在第一多晶矽層圖案51a上之部分的第一絕緣薄膜53中。

在第2E圖中，存在於第一絕緣薄膜圖案53a之As⁺藉由將半導體基體1放置在HF中而與F結合，以便因此具有AsF。因為AsF極易揮發，故與矽化鎢薄膜圖案52a呈接觸狀態之第一絕緣薄膜圖案53a之該部分被移除。此外，因為藉由將構成第一絕緣薄膜圖案53a的氧化矽薄膜之Si與在HF溶液中的F結合所形成的SiF也是易揮發的，因此SiF藉由揮發而被移除。所以，包括As⁺且在矽化鎢薄膜圖案52a上被形成之一部份的第一絕緣薄膜圖案53a被移除，且因此空間55在矽化鎢薄膜圖案52a與第二絕緣薄膜圖案54a之間被形成。從而，在本發明中，在矽化鎢薄膜圖案52a上被形成的絕緣薄膜藉由揮發而被移除，而在該傳統鰭型電容器的製造方法中被形成在該等多晶矽層之間的絕緣薄膜藉由蝕刻溶液來被移除。因此，不會有如傳統技藝中所發生諸如切割鰭型物的問題發生。

接下來，一第三多晶矽層在第2F圖之結構之上被形成並被形成圖案，以便藉此形成如第2G圖所示的電容器之一下電極60。在此，被註明的是，第三多晶矽層位於空

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

間55之內壁與第一接觸洞50之一側壁被形成。接下來，一介電層61在電容器之下電極60之上被形成，這類的介電層61被形成，其係藉由以CVP沉積一層 Si_3N_4 薄膜或藉由氧化一層構成下電極60的多晶矽層來形成一層氧化矽薄膜。接下來，藉由將電容器之一第四多晶矽層沉積在第二絕緣薄膜圖案54a上與在介電層61之上來形成一上電極62。

誠如上述，由本發明所製造之具有高電容量的電容器避免因移除在該等多晶矽層圖案之間被形成的絕緣層而發生的鑄型物之切割，其導致該半導體元件之產率的增加。此外，因為在本發明中被形成在矽化鎢層上的氧化物薄膜被揮發，故對準在該製造程序中被大大地改善。再者，根據本發明所製造的電容器與傳統技藝比較具有相對大的電容量。

對於熟於此技者顯而易見的是，在本發明之具有高電容量之電容器的製造方法中可做各種的修正與變化，而不背離本發明之精神與範圍。因此，其即意欲本發明涵蓋此發明的修正與變化，假如他們落在後附申請專利範圍與他們的同等物之範圍中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

元件標號對照表

1	半導體基體	2	閘絕緣薄膜
3	閘電極	4	不純物層
5	第一絕緣薄膜	6	第二絕緣薄膜
7	第一多晶矽薄膜	8	第三絕緣薄膜
9	第二多晶矽層	10	多層膜
20	接觸洞	30	波節電極
31	介電層	32	板狀電極
40	不純物層	50	第一接觸洞
51	第一多晶矽層	51a	第一多晶矽層圖 案
52	矽化鎢薄膜	52a	矽化鎢薄膜圖案
53	第一絕緣薄膜	53a	第一絕緣薄膜圖 案
54	第二絕緣薄膜	54a	第二絕緣薄膜圖 案
55	空間	56	第二接觸洞
60	下電極	61	介電層
62	上電極		

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱: 具有高電容量之電容器的製造方法)

一種增加電容器之電容量且因而減少半導體元件之不良百分比之高電容量之電容器的製造方法，其係包括：在一半導體基體上形成一層被以 As^+ 摻雜的第一多晶矽層圖案；在第一多晶矽層圖案上形成一矽化鎢薄膜圖案；回火半導體基體；在矽化鎢薄膜圖案上依序地形成一層第一絕緣薄膜與一層第二絕緣薄膜；形成一接觸洞來暴露一部份的矽化鎢薄膜圖案，並且接著將半導體基體依序地放置在氟化氫溶液與被緩衝的氟化氫溶液中，藉此移除在矽化鎢薄膜上被形成的第一絕緣薄膜之一部分；在該矽化鎢薄膜圖案與第二絕緣薄膜圖案之一上表面的一部分上以及在接觸洞的內壁形成一電容器之下電極；及在下電極的外部表面上形成一層介電層，並且接著形成電容器之一上電極。

(請先閱讀背面之注意事項再填寫本頁各欄)

英文發明摘要(發明之名稱: Fabrication Method of Capacitor Having High Capacitance)

A fabrication method of a capacitor of high capacitance that increases capacitance of a capacitor and consequently decreases percent defective of semiconductor devices includes: forming a first polysilicon layer pattern doped with As^+ on a semiconductor substrate; forming a tungsten silicide film pattern on the first polysilicon layer; annealing the semiconductor substrate; sequentially forming a first insulating film and a second insulating film on the tungsten silicide film pattern; forming a contact hole to expose a portion of the tungsten silicide film pattern and then sequentially placing the semiconductor substrate in a hydrogen fluoride solution and a buffered hydrogen fluoride solution for thereby removing the a portion of the first insulating film formed on the tungsten silicide film pattern; forming a lower electrode of a capacitor on a portion of an upper surface of the second insulating film pattern and the tungsten silicide film pattern, and at inner walls of the contact hole; and forming a dielectric layer on outer surface of the lower electrode and then an upper electrode of the capacitor.

六、申請專利範圍

1. 一種具有高電容量之電容器的製造方法，係包含：

在一半導體基體上形成一不純物層；

在該半導體基體之上形成一絕緣薄膜；

在該不純物層之上形成一第一接觸洞；

形成一被以 As^+ 摻雜之第一多晶矽層圖案，其係覆蓋該第一接觸洞與該絕緣薄膜之一上表面的一部分；

在第一多晶矽層圖案上形成一矽化鎢薄膜圖案；

將該半導體基體回火；

在該矽化鎢薄膜圖案與該絕緣薄膜上形成一第一絕緣薄膜；

在該第一絕緣薄膜上形成一第二絕緣薄膜；

在該矽化鎢薄膜圖案之一上表面的一被預定部分上形成一第二接觸洞，藉此暴露一部分的該矽化鎢薄膜圖案並且接著形成第一與第二絕緣薄膜圖案；

藉由將與該矽化鎢薄膜圖案呈接觸狀態的該第一絕緣薄膜圖案之一部分移除，來在該矽化鎢薄膜圖案與該第二絕緣薄膜圖案之間形成一空間；

在包括有該第二絕緣薄膜圖案之一上表面的一部分與該第二接觸洞與該空間之內壁之該矽化鎢薄膜圖案上形成一電容器之下電極；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

在該下電極之一外部表面上形成一介電層；

及

在該介電層與該第二絕緣薄膜圖案之上形成一上電極。

2. 如申請專利範圍第1項之具有高電容量之電容器的製造方法，其中該電容器之該下電極為一多晶矽層。
3. 如申請專利範圍第1項之具有高電容量之電容器的製造方法，其中該電容器之該上電極為一多晶矽層。
4. 如申請專利範圍第1項之具有高電容量之電容器的製造方法，其中該電容器之該介電層為一氮化矽薄膜。
5. 如申請專利範圍第1項之具有高電容量之電容器的製造方法，其中該電容器之該介電層為一氧化矽薄膜。
6. 如申請專利範圍第1項之具有高電容量之電容器的製造方法，其中該第一絕緣薄膜圖案是一由化學氣相沉積法(CVD)所形成的氧化矽薄膜。
7. 如申請專利範圍第1項之具有高電容量之電容器的製造方法，其中形成該第一多晶矽層圖案與該矽化鎢薄膜圖案之步驟包含：

在該絕緣薄膜上與在該第一接觸洞中形成該第一多晶矽層；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

將 As^+ 植入該第一多晶矽層中；

在該第一多晶矽層上形成該矽化鎢薄膜；

將該半導體基體在 $-N_2$ 的氣氛下回火；及

將該矽化鎢薄膜與該第一多晶矽層依序地形成圖案。

8. 如申請專利範圍1項之具有高電容量之電容器的製造方法，其中該第二絕緣層為BPSG。

9. 如申請專利範圍1項之具有高電容量之電容器的製造方法，其中移除與該矽化鎢薄膜圖案呈接觸狀態之該第一絕緣薄膜圖案之該部分的步驟包含：

將該半導體基體置放在氟化氫溶液中；及

將該半導體基體置放在被緩衝的氧化蝕刻劑中。

10. 如申請專利範圍1項之具有高電容量之電容器的製造方法，其中該介電層之形成是以氧化該電容器之該下電極。

11. 如申請專利範圍第1項之具有高電容量之電容器的製造方法，其中該介電層的形成是運用氮氣以CVD來形成一氮化矽薄膜。

12. 一種具有高電容量之電容器的製造方法，其係包含：

在一半導體基體上形成一不純物層；

在該半導體基體之上形成一絕緣薄膜；

在該不純物層之上形成一第一接觸洞；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

形成一被以 As^+ 摻雜的第一多晶矽層圖案，其係覆蓋該第一接觸洞與該絕緣薄膜之一上表面的一部分；

在該第一多晶矽層圖案上形成一矽化鎢薄膜圖案；

將該半導體基體回火；

在該矽化鎢薄膜圖案與該絕緣薄膜上形成一第一絕緣薄膜；

在該第一絕緣薄膜上形成一第二絕緣薄膜；

在該矽化鎢薄膜圖案之一上表面之一被預定部分上形成一第二接觸洞，藉此暴露一部分的該矽化鎢薄膜圖案，並且接著形成第一與第二絕緣薄膜圖案；

將該半導體基體置放在氟化氫溶液中，藉此移除在該矽化鎢薄膜圖案上被形成的該第一絕緣薄膜圖案的一部分；

在該矽化鎢薄膜圖案與該第二絕緣薄膜圖案之一上表面的一部分上，以及在該第二接觸洞之內壁形成一電容器之一下電極；

在該下電極之一外表面上形成一介電層；及

在該介電層與該第二絕緣薄膜圖案之上形成一上電極。

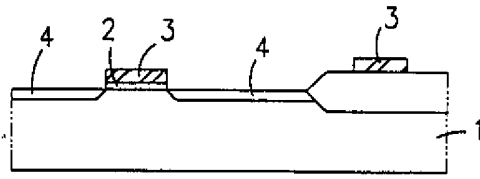
(請先閱讀背面之注意事項再填寫本頁)

裝

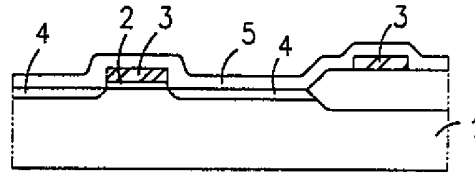
訂

線

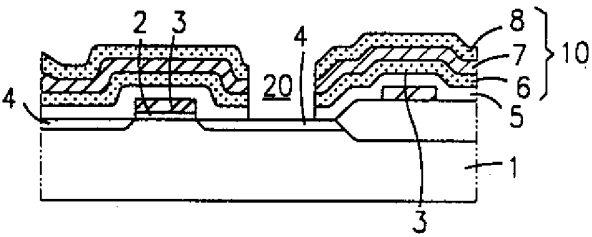
第 1A 圖



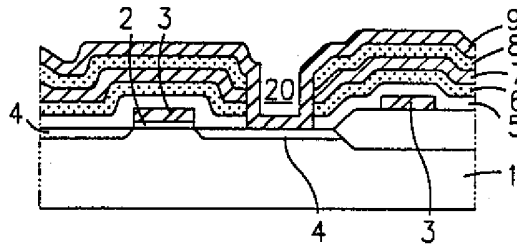
第 1B 圖



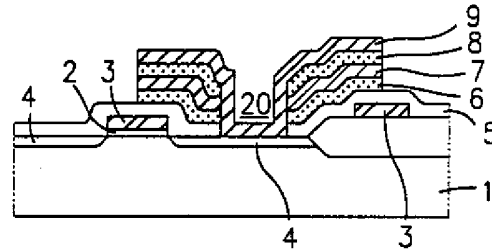
第 1C 圖



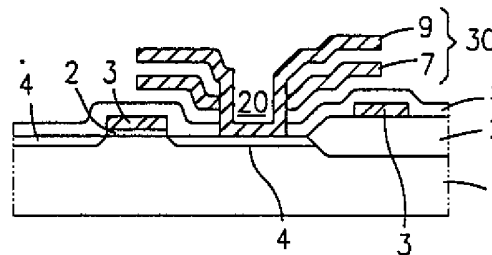
第 1D 圖



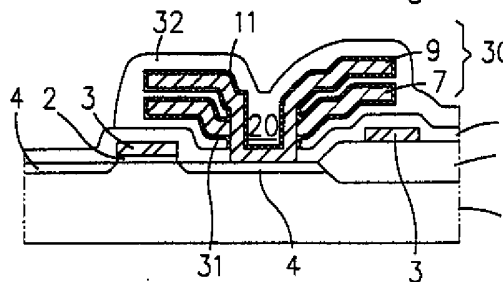
第 1E 圖



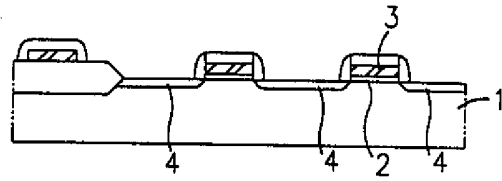
第 1F 圖



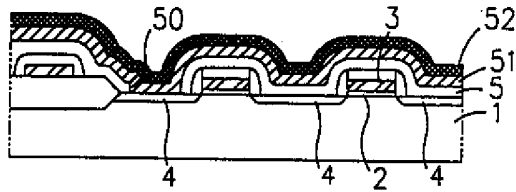
第 1G 圖



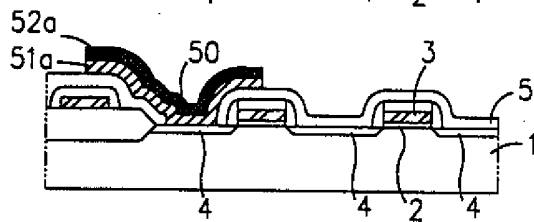
第 2A 圖



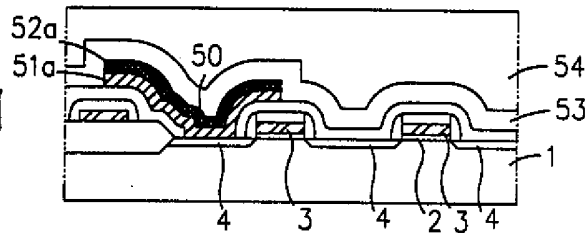
第 2B 圖



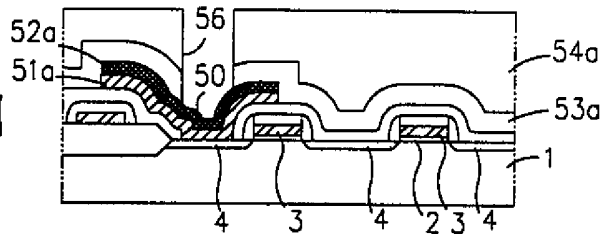
第 2C 圖



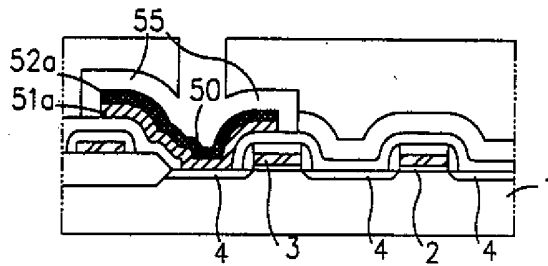
第 2D 圖



第 2E 圖



第 2F 圖



第 2G 圖

