



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0100693
(43) 공개일자 2010년09월15일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2010-0019818

(22) 출원일자 2010년03월05일

심사청구일자 2010년03월05일

(30) 우선권주장

200910079295.5 2009년03월06일 중국(CN)

(71) 출원인

베이징 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드

중국 베이징 100176 비디에이 시환중로 8호

(72) 발명자

황 잉룡

중국 베이징 100176 비디에이 지하우안종루 8호

김 회철

중국 베이징 100176 비디에이 지하우안종루 8호

(74) 대리인

리앤목특허법인

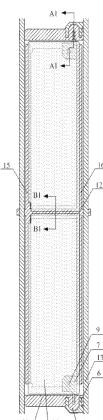
전체 청구항 수 : 총 9 항

(54) T F T-L C D 어레이 기판 및 그 제조 방법

(57) 요 약

본 발명은 TFT-LCD 어레이 기판 및 그 제조 방법에 관한 것이다. 해당 TFT-LCD 어레이 기판에는, 기판에 형성된 여러 개의 게이트 라인, 여러 개의 데이터 라인 및 여러 개의 공통 전극 라인이 포함된다. 상기 여러 개의 게이트 라인과 상기 여러 개의 데이터 라인은 서로 교차되어 여러 개의 화소 영역을 구분함과 동시에 각각의 화소 영역에 화소 전극과 박막 트랜지스터를 형성하고 상하로 인접한 2개의 화소 영역은 하나의 공통 전극 라인을 공유한다.

대 표 도 - 도2



특허청구의 범위

청구항 1

기판에 형성된 여러 개의 게이트 라인, 여러 개의 데이터 라인 및 여러 개의 공통 전극 라인을 포함한 박막 트랜지스터 액정 표시 장치(TFT-LCD) 어레이 기판으로서,

상기 여러 개의 게이트 라인과 상기 여러 개의 데이터 라인은 서로 교차되어 여러 개의 화소 영역을 구분함과 동시에 각각의 화소 영역에 화소 전극과 박막 트랜지스터를 형성하고 상하 인접한 2개의 화소 영역은 하나의 공통 전극 라인을 공유하는 것을 특징으로 하는 TFT-LCD 어레이 기판.

청구항 2

제1항에서 있어서, 상기 상하 인접한 2개의 화소 영역이 공용되는 공통 전극 라인에는,

상하 인접한 2개의 화소 영역에서 윗쪽 화소 영역의 게이트 라인은 해당 화소 영역의 윗쪽에 위치하고, 아래쪽 화소 영역의 게이트 라인은 해당 화소 영역의 아래쪽에 위치하여 2개의 화소 전극을 끼운 2개의 게이트 라인 사이에 공유되는 공통 전극 라인을 설치하는 것을 특징으로 하는 TFT-LCD 어레이 기판.

청구항 3

제1항 또는 제2항에 있어서,

상기 공통 전극 라인에 접속하는 제1 차광 바와 제2 차광 바를 더 포함하는 것을 특징으로 하는 TFT-LCD 어레이 기판.

청구항 4

제3항에 있어서,

상기 공통 전극 라인은 상기 상하 인접한 2개의 화소 영역의 게이트 라인과 평행하고, 상기 제1 차광 바와 제2 차광 바는 데이터 라인과 평행함과 동시에 상기 상하 인접한 2개의 화소 영역의 양측에 위치하는 것을 특징으로 하는 TFT-LCD 어레이 기판.

청구항 5

제3항에 있어서,

상기 공통 전극 라인은 상기 제1 차광 바와 제2 차광 바와 동시에 1회의 패터닝 공정에 의해 형성하는 것을 특징으로 하는 TFT-LCD 어레이 기판.

청구항 6

기판에 게이트 금속 박막을 퇴적하고, 상기 게이트 금속 박막에 대해 패터닝함으로써 화상 영역의 게이트 라인, 게이트 전극 및 공통 전극 라인을 형성하고 상하 인접한 2개의 화소 영역에 공통 전극 라인을 공유시키는 단계1과,

단계1을 완성한 기판에 게이트 절연층, 반도체 박막, 도핑 반도체 박막 및 소스·드레인 금속 박막을 퇴적하고 상기 게이트 절연층, 반도체 박막, 도핑 반도체 박막 및 소스·드레인 금속 박막에 대해 패터닝함으로써 화상 영역의 활성층 랜드, 데이터 라인, 드레인 전극, 소스 전극 및 TFT채널을 형성하는 단계2와,

단계2를 완성한 기판에 패시베이션층을 퇴적하고 상기 패시베이션층에 대해 패터닝함으로써 드레인 전극의 윗쪽에 위치하는 패시베이션층 비아홀을 형성하는 단계3과,

단계3을 완성한 기판에 투명 도전 박막을 퇴적하고 상기 투명 도전 박막에 대해 패터닝함으로써 패시베이션층 비아홀을 통해 드레인 전극에 접속하는 화소 영역의 화소 전극을 형성하는 단계4를 포함하는 것을 특징으로 하는 박막 트랜지스터 액정 표시 장치(TFT-LCD) 어레이 기판의 제조 방법.

청구항 7

제6항에 있어서,

상기 단계1에서 공통 전극 라인에 접속하는 제1 차광 바와 제2 차광 바를 동시에 형성하고, 상기 제1 차광 바와 제2 차광 바는 데이터 라인에 평행함과 동시에 각각의 화소 영역의 양측에 위치하는 것을 특징으로 하는 TFT-LCD 어레이 기판의 제조 방법.

청구항 8

제6항 또는 제7항에 있어서,

상기 단계2에서 패터닝에 의한 활성층 랜드, 데이터 라인, 드레인 전극, 소스 전극 및 TFT채널의 형성에는,

단계1을 완성한 기판에 플라즈마 강화 화학적 기상 증착법을 이용하여 게이트 절연층, 반도체 박막 및 도핑 반도체 박막을 차례대로 퇴적한 후에 스퍼터링 또는 증착법에 의해 기판에 소스·드레인 금속 박막을 퇴적하는 것과,

소스·드레인 금속 박막에 1층의 포토레지스트를 도포하는 것과,

하프톤 또는 그레이톤의 마스크의 노광에 의해 포토레지스트를 포토레지스트 완전 보류 영역, 포토레지스트 완전 제거 영역 및 포토레지스트 반절 보류 영역에 형성하고, 포토레지스트 완전 보류 영역은 데이터 라인, 소스 전극 및 드레인 전극이 존재하는 영역에 대응하고, 포토레지스트 반절 보류 영역은 소스 전극과 드레인 전극간의 TFT채널이 존재하는 영역에 대응하고, 포토레지스트 완전 제거 영역은 남겨진 영역에 대응하고, 현상 처리한 후 포토레지스트 완전 보류 영역의 포토레지스트의 두께에 변화가 없어 포토레지스트 완전 제거 영역의 포토레지스트가 완전히 제거되고, 포토레지스트 반절 보류 영역의 포토레지스트의 두께가 얇아지는 것과,

첫번째 식각을 이용하여 포토레지스트 완전 제거 영역의 소스·드레인 금속 박막, 도핑 반도체 박막 및 반도체 박막을 완전히 식각함으로써 활성층 랜드와 데이터 라인을 형성하는 것과,

애싱을 이용하여 포토레지스트 반절 보류 영역의 포토레지스트를 제거함으로써 해당 영역의 소스·드레인 금속 박막을 노출하는 것과,

2번째 식각을 이용하여 포토레지스트 반절 보류 영역의 소스·드레인 금속 박막 및 도핑 반도체 박막을 완전히 식각함과 동시에 해당 영역의 반도체 박막이 노출되도록 반도체 박막의 두께의 일부를 식각함으로써 소스 전극, 드레인 전극 및 TFT채널 영역을 형성하는 것과,

남겨진 포토레지스트를 벗기는 것을 포함한 것을 특징으로 하는 TFT-LCD 어레이 기판의 제조 방법.

청구항 9

제6항 또는 제7항에 있어서,

상기 단계2에서 패터닝에 의해 활성층 랜드, 데이터 라인, 드레인 전극, 소스 전극 및 TFT채널의 형성에는,

단계1을 완성한 기판에 플라즈마 강화 화학적 기상 증착법을 이용하여 게이트 절연층, 반도체 박막 및 도핑 반도체 박막을 차례대로 퇴적하고 통상의 마스크를 채용하여 패터닝함으로써 활성층 랜드를 형성하는 것과,

스퍼터링 또는 증착법을 이용하여 소스·드레인 금속 박막을 퇴적하는 것과,

통상의 마스크를 채용하여 패터닝함으로써 데이터 라인, 소스 전극, 드레인 전극 및 TFT채널 영역을 형성하는 것을 포함하는 것을 특징으로 하는 TFT-LCD 어레이 기판의 제조 방법.

명세서

기술 분야

[0001]

본 발명은 TFT-LCD 어레이 기판 및 그 제조 방법에 관한 것이다.

배경 기술

[0002]

박막 트랜지스터 액정 표시 장치(Thin Film Transistor Liquid Crystal Display, 이하 TFT-LCD로 약칭한다)는 부피가 작아 에너지 손실이 낮고 또한 복사가 없는 특징이 있어 널리 응용되고 있다.

발명의 내용

해결하려는 과제

[0003] TFT-LCD는 접합된 어레이 기판과 컬러 필터 기판으로 구성된다. 그 중, 어레이 기판에 형성된 게이트 라인과 데이터 라인이 서로 교차되어 구분된 영역이 화소 영역이 된다. 도 1은 종래의 TFT-LCD 어레이 기판의 평면 구조의 개략도로서, 상하 인접한 2개의 화소 영역의 구조가 도시되었다. 해당 TFT-LCD의 주체 구조에는 게이트 라인(11), 공통 전극 라인(12), 데이터 라인(13), 화소 전극(14), 차광 바(20) 및 박막 트랜지스터가 포함된다. 서로 교차된 게이트 라인(11)과 데이터 라인(13)은 화소 영역을 구분하고 이 화소 영역 내에 박막 트랜지스터와 화소 전극(14)이 형성된다. 도 1에 도시한 것처럼 각각의 화소 영역에서 차광 바(20)와 공통 전극 라인(12)이 「II」형 차광 구조를 형성한다. 공통 전극 라인(12)는 금속재체이므로 투광성이 없다. 따라서 종래의 TFT-LCD는 개구율이 낮기 때문에 표시 휘도가 낮다.

과제의 해결 수단

[0004] 본 발명의 실시예에 관한 TFT-LCD 어레이 기판은, 기판에 형성된 여러 개의 게이트 라인, 여러 개의 데이터 라인 및 여러 개의 공통 전극 라인을 포함한다. 상기 여러 개의 게이트 라인과 상기 여러 개의 데이터 라인은 서로 교차되어 여러 개의 화소 영역을 구분함과 동시에 각각의 화소 영역에 화소 전극과 박막 트랜지스터를 형성하고 상하 인접한 2개의 화소 영역은 하나의 공통 전극 라인을 공유한다.

[0005] 본 발명의 다른 실시예에 관한 박막 트랜지스터 액정 표시 장치(TFT-LCD) 어레이 기판의 제조 방법에는 이하의 단계가 포함된다. 즉,

[0006] 단계1: 기판에 게이트 금속 박막을 퇴적하고 상기 게이트 금속 박막에 대해 패터닝함으로써 각각의 화소 영역에 서의 게이트 라인, 게이트 전극 및 공통 전극 라인을 형성하여 상하 인접한 2개의 화소 영역에 공통 전극 라인을 공유시킨다.

[0007] 단계2: 단계1을 완성한 기판에 게이트 절연층, 반도체 박막, 도핑 반도체 박막 및 소스·드레인 금속 박막을 퇴적하여 상기 게이트 절연층, 반도체 박막, 도핑 반도체 박막 및 소스·드레인 금속 박막에 대해 패터닝함으로써 각각의 화소 영역에서의 활성층 랜드, 데이터 라인, 드레인 전극, 소스 전극 및 TFT채널을 형성한다.

[0008] 단계3: 단계2를 완성한 기판에 패시베이션층을 퇴적하고 상기 패시베이션층에 대해 패터닝함으로써 드레인 전극의 윗쪽에 위치하는 패시베이션층 비아홀을 형성한다.

[0009] 단계4: 단계3을 완성한 기판에 투명 도전 박막을 퇴적하고 상기 투명 도전 박막에 대해 패터닝함으로써 각각의 화소 영역에서의 화소 전극을 형성한다. 상기 화소 전극은 패시베이션층 비아홀을 통해 드레인 전극에 접속된다.

도면의 간단한 설명

[0010] 도 1은 종래의 TFT-LCD 어레이 기판의 평면 구조를 도시한 개략도이다.

도 2는 본 발명의 실시예에 관한 TFT-LCD 어레이 기판의 평면 구조를 도시한 개략도이다.

도 3은 도 2의 A1-A1선의 단면도이다.

도 4는 도 2의 B1-B1선의 단면도이다.

도 5는 본 발명의 실시예에 관한 TFT-LCD 어레이 기판의 첫번째 패터닝후의 평면도이다.

도 6은 도 5의 A2-A2선의 단면도이다.

도 7은 도 5의 B2-B2선의 단면도이다.

도 8은 본 발명의 실시예에 관한 TFT-LCD 어레이 기판의 2번째 패터닝후의 평면도이다.

도 9는 도 8의 A3-A3선의 단면도이다.

도 10은 도 8의 B3-B3선의 단면도이다.

도 11은 본 발명의 실시예에 관한 TFT-LCD 어레이 기판의 3번째 패터닝후의 평면도이다.

도 12는 도 11의 A4-A4선의 단면도이다.

도 13은 도 11의 B4-B4선의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하, 도면과 실시예에 기초하여 본 발명의 기술안에 관하여 더욱 상세히 설명하기로 한다.
- [0012] 도 2는 본 발명의 실시예에 관한 TFT-LCD 어레이 기판의 평면 구조를 도시한 개략도로서, 상하 인접한 2개의 화소 영역의 구조가 도시되었다. 도 3은 도 2의 A1-A1선의 단면도이고, 도 4는 도 2의 B1-B1선의 단면도이다.
- [0013] 도 2 내지 도 4에 도시한 것처럼, 본 발명의 실시예에 관한 TFT-LCD 어레이 기판에는 기판으로 형성된 여러 개의 게이트 라인(11), 여러 개의 데이터 라인(13) 및 여러 개의 공통 전극 라인(12)이 포함된다. 게이트 라인(11)과 데이터 라인(13)이 서로 교차되어 구분된 여러 개의 화소 영역에 화소 전극(14)과 박막 트랜지스터가 형성된다. 상하 인접한 2개의 화소 영역은 공통 전극 라인(12)을 공유한다. 게이트 라인(11)은 박막 트랜지스터에 온 신호를 제공하기 위해 사용되고, 데이터 라인(13)은 화소 전극(14)에 데이터 신호를 제공하기 위해 사용된다.
- [0014] 상하 인접한 2개의 화소 영역이 공통 전극 라인(12)을 공용하는 상황에는 이하의 것이 포함된다. 즉,
- [0015] 상하 인접한 2개의 화소 영역에서 윗쪽 화소 영역의 게이트 라인(11)은 해당 화소 영역의 윗쪽에 위치하고, 아래쪽 화소 영역의 게이트 라인(11)은 해당 화소 영역의 아래쪽에 위치하고, 또한 윗쪽 화소 영역의 윗쪽에 위치하는 게이트 라인(11)과 아래쪽 화소 영역의 아래쪽에 위치하는 게이트 라인(11) 사이에 화소 전극(14)과 축적 용량을 형성함과 동시에 2개의 화소 영역에 공유되는 공통 전극 라인(12)이 설치된다. 즉, 2개의 화소 전극(14)을 끼운 2개의 게이트 라인(11) 사이에 공통 전극 라인(12)이 마련된다. 해당 가로로 연장된 공통 전극 라인(12)은 상하 인접한 2개의 화소 영역의 화소 전극(14)과 축적 용량을 구성하는 한편, 화소 영역의 양측에 입설된 제1 차광 바(15)와 제2 차광 바(16)에 접속하여 차광 구조를 구성하기 위해 사용된다.
- [0016] 여기에서 박막 트랜지스터에는 게이트 전극(2), 게이트 절연층(3), 반도체층(4), 도핑 반도체층(5), 소스 전극(6), 드레인 전극(7) 및 패시베이션층(8)이 포함된다. 게이트 전극(2)은 기판(1)에 형성됨과 동시에 게이트 라인(11)과 접속한다. 게이트 절연층(3)은 게이트 전극(2)과 게이트 라인(11) 위에 형성됨과 동시에 기판(1) 전체를 덮고, 반도체층(4)과 도핑 반도체층(5)이 적층되어 형성되는 활성층 랜드는 게이트 절연층(3)에 형성됨과 동시에 게이트 전극(2)의 윗쪽에 위치한다. 소스 전극(6)과 드레인 전극(7)은 활성층 랜드에 형성한다. 소스 전극(6)의 일단은 게이트 전극(2)의 윗쪽에 위치함과 동시에 타단은 데이터 라인(13)과 접속하고, 드레인 전극(7)의 일단은 게이트 전극(2)의 윗쪽에 위치함과 동시에 타단은 패시베이션층(8)에 뚫은 패시베이션층 비아홀(9)을 통해 화소 전극(14)과 접속한다. 소스 전극(6)과 드레인 전극(7) 사이에 TFT채널 영역을 형성하여 TFT채널 영역에서의 반도체층(4)이 노출되도록 TFT채널 영역에서의 도핑 반도체를 완전히 식각함과 동시에 반도체층의 두께의 일부도 식각한다. 패시베이션층(8)은 데이터 라인(13), 소스 전극(6) 및 드레인 전극(7) 위에 형성됨과 동시에 기판(1)의 전체를 덮는다. 또 패시베이션층(8)에서 드레인 전극(7)이 존재하는 위치에 드레인 전극(7)과 화소 전극(14)을 접속하기 위한 패시베이션층 비아홀(9)을 뚫는다. 상하 인접한 2개의 화소 영역을 1조로 하면, 공통 전극 라인(12)은 상하 인접한 2개의 화소 영역의 게이트 라인(11)과 게이트 라인(11) 사이에 위치함과 동시에 상하 인접한 2개의 화소 영역의 게이트 라인(11)과 평행하고, 제1 차광 바(15)와 제2 차광 바(16)는 데이터 라인(13)과 평행하고, 제1 차광 바(15)는 화소 영역의 왼쪽에 위치함과 동시에 화소 영역의 왼쪽의 데이터 라인(13)에 접근한다. 제2 차광 바(16)는 화소 영역의 오른쪽에 위치함과 동시에 화소 영역의 오른쪽의 데이터 라인(13)에 접근한다. 공통 전극 라인(12)은 제1 차광 바(15)와 제2 차광 바(16)의 각각에 접속하여 일체 구조가 된 공통 전극 라인(12), 제1 차광 바(15)와 제2 차광 바(16)는 각각의 화소 영역과 함께 윗쪽으로 오목형 또는 아래쪽으로 오목형이 되는 차광 구조를 구성한다. 또 화소 전극(14)과 공통 전극 라인(12)에 의해 축적 용량이 공통 전극 라인상(Cst on Common)에서의 구조가 형성되도록 화소 전극(14)과 공통 전극 라인(12)이 오버랩된다.
- [0017] 본 발명의 실시예에서 종래의 상하 인접한 2개의 화소 영역의 2개의 공통 전극 라인(12)이 하나의 공통 전극 라인(12)으로 줄어들도록 상하 인접한 2개의 화소 영역이 하나의 공통 전극 라인(12)을 공유한다. 공통 전극 라인(12)은 금속 재료로 이루어지고 투광성이 없기 때문에 하나의 공통 전극 라인(12)을 줄이면 화소 영역의 투광성이 향상된다. 따라서 표시 성능에 영향을 받지 않으면서 효율적으로 개구율을 향상시키고 표시 휘도가 변하지 않는 상태에서 백라이트의 에너지 손실도 효과적으로 줄어든다.
- [0018] 도 5 내지 도 13은 본 발명의 실시예에 관한 TFT-LCD 어레이 기판의 제조 과정의 개략도이며, 나아가 본 발명의

실시예에 관한 기술안에 대해 설명하기로 한다. 이하의 설명에서 이른바 패터닝에는, 포토레지스트 도포, 마스킹, 포토레지스트에 대한 노광과 현상, 포토레지스트의 패턴을 이용하는 식각 및 포토레지스트의 박리 등의 프로세스가 포함되며 포토레지스트는 포지티브 포토레지스트를 예로 한다.

[0019] 도 5는 본 발명의 실시예에 관한 TFT-LCD 어레이 기판의 첫번째 패터닝 후의 평면도로서, 상하 인접한 2개의 화소 영역의 구조가 도시되었다. 도 6은 도 5의 A2-A2선의 단면도이고, 도 7은 도 5의 B2-B2선의 단면도이다.

[0020] 우선, 스퍼터링 또는 증착법을 이용하여 기판(1)(예를 들면, 유리 기판 또는 석영 기판)에 1층의 게이트 금속 박막을 퇴적하고 해당 게이트 금속 박막으로서 Mo, Al 등의 금속 단층막이 채용되어도 좋고, 복층 금속 박막으로 이루어진 복합 박막(예를 들면, Mo/Al/Mo복합 박막)이 채용되어도 좋다. 또 도 5 내지 도 7에 도시된 것처럼, 통상의 마스크를 채용하여 게이트 금속 박막에 대해 패터닝함으로써 기판(1)에 각각의 화소 영역에서의 게이트 라인(11), 게이트 전극(2), 공통 전극 라인(12), 제1 차광 바(15) 및 제2 차광 바(16)를 형성한다. 공통 전극 라인(12)은 상하 인접한 2개의 화소 영역의 게이트 라인(11)과 게이트 라인(11) 사이에 위치함과 동시에 상하 인접한 2개의 화소 영역의 게이트 라인(11)과 평행하다. 제1 차광 바(15)와 제2 차광 바(16)는 나중에 형성되는 데이터 라인(13)과 평행하다. 제1 차광 바(15)는 화소 영역의 왼쪽에 위치함과 동시에 화소 영역의 왼쪽의 데이터 라인(13)에 접근하고, 제2 차광 바(16)는 화소 영역의 오른쪽에 위치함과 동시에 화소 영역의 오른쪽의 데이터 라인(13)에 접근한다. 공통 전극 라인(12)은 제1 차광 바(15)와 제2 차광 바(16)의 각각에 접속하여 일체 구조가 된 공통 전극 라인(12), 제1 차광 바(15)와 제2 차광 바(16)는 각각의 화소 영역과 함께 윗쪽이 오목형 또는 아래쪽이 오목형인 차광 구조를 구성한다. 즉, 상하 인접한 2개의 화소 영역이 공통 전극 라인(12)을 공유한다.

[0021] 도 8은 본 발명의 실시예에 관한 TFT-LCD 어레이 기판의 2번째 패터닝 후의 평면도로서, 상하 인접한 2개의 화소 영역의 구조가 도시되었다. 도 9는 도 8의 A3-A3선의 단면도이고, 도 10은 도 8의 B3-B3선의 단면도이다.

[0022] 상기 구조를 완성한 기판에 우선 플라즈마 강화 화학적 기상 증착법(이하 PECVD로 약칭한다)을 이용하여 게이트 절연층, 반도체 박막 및 도핑 반도체 박막을 차례대로 퇴적한 후에 스퍼터링 또는 증착법을 이용하여 1층의 소스·드레인 금속 박막을 퇴적한다. 게이트 절연박막으로서 산화물, 질화물 또는 질산화물이 채용되고 소스·드레인 금속 박막으로서 Mo, Al 등의 금속 단층막, 또는 Cu 등 저항율이 낮은 금속 단층막이 채용되어도 좋고, 복층 금속 박막으로 이루어진 복합 박막(예를 들면, Mo/Al/Mo복합 박막)이 채용되어도 좋다. 도 8 내지 도 10에 도시된 것처럼 하프톤 또는 그레이톤의 마스크를 채용하고 패터닝에 의해 각각의 화소 영역에서의 데이터 라인(13), 소스 전극(6), 드레인 전극(7) 및 TFT채널 영역을 형성한다. 해당 2번째 패터닝은 멀티 단계의 식각이어도 좋다. 그 프로세스에는 예를 들면 이하의 공정이 포함된다. 즉, 우선 소스·드레인 금속 박막에 1층의 포토레지스트를 도포하고 하프톤 또는 그레이톤의 마스크를 채용하여 포토레지스트에 대해 노광을 하여 포토레지스트에 완전 노광 영역, 비노광영역 및 반절 노광 영역을 형성한다. 그 중, 비노광영역은 데이터 라인(13), 소스 전극(6) 및 드레인 전극(7)이 존재하는 영역에 대응하고, 반절 노광 영역은 소스 전극(6)과 드레인 전극(7)간의 TFT채널 영역이 존재하는 영역에 대응하고, 완전 노광 영역은 남겨진 영역에 대응한다. 노광된 포토레지스트에 대해 현상 처리한 후, 비노광영역의 포토레지스트의 두께에 변화가 없어 포토레지스트 완전 보류 영역이 형성되고, 완전 노광 영역의 포토레지스트가 완전히 제거되어 포토레지스트 완전 제거 영역이 형성되고, 반절 노광 영역의 포토레지스트의 두께가 얇아져 포토레지스트 반절 보류 영역이 형성된다. 첫번째 식각을 이용하여 완전 노광 영역의 소스·드레인 금속 박막, 도핑 반도체 박막 및 반도체 박막을 완전히 식각함으로써 데이터 라인(13), 소스 전극(6) 및 드레인 전극(7)을 형성한다. 애싱을 이용하여 반절 노광 영역의 포토레지스트를 제거함으로써 해당 영역의 소스·드레인 금속 박막을 노출시킨다. 2번째 식각을 이용하여 반절 노광 영역의 소스·드레인 금속 박막 및 도핑 반도체 박막을 완전히 식각함과 동시에 반도체 박막의 두께 일부를 식각함으로써 반도체 박막이 노출되어 소스 전극(6), 드레인 전극(7) 및 TFT채널 영역이 형성된다. 마지막으로 남겨진 포토레지스트를 벗겨 본 실시예의 TFT-LCD 어레이 기판의 2번째 패터닝을 완성한다. 이 패터닝을 한 후, 게이트 절연층(3)은 기판(1) 전체를 덮고 반도체층(4)과 도핑 반도체층(5)에 의해 구성된 활성층 랜드가 게이트 절연층(3)에 형성됨과 동시에 게이트 전극(2)의 윗쪽에 위치한다. 소스 전극(6)과 드레인 전극(7)은 활성층 랜드에 형성되고, 소스 전극(6)의 일단은 게이트 전극(2)의 윗쪽에 위치함과 동시에 다른 일단은 데이터 라인(13)과 접속한다. 드레인 전극(7)의 일단은 게이트 전극(2)의 윗쪽에 위치함과 동시에 소스 전극(6)에 대향하여 배치된다. 또 소스 전극(6)과 드레인 전극(7) 사이에 TFT채널 영역이 형성된다. 또 TFT채널 영역의 반도체 박막이 노출되도록 TFT채널 영역에서의 도핑 반도체 박막을 완전히 식각함과 동시에 반도체 박막의 두께 일부도 식각한다. 게이트 라인(11)과 데이터 라인(13)이 화소 영역을 구분한다. 데이터 라인(13)은 제1 차광 바(15) 또는 제2 차광 바(16)의 바깥쪽에 위치하고 데이터 라인(13)의 아래쪽에 도핑 반도체 박막 및 반도체 박막이 보류된다.

- [0023] 도 11은 본 발명의 실시예에 관한 TFT-LCD 어레이 기판의 3번째 패터닝후의 평면도로서, 상하 인접한 2개의 화소 영역의 구조가 도시되었다. 도 12는 도 11의 A4-A4선의 단면도이고, 도 13은 도 11의 B4-B4선의 단면도이다.
- [0024] 도 11 내지 도 13에 도시한 것처럼, 상기 구조를 완성한 기판에 플라즈마 강화 화학적 기상 증착법(PECVD)을 이용하여 1층의 패시베이션층(8)을 퇴적한다. 패시베이션층(8)으로서 산화물, 질화물 또는 질산화물이 채용된다. 통상의 마스크를 채용하여 패시베이션층에 대해 패터닝함으로써 패시베이션층 비아홀(9)이 형성된다. 해패시베이션층 비아홀(9)은 드레인 전극(7)의 윗쪽에 위치한다. 이 패터닝에서, 게이트 라인 패드(게이트 라인 패드) 영역의 게이트 라인 패드 비아홀 및 데이터 라인 패드(데이터 라인 패드) 영역의 데이터 라인 패드 비아홀 등이 동시에 형성된다.
- [0025] 마지막으로 상기 구조를 완성한 기판에 스퍼터링법이나 증착법을 이용하여 투명 도전 박막을 퇴적하고, 투명 도전 박막으로서 산화 인듐 주석(ITO), 산화 인듐 아연(IZO), 또는, 산화 알루미늄아연 등의 재료가 채용된다. 다른 투명 금속 또는 투명 금속 산화물이 채용되어도 좋다. 통상의 마스크를 채용하여 패터닝에 의해 화소 전극(14)을 형성한다. 화소 전극(14)은 각각의 화소 영역내에 형성되고 패시베이션층 비아홀(9)을 통해 드레인 전극(7)과 접속한다. 또 상하 인접한 2개의 화소 영역 사이에서 화소 전극(14)과 공통 전극선(12)에 의해 축적 용량이 공통 전극 라인상(Cst on Common)에서의 구조가 형성되도록 화소 전극(14)은 공통 전극 라인(12)을 덮는다.
- [0026] 이상에서 설명한 4회의 패터닝은 본 발명에 관한 TFT-LCD 어레이 기판을 제조하는 일종의 실현 방법에 불과하다. 실제로는 패터닝 횟수를 늘리거나 줄일 수 있다. 또 다른 재료를 선택하거나 또는 재료를 조합함으로써 본 발명을 실현할 수도 있다. 예를 들면, 본 발명에 관한 TFT-LCD 어레이 기판의 2번째 패터닝은, 2회의 통상의 마스크에 의한 패터닝에 의해 완성해도 좋다. 즉, 1회는 통상의 마스크를 채용하는 패터닝에 의해 활성층 랜드를 형성하고, 1회는 통상의 마스크를 채용하는 패터닝에 의해 데이터 라인, 소스 전극, 드레인 전극 및 TFT 채널 영역을 형성한다. 이 예시에서, 구체적으로 우선 PECVD법을 이용하여 게이트 절연 박막, 반도체 박막 및 도핑 반도체 박막을 차례대로 퇴적한 후 통상의 마스크를 채용하는 패터ning에 의해 활성층 랜드를 형성한다. 해당 활성층은 반도체층과 도핑 반도체층의 적층체를 포함하여 게이트 절연층에 형성됨과 동시에 게이트 전극의 윗쪽에 위치한다. 다음으로 스퍼터링 또는 증착법을 이용하여 1층의 소스·드레인 금속 박막을 퇴적한다. 다음으로 통상의 마스크를 채용하는 패터ning에 의해 데이터 라인, 소스 전극, 드레인 전극 및 TFT 채널 영역을 형성한다. 소스 전극의 일단은 활성층 랜드에 위치함과 동시에 타단은 데이터 라인과 접속한다. 또 드레인 전극의 일단은 활성층 랜드에 위치함과 동시에 소스 전극에 대향하여 배치되고 소스 전극과 드레인 전극 사이에 TFT 채널 영역을 형성하여 TFT 채널 영역의 반도체층이 노출되도록 TFT 채널 영역에서의 도핑 반도체 박막을 완전히 식각함과 동시에 반도체 박막의 두께 일부를 식각한다. 이 패터닝을 한 후, 데이터 라인의 아래쪽에 게이트 절연층밖에 존재하지 않는다.
- [0027] 또 상기 실시예에서 박막 트랜지스터가 상하 인접한 2개의 화소 영역의 같은 쪽에 위치하는 것만을 예로 들어 설명하였으나, 당업자라면 박막 트랜지스터가 상하 인접한 2개의 화소 영역의 양측에도 위치할 수 있어 그 실현 원리는 같다는 것을 이해할 수 있기 때문에 설명을 생략한다.
- [0028] 아울러 본 발명의 실시예에 관한 TFT-LCD 어레이 기판은 상하 인접한 2개의 화소 영역이 공통 전극 라인을 공유하는 구조를 채용하여 표시 품질에 영향이 없다는 전제로 화소 개구율을 효과적으로 향상시키는 기술안이다. 종래와 같은 각각의 화소 영역에 하나의 공통 전극 라인을 배치하는 구조를 채용하는 경우에 비해 본 발명의 실시예에 의해 제공된 TFT-LCD 어레이 기판은 상하 인접한 2개의 화소 영역에서 하나의 공통 전극 라인을 생략할 수 있어 화소 영역의 개구율을 효과적으로 향상시킴과 동시에 표시 휘도가 변하지 않는 상황에서 백라이트의 에너지 손실도 효과적으로 줄일 수 있게 됨에 따라 TFT-LCD 어레이 기판의 생산 비용을 줄였다. 또 본 발명의 실시예에서 TFT-LCD 어레이 기판을 제조하는 경우 역시 4회의 패터닝 또는 5회의 패터닝을 채용할 수 있고 패터닝을 늘리지 않은 상태에서 전체적으로 TFT-LCD의 성능과 품질을 향상시켰다.
- [0029] 본 발명의 실시예에서의 TFT-LCD 어레이 기판의 제조 방법에는 이하의 단계를 포함시킬 수 있다. 즉,
- [0030] 단계1: 기판에 게이트 금속 박막을 퇴적하여 상기 게이트 금속 박막에 대해 패터닝함으로써 각각의 화소 영역에서의 게이트 라인, 게이트 전극 및 공통 전극 라인을 형성하여 상하 인접한 2개의 화소 영역에 공통 전극 라인을 공유시킨다.
- [0031] 단계2: 단계1을 완성한 기판에 게이트 절연층, 반도체 박막, 도핑 반도체 박막 및 소스·드레인 금속 박막을 퇴적하고 상기 게이트 절연층, 반도체 박막, 도핑 반도체 박막 및 소스·드레인 금속 박막에 대해 패터닝함으로써 각각의 화소 영역에서의 활성층 랜드, 데이터 라인, 드레인 전극, 소스 전극 및 TFT 채널을 형성한다.

- [0032] 단계3: 단계2를 완성한 기판에 패시베이션층을 퇴적하고 상기 패시베이션층에 대해 패터닝함으로써 드레인 전극의 윗쪽에 위치하는 패시베이션층 비아홀을 형성한다.
- [0033] 단계4: 단계3를 완성한 기판에 투명 도전 박막을 퇴적하고 상기 투명 도전 박막에 대해 패터닝함으로써 각각의 화소 영역에서의 화소 전극을 형성하고 상기 화소 전극은 패시베이션층 비아홀을 통해 드레인 전극과 접속된다.
- [0034] 본 발명의 실시예에 관한 TFT-LCD 어레이 기판의 제조 방법에서, 상하 인접한 2개의 화소 영역이 공통 전극 라인을 공유하는 구조를 형성함으로써 표시 품질에 영향이 없는 상황에서 개구율을 효과적으로 향상시켰다. 종래와 같은 각각의 화소 영역에 하나의 공통 전극 라인을 배치하는 구조를 채용하는 경우에 비해 본 발명의 실시예에 의해 제공된 TFT-LCD 어레이 기판은 상하 인접한 2개의 화소 영역에서 하나의 공통 전극 라인을 생략할 수 있어 화소 영역의 개구율을 효과적으로 향상시킴과 동시에 표시 휘도가 변하지 않는 상황에서 백라이트의 에너지 손실도 효과적으로 줄임에 따라 TFT-LCD 어레이 기판의 생산 비용을 줄였다. 또 본 발명의 실시예에서 TFT-LCD 어레이 기판을 제조하는 경우 역시 4회의 패터닝 또는 5회의 패터닝을 채용할 수 있고 패터닝을 늘리지 않은 상태에서 전체적으로 TFT-LCD의 성능과 품질을 향상시켰다.
- [0035] 또 단계1에서 공통 전극 라인과 접속하는 제1 차광 바와 제2 차광 바도 형성할 수 있다. 제1 차광 바와 제2 차광 바는 데이터 라인과 평행함과 동시에 상하 인접한 2개의 화소 영역의 양측에 위치한다. 우선 스퍼터링 또는 증착법을 이용하여 기판(예를 들면 유리 기판 또는 석영 기판)에 1층의 게이트 금속 박막을 퇴적한다. 해당 게이트 금속 박막으로서 Mo, Al 등의 금속 단층막이 채용되어도 좋고, 복층 금속 박막으로 이루어진 복합 박막(예를 들면, Mo/Al/Mo복합 박막)이 채용되어도 좋다. 또 통상의 마스크(모노톤 마스크라고도 칭한다)를 채용하여 게이트 금속 박막에 대해 패터닝함으로써 기판에 게이트 라인, 게이트 전극, 공통 전극 라인, 제1 차광 바 및 제2 차광 바를 형성한다. 공통 전극 라인은 상하 인접한 2개의 화소 영역의 게이트 라인과 게이트 라인 사이에 위치함과 동시에 상하 인접한 2개의 화소 영역의 게이트 라인과 평행하다. 또 제1 차광 바와 제2 차광 바는 데이터 라인과 평행하고 제1 차광 바는 화소 영역의 왼쪽에 위치함과 동시에 화소 영역의 왼쪽의 데이터 라인에 접근하고, 제2 차광 바는 화소 영역의 오른쪽에 위치함과 동시에 화소 영역의 오른쪽의 데이터 라인에 접근한다. 또 공통 전극 라인은 제1 차광 바와 제2 차광 바의 각각과 접속하여 일체 구조가 된 공통 전극 라인, 제1 차광 바와 제2 차광 바는 각각의 화소 영역과 함께 윗쪽이 오목형 또는 아래쪽이 오목형인 차광 구조를 구성한다. 즉, 상하 인접한 2개의 화소 영역이 공통 전극 라인을 공유한다.
- [0036] 본 실시예의 TFT-LCD 어레이 기판의 제조 방법의 제1 예시에서, 상기 단계2에는 이하의 단계가 포함된다. 즉,
- [0037] 단계11: 단계1을 완성한 기판에 플라즈마 강화 화학적 기상 증착법을 이용하여 게이트 절연층, 반도체 박막 및 도핑 반도체 박막을 차례대로 퇴적한다.
- [0038] 단계12: 단계11을 완성한 기판에 스퍼터링 또는 증착법을 이용하여 소스·드레인 금속 박막을 퇴적한다.
- [0039] 단계13: 소스·드레인 금속 박막에 1층의 포토레지스트를 도포한다.
- [0040] 단계14: 하프톤 또는 그레이톤의 마스크를 이용하여 노광함으로써 포토레지스트를 포토레지스트 완전 보류 영역, 포토레지스트 완전 제거 영역 및 포토레지스트 반절 보류 영역에 형성시킨다. 포토레지스트 완전 보류 영역은 데이터 라인, 소스 전극 및 드레인 전극이 존재하는 영역에 대응하고 포토레지스트 반절 보류 영역은 소스 전극과 드레인 전극간의 TFT채널 영역이 존재하는 영역에 대응하고, 포토레지스트 완전 제거 영역은 남겨진 영역에 대응한다. 현상 처리한 후, 포토레지스트 완전 보류 영역의 포토레지스트의 두께에 변화가 없어 포토레지스트 완전 제거 영역의 포토레지스트가 완전히 제거되고 포토레지스트 반절 보류 영역의 포토레지스트의 두께가 얇아진다.
- [0041] 단계15: 첫번째 식각에 의해 포토레지스트 완전 제거 영역의 소스·드레인 금속 박막, 도핑 반도체 박막 및 반도체 박막을 완전히 식각하여 활성층 랜드와 데이터 라인을 형성한다.
- [0042] 단계16: 애싱을 이용하여 포토레지스트 반절 보류 영역의 포토레지스트를 제거함으로써 해당 영역의 소스·드레인 금속 박막을 노출시킨다.
- [0043] 단계17: 2번째의 식각을 이용하여 포토레지스트 반절 보류 영역의 소스·드레인 금속 박막 및 도핑 반도체 박막을 완전히 식각함과 동시에 반도체 박막의 두께 일부를 식각함으로써 해당 영역의 반도체 박막이 노출되어 소스 전극, 드레인 전극 및 TFT채널 영역을 형성한다.
- [0044] 단계18: 남겨진 포토레지스트를 벗긴다.

- [0045] 본 예시에서 하프톤 또는 그레이톤의 마스크를 채용하여 1회 패터닝함으로써 활성층 랜드, 데이터 라인, 소스 전극, 드레인 전극 및 TFT채널 영역을 동시에 형성하는 기술안을 제공하고 상기 단계를 완성하여 형성된 화소 구조를 도 9와 도 10에 도시하였다.
- [0046] 본 실시예의 TFT-LCD 어레이 기판의 제조 방법의 제2 예시에서, 상기 단계2에는 이하의 단계가 포함된다. 즉,
- [0047] 단계21: 단계1을 완성한 기판에 플라즈마 강화 화학적 기상 증착법을 이용하여 게이트 절연층, 반도체 박막 및 도핑 반도체 박막을 차례대로 퇴적한다.
- [0048] 단계22: 통상의 마스크를 채용하는 패터닝에 의해 활성층 랜드를 형성한다.
- [0049] 단계23: 단계22를 완성한 기판에 스퍼터링 또는 증착법을 이용하여 소스·드레인 금속 박막을 퇴적한다.
- [0050] 단계24: 통상의 마스크를 채용하는 패터닝에 의해 데이터 라인, 소스 전극, 드레인 전극 및 TFT채널 영역을 형성한다.
- [0051] 본 예시에서 2개의 통상의 마스크를 채용하는 패터닝, 즉 1회는 통상의 마스크를 채용하는 패터닝에 의해 활성층 랜드를 형성하고, 다른 1회는 통상의 마스크를 채용하는 패터닝에 의해 데이터 라인, 소스 전극, 드레인 전극 및 TFT채널 영역을 형성한다.
- [0052] 상기 단계3에서 PECVD법을 이용하여 1층의 패시베이션층을 퇴적할 수 있고 통상의 마스크를 채용하여 패시베이션층에 대해 패터닝함으로써 패시베이션층 비아홀을 형성한다. 이 패시베이션층 비아홀은 드레인 전극의 윗쪽에 위치한다. 상기 단계를 완성하여 형성된 화소 구조를 도 12와 도 13에 도시하였다.
- [0053] 단계4에서 스퍼터링법이나 증착법을 이용하여 투명 도전 박막을 퇴적하여 통상의 마스크를 채용하는 패터닝에 의해 화소 전극을 형성하고, 해당 화소 영역내에 화소 전극을 형성함과 동시에 패시베이션층 비아홀을 통해 드레인 전극과 접속시킨다. 상하 인접한 2개의 화소 영역을 1조로 하면, 공통 전극 라인은 상하 인접한 2개의 화소 영역의 게이트 라인과 게이트 라인 사이에 위치함과 동시에 상하 인접한 2개의 화소 영역의 게이트 라인과 평행하고, 제1 차광 바와 제2 차광 바는 데이터 라인과 평행하고, 제1 차광 바는 화소 영역의 왼쪽으로 위치함과 동시에 화소 영역의 왼쪽의 데이터 라인에 접근하고, 제2 차광 바는 화소 영역의 오른쪽에 위치함과 동시에 화소 영역의 오른쪽의 데이터 라인에 접근한다. 또 공통 전극 라인은 제1 차광 바와 제2 차광 바를 접속하여 일체 구조가 된 공통 전극 라인, 제1 차광 바와 제2 차광 바는 각각의 화소 영역과 함께 윗쪽이 오목형 또는 아래쪽이 오목형인 차광 구조를 구성한다. 또 화소 전극과 공통 전극 라인에 의해 축적 용량이 공통 전극 라인(Capacitor Common)에서의 구조의 형태가 형성되도록 화소 전극과 공통 전극 라인이 오버랩된다.
- [0054] 상기 일실시예는 본 발명의 기술안에 관하여 설명했을 뿐이며 이들에 한정되지는 않는다. 구체적 실시예를 참고하면서 본 발명에 관하여 상세하게 설명하였으나, 당업자로서 상기 각 실시예에 기재된 기술안에 대해 변형하거나 또는 그 중의 기술 특징에 균등적인 기술적 요건을 채용할 수 있는 것을 말할 것도 없다. 이와 같은 변형이나 교환은 대응하는 기술안의 실질을 본 발명 각 실시예의 기술안의 정신과 범위에서 벗어나게 하는 것은 아니라는 것을 이해해야 한다.

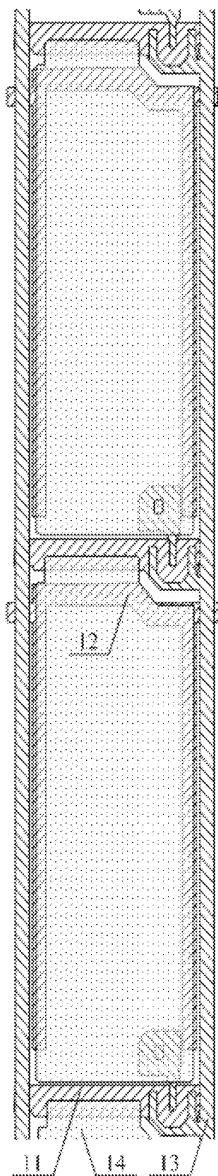
부호의 설명

- [0055]
- 1 기판
 - 2 게이트 전극
 - 3 게이트 절연층
 - 4 반도체층
 - 5 도핑 반도체층
 - 6 소스 전극
 - 7 드레인 전극
 - 8 패시베이션층
 - 9 패시베이션층 비아홀
 - 11 게이트 라인

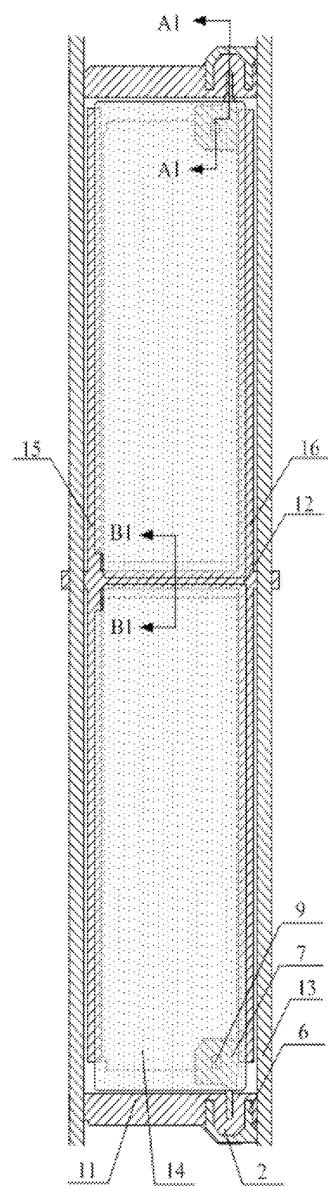
- 12 공통 전극 라인
- 13 데이터 라인
- 14 화소 전극
- 15 제1 차광 바
- 16 제2 차광 바
- 20 차광 바

도면

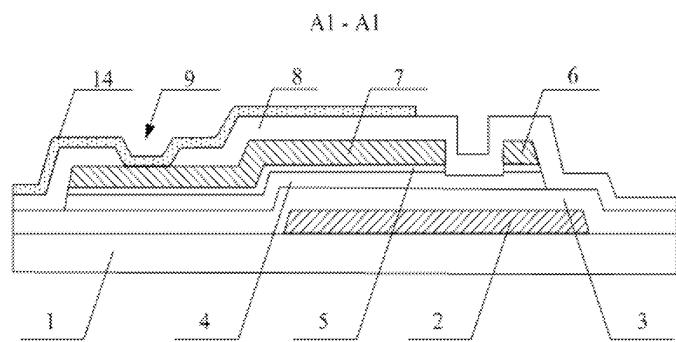
도면1



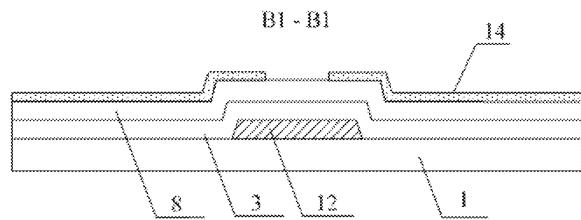
도면2



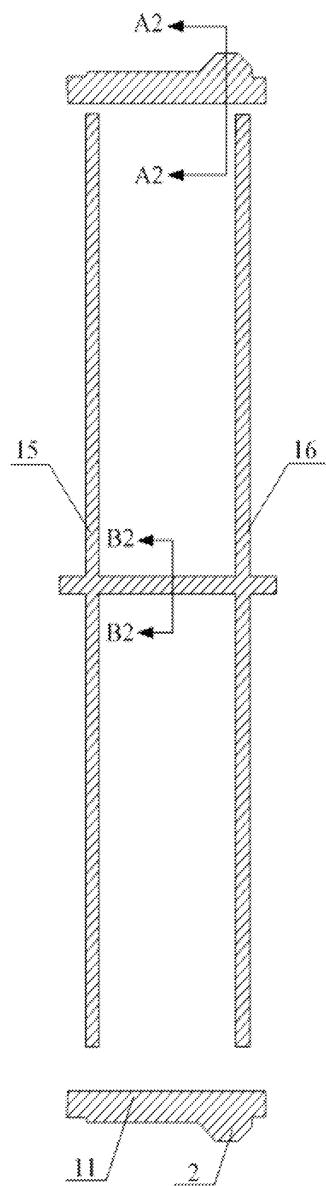
도면3



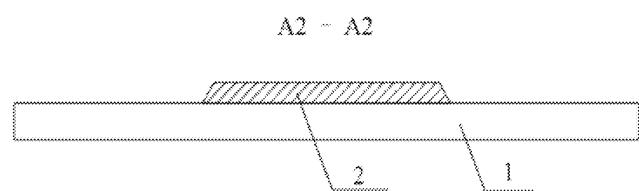
도면4



도면5

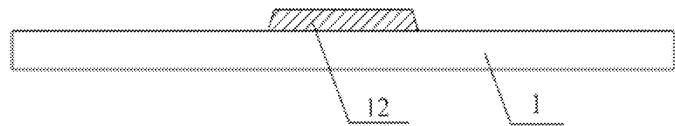


도면6

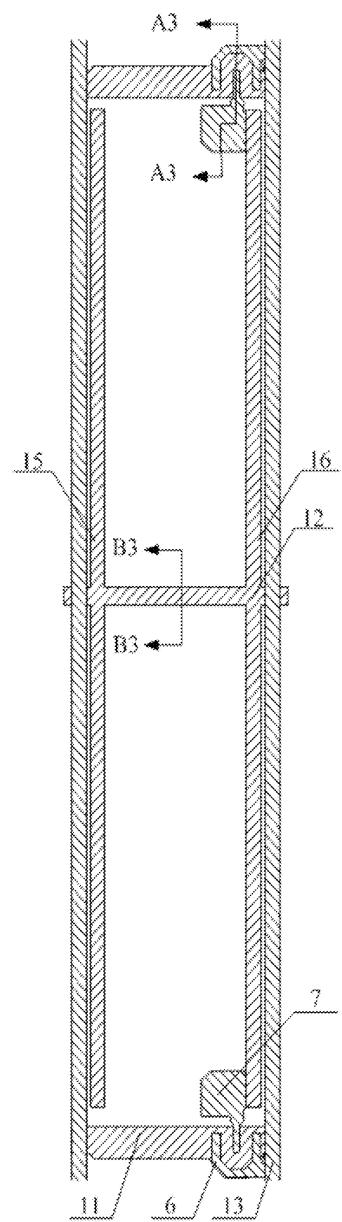


도면7

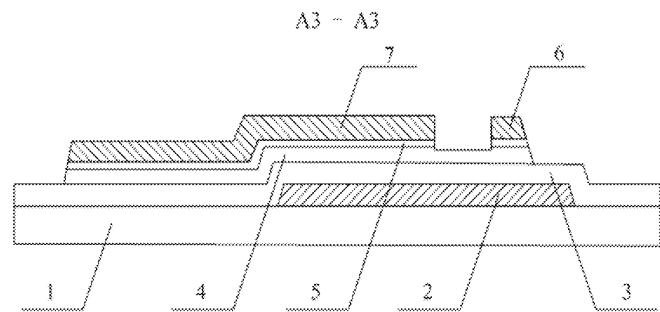
B2 ~ B2



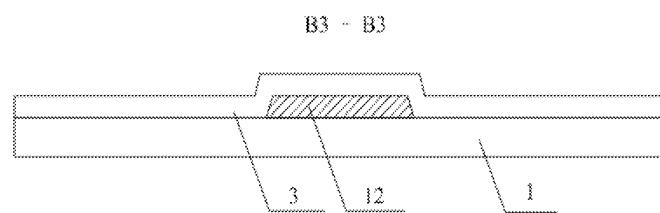
도면8



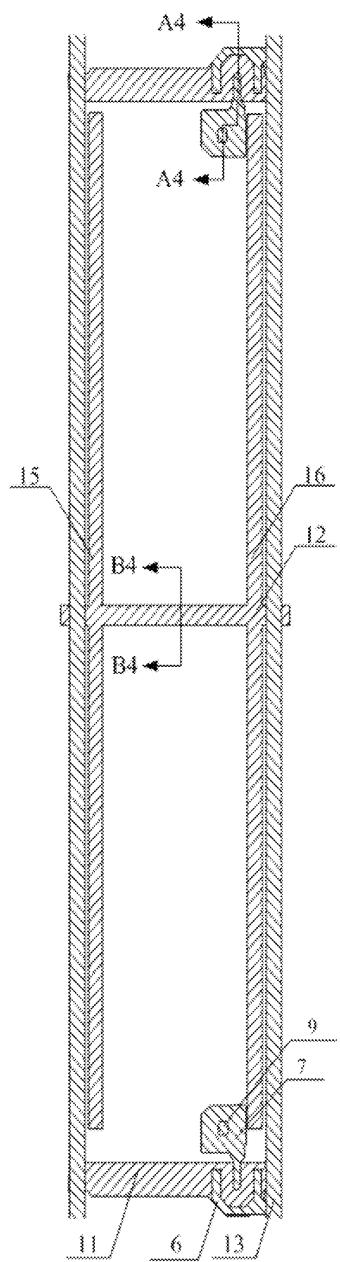
도면9



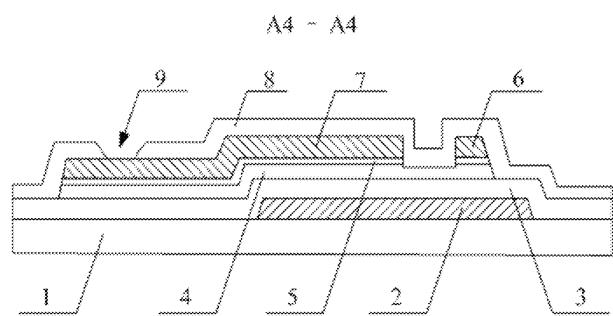
도면10



도면11



도면12



도면13

B4 ~ B4

