(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第5098508号
(P5098508)

(45)発行日　平成24年12月12日(2012.12.12)　(24)登録日　平成24年10月5日(2012.10.5)

(51)Int.Cl.		F I		
G09G 3/30	(2006.01)	G09G	3/30	J
G09G 3/20	(2006.01)	G09G	3/20	624B
H01L 51/50	(2006.01)	G09G	3/20	621M
		G09G	3/20	611H
		G09G	3/20	642A

請求項の数 24　(全 39 頁)　最終頁に続く

(21)出願番号　特願2007-210741 (P2007-210741)
(22)出願日　平成19年8月13日 (2007.8.13)
(65)公開番号　特開2009-47718 (P2009-47718A)
(43)公開日　平成21年3月5日 (2009.3.5)
審査請求日　平成22年3月5日 (2010.3.5)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100118290
弁理士　吉井　正明
(74)代理人　100094363
弁理士　山本　孝久
(74)代理人　100120640
弁理士　森　幸一
(72)発明者　浅野　慎
東京都港区港南１丁目７番１号　ソニー株式会社内
(72)発明者　冨田　昌嗣
東京都港区港南１丁目７番１号　ソニーイーエムシーエス株式会社内

最終頁に続く

(54)【発明の名称】有機エレクトロルミネッセンス表示装置、及び、有機エレクトロルミネッセンス発光部を駆動するための駆動回路、並びに、有機エレクトロルミネッセンス発光部の駆動方法

(57)【特許請求の範囲】
【請求項１】
（Ａ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた駆動トランジスタ、
（Ｂ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた映像信号書込みトランジスタ、
を備えており、
駆動トランジスタにおいては、
（Ａ－１）一方のソース／ドレイン領域は、電源部に接続されており、
（Ａ－２）他方のソース／ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続されており、第２ノードを構成し、
（Ａ－３）ゲート電極は、映像信号書込みトランジスタの他方のソース／ドレイン領域に接続されており、第１ノードを構成し、
映像信号書込みトランジスタにおいては、
（Ｂ－１）一方のソース／ドレイン領域は、データ線に接続されており、
（Ｂ－２）ゲート電極は、走査線に接続されており、
駆動トランジスタの一方のソース／ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第１の電圧と、第２ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第２の電圧とが

、選択的に電源部から印加され、
駆動トランジスタの一方のソース／ドレイン領域側には、ＬＤＤ構造が形成されており、
（ａ）第１ノードと第２ノードとの間の電位差が駆動トランジスタの閾値電圧を越えるように、走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から第１ノードに第１ノード初期化電圧が印加され、電源部から駆動トランジスタの一方のソース／ドレイン領域に第２の電圧が印加される処理が行われ、次いで、
（ｂ）走査線からの信号によりオン状態を維持した映像信号書込みトランジスタを介してデータ線から第１ノードに第１ノード初期化電圧が印加された状態で、電源部から駆動トランジスタの一方のソース／ドレイン領域に第１の電圧が印加され、以て、第１ノードの電位を保った状態で、第１ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第２ノードの電位を変化させる処理が行われ、その後、
（ｃ）走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から映像信号が第１ノードに印加される処理が行われ、次いで、
（ｄ）走査線からの信号により映像信号書込みトランジスタがオフ状態とされることにより第１ノードが浮遊状態となり、電源部から駆動トランジスタを介して、第１ノードと第２ノードとの間の電位差の値に応じた電流が有機エレクトロルミネッセンス発光部に流される、
有機エレクトロルミネッセンス発光部を駆動するための駆動回路。
【請求項２】
駆動トランジスタの他方のソース／ドレイン領域側には、第２のＬＤＤ構造が形成されていると共に、第２のＬＤＤ構造の長さは駆動トランジスタの一方のソース／ドレイン領域側のＬＤＤ構造の長さよりも短い請求項１に記載の有機エレクトロルミネッセンス発光部を駆動するための駆動回路。
【請求項３】
駆動トランジスタはｎチャネル型である請求項１または請求項２に記載の有機エレクトロルミネッセンス発光部を駆動するための駆動回路。
【請求項４】
一対の電極を備えたコンデンサ部が第１ノードと第２ノードとの間に接続されている請求項１ないし請求項３のいずれか１項に記載の有機エレクトロルミネッセンス発光部を駆動するための駆動回路。
【請求項５】
（Ａ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた駆動トランジスタ、
（Ｂ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた映像信号書込みトランジスタ、
（Ｄ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた第１ノード初期化トランジスタ、
を備えており、
駆動トランジスタにおいては、
（Ａ－１）一方のソース／ドレイン領域は、電源部に接続されており、
（Ａ－２）他方のソース／ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続されており、第２ノードを構成し、
（Ａ－３）ゲート電極は、映像信号書込みトランジスタの他方のソース／ドレイン領域に接続されており、第１ノードを構成し、
映像信号書込みトランジスタにおいては、
（Ｂ－１）一方のソース／ドレイン領域は、データ線に接続されており、
（Ｂ－２）ゲート電極は、走査線に接続されており、
第１ノード初期化トランジスタにおいては、
（Ｄ－１）一方のソース／ドレイン領域は、第１ノード初期化電圧供給線に接続されて

おり、
（Ｄ－２）他方のソース／ドレイン領域は、第１ノードに接続されており、
（Ｄ－３）ゲート電極は、第１ノード初期化トランジスタ制御線に接続されており、
駆動トランジスタの一方のソース／ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第１の電圧と、第２ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第２の電圧とが、選択的に電源部から印加され、
駆動トランジスタの一方のソース／ドレイン領域側には、ＬＤＤ構造が形成されており、
（ａ）第１ノードと第２ノードとの間の電位差が駆動トランジスタの閾値電圧を越えるように、第１ノード初期化トランジスタ制御線からの信号によりオン状態とされた第１ノード初期化トランジスタを介して、第１ノード初期化電圧供給線から第１ノードに第１ノード初期化電圧が印加され、電源部から駆動トランジスタの一方のソース／ドレイン領域に第２の電圧が印加される処理が行われ、次いで、
（ｂ）第１ノード初期化トランジスタ制御線からの信号によりオン状態を維持した第１ノード初期化トランジスタを介して第１ノード初期化電圧供給線から第１ノードに第１ノード初期化電圧が印加された状態で、電源部から駆動トランジスタの一方のソース／ドレイン領域に第１の電圧が印加され、以て、第１ノードの電位を保った状態で、第１ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第２ノードの電位を変化させる処理が行われ、その後、
（ｃ）走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から映像信号が第１ノードに印加される処理が行われ、次いで、
（ｄ）走査線からの信号により映像信号書込みトランジスタがオフ状態とされることにより第１ノードが浮遊状態となり、電源部から駆動トランジスタを介して、第１ノードと第２ノードとの間の電位差の値に応じた電流が有機エレクトロルミネッセンス発光部に流される、
有機エレクトロルミネッセンス発光部を駆動するための駆動回路。
【請求項６】
駆動トランジスタの他方のソース／ドレイン領域側には、第２のＬＤＤ構造が形成されていると共に、第２のＬＤＤ構造の長さは駆動トランジスタの一方のソース／ドレイン領域側のＬＤＤ構造の長さよりも短い請求項５に記載の有機エレクトロルミネッセンス発光部を駆動するための駆動回路。
【請求項７】
駆動トランジスタはｎチャネル型である請求項５または請求項６に記載の有機エレクトロルミネッセンス発光部を駆動するための駆動回路。
【請求項８】
一対の電極を備えたコンデンサ部が第１ノードと第２ノードとの間に接続されている請求項５ないし請求項７のいずれか１項に記載の有機エレクトロルミネッセンス発光部を駆動するための駆動回路。
【請求項９】
（Ａ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた駆動トランジスタ、
（Ｂ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた映像信号書込みトランジスタ、
を備えており、
駆動トランジスタにおいては、
（Ａ－１）一方のソース／ドレイン領域は、電源部に接続されており、
（Ａ－２）他方のソース／ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続されており、第２ノードを構成し、

（Ａ－３）ゲート電極は、映像信号書込みトランジスタの他方のソース／ドレイン領域に接続されており、第１ノードを構成し、
映像信号書込みトランジスタにおいては、
（Ｂ－１）一方のソース／ドレイン領域は、データ線に接続されており、
（Ｂ－２）ゲート電極は、走査線に接続されており、
駆動トランジスタの一方のソース／ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第１の電圧と、第２ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第２の電圧とが、選択的に電源部から印加され、
駆動トランジスタの一方のソース／ドレイン領域側には、ＬＤＤ構造が形成されている、
有機エレクトロルミネッセンス発光部を駆動するための駆動回路を用いた有機エレクトロルミネッセンス発光部の駆動方法であって、
（ａ）第１ノードと第２ノードとの間の電位差が駆動トランジスタの閾値電圧を越えるように、走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から第１ノードに第１ノード初期化電圧を印加し、電源部から駆動トランジスタの一方のソース／ドレイン領域に第２の電圧を印加する処理を行い、次いで、
（ｂ）走査線からの信号によりオン状態を維持した映像信号書込みトランジスタを介してデータ線から第１ノードに第１ノード初期化電圧を印加した状態で、電源部から駆動トランジスタの一方のソース／ドレイン領域に第１の電圧を印加し、以て、第１ノードの電位を保った状態で、第１ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第２ノードの電位を変化させる処理を行い、その後、
（ｃ）走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から映像信号を第１ノードに印加する処理を行い、次いで、
（ｄ）走査線からの信号により映像信号書込みトランジスタをオフ状態とすることにより第１ノードを浮遊状態とし、電源部から駆動トランジスタを介して、第１ノードと第２ノードとの間の電位差の値に応じた電流を有機エレクトロルミネッセンス発光部に流す、工程から成る有機エレクトロルミネッセンス発光部の駆動方法。
【請求項１０】
駆動トランジスタの他方のソース／ドレイン領域側には、第２のＬＤＤ構造が形成されていると共に、第２のＬＤＤ構造の長さは駆動トランジスタの一方のソース／ドレイン領域側のＬＤＤ構造の長さよりも短い請求項９に記載の有機エレクトロルミネッセンス発光部の駆動方法。
【請求項１１】
駆動トランジスタはｎチャネル型である請求項９または請求項１０に記載の有機エレクトロルミネッセンス発光部の駆動方法。
【請求項１２】
一対の電極を備えたコンデンサ部が第１ノードと第２ノードとの間に接続されている請求項９ないし請求項１１のいずれか１項に記載の有機エレクトロルミネッセンス発光部の駆動方法。
【請求項１３】
（Ａ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた駆動トランジスタ、
（Ｂ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた映像信号書込みトランジスタ、
（Ｄ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた第１ノード初期化トランジスタ、
を備えており、
駆動トランジスタにおいては、

（Ａ－１）一方のソース／ドレイン領域は、電源部に接続されており、
（Ａ－２）他方のソース／ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続されており、第２ノードを構成し、
（Ａ－３）ゲート電極は、映像信号書込みトランジスタの他方のソース／ドレイン領域に接続されており、第１ノードを構成し、
映像信号書込みトランジスタにおいては、
（Ｂ－１）一方のソース／ドレイン領域は、データ線に接続されており、
（Ｂ－２）ゲート電極は、走査線に接続されており、
第１ノード初期化トランジスタにおいては、
（Ｄ－１）一方のソース／ドレイン領域は、第１ノード初期化電圧供給線に接続されており、
（Ｄ－２）他方のソース／ドレイン領域は、第１ノードに接続されており、
（Ｄ－３）ゲート電極は、第１ノード初期化トランジスタ制御線に接続されており、
駆動トランジスタの一方のソース／ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第１の電圧と、第２ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第２の電圧とが、選択的に電源部から印加され、
駆動トランジスタの一方のソース／ドレイン領域側には、ＬＤＤ構造が形成されている、
有機エレクトロルミネッセンス発光部を駆動するための駆動回路を用いた有機エレクトロルミネッセンス発光部の駆動方法であって、
（ａ）第１ノードと第２ノードとの間の電位差が駆動トランジスタの閾値電圧を越えるように、第１ノード初期化トランジスタ制御線からの信号によりオン状態とされた第１ノード初期化トランジスタを介して、第１ノード初期化電圧供給線から第１ノードに第１ノード初期化電圧を印加し、電源部から駆動トランジスタの一方のソース／ドレイン領域に第２の電圧を印加する処理を行い、次いで、
（ｂ）第１ノード初期化トランジスタ制御線からの信号によりオン状態を維持した第１ノード初期化トランジスタを介して第１ノード初期化電圧供給線から第１ノードに第１ノード初期化電圧を印加した状態で、電源部から駆動トランジスタの一方のソース／ドレイン領域に第１の電圧を印加し、以て、第１ノードの電位を保った状態で、第１ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第２ノードの電位を変化させる処理を行い、その後、
（ｃ）走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から映像信号を第１ノードに印加する処理を行い、次いで、
（ｄ）走査線からの信号により映像信号書込みトランジスタをオフ状態とすることにより第１ノードを浮遊状態とし、電源部から駆動トランジスタを介して、第１ノードと第２ノードとの間の電位差の値に応じた電流を有機エレクトロルミネッセンス発光部に流す、工程から成る有機エレクトロルミネッセンス発光部の駆動方法。
【請求項１４】
駆動トランジスタの他方のソース／ドレイン領域側には、第２のＬＤＤ構造が形成されていると共に、第２のＬＤＤ構造の長さは駆動トランジスタの一方のソース／ドレイン領域側のＬＤＤ構造の長さよりも短い請求項１３に記載の有機エレクトロルミネッセンス発光部の駆動方法。
【請求項１５】
駆動トランジスタはｎチャネル型である請求項１３または請求項１４に記載の有機エレクトロルミネッセンス発光部の駆動方法。
【請求項１６】
一対の電極を備えたコンデンサ部が第１ノードと第２ノードとの間に接続されている請求項１３ないし請求項１５のいずれか１項に記載の有機エレクトロルミネッセンス発光部

の駆動方法。
【請求項１７】
（１）走査回路、
（２）映像信号出力回路、
（３）第１の方向にＮ個、第１の方向とは異なる第２の方向にＭ個、合計Ｎ×Ｍ個の、２次元マトリクス状に配列され、それぞれが有機エレクトロルミネッセンス発光部、及び、有機エレクトロルミネッセンス発光部を駆動するための駆動回路を備えている有機エレクトロルミネッセンス素子、
（４）走査回路に接続され、第１の方向に延びるＭ本の走査線、
（５）映像信号出力回路に接続され、第２の方向に延びるＮ本のデータ線、並びに、
（６）電源部、
を備えた有機エレクトロルミネッセンス表示装置であって、
駆動回路は、
（Ａ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた駆動トランジスタ、
（Ｂ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた映像信号書込みトランジスタ、
を備えており、
駆動トランジスタにおいては、
（Ａ－１）一方のソース／ドレイン領域は、電源部に接続されており、
（Ａ－２）他方のソース／ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続されており、第２ノードを構成し、
（Ａ－３）ゲート電極は、映像信号書込みトランジスタの他方のソース／ドレイン領域に接続されており、第１ノードを構成し、
映像信号書込みトランジスタにおいては、
（Ｂ－１）一方のソース／ドレイン領域は、データ線に接続されており、
（Ｂ－２）ゲート電極は、走査線に接続されており、
駆動トランジスタの一方のソース／ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第１の電圧と、第２ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第２の電圧とが、選択的に電源部から印加され、
駆動トランジスタの一方のソース／ドレイン領域側には、ＬＤＤ構造が形成されており、
（ａ）第１ノードと第２ノードとの間の電位差が駆動トランジスタの閾値電圧を越えるように、走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から第１ノードに第１ノード初期化電圧が印加され、電源部から駆動トランジスタの一方のソース／ドレイン領域に第２の電圧が印加される処理が行われ、次いで、
（ｂ）走査線からの信号によりオン状態を維持した映像信号書込みトランジスタを介してデータ線から第１ノードに第１ノード初期化電圧が印加された状態で、電源部から駆動トランジスタの一方のソース／ドレイン領域に第１の電圧が印加され、以て、第１ノードの電位を保った状態で、第１ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第２ノードの電位を変化させる処理が行われ、その後、
（ｃ）走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から映像信号が第１ノードに印加される処理が行われ、次いで、
（ｄ）走査線からの信号により映像信号書込みトランジスタがオフ状態とされることにより第１ノードが浮遊状態となり、電源部から駆動トランジスタを介して、第１ノードと第２ノードとの間の電位差の値に応じた電流が有機エレクトロルミネッセンス発光部に流される、
有機エレクトロルミネッセンス表示装置。

【請求項１８】
駆動トランジスタの他方のソース／ドレイン領域側には、第２のＬＤＤ構造が形成されていると共に、第２のＬＤＤ構造の長さは駆動トランジスタの一方のソース／ドレイン領域側のＬＤＤ構造の長さよりも短い請求項１７に記載の有機エレクトロルミネッセンス表示装置。
【請求項１９】
駆動トランジスタはｎチャネル型である請求項１７または請求項１８に記載の有機エレクトロルミネッセンス表示装置。
【請求項２０】
一対の電極を備えたコンデンサ部が第１ノードと第２ノードとの間に接続されている請求項１７ないし請求項１９のいずれか１項に記載の有機エレクトロルミネッセンス表示装置。
【請求項２１】
（１）走査回路、
（２）映像信号出力回路、
（３）第１の方向にＮ個、第１の方向とは異なる第２の方向にＭ個、合計Ｎ×Ｍ個の、２次元マトリクス状に配列され、それぞれが有機エレクトロルミネッセンス発光部、及び、有機エレクトロルミネッセンス発光部を駆動するための駆動回路を備えている有機エレクトロルミネッセンス素子、
（４）走査回路に接続され、第１の方向に延びるＭ本の走査線、
（５）映像信号出力回路に接続され、第２の方向に延びるＮ本のデータ線、並びに、
（６）電源部、
を備えた有機エレクトロルミネッセンス表示装置であって、
駆動回路は、
（Ａ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた駆動トランジスタ、
（Ｂ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた映像信号書込みトランジスタ、
（Ｄ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた第１ノード初期化トランジスタ、
を備えており、
駆動トランジスタにおいては、
（Ａ－１）一方のソース／ドレイン領域は、電源部に接続されており、
（Ａ－２）他方のソース／ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続されており、第２ノードを構成し、
（Ａ－３）ゲート電極は、映像信号書込みトランジスタの他方のソース／ドレイン領域に接続されており、第１ノードを構成し、
映像信号書込みトランジスタにおいては、
（Ｂ－１）一方のソース／ドレイン領域は、データ線に接続されており、
（Ｂ－２）ゲート電極は、走査線に接続されており、
第１ノード初期化トランジスタにおいては、
（Ｄ－１）一方のソース／ドレイン領域は、第１ノード初期化電圧供給線に接続されており、
（Ｄ－２）他方のソース／ドレイン領域は、第１ノードに接続されており、
（Ｄ－３）ゲート電極は、第１ノード初期化トランジスタ制御線に接続されており、
駆動トランジスタの一方のソース／ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第１の電圧と、第２ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第２の電圧とが、選択的に電源部から印加され、

駆動トランジスタの一方のソース／ドレイン領域側には、ＬＤＤ構造が形成されており、
（ａ）第１ノードと第２ノードとの間の電位差が駆動トランジスタの閾値電圧を越えるように、第１ノード初期化トランジスタ制御線からの信号によりオン状態とされた第１ノード初期化トランジスタを介して、第１ノード初期化電圧供給線から第１ノードに第１ノード初期化電圧が印加され、電源部から駆動トランジスタの一方のソース／ドレイン領域に第２の電圧が印加される処理が行われ、次いで、
（ｂ）第１ノード初期化トランジスタ制御線からの信号によりオン状態を維持した第１ノード初期化トランジスタを介して第１ノード初期化電圧供給線から第１ノードに第１ノード初期化電圧が印加された状態で、電源部から駆動トランジスタの一方のソース／ドレイン領域に第１の電圧が印加され、以て、第１ノードの電位を保った状態で、第１ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第２ノードの電位を変化させる処理が行われ、その後、
（ｃ）走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から映像信号が第１ノードに印加される処理が行われ、次いで、
（ｄ）走査線からの信号により映像信号書込みトランジスタがオフ状態とされることにより第１ノードが浮遊状態となり、電源部から駆動トランジスタを介して、第１ノードと第２ノードとの間の電位差の値に応じた電流が有機エレクトロルミネッセンス発光部に流される、
有機エレクトロルミネッセンス表示装置。
【請求項２２】
駆動トランジスタの他方のソース／ドレイン領域側には、第２のＬＤＤ構造が形成されていると共に、第２のＬＤＤ構造の長さは駆動トランジスタの一方のソース／ドレイン領域側のＬＤＤ構造の長さよりも短い請求項２１に記載の有機エレクトロルミネッセンス表示装置。
【請求項２３】
駆動トランジスタはｎチャネル型である請求項２１または請求項２２に記載の有機エレクトロルミネッセンス表示装置。
【請求項２４】
一対の電極を備えたコンデンサ部が第１ノードと第２ノードとの間に接続されている請求項２１ないし請求項２３のいずれか１項に記載の有機エレクトロルミネッセンス表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、有機エレクトロルミネッセンス表示装置、及び、有機エレクトロルミネッセンス発光部を駆動するための駆動回路、並びに、有機エレクトロルミネッセンス発光部の駆動方法に関する。
【背景技術】
【０００２】
有機エレクトロルミネッセンス素子（以下、単に、有機ＥＬ素子と略称する）を発光素子として用いた有機エレクトロルミネッセンス表示装置（以下、単に、有機ＥＬ表示装置と略称する）において、有機ＥＬ素子の輝度は、有機ＥＬ素子を流れる電流値によって制御される。そして、液晶表示装置と同様に、有機ＥＬ表示装置においても、駆動方式として、単純マトリクス方式、及び、アクティブマトリクス方式が周知である。アクティブマトリクス方式は、単純マトリクス方式に比べて構造が複雑となるといった欠点はあるが、画像の輝度を高いものとすることができる等、種々の利点を有する。
【０００３】
有機ＥＬ素子を構成する有機エレクトロルミネッセンス発光部（以下、単に、発光部と略称する）を駆動するための回路として、５つのトランジスタと１つのコンデンサ部から

構成された駆動回路（５Ｔｒ／１Ｃ駆動回路と呼ぶ）が、例えば、特開２００６－２１５２１３号公報から周知である。５Ｔｒ／１Ｃ駆動回路は、図１２に示すように、映像信号書込みトランジスタT_{Sig}、駆動トランジスタT_{Drv}、発光制御トランジスタT_{EL_C}、第１ノード初期化トランジスタT_{ND1}、第２ノード初期化トランジスタT_{ND2}の５つのトランジスタから構成され、更には、１つのコンデンサ部C_1から構成されている。ここで、駆動トランジスタT_{Drv}の他方のソース／ドレイン領域は第２ノードND_2を構成し、駆動トランジスタT_{Drv}のゲート電極は第１ノードND_1を構成する。

【０００４】

尚、これらのトランジスタ及びコンデンサ部については、後に詳しく説明する。

【０００５】

例えば、各トランジスタはｎチャネル型の薄膜トランジスタ（ＴＦＴ）から成り、発光部ＥＬＰは、駆動回路を覆うように形成された層間絶縁層等の上に設けられている。発光部ＥＬＰのアノード電極は、駆動トランジスタT_{Drv}の他方のソース／ドレイン領域に接続されている。一方、発光部ＥＬＰのカソード電極には、電圧V_{Cat}（例えば、０ボルト）が印加される。符号C_{EL}は発光部ＥＬＰの寄生容量を表す。

【０００６】

有機ＥＬ表示装置は、図１３に概念図を示すように、

（１）走査回路１０１、

（２）映像信号出力回路１０２、

（３）第１の方向にＮ個、第１の方向とは異なる第２の方向（具体的には、第１の方向に直交する方向）にＭ個、合計Ｎ×Ｍ個の、２次元マトリクス状に配列され、それぞれが有機エレクトロルミネッセンス発光部ＥＬＰ、及び、有機エレクトロルミネッセンス発光部ＥＬＰを駆動するための駆動回路を備えている有機エレクトロルミネッセンス素子１０、

（４）走査回路１０１に接続され、第１の方向に延びるＭ本の走査線ＳＣＬ、

（５）映像信号出力回路１０２に接続され、第２の方向に延びるＮ本のデータ線ＤＴＬ、

（６）電源部１００、

（７）発光制御トランジスタ制御回路１０３、

（８）第１ノード初期化トランジスタ制御回路１０４、並びに、

（９）第２ノード初期化トランジスタ制御回路１０５、

を備えている。尚、図１３においては、便宜のため３×３個の有機ＥＬ素子１０を示したが、これは単なる例示に過ぎない。

【０００７】

各有機ＥＬ素子１０における駆動のタイミングチャートを模式的に図１４に示し、各トランジスタのオン／オフ状態等を模式的に図１５の（Ａ）～（Ｄ）及び図１６の（Ａ）～（Ｅ）に示す。図１４に示すように、［期間－ＴＰ（５）$_1$］において、閾値電圧キャンセル処理を行うための前処理が実行される。即ち、第１ノード初期化トランジスタ制御回路１０４及び第２ノード初期化トランジスタ制御回路１０５の動作に基づき、第１ノード初期化トランジスタ制御線AZ_{ND1}及び第２ノード初期化トランジスタ制御線AZ_{ND2}をハイレベルとする。これにより、図１５の（Ｂ）に示すように、第１ノード初期化トランジスタT_{ND1}及び第２ノード初期化トランジスタT_{ND2}をオン状態とすることで、第１ノードND_1の電位は、V_{Ofs}（例えば、０ボルト）となる。一方、第２ノードND_2の電位は、V_{SS}（例えば、－１０ボルト）となる。そして、これによって、駆動トランジスタT_{Drv}のゲート電極と他方のソース／ドレイン領域との間の電位差が、駆動トランジスタT_{Drv}の閾値電圧V_{th}（例えば、３ボルト）以上となる。駆動トランジスタT_{Drv}はオン状態である。

【０００８】

次いで、図１４に示すように、［期間－ＴＰ（５）$_2$］において、閾値電圧キャンセル処理が行われる。［期間－ＴＰ（５）$_1$］の完了以前において、第２ノード初期化トラン

ジスタ制御線AZ_{ND2}をローレベルとすることによって、第２ノード初期化トランジスタT_{ND2}をオフ状態とする。そして、図１５の（Ｄ）に示すように、第１ノード初期化トランジスタT_{ND1}のオン状態を維持したまま、［期間－ＴＰ（５）$_2$］の始期において発光制御トランジスタ制御回路１０３の動作に基づき、発光制御トランジスタ制御線CL_{EL_C}をハイレベルとする。これにより、発光制御トランジスタT_{EL_C}をオン状態とする。その結果、第１ノードND_1の電位から駆動トランジスタT_{Drv}の閾値電圧V_{th}を減じた電位に向かって、第２ノードND_2の電位は変化する。即ち、浮遊状態の第２ノードND_2の電位が上昇する。そして、駆動トランジスタT_{Drv}のゲート電極と他方のソース／ドレイン領域との間の電位差がV_{th}に達すると、駆動トランジスタT_{Drv}がオフ状態となる。この状態にあっては、第２ノードND_2の電位は、概ね（$V_{Ofs}-V_{th}$）である。その後、［期間－ＴＰ（５）$_3$］において、第１ノード初期化トランジスタT_{ND1}のオン状態を維持したまま、発光制御トランジスタ制御回路１０３の動作に基づき、発光制御トランジスタ制御線CL_{EL_C}をローレベルとし、発光制御トランジスタT_{EL_C}をオフ状態とする。次に、［期間－ＴＰ（５）$_4$］において、第１ノード初期化トランジスタ制御回路１０４の動作に基づき第１ノード初期化トランジスタ制御線AZ_{ND1}をローレベルとすることによって、第１ノード初期化トランジスタT_{ND1}をオフ状態とする。

【０００９】

次いで、図１４に示すように、［期間－ＴＰ（５）$_5$］において、駆動トランジスタT_{Drv}に対する書込み処理を行う。具体的には、図１６の（Ｃ）に示すように、第１ノード初期化トランジスタT_{ND1}、第２ノード初期化トランジスタT_{ND2}、及び、発光制御トランジスタT_{EL_C}のオフ状態を維持したまま、データ線ＤＴＬの電位を映像信号に相当する電圧［発光部ＥＬＰにおける輝度を制御するための映像信号（駆動信号、輝度信号）V_{Sig}］とし、次いで、走査線ＳＣＬをハイレベルとすることによって映像信号書込みトランジスタT_{Sig}をオン状態とする。その結果、第１ノードND_1の電位は、V_{Sig}へと上昇する。第１ノードND_1の電位の変化分に基づく電荷は、コンデンサ部C_1、発光部ＥＬＰの寄生容量C_{EL}、駆動トランジスタT_{Drv}におけるゲート電極と発光部ＥＬＰ側のソース／ドレイン領域との間の寄生容量に振り分けられる。従って、第１ノードND_1の電位が変化すると、第２ノードND_2の電位も変化する。しかし、発光部ＥＬＰの寄生容量C_{EL}の容量値が大きな値である程、第２ノードND_2の電位の変化は小さくなる。そして、一般に、発光部ＥＬＰの寄生容量C_{EL}の容量値は、コンデンサ部C_1の容量値及び駆動トランジスタT_{Drv}の寄生容量の値よりも大きい。そこで、第２ノードND_2の電位は殆ど変化しないとすれば、駆動トランジスタT_{Drv}のゲート電極と他方のソース／ドレイン領域との間の電位差V_{gs}は、以下の式（Ａ）のとおりとなる。

【００１０】

$V_{gs} \quad V_{Sig}-(V_{Ofs}-V_{th})$　　（Ａ）

【００１１】

その後、図１４に示すように、［期間－ＴＰ（５）$_6$］において、駆動トランジスタT_{Drv}の特性（例えば、移動度μの大小等）に応じて駆動トランジスタT_{Drv}の他方のソース／ドレイン領域の電位（即ち、第２ノードND_2の電位）を上昇させる移動度補正処理を行う。具体的には、図１６の（Ｄ）に示すように、駆動トランジスタT_{Drv}のオン状態を維持したまま、発光制御トランジスタ制御回路１０３の動作に基づき、発光制御トランジスタT_{EL_C}をオン状態とし、次いで、所定の時間（t_0）が経過した後、映像信号書込みトランジスタT_{Sig}をオフ状態とする。その結果、駆動トランジスタT_{Drv}の移動度μの値が大きい場合、駆動トランジスタT_{Drv}の他方のソース／ドレイン領域における電位の上昇量ΔＶ（電位補正値）は大きくなり、駆動トランジスタT_{Drv}の移動度μの値が小さい場合、駆動トランジスタT_{Drv}の他方のソース／ドレイン領域における電位の上昇量ΔＶ（電位補正値）は小さくなる。ここで、駆動トランジスタT_{Drv}のゲート電極と他方のソース／ドレイン領域との間の電位差V_{gs}は、式（Ａ）から以下の式（Ｂ）のように変形される。尚、移動度補正処理を実行するための所定の時間（［期間－ＴＰ（５）$_6$］の全時間t_0）は、有機ＥＬ表示装置の設計の際、設計値として予め決定しておけばよい。

【００１２】

V_{gs}　$V_{Sig}-(V_{Ofs}-V_{th})-\Delta V$　　（Ｂ）

【００１３】

以上の操作によって、閾値電圧キャンセル処理、書込み処理、移動度補正処理が完了する。そして、その後の［期間－ＴＰ（５）$_7$］において、映像信号書込みトランジスタT_{Sig}がオフ状態となり、第１ノードND_1、即ち、図１６の（Ｅ）に示すように、駆動トランジスタT_{Drv}のゲート電極は浮遊状態となる一方、発光制御トランジスタT_{EL_C}はオン状態を維持しており、発光制御トランジスタT_{EL_C}の一方のソース／ドレイン領域は、発光部ＥＬＰの発光を制御するための電源部（電圧V_{CC}、例えば２０ボルト）に接続された状態にある。従って、以上の結果として、第２ノードND_2の電位が上昇し、所謂ブートストラップ回路におけると同様の現象が駆動トランジスタT_{Drv}のゲート電極に生じ、第１ノードND_1の電位も上昇する。その結果、駆動トランジスタT_{Drv}のゲート電極と他方のソース／ドレイン領域との間の電位差V_{gs}は、式（Ｂ）の値を保持する。また、発光部ＥＬＰを流れる電流は、駆動トランジスタT_{Drv}のドレイン領域からソース領域へと流れるドレイン電流I_{ds}であるので、駆動トランジスタT_{Drv}が飽和領域において理想的に動作するとすれば、式（Ｃ）で表すことができる。発光部ＥＬＰは、ドレイン電流I_{ds}の値に応じた輝度で発光する。

【００１４】

$$I_{ds}=k\cdot\mu\cdot(V_{gs}-V_{th})^2$$
$$=k\cdot\mu\cdot(V_{Sig}-V_{Ofs}-\Delta V)^2 \quad (C)$$

【００１５】

【特許文献１】特開２００６－２１５２１３号公報

【発明の開示】

【発明が解決しようとする課題】

【００１６】

上述したように、従来の駆動回路は、発光部ＥＬＰを発光させるために必要な駆動トランジスタと映像信号書込みトランジスタの他、更に３つのトランジスタを必要とし、駆動回路の構成が複雑である。有機ＥＬ表示装置の製造の容易化や歩留まりの向上等を図る観点からは、有機ＥＬ素子の駆動回路の構成は簡単であることが望ましい。

【００１７】

従って、本発明の目的は、簡単な構成で、駆動トランジスタの特性ばらつきを補正するための上述した閾値電圧キャンセル処理等を支障なく行うことができ、有機ＥＬ素子の発光特性を良好なものとすることができる有機エレクトロルミネッセンス発光部を駆動するための駆動回路、係る駆動回路を備えた有機エレクトロルミネッセンス表示装置、及び、係る駆動回路を用いた有機エレクトロルミネッセンス発光部の駆動方法を提供することにある。

【課題を解決するための手段】

【００１８】

上記の目的を達成するための本発明の第１の態様若しくは第２の態様に係る有機エレクトロルミネッセンス表示装置は、

（１）走査回路、

（２）映像信号出力回路、

（３）第１の方向にＮ個、第１の方向とは異なる第２の方向にＭ個、合計Ｎ×Ｍ個の、２次元マトリクス状に配列され、それぞれが有機エレクトロルミネッセンス発光部、及び、有機エレクトロルミネッセンス発光部を駆動するための駆動回路を備えている有機エレクトロルミネッセンス素子、

（４）走査回路に接続され、第１の方向に延びるＭ本の走査線、

（５）映像信号出力回路に接続され、第２の方向に延びるＮ本のデータ線、並びに、

（６）電源部、

を備えた有機エレクトロルミネッセンス表示装置に関する。

【００１９】
上記の目的を達成するための本発明の第１の態様に係る有機エレクトロルミネッセンス表示装置を構成する駆動回路、本発明の第１の態様に係る有機エレクトロルミネッセンス発光部を駆動するための駆動回路、及び、本発明の第１の態様に係る有機エレクトロルミネッセンス発光部の駆動方法に用いられる駆動回路（以下、これらを単に、本発明の第１の態様に係る駆動回路と呼ぶ場合がある）、並びに、上記の目的を達成するための本発明の第２の態様に係る有機エレクトロルミネッセンス表示装置を構成する駆動回路、本発明の第２の態様に係る有機エレクトロルミネッセンス発光部を駆動するための駆動回路、及び、本発明の第２の態様に係る有機エレクトロルミネッセンス発光部の駆動方法に用いられる駆動回路（以下、これらを単に、本発明の第２の態様に係る駆動回路と呼ぶ場合がある）は、
（Ａ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えたｎチャネル型の駆動トランジスタ、
（Ｂ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた映像信号書込みトランジスタ、並びに、
（Ｃ）一対の電極を備えたコンデンサ部、
を備えており、
駆動トランジスタにおいては、
（Ａ－１）一方のソース／ドレイン領域は、電源部に接続されており、
（Ａ－２）他方のソース／ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続され、且つ、コンデンサ部の一方の電極に接続されており、第２ノードを構成し、
（Ａ－３）ゲート電極は、映像信号書込みトランジスタの他方のソース／ドレイン領域に接続され、且つ、コンデンサ部の他方の電極に接続されており、第１ノードを構成し、
映像信号書込みトランジスタにおいては、
（Ｂ－１）一方のソース／ドレイン領域は、データ線に接続されており、
（Ｂ－２）ゲート電極は、走査線に接続されている、
駆動回路に関する。

【００２０】
本発明の第２の態様に係る駆動回路は、
（Ｄ）ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた第１ノード初期化トランジスタ、
を更に備えており、
第１ノード初期化トランジスタにおいては、
（Ｄ－１）一方のソース／ドレイン領域は、第１ノード初期化電圧供給線に接続されており、
（Ｄ－２）他方のソース／ドレイン領域は、第１ノードに接続されており、
（Ｄ－３）ゲート電極は、第１ノード初期化トランジスタ制御線に接続されている、
駆動回路に関する。

【００２１】
そして、本発明の第１の態様若しくは第２の態様に係る駆動回路は、駆動トランジスタの一方のソース／ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第１の電圧と、第２ノードと有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第２の電圧とが、選択的に電源部から印加され、駆動トランジスタの一方のソース／ドレイン領域側には、ＬＤＤ構造が形成されていることを特徴とする。

【００２２】
上記の目的を達成するための本発明の第３の態様に係る有機エレクトロルミネッセンス発光部を駆動するための駆動回路（以下、これらを単に、本発明の第３の態様に係る駆動

回路と呼ぶ場合がある）は、ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えたｎチャネル型の駆動トランジスタを含んだ駆動回路に関する。駆動トランジスタにおいては、一方のソース／ドレイン領域は、電源部に接続されており、他方のソース／ドレイン領域は、有機エレクトロルミネッセンス発光部に備えられたアノード電極に接続されている。そして、駆動トランジスタの一方のソース／ドレイン領域には、駆動トランジスタを介して有機エレクトロルミネッセンス発光部に向かって電流を流すための第１の電圧と、前記アノード電極に接続された駆動トランジスタの他方のソース／ドレイン領域と有機エレクトロルミネッセンス発光部に備えられたカソード電極との間の電位差が有機エレクトロルミネッセンス発光部の閾値電圧を越えないようにするための第２の電圧とが、選択的に電源部から印加され、駆動トランジスタの一方のソース／ドレイン領域側には、ＬＤＤ構造が形成されていることを特徴とする。

【００２３】

本発明の第１の態様、第２の態様、第３の態様に係る駆動回路（以下、これらを単に、本発明の駆動回路と呼ぶ場合がある）にあっては、駆動トランジスタの他方のソース／ドレイン領域側には、第２のＬＤＤ構造が形成されていると共に、第２のＬＤＤ構造の長さは駆動トランジスタの一方のソース／ドレイン領域側のＬＤＤ構造の長さよりも短い構成とすることができる。

【００２４】

本発明の第１の態様に係る有機エレクトロルミネッセンス発光部の駆動方法（以下、単に、本発明の第１の態様に係る駆動方法と呼ぶ場合がある）は、本発明の第１の態様に係る駆動回路を用いて、

（ａ）第１ノードと第２ノードとの間の電位差が駆動トランジスタの閾値電圧を越えるように、走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から第１ノードに第１ノード初期化電圧を印加し、電源部から駆動トランジスタの一方のソース／ドレイン領域に第２の電圧を印加する前処理を行い、次いで、

（ｂ）走査線からの信号によりオン状態を維持した映像信号書込みトランジスタを介してデータ線から第１ノードに第１ノード初期化電圧を印加した状態で、電源部から駆動トランジスタの一方のソース／ドレイン領域に第１の電圧を印加し、以て、第１ノードの電位を保った状態で、第１ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第２ノードの電位を変化させる閾値電圧キャンセル処理を行い、その後、

（ｃ）走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から映像信号を第１ノードに印加する書込み処理を行い、次いで、

（ｄ）走査線からの信号により映像信号書込みトランジスタをオフ状態とすることにより第１ノードを浮遊状態とし、電源部から駆動トランジスタを介して、第１ノードと第２ノードとの間の電位差の値に応じた電流を有機エレクトロルミネッセンス発光部に流す、工程から成ることを特徴とする。

【００２５】

本発明の第２の態様に係る有機エレクトロルミネッセンス発光部の駆動方法（以下、単に、本発明の第２の態様に係る駆動方法と呼ぶ場合がある）は、本発明の第２の態様に係る駆動回路を用いて、

（ａ）第１ノードと第２ノードとの間の電位差が駆動トランジスタの閾値電圧を越えるように、第１ノード初期化トランジスタ制御線からの信号によりオン状態とされた第１ノード初期化トランジスタを介して、第１ノード初期化電圧供給線から第１ノードに第１ノード初期化電圧を印加し、電源部から駆動トランジスタの一方のソース／ドレイン領域に第２の電圧を印加する前処理を行い、次いで、

（ｂ）第１ノード初期化トランジスタ制御線からの信号によりオン状態を維持した第１ノード初期化トランジスタを介して第１ノード初期化電圧供給線から第１ノードに第１ノード初期化電圧を印加した状態で、電源部から駆動トランジスタの一方のソース／ドレイン領域に第１の電圧を印加し、以て、第１ノードの電位を保った状態で、第１ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第２ノードの電位を変化さ

せる閾値電圧キャンセル処理を行い、その後、
（ｃ）走査線からの信号によりオン状態とされた映像信号書込みトランジスタを介して、データ線から映像信号を第１ノードに印加する書込み処理を行い、次いで、
（ｄ）走査線からの信号により映像信号書込みトランジスタをオフ状態とすることにより第１ノードを浮遊状態とし、電源部から駆動トランジスタを介して、第１ノードと第２ノードとの間の電位差の値に応じた電流を有機エレクトロルミネッセンス発光部に流す、工程から成ることを特徴とする。

【００２６】

図１２に示す従来の駆動回路が、５つのトランジスタと１つのコンデンサ部から構成されていたのに対し、本発明の駆動回路にあってはトランジスタの数を削減することができる。これにより、有機エレクトロルミネッセンス表示装置（以下、単に、有機ＥＬ表示装置と呼ぶ場合がある）の製造の容易化や歩留まりの向上等を図ることができる。また、本発明の第１の態様に係る駆動方法あるいは本発明の第２の態様に係る駆動方法（以下、これらを単に、本発明の駆動方法と呼ぶ場合がある）により、駆動トランジスタの特性ばらつきを補正するための上述した閾値電圧キャンセル処理等を支障なく行うことができる。

【００２７】

図１２に示す従来の駆動回路にあっては、駆動トランジスタの一方のソース／ドレイン領域は専らドレイン領域として働き、他方のソース／ドレイン領域は専らソース領域として働く。本発明の第１の態様に係る駆動方法、及び、本発明の第２の態様に係る駆動方法にあっては、有機エレクトロルミネッセンス素子（以下、単に、有機ＥＬ素子と呼ぶ場合がある）の発光時において駆動トランジスタの一方のソース／ドレイン領域はドレイン領域として働き、他方のソース／ドレイン領域はソース領域として働く。しかし、上述した前処理や閾値電圧キャンセル処理においては、逆に、駆動トランジスタの一方のソース／ドレイン領域はソース領域として働き、他方のソース／ドレイン領域はドレイン領域として働く。そして、駆動トランジスタに大きな電流が流れるのは、有機ＥＬ素子の発光時であるので、駆動トランジスタの一方のソース／ドレイン領域から他方のソース／ドレイン領域に電流が流れる際の飽和特性における直線性を改善することにより、有機ＥＬ素子の発光特性を良好なものとすることができる。本発明の駆動回路にあっては、駆動トランジスタの一方のソース／ドレイン領域側にＬＤＤ構造（Lightly Doped Drain構造）が形成されている。即ち、有機ＥＬ素子の発光時においては駆動トランジスタのドレイン領域側にＬＤＤ構造が形成されている構成となる。従って、後述する図１の（Ｂ）に示すように、駆動トランジスタの一方のソース／ドレイン領域から他方のソース／ドレイン領域に電流が流れる際の飽和特性における直線性が改善され、有機ＥＬ素子の発光特性を良好なものとすることができる。

【００２８】

また、駆動トランジスタに電源部が直接接続されている構成にあっては、電源部に静電ノイズ等が発生したとき、駆動トランジスタがその影響を受けやすい。しかし、本発明の駆動回路にあっては、駆動トランジスタの電源部側にはＬＤＤ構造が形成されているので、これが静電ノイズ等に対する保護抵抗として作用する利点も有する。

【００２９】

この場合において、駆動トランジスタの他方のソース／ドレイン領域側にもＬＤＤ構造を形成した構成とすることができる。しかしながら、上述した前処理や閾値電圧キャンセル処理において第２ノードの電位を変化させる観点からは、飽和特性よりもむしろ駆動トランジスタの応答性を改善することが求められる。ＬＤＤ構造は抵抗成分としても作用するので、駆動トランジスタの他方のソース／ドレイン領域側に、例えば駆動トランジスタの一方のソース／ドレイン領域側と同様のＬＤＤ構造を形成すると、上述した前処理や閾値電圧キャンセル処理における駆動トランジスタの応答性が悪化すると共に、有機ＥＬ素子の発光時において駆動トランジスタを流れる電流量の低下を招く要因となる。そこで、本発明の駆動回路においては、駆動トランジスタの他方のソース／ドレイン領域側に第２のＬＤＤ構造が形成されていると共に、第２のＬＤＤ構造の長さは駆動トランジスタの一

方のソース／ドレイン領域側のＬＤＤ構造の長さよりも短い構成とすることが好ましい。本発明の駆動回路にあっては、有機ＥＬ素子の発光時における駆動トランジスタの飽和特性の改善と、上述した前処理や閾値電圧キャンセル処理における駆動トランジスタの応答性の改善とを図ることができる。尚、便宜のため、以下、駆動トランジスタの一方のソース／ドレイン領域側のＬＤＤ構造を、第１のＬＤＤ構造と呼ぶ場合がある。

【００３０】

本発明の第１の態様に係る駆動方法における工程（ｂ）、若しくは、本発明の第２の態様に係る駆動方法における工程（ｂ）にあっては、第１ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第２ノードの電位を変化させる閾値電圧キャンセル処理を行なう。定性的には、閾値電圧キャンセル処理において、第１ノードと第２ノードとの間の電位差（換言すれば、駆動トランジスタのゲート電極と他方のソース／ドレイン領域との間の電位差）が駆動トランジスタの閾値電圧に近づく程度は、閾値電圧キャンセル処理の時間により左右される。従って、例えば閾値電圧キャンセル処理の時間を充分長く確保した形態にあっては、第２ノードの電位は第１ノードの電位から駆動トランジスタの閾値電圧を減じた電位に達する。そして、第１ノードと第２ノードとの間の電位差は駆動トランジスタの閾値電圧に達し、駆動トランジスタはオフ状態となる。一方、例えば閾値電圧キャンセル処理の時間を短く設定せざるを得ない形態にあっては、第１ノードと第２ノードとの間の電位差が駆動トランジスタの閾値電圧より大きく、駆動トランジスタはオフ状態とはならない場合がある。本発明の駆動方法にあっては、閾値電圧キャンセル処理の結果として、必ずしも駆動トランジスタがオフ状態となることを要しない。

【００３１】

尚、本発明の第１の態様に係る駆動方法における工程（ｂ）において、第１ノードの電位を保った状態で、第１ノードの電位から駆動トランジスタの閾値電圧を減じた電位に向かって、第２ノードの電位を変化させるには、前記工程（ａ）における第２ノードの電位に駆動トランジスタの閾値電圧を加えた電圧を超える電圧を電源部から駆動トランジスタの一方のソース／ドレイン領域に印加すればよい。本発明の第２の態様に係る駆動方法においても同様である。

【００３２】

本発明の第１の態様に係る駆動方法における工程（ｃ）、若しくは、本発明の第２の態様に係る駆動方法における工程（ｃ）にあっては、駆動トランジスタの一方のソース／ドレイン領域に有機エレクトロルミネッセンス発光部を発光させるための第１の電圧が印加された状態で、これら工程（ｃ）を行う構成とすることもできる。この構成にあっては、書込み処理において実質的に移動度補正処理が併せて行なわれる。

【００３３】

以上に説明した各種の好ましい構成を含む本発明の第１の態様若しくは第２の態様に係る有機エレクトロルミネッセンス表示装置、本発明の駆動回路において、走査回路、映像信号出力回路等の各種の回路、走査線、データ線等の各種の配線、電源部、有機エレクトロルミネッセンス発光部（以下、単に、発光部と呼ぶ場合がある）の構成、構造は、周知の構成、構造とすることができる。具体的には、発光部は、例えば、アノード電極、正孔輸送層、発光層、電子輸送層、カソード電極等から構成することができる。

【００３４】

本発明の駆動回路は、例えば、２つのトランジスタと１つのコンデンサ部から構成された駆動回路（２Ｔｒ／１Ｃ駆動回路）、３つのトランジスタと１つのコンデンサ部から構成された駆動回路（３Ｔｒ／１Ｃ駆動回路）とすることができる。駆動回路の詳細は後述する。

【００３５】

駆動回路を構成するトランジスタとして、ｎチャネル型の薄膜トランジスタ（ＴＦＴ）を挙げることができるが、場合によっては、例えば、映像信号書込みトランジスタ等にｐチャネル型の薄膜トランジスタを用いることもできる。駆動回路を構成するトランジスタは、エンハンスメント型であってもよいし、デプレッション型であってもよい。駆動トラ

ンジスタにおける第１のＬＤＤ構造あるいは第２のＬＤＤ構造は、広く周知の方法により形成することができる。コンデンサ部は、一方の電極、他方の電極、及び、これらの電極に挟まれた誘電体層（絶縁層）から構成することができる。駆動回路を構成するトランジスタ及びコンデンサ部は、或る平面内に形成され（例えば、支持体上に形成され）、発光部は、例えば、層間絶縁層を介して、駆動回路を構成するトランジスタ及びコンデンサ部の上方に形成されている。また、駆動トランジスタの他方のソース／ドレイン領域は、発光部に備えられたアノード電極に、例えば、コンタクトホールを介して接続されている。尚、半導体基板等にトランジスタを形成した構成であってもよい。

【００３６】

有機ＥＬ表示装置は、（Ｎ／３）×Ｍ個の２次元マトリクス状に配列された画素から構成され、１つの画素は、３つの副画素（赤色を発光する赤色発光副画素、緑色を発光する緑色発光副画素、青色を発光する青色発光副画素）から構成されている形態とすることができるが、本発明は、これに限るものではない。例えば、有機ＥＬ表示装置は、所謂モノクロ表示の態様とすることもできる。

【００３７】

各画素を構成する有機ＥＬ素子は、例えば、線順次駆動される。この場合の表示フレームレートをＦＲ（回／秒）とする。即ち、第ｍ行目（但し、ｍ＝１，２，３・・・Ｍ）に配列された（Ｎ／３）個の画素、より具体的には、Ｎ個の副画素のそれぞれを構成する有機ＥＬ素子を同時に駆動することができる。換言すれば、１つの行を構成する各有機ＥＬ素子にあっては、その発光／非発光のタイミングは、それらが属する行単位で制御される。但し、線順次駆動される態様に限定するものではなく、有機ＥＬ素子が点順次駆動される態様であってもよい。

【００３８】

尚、線順次駆動の際に１つの行を構成する各画素について映像信号を書き込む処理は、全ての画素について同時に映像信号を書き込む処理（以下、単に、同時書込み処理と呼ぶ場合がある）であってもよいし、各画素毎に順次映像信号を書き込む処理（以下、単に、順次書込み処理と呼ぶ場合がある）であってもよい。いずれの書込み処理とするかは、駆動回路の構成に応じて適宜選択すればよい。

【００３９】

原則として、第ｍ行目、第ｎ列（但し、ｎ＝１，２，３・・・Ｎ）に位置する有機ＥＬ素子に関する駆動、動作を説明するが、係る有機ＥＬ素子を、以下、第（ｎ，ｍ）番目の有機ＥＬ素子あるいは第（ｎ，ｍ）番目の副画素と呼ぶ。そして、第ｍ行目に配列された各有機ＥＬ素子の水平走査期間（第ｍ番目の水平走査期間）が終了するまでに、各種の処理（閾値電圧キャンセル処理、書込み処理、移動度補正処理）が行われる。尚、書込み処理や移動度補正処理は、第ｍ番目の水平走査期間内に行われる必要がある。一方、駆動回路の種類によっては、閾値電圧キャンセル処理やこれに伴う前処理を第ｍ番目の水平走査期間より先行して行うことができる。

【００４０】

そして、上述した各種の処理が全て終了した後、第ｍ行目に配列された各有機ＥＬ素子を構成する発光部を発光させる。尚、上述した各種の処理が全て終了した後、直ちに発光部を発光させてもよいし、所定の期間（例えば、所定の行数分の水平走査期間）が経過した後に発光部を発光させてもよい。この所定の期間は、有機ＥＬ表示装置の仕様や駆動回路の構成等に応じて、適宜設定することができる。尚、以下の説明においては、説明の便宜のため、各種の処理終了後、直ちに発光部を発光させるものとする。そして、第ｍ行目に配列された各有機ＥＬ素子を構成する発光部の発光は、第（ｍ＋ｍ’）行目に配列された各有機ＥＬ素子の水平走査期間の開始直前まで継続される。ここで、「ｍ’」は、有機ＥＬ表示装置の設計仕様によって決定される。即ち、或る表示フレームの第ｍ行目に配列された各有機ＥＬ素子を構成する発光部の発光は、第（ｍ＋ｍ’－１）番目の水平走査期間まで継続される。一方、第（ｍ＋ｍ’）番目の水平走査期間の始期から、次の表示フレームにおける第ｍ番目の水平走査期間内において書込み処理や移動度補正処理が完了する

まで、第ｍ行目に配列された各有機ＥＬ素子を構成する発光部は、原則として非発光状態を維持する。上述した非発光状態の期間（以下、単に、非発光期間と呼ぶ場合がある）を設けることにより、アクティブマトリクス駆動に伴う残像ボケが低減され、動画品位をより優れたものとすることができる。但し、各副画素（有機ＥＬ素子）の発光状態／非発光状態は、以上に説明した状態に限定するものではない。また、水平走査期間の時間長は、（１／ＦＲ）×（１／Ｍ）秒未満の時間長である。（ｍ＋ｍ’）の値がＭを越える場合、越えた分の水平走査期間は、次の表示フレームにおいて処理される。

【００４１】

１つのトランジスタの有する２つのソース／ドレイン領域において、「一方のソース／ドレイン領域」という用語を、電源側に接続された側のソース／ドレイン領域といった意味において使用する場合がある。また、トランジスタがオン状態にあるとは、ソース／ドレイン領域間にチャネルが形成されている状態を意味する。係るトランジスタの一方のソース／ドレイン領域から他方のソース／ドレイン領域に電流が流れているか否かは問わない。一方、トランジスタがオフ状態にあるとは、ソース／ドレイン領域間にチャネルが形成されていない状態を意味する。更には、ソース／ドレイン領域は、不純物を含有したポリシリコンやアモルファスシリコン等の導電性物質から構成することができるだけでなく、金属、合金、導電性粒子、これらの積層構造、有機材料（導電性高分子）から成る層から構成することができる。また、以下の説明において参照する各種のタイミングチャートにおいて、各期間を示す横軸の長さ（時間長）は模式的なものであり、各期間の時間長の割合を示すものではない。

【発明の効果】

【００４２】

従来の駆動回路が、５つのトランジスタと１つのコンデンサ部から構成されていたのに対し、本発明の駆動回路にあってはトランジスタの数を削減することができる。これにより、有機ＥＬ表示装置の製造の容易化や歩留まりの向上等を図ることができる。また、本発明の駆動方法により、駆動トランジスタの特性ばらつきを補正するための閾値電圧キャンセル処理等を支障なく行うことができる。本発明の駆動回路にあっては、駆動トランジスタの一方のソース／ドレイン領域側にＬＤＤ構造を形成した。これにより、有機ＥＬ素子の発光時においては駆動トランジスタのドレイン領域側にＬＤＤ構造が形成されている構成となり、駆動トランジスタの一方のソース／ドレイン領域から他方のソース／ドレイン領域に電流が流れる際の飽和特性における直線性が改善され、有機ＥＬ素子の発光特性を良好なものとすることができる。また、駆動トランジスタの他方のソース／ドレイン領域側にもＬＤＤ構造を形成した構成にあっては、駆動トランジスタの他方のソース／ドレイン領域側には、駆動トランジスタの一方のソース／ドレイン領域側のＬＤＤ構造よりも長さが短い第２のＬＤＤ構造が形成されている。本発明の駆動回路にあっては、ＬＤＤ構造の形成による抵抗成分の増加が抑えられ、有機ＥＬ素子の発光時における駆動トランジスタの飽和特性の直線性の改善と、前処理や閾値電圧キャンセル処理における駆動トランジスタの応答性の改善とを図ることができる。

【発明を実施するための最良の形態】

【００４３】

以下、図面を参照して、実施例に基づき本発明を説明する。

【実施例１】

【００４４】

実施例１は、本発明の第１の態様に係る有機ＥＬ表示装置、本発明の第１の態様及び第３の態様に係る駆動回路、本発明の第１の態様に係る駆動方法に関する。

【００４５】

実施例１の駆動回路の等価回路図を図１の（Ａ）に示す。駆動回路を構成する駆動トランジスタにおけるＬＤＤ構造とドレイン電流との関係を模式的に図１の（Ｂ）に示す。実施例１の有機ＥＬ表示装置の概念図を図２に示す。有機ＥＬ素子１０の一部分の模式的な断面図を図３の（Ａ）に示し、有機ＥＬ素子１０を構成する駆動トランジスタ付近の模式

的な断面図を図３の（Ｂ）に示す。有機ＥＬ素子１０における駆動のタイミングチャートを模式的に図４に示し、各トランジスタのオン／オフ状態等を模式的に図５の（Ａ）～（Ｆ）に示す。

【００４６】

先ず、実施例１の有機ＥＬ表示装置、及び、駆動回路について説明する。実施例１の有機ＥＬ表示装置は、図２に示すように、

（１）走査回路１０１、

（２）映像信号出力回路１０２、

（３）第１の方向（実施例１においては水平方向）にＮ個、第１の方向とは異なる第２の方向（具体的には、第１の方向に直交する方向、実施例１においては垂直方向）にＭ個、合計Ｎ×Ｍ個の、２次元マトリクス状に配列された有機ＥＬ素子１０、

（４）走査回路１０１に接続され、第１の方向に延びるＭ本の走査線ＳＣＬ、

（５）映像信号出力回路１０２に接続され、第２の方向に延びるＮ本のデータ線ＤＴＬ、並びに、

（６）電源部１００、

を備えている。後述する他の実施例においても同様である。

【００４７】

尚、図２及び後述する図８においては、３×３個の有機ＥＬ素子１０を図示しているが、これは、あくまでも例示に過ぎない。

【００４８】

そして、各有機ＥＬ素子１０は、駆動回路、及び、発光部ＥＬＰを備えている。ここで、発光部ＥＬＰは、例えば、アノード電極、正孔輸送層、発光層、電子輸送層、カソード電極等の周知の構成、構造を有する。走査回路１０１、映像信号出力回路１０２、走査線ＳＣＬ、データ線ＤＴＬ、電源部１００の構成、構造は、周知の構成、構造とすることができる。後述する他の実施例においても同様である。また、後述する第１ノード初期化トランジスタ制御回路１０４の構成、構造も、周知の構成、構造とすることができる。

【００４９】

図１に示す実施例１の駆動回路は、発光部ＥＬＰを駆動するための駆動回路であって、ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えたｎチャネル型の駆動トランジスタT_{Drv}を含んでいる。駆動トランジスタT_{Drv}においては、一方のソース／ドレイン領域は、電源部１００に接続されており、他方のソース／ドレイン領域は、発光部ＥＬＰに備えられたアノード電極に接続されている。後述する他の実施例においても同様である。

【００５０】

駆動トランジスタT_{Drv}の一方のソース／ドレイン領域には、駆動トランジスタT_{Drv}を介して発光部ＥＬＰに向かって電流を流すための第１の電圧V_{CC-H}（例えば２０ボルト）と、前記アノード電極に接続された駆動トランジスタT_{Drv}の他方のソース／ドレイン領域と発光部ＥＬＰに備えられたカソード電極との間の電位差が発光部ＥＬＰの閾値電圧を越えないようにするための第２の電圧V_{CC-L}（例えば－１０ボルト）とが、選択的に電源部１００から印加される。後述する他の実施例においても同様である。尚、発光部ＥＬＰの閾値電圧については後述する。

【００５１】

以下、より詳細に説明する。実施例１の駆動回路は２つのトランジスタと１つのコンデンサ部C_1から構成されている（以下、２Ｔｒ／１Ｃ駆動回路と呼ぶ場合がある）。即ち、実施例１の駆動回路は、（Ａ）駆動トランジスタT_{Drv}、（Ｂ）映像信号書込みトランジスタT_{Sig}、並びに、（Ｃ）一対の電極を備えたコンデンサ部C_1を備えている。

【００５２】

駆動トランジスタT_{Drv}、及び、映像信号書込みトランジスタT_{Sig}は、それぞれ、ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた、ｎチャネル型のＴＦＴから成る。後述する他の実施例においても同様である。尚、映像信号書込みトランジス

タT_{Sig}をｐチャネル型のＴＦＴから形成してもよい。

【００５３】

駆動トランジスタT_{Drv}においては、

（Ａ－１）一方のソース／ドレイン領域は、電源部１００に接続されており、

（Ａ－２）他方のソース／ドレイン領域は、発光部ＥＬＰに備えられたアノード電極に接続され、且つ、コンデンサ部C_1の一方の電極に接続されており、第２ノードND_2を構成し、

（Ａ－３）ゲート電極は、映像信号書込みトランジスタT_{Sig}の他方のソース／ドレイン領域に接続され、且つ、コンデンサ部C_1の他方の電極に接続されており、第１ノードND_1を構成する。後述する他の実施例においても同様である。

【００５４】

上述したように、駆動トランジスタT_{Drv}の一方のソース／ドレイン領域には、第１の電圧V_{CC-H}と第２の電圧V_{CC-L}とが、選択的に電源部１００から印加される。第１の電圧V_{CC-H}は、駆動トランジスタT_{Drv}を介して発光部ＥＬＰに向かって電流を流すための電圧である。一方、第２の電圧V_{CC-L}は、第２ノードND_2と発光部ＥＬＰに備えられたカソード電極との間の電位差が発光部ＥＬＰの閾値電圧を越えないようにするための電圧である。後述する他の実施例においても同様である。

【００５５】

駆動トランジスタT_{Drv}が飽和領域において理想的に動作して有機ＥＬ素子１０の発光部ＥＬＰに電流を流すとすれば、駆動トランジスタT_{Drv}は以下の式（１）に従ってドレイン電流I_{ds}を流すように駆動される。有機ＥＬ素子１０の発光状態においては、駆動トランジスタT_{Drv}の一方のソース／ドレイン領域はドレイン領域として働き、他方のソース／ドレイン領域はソース領域として働く。後述する他の実施例においても同様である。

尚、

μ　：実効的な移動度

Ｌ　：チャネル長

Ｗ　：チャネル幅

V_{gs}：ゲート電極とソース領域として働く他方のソース／ドレイン領域との間の電位差

V_{th}：閾値電圧

C_{ox}：（ゲート絶縁層の比誘電率）×（真空の誘電率）／（ゲート絶縁層の厚さ）

$k \equiv （１／２）・（Ｗ／Ｌ）・C_{ox}$

とする。

【００５６】

$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 \quad （１）$$

【００５７】

このドレイン電流I_{ds}が有機ＥＬ素子１０の発光部ＥＬＰを流れることで、有機ＥＬ素子１０の発光部ＥＬＰが発光する。更には、このドレイン電流I_{ds}の値の大小によって、有機ＥＬ素子１０の発光部ＥＬＰにおける発光状態（輝度）が制御される。後述する他の実施例においても同様である。

【００５８】

そして、映像信号書込みトランジスタT_{Sig}においては、

（Ｂ－１）一方のソース／ドレイン領域は、データ線ＤＴＬに接続されており、

（Ｂ－２）ゲート電極は、走査線ＳＣＬに接続されている。後述する他の実施例においても同様である。

【００５９】

映像信号書込みトランジスタT_{Sig}の一方のソース／ドレイン領域は、上述のとおり、データ線ＤＴＬに接続されている。そして、映像信号出力回路１０２からデータ線ＤＴＬを介して、発光部ＥＬＰにおける輝度を制御するための映像信号V_{Sig}、あるいは又、後述する第１ノード初期化電圧V_{Ofs}が、一方のソース／ドレイン領域に供給される。尚、データ線ＤＴＬを介して、V_{Sig}，V_{Ofs}以外の種々の信号・電圧（プリチャージ駆動のた

めの信号や各種の基準電圧等）が、一方のソース／ドレイン領域に供給されてもよい。また、映像信号書込みトランジスタT_{Sig}のオン／オフ動作は、映像信号書込みトランジスタT_{Sig}のゲート電極に接続された走査線ＳＣＬによって制御される。

【００６０】

発光部ＥＬＰのアノード電極は、上述のとおり、駆動トランジスタT_{Drv}の他方のソース／ドレイン領域に接続されている。一方、発光部ＥＬＰのカソード電極には、電圧V_{Cat}が印加される。発光部ＥＬＰの寄生容量を符号C_{EL}で表す。また、発光部ＥＬＰの発光に必要とされる閾値電圧をV_{th-EL}とする。即ち、発光部ＥＬＰのアノード電極とカソード電極との間にV_{th-EL}以上の電圧が印加されると、発光部ＥＬＰは発光する。後述する他の実施例においても同様である。

【００６１】

図１に示すように、駆動トランジスタT_{Drv}の一方のソース／ドレイン領域側には、符号LD_1で表したＬＤＤ構造（第１のＬＤＤ構造）が形成されている。後述する他の実施例においても同様である。

【００６２】

実施例１における駆動方法については後述するが、発光部ＥＬＰを発光させる際には、電源部１００から第１の電圧V_{CC-H}が、駆動トランジスタT_{Drv}の一方のソース／ドレイン領域に印加される。この場合には、駆動トランジスタT_{Drv}の一方のソース／ドレイン領域がドレイン領域となり、他方のソース／ドレイン領域がソース領域となる。そして、駆動トランジスタT_{Drv}の一方のソース／ドレイン領域側にはＬＤＤ構造LD_1が形成されている。即ち、有機ＥＬ素子の発光時においては駆動トランジスタのドレイン領域側にＬＤＤ構造が形成されている構成となる。従って、上述したドレイン電流I_{ds}の飽和特性における直線性が改善され、有機ＥＬ素子１０の発光特性を良好なものとすることができる。また、ＬＤＤ構造の形成による抵抗成分の増加が抑えられ、有機ＥＬ素子１０の発光時における駆動トランジスタT_{Drv}の飽和特性の直線性の改善と、後述する前処理や閾値電圧キャンセル処理における駆動トランジスタT_{Drv}の応答性の改善とを図ることができる。尚、図１の（Ｂ）に示すように、ＬＤＤ構造の長さ（より具体的には、後述する図３の（Ｂ）に示すL_1）が長くなればなる程、直線性の改善が図られる。ＬＤＤ構造の長さL_1は設計に応じて適宜設定すればよい。後述する他の実施例においても同様である。

【００６３】

ついで、図３を参照して、図１の（Ａ）に示すＬＤＤ構造LD_1を含め、実施例１における駆動回路を構成するトランジスタ及びコンデンサ部C_1の構造について詳しく説明する。

【００６４】

図３の（Ａ）に示すように、実施例１における駆動回路を構成するトランジスタ及びコンデンサ部C_1は支持体２０上に形成され、発光部ＥＬＰは、例えば、層間絶縁層４０を介して、駆動回路を構成するトランジスタ及びコンデンサ部C_1の上方に形成されている。また、駆動トランジスタT_{Drv}の他方のソース／ドレイン領域は、発光部ＥＬＰに備えられたアノード電極に、コンタクトホールを介して接続されている。尚、図３の（Ａ）においては、駆動トランジスタT_{Drv}のみを図示する。駆動トランジスタT_{Drv}以外のトランジスタは隠れて見えない。

【００６５】

上述したように、駆動トランジスタT_{Drv}はｎチャネル型トランジスタから成る。より具体的には、図３の（Ａ）及び（Ｂ）に示すように、駆動トランジスタT_{Drv}は、ゲート電極３１、ゲート絶縁層３２、半導体層３３、ゲート電極３１に対応する半導体層３３の部分が該当するチャネル形成領域３４、半導体層３３に設けられた一方のソース／ドレイン領域35_1と他方のソース／ドレイン領域35_2、及び、チャネル形成領域３４と一方のソース／ドレイン領域35_1との間に形成されたＬＤＤ構造LD_1から構成されている。尚、図３の（Ａ）にあっては、便宜のため、一方のソース／ドレイン領域35_1とＬＤＤ構造LD_1とを併せて単に参照番号３５と表した。同様に、他方のソース／ドレイン領域３

５_{2}も単に参照番号３５として表した。

【００６６】

一方、コンデンサ部$Ｃ_{1}$は、他方の電極３６、ゲート絶縁層３２の延在部から構成された誘電体層、及び、一方の電極３７（第２ノードＮ$Ｄ_{2}$に相当する）から成る。ゲート電極３１、ゲート絶縁層３２の一部、及びコンデンサ部$Ｃ_{1}$を構成する他方の電極３６は、支持体２０上に形成されている。駆動トランジスタ$Ｔ_{Drv}$の一方のソース／ドレイン領域３５_{1}は配線３８に接続され、他方のソース／ドレイン領域３５_{2}は一方の電極３７に接続されている。駆動トランジスタ$Ｔ_{Drv}$及びコンデンサ部$Ｃ_{1}$等は、層間絶縁層４０で覆われており、層間絶縁層４０上に、アノード電極５１、正孔輸送層、発光層、電子輸送層、及び、カソード電極５３から成る発光部ＥＬＰが設けられている。尚、図面においては、正孔輸送層、発光層、及び、電子輸送層を１層５２で表した。発光部ＥＬＰが設けられていない層間絶縁層４０の部分の上には、第２層間絶縁層５４が設けられ、第２層間絶縁層５４及びカソード電極５３上には透明な基板２１が配置されており、発光層にて発光した光は、基板２１を通過して、外部に出射される。尚、一方の電極３７とアノード電極５１とは、層間絶縁層４０に設けられたコンタクトホールによって接続されている。また、カソード電極５３は、第２層間絶縁層５４、層間絶縁層４０に設けられたコンタクトホール５６，５５を介して、ゲート絶縁層３２の延在部上に設けられた配線３９に接続されている。

【００６７】

尚、図１２を用いて説明した従来の５Ｔｒ／１Ｃ駆動回路におけるコンデンサ部$Ｃ_{1}$の構成は上述したと同様の構成を有する。また、従来の５Ｔｒ／１Ｃ駆動回路を構成する各トランジスタについても、基本的には上述したと同様にゲート電極、ゲート絶縁層、半導体層から構成されている。

【００６８】

以上、実施例１の有機ＥＬ表示装置、及び、発光部ＥＬＰを駆動するための駆動回路の構成について説明し、併せて、従来の５Ｔｒ／１Ｃ駆動回路の構成を説明した。従来の駆動回路が、５つのトランジスタと１つのコンデンサ部から構成されていたのに対し、実施例１の駆動回路にあってはトランジスタの数を削減することができる。これにより、有機ＥＬ表示装置の製造の容易化や歩留まりの向上等を図ることができる。

【００６９】

次いで、上述した駆動回路を用いた発光部ＥＬＰの駆動方法の説明を行う。尚、上述したように、各種の処理（閾値電圧キャンセル処理、書込み処理、移動度補正処理）が全て完了した後、直ちに発光状態が始まるものとして説明するが、これに限るものではない。

【００７０】

後述する他の実施例も含め、以下の説明において、電圧あるいは電位の値を以下のとおりとするが、これは、あくまでも説明のための値であり、これらの値に限定されるものではない。

【００７１】

V_{Sig}　：発光部ＥＬＰにおける輝度を制御するための映像信号
　　・・・０ボルト～１０ボルト

V_{CC-H}：発光部ＥＬＰに電流を流すための第１の電圧
　　・・・２０ボルト

V_{CC-L}：第２ノードＮ$Ｄ_{2}$と発光部ＥＬＰに備えられたカソード電極との間の電位差が発光部ＥＬＰの閾値電圧V_{th-EL}を越えないようにするための第２の電圧
　　・・・－１０ボルト

V_{Ofs}　：駆動トランジスタ$Ｔ_{Drv}$のゲート電極の電位（第１ノードＮ$Ｄ_{1}$の電位）を初期化するための電圧
　　・・・０ボルト

V_{th}　：駆動トランジスタ$Ｔ_{Drv}$の閾値電圧
　　・・・３ボルト

V_{Cat}　：発光部ＥＬＰのカソード電極に印加される電圧
　　・・・０ボルト
V_{th-EL}：発光部ＥＬＰの閾値電圧
　　・・・３ボルト

【００７２】
実施例１の駆動方法においては、（ａ）第１ノード$ＮＤ_1$と第２ノード$ＮＤ_2$との間の電位差が駆動トランジスタ$Ｔ_{Drv}$の閾値電圧$Ｖ_{th}$を越えるように、走査線ＳＣＬからの信号によりオン状態とされた映像信号書込みトランジスタ$Ｔ_{Sig}$を介して、データ線ＤＴＬから第１ノード$ＮＤ_1$に第１ノード初期化電圧$Ｖ_{Ofs}$を印加し、電源部１００から駆動トランジスタ$Ｔ_{Drv}$の一方のソース／ドレイン領域に第２の電圧$Ｖ_{CC-L}$を印加する前処理を行う。

【００７３】
より具体的には、実施例１の駆動方法にあっては、前記工程（ａ）において、走査回路１０１の動作に基づき、走査線ＳＣＬからの信号によりオン状態とされた映像信号書込みトランジスタ$Ｔ_{Sig}$を介して、映像信号出力回路１０２の動作に基づき、データ線ＤＴＬから第１ノード初期化電圧$Ｖ_{Ofs}$を第１ノード$ＮＤ_1$に印加する。

【００７４】
実施例１の駆動方法においては、次いで、（ｂ）走査線ＳＣＬからの信号によりオン状態を維持した映像信号書込みトランジスタ$Ｔ_{Sig}$を介してデータ線ＤＴＬから第１ノード$ＮＤ_1$に第１ノード初期化電圧$Ｖ_{Ofs}$を印加した状態で、電源部１００から駆動トランジスタ$Ｔ_{Drv}$の一方のソース／ドレイン領域に第１の電圧$Ｖ_{CC-H}$を印加し、以て、第１ノード$ＮＤ_1$の電位を保った状態で、第１ノード$ＮＤ_1$の電位から駆動トランジスタ$Ｔ_{Drv}$の閾値電圧$Ｖ_{th}$を減じた電位に向かって、第２ノード$ＮＤ_2$の電位を変化させる閾値電圧キャンセル処理を行う。

【００７５】
実施例１の駆動方法においては、その後、（ｃ）走査線ＳＣＬからの信号によりオン状態とされた映像信号書込みトランジスタ$Ｔ_{Sig}$を介して、データ線ＤＴＬから映像信号$Ｖ_{Sig}$を第１ノード$ＮＤ_1$に印加する書込み処理を行う。

【００７６】
より具体的には、実施例１の駆動方法にあっては、前記工程（ｃ）において、走査回路１０１の動作に基づき、走査線ＳＣＬからの信号によりオン状態とされた映像信号書込みトランジスタ$Ｔ_{Sig}$を介して、映像信号出力回路１０２の動作に基づき、データ線ＤＴＬから映像信号$Ｖ_{Sig}$を第１ノード$ＮＤ_1$に印加する。

【００７７】
実施例１の駆動方法においては、次いで、（ｄ）走査線ＳＣＬからの信号により映像信号書込みトランジスタ$Ｔ_{Sig}$をオフ状態とすることにより第１ノード$ＮＤ_1$を浮遊状態とし、電源部１００から駆動トランジスタ$Ｔ_{Drv}$を介して、第１ノード$ＮＤ_1$と第２ノード$ＮＤ_2$との間の電位差の値に応じた電流を発光部ＥＬＰに流すことにより、発光部ＥＬＰを駆動する。

【００７８】
より具体的には、実施例１の駆動方法にあっては、前記工程（ｄ）において、走査回路１０１の動作に基づき、走査線ＳＣＬからの信号により映像信号書込みトランジスタ$Ｔ_{Sig}$をオフ状態とし、第１ノード$ＮＤ_1$を浮遊状態とする。そして、電源部１００から第１ノード$ＮＤ_1$と第２ノード$ＮＤ_2$との間の電位差の値に応じた電流を発光部ＥＬＰに流すことにより、発光部ＥＬＰを駆動する。

【００７９】
尚、実施例１においては、前記工程（ｃ）における書込み処理において実質的に移動度補正処理が併せて行なわれる。詳細については後述する。

【００８０】
上記の工程（ａ）、工程（ｂ）、工程（ｃ）、及び、工程（ｄ）を、図４、図５の（Ａ

）～（Ｆ）を参照して、以下、説明する。

【００８１】

［期間－ＴＰ（２）$_{-1}$］（図４及び図５の（Ａ）参照）

この［期間－ＴＰ（２）$_{-1}$］は、例えば、前の表示フレームにおける動作であり、前回の各種の処理完了後に第（ｎ，ｍ）番目の有機ＥＬ素子１０が発光状態にある期間である。即ち、第（ｎ，ｍ）番目の副画素を構成する有機ＥＬ素子１０における発光部ＥＬＰには、後述する式（５）に基づくドレイン電流Ｉ’$_{ds}$が流れており、第（ｎ，ｍ）番目の副画素を構成する有機ＥＬ素子１０の輝度は、係るドレイン電流Ｉ’$_{ds}$に対応した値である。ここで、映像信号書込みトランジスタＴ$_{Sig}$はオフ状態であり、駆動トランジスタＴ$_{Drv}$はオン状態である。第（ｎ，ｍ）番目の有機ＥＬ素子１０の発光状態は、第（ｍ＋ｍ’）行目に配列された有機ＥＬ素子１０の水平走査期間の開始直前まで継続される。

【００８２】

尚、背景技術において参照した図１４に示す［期間－ＴＰ（５）$_{-1}$］も、実質的に、［期間－ＴＰ（２）$_{-1}$］と同様の動作である。

【００８３】

図４に示す［期間－ＴＰ（２）$_{0}$］～［期間－ＴＰ（２）$_{2}$］は、前回の各種の処理完了後の発光状態が終了した後から、次の書込み処理が行われる直前までの動作期間である。そして、［期間－ＴＰ（２）$_{0}$］～［期間－ＴＰ（２）$_{2}$］において、第（ｎ，ｍ）番目の有機ＥＬ素子は原則として非発光状態にある。尚、説明の便宜のため、［期間－ＴＰ（２）$_{1}$］の始期、及び、［期間－ＴＰ（２）$_{3}$］の終期は、それぞれ、第ｍ番目の水平走査期間の始期、及び、終期に一致するものとして説明する。

【００８４】

以下、［期間－ＴＰ（２）$_{0}$］～［期間－ＴＰ（２）$_{2}$］の各期間について、説明する。尚、［期間－ＴＰ（２）$_{1}$］～［期間－ＴＰ（２）$_{3}$］の各期間の長さは、有機ＥＬ表示装置の設計に応じて適宜設定すればよい。

【００８５】

［期間－ＴＰ（２）$_{0}$］（図５の（Ｂ）参照）

この［期間－ＴＰ（２）$_{0}$］は、例えば、前の表示フレームから現表示フレームにおける動作である。即ち、この［期間－ＴＰ（２）$_{0}$］は、前の表示フレームにおける第（ｍ＋ｍ’）番目の水平走査期間から、現表示フレームにおける第（ｍ－１）番目の水平走査期間までの期間である。そして、この［期間－ＴＰ（２）$_{0}$］において、第（ｎ，ｍ）番目の有機ＥＬ素子は、原則として非発光状態にある。［期間－ＴＰ（２）$_{-1}$］から［期間－ＴＰ（２）$_{0}$］に移る時点で、電源部１００から供給される電圧を、第１の電圧Ｖ$_{CC-H}$から第２の電圧Ｖ$_{CC-L}$に切り替える。その結果、第２ノードＮＤ$_{2}$（駆動トランジスタＴ$_{Drv}$の他方のソース／ドレイン領域あるいは発光部ＥＬＰのアノード電極）の電位はＶ$_{CC-L}$まで低下し、発光部ＥＬＰは非発光状態となる。また、第２ノードＮＤ$_{2}$の電位低下に倣うように、浮遊状態の第１ノードＮＤ$_{1}$（駆動トランジスタＴ$_{Drv}$のゲート電極）の電位も低下する。

【００８６】

尚、背景技術において参照した図１４に示す［期間－ＴＰ（５）$_{0}$］は、上述した［期間－ＴＰ（２）$_{0}$］に対応する期間である。図１４においては、［期間－ＴＰ（５）$_{-1}$］から［期間－ＴＰ（５）$_{0}$］に移る時点で、発光制御トランジスタＴ$_{EL_C}$がオフ状態となるが故に、第２ノードＮＤ$_{2}$（駆動トランジスタＴ$_{Drv}$のソース領域あるいは発光部ＥＬＰのアノード電極）の電位は、（Ｖ$_{th-EL}$＋Ｖ$_{Cat}$）まで低下し、発光部ＥＬＰは非発光状態となる。また、第２ノードＮＤ$_{2}$の電位低下に倣うように、浮遊状態の第１ノードＮＤ$_{1}$（駆動トランジスタＴ$_{Drv}$のゲート電極）の電位も低下する。

【００８７】

［期間－ＴＰ（２）$_{1}$］（図４、図５の（Ｃ）参照）

この期間内に、上記の工程（ａ）、即ち、上述した前処理を行う。

【００８８】

［期間－ＴＰ（２）$_1$］から、現表示フレームにおける第ｍ行目の水平走査期間が開始する。［期間－ＴＰ（２）$_1$］の始期から後述する［期間－ＴＰ（２）$_2$］の終期迄、映像信号出力回路１０２の動作に基づき、データ線ＤＴＬに第１ノード初期化電圧V_{Ofs}を印加する。電源部１００から駆動トランジスタT_{Drv}の一方のソース／ドレイン領域に第２の電圧V_{CC-L}を印加した状態を維持し、［期間－ＴＰ（２）$_1$］の開始時、走査回路１０１の動作に基づき、走査線ＳＣＬをハイレベルとする。そして、走査線ＳＣＬからの信号によりオン状態とされた映像信号書込みトランジスタT_{Sig}を介して、データ線ＤＴＬから第１ノードND_1に第１ノード初期化電圧V_{Ofs}を印加する。

【００８９】

その結果、第１ノードND_1の電位はV_{Ofs}（０ボルト）となる。一方、第２ノードND_2の電位はV_{CC-L}（－１０ボルト）である。第１ノードND_1と第２ノードND_2との間の電位差は１０ボルトであり、駆動トランジスタT_{Drv}の閾値電圧V_{th}は３ボルトであるので、駆動トランジスタT_{Drv}はオン状態である。尚、第２ノードND_2と発光部ＥＬＰに備えられたカソード電極との間の電位差は－１０ボルトであり、発光部ＥＬＰの閾値電圧V_{th-EL}を越えない。

【００９０】

［期間－ＴＰ（２）$_2$］（図４、図５の（Ｄ）参照）

この期間内に、上記の工程（ｂ）、即ち、上述した閾値電圧キャンセル処理を行う。

【００９１】

［期間－ＴＰ（２）$_2$］（図５の（Ｄ）参照）

即ち、走査線ＳＣＬからの信号によりオン状態を維持した映像信号書込みトランジスタT_{Sig}を介してデータ線ＤＴＬから第１ノードND_1に第１ノード初期化電圧V_{Ofs}を印加した状態で、電源部１００から供給される電圧を、第２の電圧V_{CC-L}から第１の電圧V_{CC-H}に切り替え、電源部１００から駆動トランジスタT_{Drv}の一方のソース／ドレイン領域に第１の電圧V_{CC-H}を印加する。その結果、第１ノードND_1の電位は変化しないが（V_{Ofs}＝０ボルトを維持）、第１ノードND_1の電位から駆動トランジスタT_{Drv}の閾値電圧V_{th}を減じた電位に向かって、第２ノードND_2の電位は変化する。即ち、浮遊状態の第２ノードND_2の電位が上昇する。そして、駆動トランジスタT_{Drv}のゲート電極と他方のソース／ドレイン領域との間の電位差がV_{th}に達すると、駆動トランジスタT_{Drv}がオフ状態となる。具体的には、浮遊状態の第２ノードND_2の電位が（$V_{Ofs}-V_{th}$＝－３ボルト）に近づき、最終的に（$V_{Ofs}-V_{th}$）となる。ここで、以下の式（２）が保証されていれば、云い換えれば、式（２）を満足するように電位を選択、決定しておけば、発光部ＥＬＰが発光することはない。

【００９２】

$$(V_{Ofs}-V_{th}) < (V_{th-EL}+V_{Cat}) \qquad (2)$$

【００９３】

この［期間－ＴＰ（２）$_2$］にあっては、第２ノードND_2の電位は、最終的に、（$V_{Ofs}-V_{th}$）となる。即ち、駆動トランジスタT_{Drv}の閾値電圧V_{th}、及び、駆動トランジスタT_{Drv}のゲート電極を初期化するための電圧V_{Ofs}のみに依存して、第２ノードND_2の電位は決定される。そして、発光部ＥＬＰの閾値電圧V_{th-EL}とは無関係である。

【００９４】

［期間－ＴＰ（２）$_3$］（図４、図５の（Ｅ）参照）

この期間内に、上記の工程（ｃ）、即ち、上述した書込み処理を行う。

【００９５】

［期間－ＴＰ（２）$_3$］（図５の（Ｅ）参照）

次に、駆動トランジスタT_{Drv}に対する書込み処理を行う。具体的には、映像信号書込みトランジスタT_{Sig}のオン状態を維持したまま、データ線ＤＴＬの電位を、発光部ＥＬＰにおける輝度を制御するための映像信号V_{Sig}とする。その結果、第１ノードND_1の電位はV_{Sig}へと上昇する。駆動トランジスタT_{Drv}はオン状態である。尚、映像信号書込みトランジスタT_{Sig}を、一旦、オフ状態とし、データ線ＤＴＬの電位を、発光部ＥＬＰに

おける輝度を制御するための映像信号V_{Sig}に変更し、その後、走査線ＳＣＬをハイレベルとすることによって、映像信号書込みトランジスタT_{Sig}をオン状態としてもよい。

【００９６】

ここで、コンデンサ部C_1の容量は値c_1であり、発光部ＥＬＰの寄生容量C_{EL}の容量は値c_{EL}である。そして、駆動トランジスタT_{Drv}のゲート電極と他方のソース／ドレイン領域との間の寄生容量の値をc_{gs}とする。駆動トランジスタT_{Drv}のゲート電極の電位がV_{Ofs}からV_{Sig}（＞V_{Ofs}）に変化したとき、コンデンサ部C_1の両端の電位（第１ノードND_1及び第２ノードND_2の電位）は、原則として、変化する。即ち、駆動トランジスタT_{Drv}のゲート電極の電位（＝第１ノードND_1の電位）の変化分（$V_{Sig}-V_{Ofs}$）に基づく電荷が、コンデンサ部C_1、発光部ＥＬＰの寄生容量C_{EL}、駆動トランジスタT_{Drv}のゲート電極と他方のソース／ドレイン領域との間の寄生容量に振り分けられる。然るに、値c_{EL}が、値c_1及び値c_{gs}と比較して十分に大きな値であれば、駆動トランジスタT_{Drv}のゲート電極の電位の変化分（$V_{Sig}-V_{Ofs}$）に基づく駆動トランジスタT_{Drv}の他方のソース／ドレイン領域（第２ノードND_2）の電位の変化は小さい。そして、一般に、発光部ＥＬＰの寄生容量C_{EL}の容量値c_{EL}は、コンデンサ部C_1の容量値c_1及び駆動トランジスタT_{Drv}の寄生容量の値c_{gs}よりも大きい。そこで、説明の便宜のため、特段の必要がある場合を除き、第１ノードND_1の電位変化により生ずる第２ノードND_2の電位変化は考慮せずに説明を行う。他の実施例においても同様である。尚、図４、図９、及び、図１４に示した駆動のタイミングチャートも、第１ノードND_1の電位変化により生ずる第２ノードND_2の電位変化を考慮せずに示した。

【００９７】

実施例１の駆動方法にあっては、駆動トランジスタT_{Drv}の一方のソース／ドレイン領域には電源部１００から第１の電圧V_{CC-H}が印加された状態で、駆動トランジスタT_{Drv}のゲート電極に映像信号V_{Sig}が印加される。このため、図４に示すように、［期間－ＴＰ（２）$_3$］において第２ノードND_2の電位が上昇する。この電位の上昇量ΔＶ（電位補正値）については後述する。駆動トランジスタT_{Drv}のゲート電極（第１ノードND_1）の電位をV_g、駆動トランジスタT_{Drv}の他方のソース／ドレイン領域（第２ノードND_2）の電位をV_sとしたとき、上述した第２ノードND_2の電位の上昇を考慮しなければ、V_gの値、V_sの値は以下のとおりとなる。第１ノードND_1と第２ノードND_2の電位差、即ち、駆動トランジスタT_{Drv}のゲート電極とソース領域として働く他方のソース／ドレイン領域との間の電位差V_{gs}は、以下の式（３）で表すことができる。

【００９８】

$$V_g = V_{Sig}$$
$$V_s \quad V_{Ofs}-V_{th}$$
$$V_{gs} \quad V_{Sig}-(V_{Ofs}-V_{th}) \qquad (3)$$

【００９９】

即ち、駆動トランジスタT_{Drv}に対する書込み処理において得られたV_{gs}は、発光部ＥＬＰにおける輝度を制御するための映像信号V_{Sig}、駆動トランジスタT_{Drv}の閾値電圧V_{th}、及び、駆動トランジスタT_{Drv}のゲート電極を初期化するための電圧V_{Ofs}のみに依存している。そして、発光部ＥＬＰの閾値電圧V_{th-EL}とは無関係である。

【０１００】

次いで、移動度補正処理について簡単に説明する。実施例１の駆動方法にあっては、描き込み処理において、駆動トランジスタT_{Drv}の特性（例えば、移動度μの大小等）に応じて駆動トランジスタT_{Drv}の他方のソース／ドレイン領域の電位（即ち、第２ノードND_2の電位）を上昇させる移動度補正処理が併せて行われる。

【０１０１】

駆動トランジスタT_{Drv}をポリシリコン薄膜トランジスタ等から作製した場合、トランジスタ間で移動度μにばらつきが生じることは避け難い。従って、移動度μに差異がある複数の駆動トランジスタT_{Drv}のゲート電極に同じ値の映像信号V_{Sig}を印加したとしても、移動度μの大きい駆動トランジスタT_{Drv}を流れるドレイン電流I_{ds}と、移動度μの小

さい駆動トランジスタT_{Drv}を流れるドレイン電流I_{ds}との間に、差異が生じてしまう。そして、このような差異が生じると、有機ＥＬ表示装置の画面の均一性（ユニフォーミティ）が損なわれてしまう。

【０１０２】

上述したように、実施例１の駆動方法にあっては、駆動トランジスタT_{Drv}の一方のソース／ドレイン領域には電源部１００から第１の電圧V_{CC-H}が印加された状態で、駆動トランジスタT_{Drv}のゲート電極に映像信号V_{Sig}が印加される。このため、図４に示すように、［期間－ＴＰ（２）$_3$］において第２ノードND_2の電位が上昇する。駆動トランジスタT_{Drv}の移動度μの値が大きい場合、駆動トランジスタT_{Drv}の他方のソース／ドレイン領域における電位（即ち、第２ノードND_2の電位）の上昇量ΔＶ（電位補正値）は大きくなる。逆に、駆動トランジスタT_{Drv}の移動度μの値が小さい場合、駆動トランジスタT_{Drv}の他方のソース／ドレイン領域における電位の上昇量ΔＶ（電位補正値）は小さくなる。ここで、駆動トランジスタT_{Drv}のゲート電極とソース領域として働く他方のソース／ドレイン領域との間の電位差V_{gs}は、式（３）から以下の式（４）のように変形される。

【０１０３】

$$V_{gs} \quad V_{Sig}-(V_{Ofs}-V_{th})-\Delta V \qquad (4)$$

【０１０４】

尚、書き込み処理を実行するための所定の時間（［期間－ＴＰ（２）$_3$］の全時間t_0）は、有機ＥＬ表示装置の設計の際、設計値として予め決定しておけばよい。また、このときの駆動トランジスタT_{Drv}の他方のソース／ドレイン領域における電位（$V_{Ofs}-V_{th}+\Delta V$）が以下の式（２’）を満足するように、［期間－ＴＰ（２）$_2$］の全時間t_0は決定されている。そして、これによって、［期間－ＴＰ（２）$_2$］において、発光部ＥＬＰが発光することはない。更には、この移動度補正処理によって、係数ｋ（≡（１／２）・（Ｗ／Ｌ）・C_{ox}）のばらつきの補正も同時に行われる。

【０１０５】

$$(V_{Ofs}-V_{th}+\Delta V)<(V_{th-EL}+V_{Cat}) \qquad (2')$$

【０１０６】

［期間－ＴＰ（２）$_4$］（図４、及び、図５の（Ｆ）参照）

以上の操作によって、閾値電圧キャンセル処理、書込み処理、移動度補正処理が完了する。その後、この期間内に、上記の工程（ｄ）を以下のように行う。即ち、駆動トランジスタT_{Drv}の一方のソース／ドレイン領域に電源部１００から第１の電圧V_{CC-H}が印加された状態を維持した状態で、走査回路１０１の動作に基づき走査線ＳＣＬをローレベルとし、映像信号書込みトランジスタT_{Sig}をオフ状態とし、第１ノードND_1、即ち、駆動トランジスタT_{Drv}のゲート電極を浮遊状態とする。従って、以上の結果として、第２ノードND_2の電位は上昇する。

【０１０７】

ここで、上述したとおり、駆動トランジスタT_{Drv}のゲート電極は浮遊状態にあり、しかも、コンデンサ部C_1が存在するが故に、所謂ブートストラップ回路におけると同様の現象が駆動トランジスタT_{Drv}のゲート電極に生じ、第１ノードND_1の電位も上昇する。その結果、駆動トランジスタT_{Drv}のゲート電極とソース領域として働く他方のソース／ドレイン領域との間の電位差V_{gs}は、式（４）の値を保持する。

【０１０８】

また、第２ノードND_2の電位が上昇し、（$V_{th-EL}+V_{Cat}$）を越えるので、発光部ＥＬＰは発光を開始する。このとき、発光部ＥＬＰを流れる電流は、駆動トランジスタT_{Drv}のドレイン領域からソース領域へと流れるドレイン電流I_{ds}であるので、式（１）で表すことができる。ここで、式（１）と式（４）から、式（１）は、以下の式（５）にように変形することができる。

【０１０９】

$$I_{ds}=k\cdot\mu\cdot(V_{Sig}-V_{Ofs}-\Delta V)^2 \qquad (5)$$

【０１１０】
従って、発光部ＥＬＰを流れる電流I_{ds}は、例えば、V_{Ofs}を０ボルトに設定したとした場合、発光部ＥＬＰにおける輝度を制御するための映像信号V_{Sig}の値から、駆動トランジスタT_{Drv}の移動度μに起因した第２ノードＮＤ$_2$（駆動トランジスタT_{Drv}の他方のソース／ドレイン領域）における電位補正値ΔＶの値を減じた値の２乗に比例する。云い換えれば、発光部ＥＬＰを流れる電流I_{ds}は、発光部ＥＬＰの閾値電圧V_{th-EL}、及び、駆動トランジスタT_{Drv}の閾値電圧V_{th}には依存しない。即ち、発光部ＥＬＰの発光量（輝度）は、発光部ＥＬＰの閾値電圧V_{th-EL}の影響、及び、駆動トランジスタT_{Drv}の閾値電圧V_{th}の影響を受けない。そして、第（ｎ，ｍ）番目の有機ＥＬ素子の輝度は、係る電流I_{ds}に対応した値である。

【０１１１】
しかも、移動度μの大きな駆動トランジスタT_{Drv}ほど、電位補正値ΔＶが大きくなるので、式（４）の左辺のV_{gs}の値が小さくなる。従って、式（５）において、移動度μの値が大きくとも、$(V_{Sig}-V_{Ofs}-\Delta V)^2$の値が小さくなる結果、ドレイン電流$I_{ds}$を補正することができる。即ち、移動度μの異なる駆動トランジスタT_{Drv}においても、映像信号V_{Sig}の値が同じであれば、ドレイン電流I_{ds}が略同じとなる結果、発光部ＥＬＰを流れ、発光部ＥＬＰの輝度を制御する電流I_{ds}が均一化される。即ち、移動度μのばらつき（更には、ｋのばらつき）に起因する発光部の輝度のばらつきを補正することができる。

【０１１２】
そして、発光部ＥＬＰの発光状態を第（ｍ＋ｍ’－１）番目の水平走査期間まで継続する。この時点は、［期間－ＴＰ（２）$_{-1}$］の終わりに相当する。

【０１１３】
以上によって、有機ＥＬ素子［第（ｎ，ｍ）番目の副画素（有機ＥＬ素子）］の発光の動作が完了する。

【０１１４】
以上、実施例１の駆動方法について説明した。

【実施例２】

【０１１５】
実施例２も、本発明の第１の態様に係る有機ＥＬ表示装置、本発明の第１の態様及び第３の態様に係る駆動回路、本発明の第１の態様に係る駆動方法に関する。

【０１１６】
実施例２は、実施例１の変形である。実施例２は実施例１に対し、駆動回路を構成する駆動トランジスタの構造が相違する。より具体的には、実施例２にあっては、実施例１で説明した第１のＬＤＤ構造の他、駆動トランジスタの他方のソース／ドレイン領域側に第２のＬＤＤ構造が形成されている。

【０１１７】
実施例２の有機ＥＬ表示装置の概念図は上述した図２と同様である。実施例２の駆動回路の等価回路図を図６の（Ａ）に示す。図６の（Ｂ）は駆動トランジスタ付近の模式的な断面図であって、実施例１において参照した図３の（Ｂ）に対応する。

【０１１８】
図６の（Ａ）及び（Ｂ）に示すように、実施例２にあっては、実施例１で説明した第１のＬＤＤ構造LD_1に加えて、駆動トランジスタT_{Drv}の他方のソース／ドレイン領域側には、第２のＬＤＤ構造LD_2が形成されている。そして、第２のＬＤＤ構造LD_2の長さL_2は駆動トランジスタT_{Drv}の一方のソース／ドレイン領域側の第１のＬＤＤ構造LD_1の長さL_1よりも短い。

【０１１９】
上述した駆動回路を構成する駆動トランジスタT_{Drv}の構造の相違を除く他、実施例２の有機ＥＬ表示装置、及び、駆動回路の構造、構成は実施例１で説明したと同様である。また、実施例２の駆動回路の動作、実施例２の駆動方法は、実施例１において説明したと

同様であるので、説明を省略する。実施例２においては、第２のＬＤＤ構造$Ｌ_{D2}$の長さ$Ｌ_2$は駆動トランジスタ$Ｔ_{Drv}$の一方のソース／ドレイン領域側の第１のＬＤＤ構造$Ｌ_{D1}$の長さ$Ｌ_1$よりも短くすることにより、第２のＬＤＤ構造の形成による抵抗成分の増加が抑えられ、有機ＥＬ素子の発光時における駆動トランジスタの飽和特性の直線性の改善と、前処理や閾値電圧キャンセル処理における駆動トランジスタの応答性の改善とを図ることができる。

【実施例３】

【０１２０】

実施例３は、本発明の第２の態様に係る有機ＥＬ表示装置、本発明の第２の態様及び第３の態様に係る駆動回路、本発明の第２の態様に係る駆動方法に関する。

【０１２１】

実施例３の駆動回路の等価回路図を図７に示す。実施例３の有機ＥＬ表示装置の概念図を図８に示す。有機ＥＬ素子における駆動のタイミングチャートを模式的に図９に示し、各トランジスタのオン／オフ状態等を模式的に図１０の（Ａ）～（Ｆ）に示す。

【０１２２】

図７に示すように、実施例３の駆動回路は、基本的には、図１に示す実施例１の駆動回路に第１ノード初期化トランジスタ$Ｔ_{ND1}$を追加した構成である。第１ノード初期化トランジスタ$Ｔ_{ND1}$、図７及び図８に示す第１ノード初期化トランジスタ制御線$ＡＺ_{ND1}$、第１ノード初期化トランジスタ制御回路１０４が追加されている点を除く他、実施例３の有機ＥＬ表示装置、及び、駆動回路の構造、構成は、基本的には、実施例１で説明したと同様である。

【０１２３】

実施例３の駆動回路は、３つのトランジスタと１つのコンデンサ部$Ｃ_1$から構成されている（以下、３Ｔｒ／１Ｃ駆動回路と呼ぶ場合がある）。即ち、実施例３の駆動回路は、実施例１の駆動回路と同様に、（Ａ）駆動トランジスタ$Ｔ_{Drv}$、（Ｂ）映像信号書込みトランジスタ$Ｔ_{Sig}$、並びに、（Ｃ）一対の電極を備えたコンデンサ部$Ｃ_1$を備える他、（Ｄ）第１ノード初期化トランジスタ$Ｔ_{ND1}$を更に備えている。

【０１２４】

第１ノード初期化トランジスタ$Ｔ_{ND1}$は、ソース／ドレイン領域、チャネル形成領域、及び、ゲート電極を備えた、ｎチャネル型のＴＦＴから成る。但し、ｐチャネル型のＴＦＴから構成してもよい。

【０１２５】

第１ノード初期化トランジスタ$Ｔ_{ND1}$においては、

（Ｄ－１）一方のソース／ドレイン領域は、第１ノード初期化電圧供給線$ＰＳ_1$に接続されており、

（Ｄ－２）他方のソース／ドレイン領域は、第１ノード$ＮＤ_1$に接続されており、

（Ｄ－３）ゲート電極は、第１ノード初期化トランジスタ制御線$ＡＺ_{ND1}$に接続されている。

【０１２６】

第１ノード初期化トランジスタ制御線$ＡＺ_{ND1}$の一端は、第１ノード初期化トランジスタ制御回路１０４に接続されている。第１ノード初期化電圧供給線$ＰＳ_1$には第１ノード初期化電圧$Ｖ_{Ofs}$が印加される。

【０１２７】

実施例３における駆動回路を構成するトランジスタ及びコンデンサ部$Ｃ_1$の構造は、図７に示すＬＤＤ構造$Ｌ_{D1}$を含め、実施例１において図３の（Ａ）及び（Ｂ）を参照して説明したと同様であるので、説明を省略する。

【０１２８】

以上、実施例３の有機ＥＬ表示装置、及び、発光部ＥＬＰを駆動するための駆動回路の構成について説明した。実施例１において説明したと同様に、実施例３の駆動回路にあってはトランジスタの数を削減することができる。これにより、有機ＥＬ表示装置の製造の

容易化や歩留まりの向上等を図ることができる。ＬＤＤ構造$ＬＤ_1$による効果は、実施例１において説明したと同様である。

【０１２９】

次いで、上述した実施例３の駆動回路を用いた発光部ＥＬＰの駆動方法について説明する。実施例１の駆動方法においては、映像信号書込みトランジスタ$Ｔ_{Sig}$を介してデータ線ＤＴＬから第１ノード$ＮＤ_1$に第１ノード初期化電圧$Ｖ_{Ofs}$を印加した。実施例３の駆動方法においては、第１ノード初期化トランジスタ$Ｔ_{ND1}$を介して第１ノード初期化電圧$Ｖ_{Ofs}$を印加する点が主に相違する。

【０１３０】

実施例３の駆動方法においては、（ａ）第１ノード$ＮＤ_1$と第２ノード$ＮＤ_2$との間の電位差が駆動トランジスタ$Ｔ_{Drv}$の閾値電圧$Ｖ_{th}$を越えるように、第１ノード初期化トランジスタ制御線$ＡＺ_{ND1}$からの信号によりオン状態とされた第１ノード初期化トランジスタ$Ｔ_{ND1}$を介して、第１ノード初期化電圧供給線$ＰＳ_1$から第１ノード$ＮＤ_1$に第１ノード初期化電圧$Ｖ_{Ofs}$を印加し、電源部１００から駆動トランジスタ$Ｔ_{Drv}$の一方のソース／ドレイン領域に第２の電圧$Ｖ_{CC-L}$を印加する前処理を行う。

【０１３１】

より具体的には、実施例３の駆動方法にあっては、前記工程（ａ）において、第１ノード初期化トランジスタ制御回路１０４の動作に基づき、第１ノード初期化トランジスタ制御線$ＡＺ_{ND1}$からの信号によりオン状態とされた第１ノード初期化トランジスタ$Ｔ_{ND1}$を介して、第１ノード初期化電圧供給線$ＰＳ_1$から第１ノード初期化電圧$Ｖ_{Ofs}$を第１ノード$ＮＤ_1$に印加する。

【０１３２】

実施例３の駆動方法においては、次いで、（ｂ）第１ノード初期化トランジスタ制御線$ＡＺ_{ND1}$からの信号によりオン状態を維持した第１ノード初期化トランジスタ$Ｔ_{ND1}$を介して第１ノード初期化電圧供給線$ＰＳ_1$から第１ノード$ＮＤ_1$に第１ノード初期化電圧$Ｖ_{Ofs}$を印加した状態で、電源部１００から駆動トランジスタ$Ｔ_{Drv}$の一方のソース／ドレイン領域に第１の電圧$Ｖ_{CC-H}$を印加し、以て、第１ノード$ＮＤ_1$の電位を保った状態で、第１ノード$ＮＤ_1$の電位から駆動トランジスタ$Ｔ_{Drv}$の閾値電圧$Ｖ_{th}$を減じた電位に向かって、第２ノード$ＮＤ_2$の電位を変化させる閾値電圧キャンセル処理を行う。

【０１３３】

実施例３の駆動方法においては、その後、（ｃ）走査線ＳＣＬからの信号によりオン状態とされた映像信号書込みトランジスタ$Ｔ_{Sig}$を介して、データ線ＤＴＬから映像信号$Ｖ_{Sig}$を第１ノード$ＮＤ_1$に印加する書込み処理を行う。

【０１３４】

より具体的には、実施例３の駆動方法にあっては、前記工程（ｃ）において、第１ノード初期化トランジスタ制御回路１０４の動作に基づき、第１ノード初期化トランジスタ制御線$ＡＺ_{ND1}$からの信号により第１ノード初期化トランジスタ$Ｔ_{ND1}$をオフ状態とした状態で、走査回路１０１の動作に基づき、走査線ＳＣＬからの信号によりオン状態とされた映像信号書込みトランジスタ$Ｔ_{Sig}$を介して、映像信号出力回路１０２の動作に基づき、データ線ＤＴＬから映像信号$Ｖ_{Sig}$を第１ノード$ＮＤ_1$に印加する。

【０１３５】

実施例３の駆動方法においては、次いで、（ｄ）走査線ＳＣＬからの信号により映像信号書込みトランジスタ$Ｔ_{Sig}$をオフ状態とすることにより第１ノード$ＮＤ_1$を浮遊状態とし、電源部１００から駆動トランジスタ$Ｔ_{Drv}$を介して、第１ノード$ＮＤ_1$と第２ノード$ＮＤ_2$との間の電位差の値に応じた電流を発光部ＥＬＰに流すことにより、発光部ＥＬＰを駆動する。

【０１３６】

より具体的には、実施例１と同様に、前記工程（ｄ）において、走査回路１０１の動作に基づき、走査線ＳＣＬからの信号により映像信号書込みトランジスタ$Ｔ_{Sig}$をオフ状態とし、第１ノード$ＮＤ_1$を浮遊状態とする。そして、電源部１００から第１ノード$ＮＤ_1$と

第２ノードＮＤ$_2$との間の電位差の値に応じた電流を発光部ＥＬＰに流すことにより、発光部ＥＬＰを駆動する。

【０１３７】

尚、実施例１と同様に、実施例３においても、前記工程（ｃ）における書込み処理において実質的に移動度補正処理が併せて行なわれる。

【０１３８】

上記の工程（ａ）、工程（ｂ）、工程（ｃ）、及び、工程（ｄ）を、図９、図１０の（Ａ）～（Ｆ）を参照して、以下、説明する。

【０１３９】

［期間－ＴＰ（３）$_{-1}$］（図９及び図１０の（Ａ）参照）

この［期間－ＴＰ（３）$_{-1}$］は、例えば、前の表示フレームにおける動作であり、実質的に、実施例１において説明した［期間－ＴＰ（２）$_{-1}$］と同じ動作である。ここで、映像信号書込みトランジスタＴ$_{Sig}$及び第１ノード初期化トランジスタＴ$_{ND1}$はオフ状態であり、駆動トランジスタＴ$_{Drv}$はオン状態である。

【０１４０】

図９に示す［期間－ＴＰ（３）$_0$］～［期間－ＴＰ（３）$_3$］は、図４に示す［期間－ＴＰ（２）$_0$］～［期間－ＴＰ（２）$_2$］に対応する期間であり、次の書込み処理が行われる直前までの動作期間である。そして、実施例１の駆動回路と同様に、［期間－ＴＰ（３）$_0$］～［期間－ＴＰ（３）$_3$］において、第（ｎ，ｍ）番目の有機ＥＬ素子は原則として非発光状態にある。但し、実施例３の駆動回路の動作においては、図９に示すように、［期間－ＴＰ（３）$_0$］の他、［期間－ＴＰ（３）$_1$］～［期間－ＴＰ（３）$_3$］が第ｍ番目の水平走査期間より前の期間である点が、実施例１の駆動回路の動作とは異なる。尚、説明の便宜のため、［期間－ＴＰ（３）$_4$］の始期及び終期は、それぞれ、第ｍ番目の水平走査期間の始期及び終期に一致するものとして説明する。

【０１４１】

以下、［期間－ＴＰ（３）$_0$］～［期間－ＴＰ（３）$_3$］の各期間について、説明する。尚、実施例１において説明したと同様に、［期間－ＴＰ（３）$_0$］～［期間－ＴＰ（３）$_3$］の各期間の長さは、有機ＥＬ表示装置の設計に応じて適宜設定すればよい。

【０１４２】

［期間－ＴＰ（３）$_0$］（図１０の（Ｂ）参照）

この［期間－ＴＰ（３）$_0$］は、例えば、前の表示フレームから現表示フレームにおける動作であり、実施例１の駆動回路において説明した［期間－ＴＰ（２）$_0$］と、実質的に同じ動作である。即ち、［期間－ＴＰ（３）$_{-1}$］から［期間－ＴＰ（３）$_0$］に移る時点で、電源部１００から供給される電圧を、第１の電圧Ｖ$_{CC-H}$から第２の電圧Ｖ$_{CC-L}$に切り替える。その結果、第２ノードＮＤ$_2$（駆動トランジスタＴ$_{Drv}$の他方のソース／ドレイン領域あるいは発光部ＥＬＰのアノード電極）の電位はＶ$_{CC-L}$まで低下し、発光部ＥＬＰは非発光状態となる。また、第２ノードＮＤ$_2$の電位低下に倣うように、浮遊状態の第１ノードＮＤ$_1$（駆動トランジスタＴ$_{Drv}$のゲート電極）の電位も低下する。

【０１４３】

［期間－ＴＰ（３）$_1$］（図９、図１０の（Ｃ）参照）

この期間内に、上記の工程（ａ）、即ち、上述した前処理を行う。

【０１４４】

電源部１００から駆動トランジスタＴ$_{Drv}$の一方のソース／ドレイン領域に第２の電圧Ｖ$_{CC-L}$を印加した状態を維持し、［期間－ＴＰ（３）$_1$］の開始時、第１ノード初期化トランジスタ制御回路１０４の動作に基づき、第１ノード初期化トランジスタ制御線ＡＺ$_{ND1}$をハイレベルとすることによって、第１ノード初期化トランジスタＴ$_{ND1}$をオン状態とし、オン状態とされた第１ノード初期化トランジスタＴ$_{ND1}$を介して、第１ノード初期化電圧供給線ＰＳ$_1$から第１ノード初期化電圧Ｖ$_{Ofs}$を第１ノードＮＤ$_1$に印加する。

【０１４５】

その結果、第１ノードＮＤ$_1$の電位はＶ$_{Ofs}$（０ボルト）となる。一方、第２ノードＮＤ

$_2$の電位はV_{CC-L}（－１０ボルト）である。第１ノードND_1と第２ノードND_2との間の電位差は１０ボルトであり、駆動トランジスタT_{Drv}の閾値電圧V_{th}は３ボルトであるので、駆動トランジスタT_{Drv}はオン状態である。尚、第２ノードND_2と発光部ＥＬＰに備えられたカソード電極との間の電位差は－１０ボルトであり、発光部ＥＬＰの閾値電圧V_{th-EL}を越えない。

【０１４６】

［期間－ＴＰ（３）$_2$］（図９、図１０の（Ｄ）参照）

この期間内に、上記の工程（ｂ）、即ち、上述した閾値電圧キャンセル処理を行う。

【０１４７】

即ち、第１ノード初期化トランジスタ制御線AZ_{ND1}からの信号によりオン状態を維持した第１ノード初期化トランジスタT_{ND1}を介して第１ノード初期化電圧供給線PS_1から第１ノードND_1に第１ノード初期化電圧V_{Ofs}を印加した状態で、電源部１００から供給される電圧を、第２の電圧V_{CC-L}から第１の電圧V_{CC-H}に切り替え、電源部１００から駆動トランジスタT_{Drv}の一方のソース／ドレイン領域に第１の電圧V_{CC-H}を印加する。その結果、第１ノードND_1の電位は変化しないが（V_{Ofs}＝０ボルトを維持）、第１ノードND_1の電位から駆動トランジスタT_{Drv}の閾値電圧V_{th}を減じた電位に向かって、第２ノードND_2の電位は変化する。即ち、浮遊状態の第２ノードND_2の電位が上昇する。そして、駆動トランジスタT_{Drv}のゲート電極と他方のソース／ドレイン領域との間の電位差がV_{th}に達すると、駆動トランジスタT_{Drv}がオフ状態となる。具体的には、浮遊状態の第２ノードND_2の電位が（$V_{Ofs}－V_{th}$＝－３ボルト）に近づき、最終的に（$V_{Ofs}－V_{th}$）となる。ここで、上述した式（２）が保証されていれば、云い換えれば、式（２）を満足するように電位を選択、決定しておけば、発光部ＥＬＰが発光することはない。

【０１４８】

この［期間－ＴＰ（３）$_2$］にあっては、第２ノードND_2の電位は、最終的に、（$V_{Ofs}－V_{th}$）となる。即ち、駆動トランジスタT_{Drv}の閾値電圧V_{th}、及び、駆動トランジスタT_{Drv}のゲート電極を初期化するための電圧V_{Ofs}のみに依存して、第２ノードND_2の電位は決定される。そして、発光部ＥＬＰの閾値電圧V_{th-EL}とは無関係である。

【０１４９】

［期間－ＴＰ（３）$_3$］（図９参照）

その後、第１ノード初期化トランジスタ制御回路１０４の動作に基づき、第１ノード初期化トランジスタ制御線AZ_{ND1}をローレベルとすることによって、第１ノード初期化トランジスタT_{ND1}をオフ状態とする。その結果、第１ノードND_1の電位は変化せず（$\underline{V_{Ofs}}$＝０ボルトを維持）、浮遊状態の第２ノードND_2の電位も変化せず、（$\underline{V_{Ofs}}－V_{th}$＝－３ボルト）を保持する。

【０１５０】

次いで、［期間－ＴＰ（３）$_4$］～［期間－ＴＰ（３）$_5$］の各期間について説明する。これらは、実施例１の駆動回路において説明した［期間－ＴＰ（２）$_3$］～［期間－ＴＰ（２）$_4$］に対応する期間である。

【０１５１】

［期間－ＴＰ（３）$_4$］（図９、図１０の（Ｅ）参照）

この期間内に、上記の工程（ｃ）、即ち、上述した書込み処理を行う。映像信号出力回路１０２の動作に基づき、データ線ＤＴＬの電位を、発光部ＥＬＰにおける輝度を制御するための映像信号V_{Sig}とし、次いで、走査回路１０１の動作に基づき、走査線ＳＣＬからの信号によりオン状態とされた映像信号書込みトランジスタT_{Sig}を介して、データ線ＤＴＬから映像信号V_{Sig}を第１ノードND_1に印加する。その結果、第１ノードND_1の電位は、V_{Sig}へと上昇する。

【０１５２】

実施例３の駆動方法においても、実施例１の駆動方法と同様に、駆動トランジスタT_{Drv}の一方のソース／ドレイン領域には電源部１００から第１の電圧V_{CC-H}が印加された状態で、駆動トランジスタT_{Drv}のゲート電極に映像信号V_{Sig}が印加される。このため、実

施例１の駆動方法と同様に、［期間－ＴＰ（３）$_4$］において第２ノードＮＤ$_2$の電位が上昇する。この電位の上昇量ΔＶ（電位補正値）は、実施例１において説明したと同様であるので説明を省略する。駆動トランジスタＴ$_{Drv}$のゲート電極とソース領域として働く他方のソース／ドレイン領域との間の電位差Ｖ$_{gs}$は、上述した式（４）となる。

【０１５３】

尚、実施例１において説明したと同様に、書き込み処理を実行するための所定の時間（［期間－ＴＰ（３）$_4$］の全時間ｔ$_0$）は、有機ＥＬ表示装置の設計の際、設計値として予め決定しておけばよい。また、このときの駆動トランジスタＴ$_{Drv}$の他方のソース／ドレイン領域における電位（Ｖ$_{Ofs}$－Ｖ$_{th}$＋ΔＶ）が上述した式（２’）を満足するように、［期間－ＴＰ（３）$_4$］の全時間ｔ$_0$は決定されている。そして、これによって、［期間－ＴＰ（３）$_4$］において、発光部ＥＬＰが発光することはない。更には、この移動度補正処理によって、係数ｋ（≡（１／２）・（Ｗ／Ｌ）・Ｃ$_{ox}$）のばらつきの補正も同時に行われる。

【０１５４】

［期間－ＴＰ（３）$_5$］（図９、及び、図１０の（Ｆ）参照）

以上の操作によって、閾値電圧キャンセル処理、書込み処理、移動度補正処理が完了する。その後、この期間内に、上記の工程（ｄ）を以下のように行う。即ち、駆動トランジスタＴ$_{Drv}$の一方のソース／ドレイン領域に電源部１００から第１の電圧Ｖ$_{CC-H}$が印加された状態を維持した状態で、走査回路１０１の動作に基づき走査線ＳＣＬをローレベルとし、映像信号書込みトランジスタＴ$_{Sig}$をオフ状態とし、第１ノードＮＤ$_1$、即ち、駆動トランジスタＴ$_{Drv}$のゲート電極を浮遊状態とする。従って、以上の結果として、第２ノードＮＤ$_2$の電位は上昇し、（Ｖ$_{th-EL}$＋Ｖ$_{Cat}$）を越えるので、発光部ＥＬＰは発光を開始する。このとき、発光部ＥＬＰを流れる電流は、前述した式（５）にて得ることができるので、発光部ＥＬＰを流れる電流Ｉ$_{ds}$は、発光部ＥＬＰの閾値電圧Ｖ$_{th-EL}$、及び、駆動トランジスタＴ$_{Drv}$の閾値電圧Ｖ$_{th}$には依存しない。即ち、発光部ＥＬＰの発光量（輝度）は、発光部ＥＬＰの閾値電圧Ｖ$_{th-EL}$の影響、及び、駆動トランジスタＴ$_{Drv}$の閾値電圧Ｖ$_{th}$の影響を受けない。加えて、駆動トランジスタＴ$_{Drv}$における移動度μのばらつきに起因したドレイン電流Ｉ$_{ds}$のばらつき発生を抑制することができる。

【０１５５】

そして、発光部ＥＬＰの発光状態を第（ｍ＋ｍ’－１）番目の水平走査期間まで継続する。この時点は、［期間－ＴＰ（３）$_{-1}$］の終わりに相当する。

【０１５６】

以上によって、有機ＥＬ素子［第（ｎ，ｍ）番目の副画素（有機ＥＬ素子）］の発光の動作が完了する。

【実施例４】

【０１５７】

実施例４も、本発明の第２の態様に係る有機ＥＬ表示装置、本発明の第２の態様及び第３の態様に係る駆動回路、本発明の第２の態様に係る駆動方法に関する。

【０１５８】

実施例４は、実施例３の変形である。実施例４は実施例３に対し、駆動回路を構成する駆動トランジスタの構造が相違する。より具体的には、実施例４にあっては、実施例３で説明した第１のＬＤＤ構造の他、駆動トランジスタの他方のソース／ドレイン領域側に第２のＬＤＤ構造が形成されている。

【０１５９】

実施例４の有機ＥＬ表示装置の概念図は上述した図８と同様である。実施例４の駆動回路の等価回路図を図１１に示す。

【０１６０】

図１１に示すように、実施例４にあっては、実施例３で説明した第１のＬＤＤ構造ＬＤ$_1$に加えて、駆動トランジスタＴ$_{Drv}$の他方のソース／ドレイン領域側には、第２のＬＤＤ構造ＬＤ$_2$が形成されている。そして、第２のＬＤＤ構造ＬＤ$_2$の長さＬ$_2$は駆動トランジ

スタT_{Drv}の一方のソース／ドレイン領域側の第１のＬＤＤ構造$ＬＤ_1$の長さ$Ｌ_1$よりも短い。

【０１６１】

実施例４における駆動回路を構成するトランジスタ及びコンデンサ部$Ｃ_1$の構造は、図１１に示すＬＤＤ構造$ＬＤ_1$，$ＬＤ_2$を含め、実施例２において図６の（Ａ）及び（Ｂ）を参照して説明したと同様であるので、説明を省略する。

【０１６２】

上述した駆動回路を構成する駆動トランジスタT_{Drv}の構造の相違を除く他、実施例４の有機ＥＬ表示装置、及び、駆動回路の構造、構成は実施例３で説明したと同様である。また、実施例４の駆動回路の動作、実施例４の駆動方法は、実施例３において説明したと同様であるので、説明を省略する。実施例４においては、第２のＬＤＤ構造$ＬＤ_2$の長さ$Ｌ_2$は駆動トランジスタT_{Drv}の一方のソース／ドレイン領域側の第１のＬＤＤ構造$ＬＤ_1$の長さ$Ｌ_1$よりも短くすることにより、第２のＬＤＤ構造の形成による抵抗成分の増加が抑えられ、有機ＥＬ素子の発光時における駆動トランジスタの飽和特性の直線性の改善と、前処理や閾値電圧キャンセル処理における駆動トランジスタの応答性の改善とを図ることができる。

【０１６３】

以上、本発明を好ましい実施例に基づき説明したが、本発明はこれらの実施例に限定されるものではない。実施例において説明した有機ＥＬ表示装置、有機ＥＬ素子、駆動回路を構成する各種の構成要素の構成、構造、発光部の駆動方法における工程は例示であり、適宜、変更することができる。尚、本発明の駆動方法を構成する各工程は、駆動トランジスタにおけるＬＤＤ構造の如何を問わず適用し得る。

【図面の簡単な説明】

【０１６４】

【図１】図１の（Ａ）は、２トランジスタ／１コンデンサ部から構成された駆動回路の等価回路図である。図１の（Ｂ）は、駆動回路を構成する駆動トランジスタにおけるＬＤＤ構造とドレイン電流との関係を模式的に示した図である。

【図２】図２は、有機ＥＬ表示装置の概念図である。

【図３】図３の（Ａ）は、有機ＥＬ素子の一部分の模式的な一部断面図である。図３の（Ｂ）は、有機ＥＬ素子を構成する駆動トランジスタ付近の模式的な断面図である。

【図４】図４は、有機ＥＬ素子における駆動のタイミングチャートを模式的に示した図である。

【図５】図５の（Ａ）～（Ｆ）は、有機ＥＬ素子の駆動回路を構成する各トランジスタのオン／オフ状態等を模式的に示す図である。

【図６】図６の（Ａ）は、２トランジスタ／１コンデンサ部から構成された駆動回路の等価回路図である。図６の（Ｂ）は、有機ＥＬ素子を構成する駆動トランジスタ付近の模式的な断面図である。

【図７】図７は、３トランジスタ／１コンデンサ部から構成された駆動回路の等価回路図である。

【図８】図８は、有機ＥＬ表示装置の概念図である。

【図９】図９は、有機ＥＬ素子における駆動のタイミングチャートを模式的に示した図である。

【図１０】図１０の（Ａ）～（Ｆ）は、有機ＥＬ素子の駆動回路を構成する各トランジスタのオン／オフ状態等を模式的に示す図である。

【図１１】図１１は、３トランジスタ／１コンデンサ部から構成された駆動回路の等価回路図である。

【図１２】図１２は、５トランジスタ／１コンデンサ部から構成された駆動回路の等価回路図である。

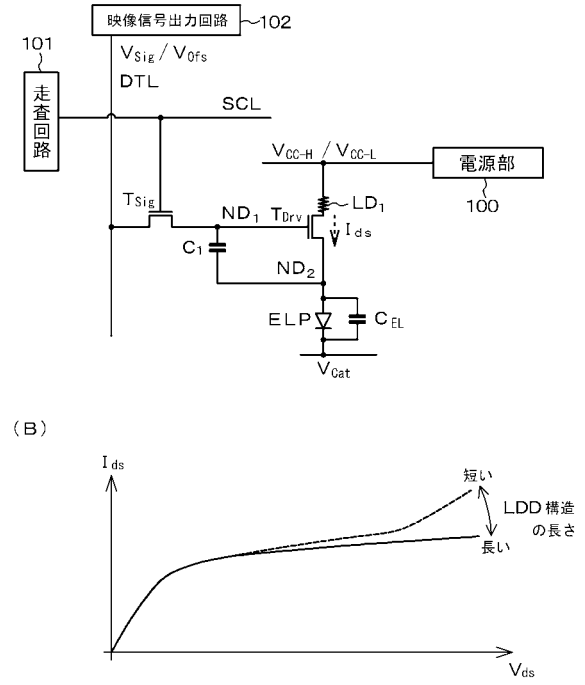
【図１３】図１３は、有機ＥＬ表示装置の概念図である。

【図１４】図１４は、有機ＥＬ素子における駆動のタイミングチャートを模式的に示した

図である。
【図１５】図１５の（Ａ）～（Ｄ）は、有機ＥＬ素子の駆動回路を構成する各トランジスタのオン／オフ状態等を模式的に示す図である。
【図１６】図１６の（Ａ）～（Ｅ）は、図１５の（Ｄ）に引き続き、有機ＥＬ素子の駆動回路を構成する各トランジスタのオン／オフ状態等を模式的に示す図である。
【符号の説明】
【０１６５】
T_{Sig}・・・映像信号書込みトランジスタ、T_{Drv}・・・駆動トランジスタ、T_{EL_C}・・・発光制御トランジスタ、T_{ND1}・・・第１ノード初期化トランジスタ、T_{ND2}・・・第２ノード初期化トランジスタ、C_1・・・コンデンサ部、ＥＬＰ・・・有機エレクトロルミネッセンス発光部（発光部）、C_{EL}・・・発光部ＥＬＰの寄生容量、ND_1・・・第１ノード、ND_2・・・第２ノード、ＳＣＬ・・・走査線、ＤＴＬ・・・データ線、CL_{EL_C}・・・発光制御トランジスタ制御線、AZ_{ND1}・・・第１ノード初期化トランジスタ制御線、AZ_{ND2}・・・第２ノード初期化トランジスタ制御線、LD_1・・・ＬＤＤ構造（第１のＬＤＤ構造）、LD_2・・・第２のＬＤＤ構造、１０・・・有機エレクトロルミネッセンス素子、２０・・・支持体、２１・・・基板、３１・・・ゲート電極、３２・・・ゲート絶縁層、３３・・・半導体層、３４・・・チャネル形成領域、３５，35_1，35_2・・・ソース／ドレイン領域、３６・・・他方の電極、３７・・・一方の電極、３８，３９・・・配線、４０・・・層間絶縁層、５１・・・アノード電極、５２・・・正孔輸送層、発光層及び電子輸送層、５３・・・カソード電極、５４・・・第２層間絶縁層、５５，５６・・・コンタクトホール、１００・・・電源部、１０１・・・走査回路、１０２・・・映像信号出力回路、１０３・・・発光制御トランジスタ制御回路、１０４・・・第１ノード初期化トランジスタ制御回路、１０５・・・第２ノード初期化トランジスタ制御回路

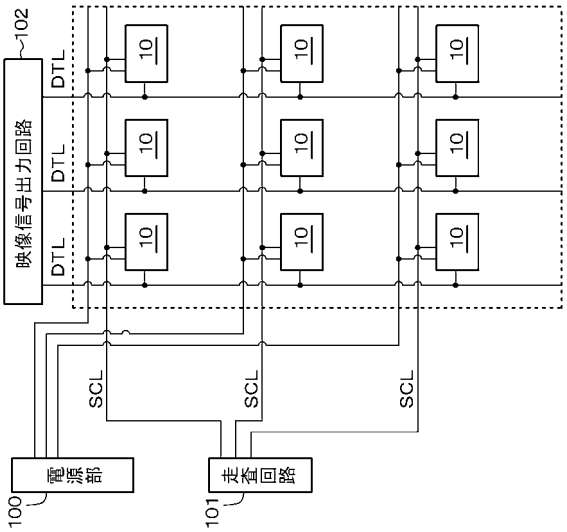
【図１】

【図１】［実施例１：２Ｔｒ／１Ｃ駆動回路］



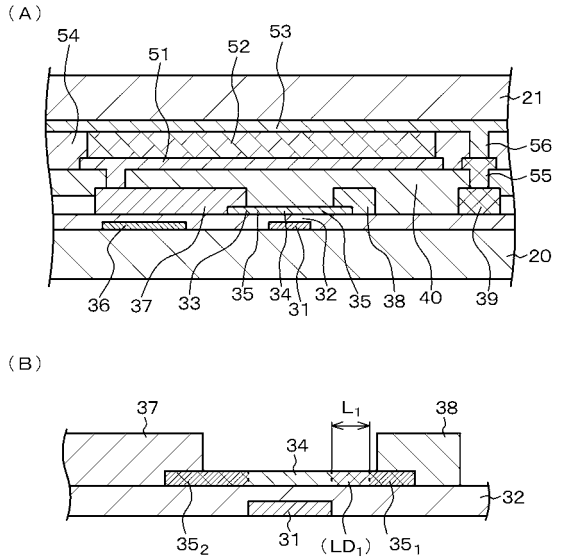
【図２】

【図２】［実施例１：２Ｔｒ／１Ｃ駆動回路構成の表示装置］



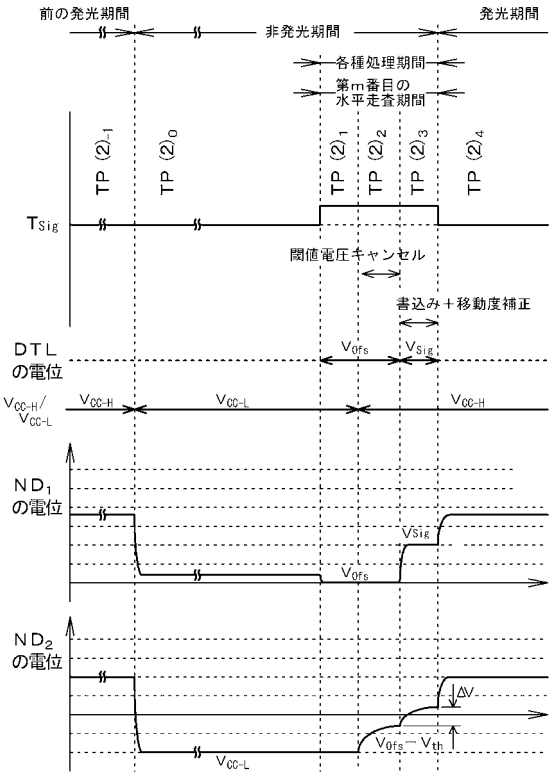
【図３】

【図３】［実施例１］



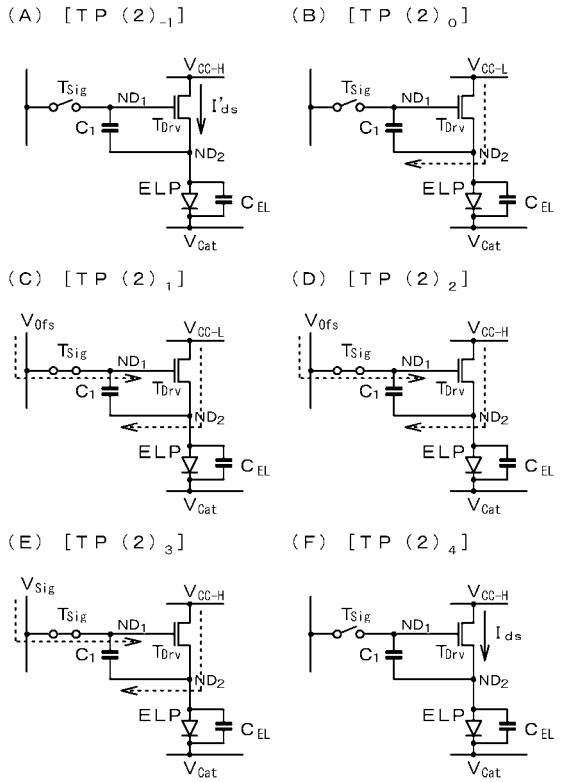
【図４】

【図４】［実施例１：２Ｔｒ／１Ｃ駆動回路］



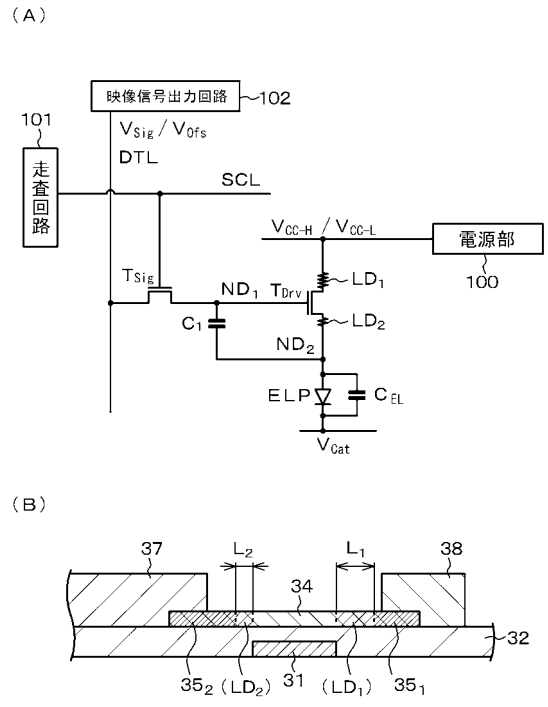
【図５】

【図５】［実施例１：２Ｔｒ／１Ｃ駆動回路］



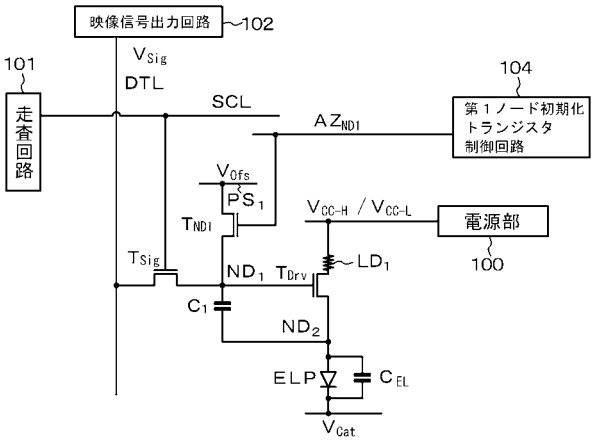
【図６】

【図６】［実施例２：実施例１の変形例］



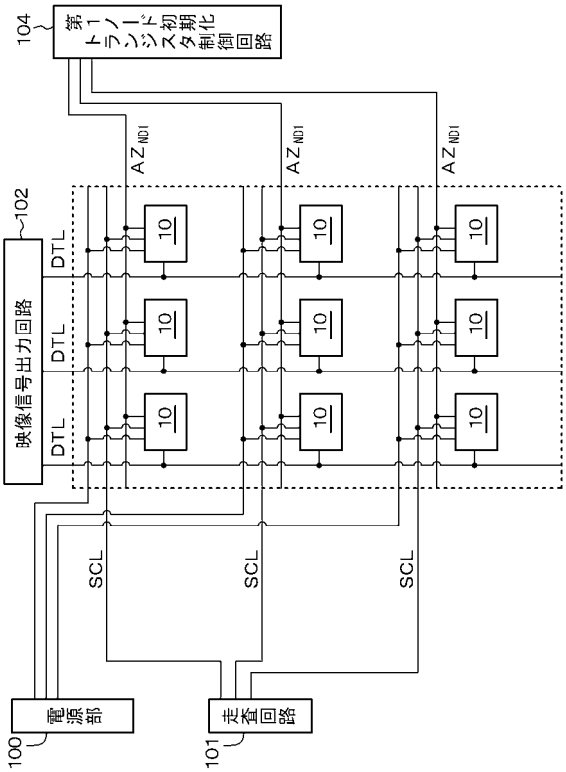
【図７】

【図７】［実施例３：３Ｔｒ／１Ｃ駆動回路］



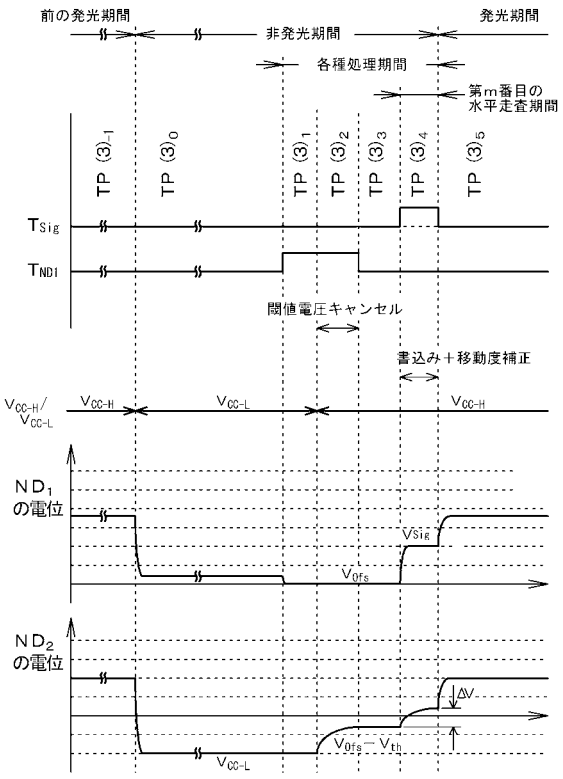
【図８】

【図８】［実施例３：３Ｔｒ／１Ｃ駆動回路構成の表示装置］



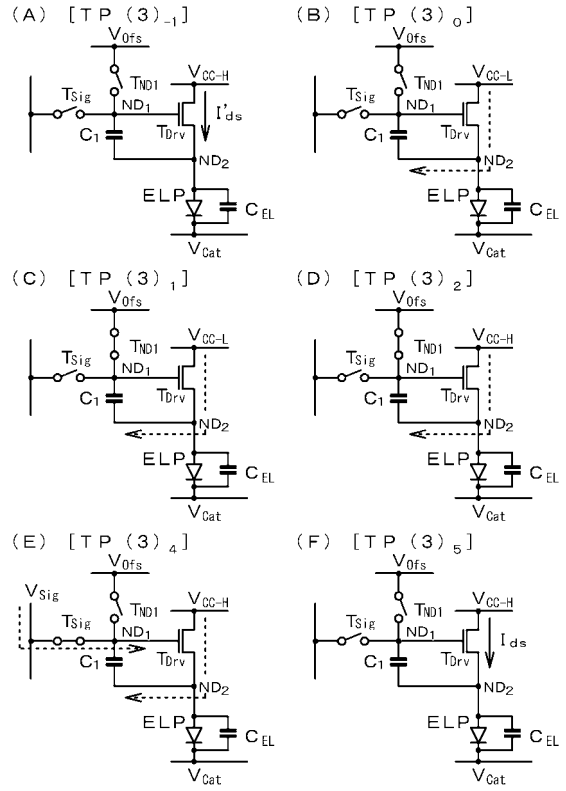
【図９】

【図９】［実施例３：３Ｔｒ／１Ｃ駆動回路］



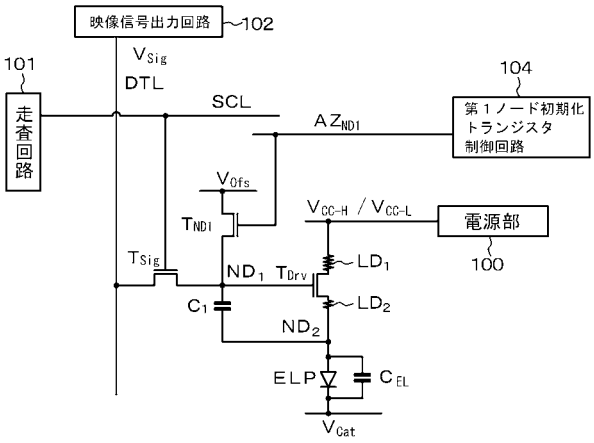
【図１０】

【図１０】［実施例３：３Ｔｒ／１Ｃ駆動回路］



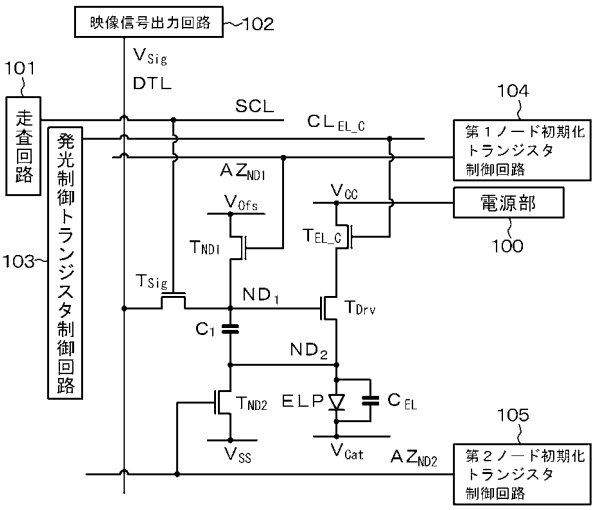
【図１１】

【図１１】［実施例４：実施例３の変形例］



【図１２】

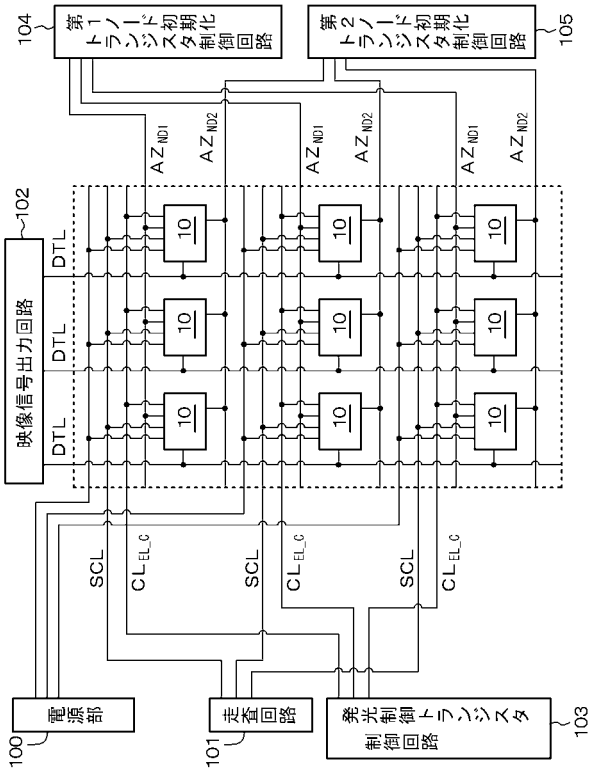
【図１２】［５Ｔｒ／１Ｃ駆動回路］



T_{Sig} ：映像信号書込みトランジスタ
T_{Drv} ：駆動トランジスタ
T_{EL_C} ：発光制御トランジスタ
T_{ND1} ：第１ノード初期化トランジスタ
T_{ND2} ：第２ノード初期化トランジスタ
C_1 ：コンデンサ部
ELP ：有機ＥＬ素子の発光部
C_{EL} ：発光部の寄生容量
DTL ：データ線
SCL ：走査線
CL_{EL_C} ：発光制御トランジスタ制御線
AZ_{ND1} ：第１ノード初期化トランジスタ制御線
AZ_{ND2} ：第２ノード初期化トランジスタ制御線

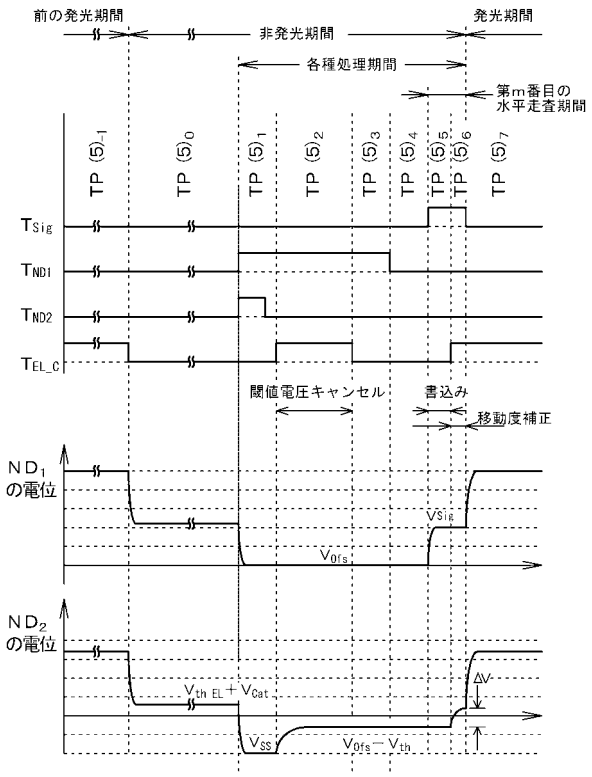
【図１３】

【図１３】［５Ｔｒ／１Ｃ駆動回路構成の表示装置］



【図１４】

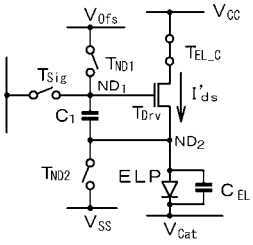
【図１４】［５Ｔｒ／１Ｃ駆動回路］



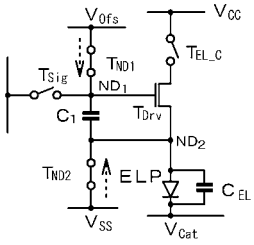
【図１５】

【図１５】［５Ｔｒ／１Ｃ駆動回路］

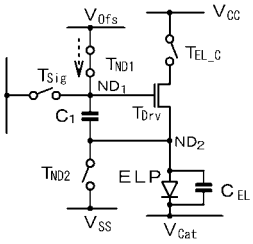
（Ａ）［ＴＰ（５）$_{-1}$］



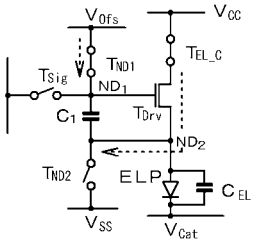
（Ｂ）［ＴＰ（５）$_{1}$］



（Ｃ）［ＴＰ（５）$_{1}$］（続き）



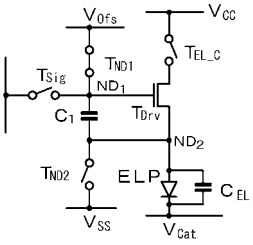
（Ｄ）［ＴＰ（５）$_{2}$］



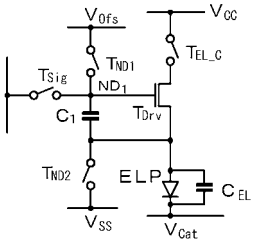
【図１６】

【図１６】［５Ｔｒ／１Ｃ駆動回路］

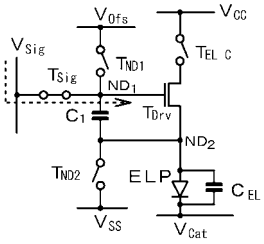
（Ａ）［ＴＰ（５）$_{3}$］



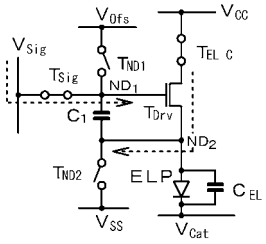
（Ｂ）［ＴＰ（５）$_{4}$］



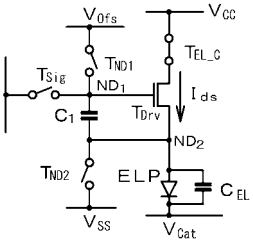
（Ｃ）［ＴＰ（５）$_{5}$］



（Ｄ）［ＴＰ（５）$_{6}$］



（Ｅ）［ＴＰ（５）$_{7}$］



フロントページの続き

(51)Int.Cl.　　FI
　　H05B 33/14　　A

(72)発明者　藤村　寛
　　東京都港区港南１丁目７番１号　ソニー株式会社内

審査官　福村　拓

(56)参考文献　特開２００３－２７１０９５（ＪＰ，Ａ）
　　特開２００４－０９５６７１（ＪＰ，Ａ）
　　特開２００５－３４６０５５（ＪＰ，Ａ）
　　特開２００２－０９８９９０（ＪＰ，Ａ）
　　特開平１１－１２１７５７（ＪＰ，Ａ）
　　特開２０００－１２４４６２（ＪＰ，Ａ）
　　特開２００１－０１３８９３（ＪＰ，Ａ）
　　特開２０００－２３６０９７（ＪＰ，Ａ）
　　特開２００７－１７９０４１（ＪＰ，Ａ）
　　特開２００８－２０３６６１（ＪＰ，Ａ）
　　特開２００３－２５５８９７（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
　　Ｇ０９Ｇ　　３／３０
　　Ｇ０９Ｇ　　３／２０