

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成23年11月10日 (2011.11.10)

【公開番号】特開2010-153492(P2010-153492A)

【公開日】平成22年7月8日 (2010.7.8)

【年通号数】公開・登録公報2010-027

【出願番号】特願2008-328257(P2008-328257)

【国際特許分類】

H 0 1 L 23/12 (2006.01)

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

H 0 1 L 23/52 (2006.01)

H 0 1 L 21/3205 (2006.01)

【 F I 】

H 0 1 L 23/12 5 0 1 P

H 0 1 L 25/08 Z

H 0 1 L 23/12 F

H 0 1 L 21/88 J

【手続補正書】

【提出日】平成23年9月26日 (2011.9.26)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体チップと、

一方の端部が前記半導体チップの一方の面に固定され、他方の端部が前記半導体チップを貫通して、前記半導体チップの他方の面に固定された貫通電極と、を有し、

前記貫通電極は、前記半導体チップに貫通して形成された空間部により、前記半導体チップの壁面と接触しないように前記半導体チップを貫通している半導体装置。

【請求項 2】

基板と、

一方の端部が前記基板の一方の面に固定され、他方の端部が前記基板を貫通して、前記基板の他方の面に固定された貫通電極と、を有し、

前記貫通電極は、前記基板に貫通して形成された空間部により、前記基板の壁面と接触しないように前記基板を貫通しているインターポーザ。

【請求項 3】

前記貫通電極の前記一方の端部及び前記他方の端部は、前記半導体チップの配線層と電氣的に接続されており、

前記貫通電極は、前記空間部に配置された貫通部と、

前記貫通部と一体的に構成されると共に、前記一方の面に固定されたバネ性を有する第 1 の支持部と、

前記貫通部と一体的に構成されると共に、前記他方の面に固定されたバネ性を有する第 2 の支持部と、を備えている請求項 1 記載の半導体装置。

【請求項 4】

前記空間部内の前記半導体チップの壁面、前記貫通部、前記第１の支持部、及び前記第２の支持部は、平面視において前記貫通部と重複する部分を除き、絶縁膜で覆われている請求項３記載の半導体装置。

【請求項５】

前記貫通電極の前記一方の端部及び前記他方の端部は、前記基板の配線層と電氣的に接続されており、

前記貫通電極は、前記空間部に配置された貫通部と、

前記貫通部と一体的に構成されると共に、前記一方の面に固定されたバネ性を有する第１の支持部と、

前記貫通部と一体的に構成されると共に、前記他方の面に固定されたバネ性を有する第２の支持部と、を備えている請求項２記載のインターポザ。

【請求項６】

前記空間部内の前記基板の壁面、前記貫通部、前記第１の支持部、及び前記第２の支持部は、平面視において前記貫通部と重複する部分を除き、絶縁膜で覆われている請求項５記載のインターポザ。

【請求項７】

前記第１の支持部及び前記第２の支持部の表面に、金属からなる突起部を有する請求項５又は６記載のインターポザ。

【請求項８】

配線基板と、

前記配線基板上に積層された複数個の請求項１、３、又は４記載の半導体装置と、を有し、

前記半導体装置同士は、それぞれに形成された貫通電極を介して、電氣的に接続されている半導体パッケージ。

【請求項９】

配線基板と、

前記配線基板上に形成された請求項２、５、６、又は７記載のインターポザと、を有し、

前記インターポザ上には半導体装置が搭載され、前記配線基板と前記半導体装置とは、前記インターポザに形成された貫通電極を介して、電氣的に接続されている半導体パッケージ。

【請求項１０】

半導体チップに、前記半導体チップの一方の面から他方の面に貫通する貫通孔を形成する貫通孔形成工程と、

前記貫通孔の内部に金属を充填し前記貫通電極の一部を構成する貫通部を形成する貫通部形成工程と、

一方の端部が前記一方の面に固定され、他方の端部が前記貫通部の前記一方の面側と接続される、前記貫通電極の一部を構成する第１の支持部、及び、一方の端部が前記他方の面に固定され、他方の端部が前記貫通部の前記他方の面側と接続される、前記貫通電極の一部を構成する第２の支持部を形成する支持部形成工程と、

前記貫通部の側面と接している部分の前記半導体チップを除去し、前記貫通部の周囲に前記貫通部の側面全体が露出する空間部を形成する空間部形成工程と、を有する半導体装置の製造方法。

【請求項１１】

基板に、前記基板の一方の面から他方の面に貫通する貫通孔を形成する貫通孔形成工程と、

前記貫通孔の内部に金属を充填し前記貫通電極の一部を構成する貫通部を形成する貫通部形成工程と、

一方の端部が前記一方の面に固定され、他方の端部が前記貫通部の前記一方の面側と接続される、前記貫通電極の一部を構成する第１の支持部、及び、一方の端部が前記他方の

面に固定され、他方の端部が前記貫通部の前記他方の面側と接続される、前記貫通電極の一部を構成する第2の支持部を形成する支持部形成工程と、

前記貫通部の側面と接している部分の前記基板を除去し、前記貫通部の周囲に前記貫通部の側面全体が露出する空間部を形成する空間部形成工程と、を有するインターポーザの製造方法。

【請求項12】

前記支持部形成工程は、前記一方の面及び前記他方の面に第1のレジスト膜及び第2のレジスト膜を形成する工程と、

前記第1のレジスト膜の前記第1の支持部に対応する位置に第1の開口部を形成し、前記第2のレジスト膜の前記第2の支持部に対応する位置に第2の開口部を形成する工程と、

前記第1の開口部及び前記第2の開口部に、前記第1の支持部及び前記第2の支持部となる金属を充填する工程と、

前記第1のレジスト膜及び前記第2のレジスト膜を除去する工程と、を含む請求項10記載の半導体装置の製造方法。

【請求項13】

前記空間部形成工程は、前記一方の面及び前記他方の面に第3のレジスト膜及び第4のレジスト膜を形成する工程と、

前記第3のレジスト膜の前記空間部に対応する位置に第3の開口部を形成し、前記第4のレジスト膜の前記空間部に対応する位置に第4の開口部を形成する工程と、

前記第3の開口部を前記一方の面側からエッチングする工程と、

前記第4の開口部を前記他方の面側からエッチングする工程と、

前記第3のレジスト膜及び前記第4のレジスト膜を除去する工程と、を含む請求項10又は12記載の半導体装置の製造方法。

【請求項14】

更に、前記金属を充填する工程の後に、前記第1の支持部及び前記第2の支持部の表面に、金属からなる突起部を形成する突起部形成工程を有し、

前記突起部形成工程は、

前記第1のレジスト膜及び第1の開口部に充填された金属を覆うように第5のレジスト膜を形成し、前記第2のレジスト膜及び第2の開口部に充填された金属を覆うように第6のレジスト膜を形成する工程と、

前記第5のレジスト膜の前記突起部に対応する位置に第5の開口部を形成し、前記第6のレジスト膜の前記突起部に対応する位置に第6の開口部を形成する工程と、

前記第5の開口部及び前記第6の開口部に、前記突起部となる金属を充填する工程と、

前記第5のレジスト膜及び前記第6のレジスト膜を除去する工程と、を含む請求項12記載の半導体装置の製造方法。

【請求項15】

前記支持部形成工程は、前記一方の面及び前記他方の面に第1のレジスト膜及び第2のレジスト膜を形成する工程と、

前記第1のレジスト膜の前記第1の支持部に対応する位置に第1の開口部を形成し、前記第2のレジスト膜の前記第2の支持部に対応する位置に第2の開口部を形成する工程と

、

前記第1の開口部及び前記第2の開口部に、前記第1の支持部及び前記第2の支持部となる金属を充填する工程と、

前記第1のレジスト膜及び前記第2のレジスト膜を除去する工程と、を含む請求項11記載のインターポーザの製造方法。

【請求項16】

前記空間部形成工程は、前記一方の面及び前記他方の面に第3のレジスト膜及び第4のレジスト膜を形成する工程と、

前記第3のレジスト膜の前記空間部に対応する位置に第3の開口部を形成し、前記第4

のレジスト膜の前記空間部に対応する位置に第４の開口部を形成する工程と、
前記第３の開口部を前記一方の面側からエッチングする工程と、
前記第４の開口部を前記他方の面側からエッチングする工程と、
前記第３のレジスト膜及び前記第４のレジスト膜を除去する工程と、を含む請求項１１
又は１５記載のインターポーザの製造方法。

【請求項１７】

更に、前記金属を充填する工程の後に、前記第１の支持部及び前記第２の支持部の表面
に、金属からなる突起部を形成する突起部形成工程を有し、

前記突起部形成工程は、

前記第１のレジスト膜及び第１の開口部に充填された金属を覆うように第５のレジスト
膜を形成し、前記第２のレジスト膜及び第２の開口部に充填された金属を覆うように第６
のレジスト膜を形成する工程と、

前記第５のレジスト膜の前記突起部に対応する位置に第５の開口部を形成し、前記第６
のレジスト膜の前記突起部に対応する位置に第６の開口部を形成する工程と、

前記第５の開口部及び前記第６の開口部に、前記突起部となる金属を充填する工程と、

前記第５のレジスト膜及び前記第６のレジスト膜を除去する工程と、を含む請求項１５
記載のインターポーザの製造方法。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置、インターポーザ、及びそれらの製造方法、並びに半導体パッケージ

【手続補正３】

【補正対象書類名】明細書

【補正対象項目名】０００１

【補正方法】変更

【補正の内容】

【０００１】

本発明は、半導体チップを有する半導体装置、配線基板と半導体装置との間に介在する
インターポーザ、及びそれらの製造方法、並びに前記半導体装置又は前記インターポーザ
を有する半導体パッケージに関する。

【手続補正４】

【補正対象書類名】明細書

【補正対象項目名】０００７

【補正方法】変更

【補正の内容】

【０００７】

上記の点に鑑みて、半導体パッケージに熱が加えられた場合に、半導体装置と配線基板
とを接合する接合部に生じる応力を緩和し、クラックの発生を防止できる半導体装置又は
インターポーザ、及びそれらの製造方法、並びに前記半導体装置又は前記インターポーザ
を有する半導体パッケージを提供することを課題とする。

【手続補正５】

【補正対象書類名】明細書

【補正対象項目名】０００８

【補正方法】変更

【補正の内容】

【０００８】

この半導体装置は、配線基板と、前記配線基板上に形成された半導体装置と、を有し、

前記半導体装置は、半導体チップと、一方の端部が前記半導体チップの一方の面に固定され、他方の端部が前記半導体チップを貫通して、前記半導体チップの他方の面に固定された貫通電極と、を有し、前記貫通電極は、前記半導体チップに貫通して形成された空間部により、前記半導体チップの壁面と接触しないように前記半導体チップを貫通していることを要件とする。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

このインターポーザは、基板と、一方の端部が前記基板の一方の面に固定され、他方の端部が前記基板を貫通して、前記基板の他方の面に固定された貫通電極と、を有し、前記貫通電極は、前記基板に貫通して形成された空間部により、前記基板の壁面と接触しないように前記基板を貫通していることを要件とする。

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

この半導体装置の製造方法は、半導体チップに、前記半導体チップの一方の面から他方の面に貫通する貫通孔を形成する貫通孔形成工程と、前記貫通孔の内部に金属を充填し前記貫通電極の一部を構成する貫通部を形成する貫通部形成工程と、一方の端部が前記一方の面に固定され、他方の端部が前記貫通部の前記一方の面側と接続される、前記貫通電極の一部を構成する第1の支持部、及び、一方の端部が前記他方の面に固定され、他方の端部が前記貫通部の前記他方の面側と接続される、前記貫通電極の一部を構成する第2の支持部を形成する支持部形成工程と、前記貫通部の側面と接している部分の前記半導体チップを除去し、前記貫通部の周囲に前記貫通部の側面全体が露出する空間部を形成する空間部形成工程と、を有することを要件とする。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【0011】

このインターポーザの製造方法は、基板に、前記基板の一方の面から他方の面に貫通する貫通孔を形成する貫通孔形成工程と、前記貫通孔の内部に金属を充填し前記貫通電極の一部を構成する貫通部を形成する貫通部形成工程と、一方の端部が前記一方の面に固定され、他方の端部が前記貫通部の前記一方の面側と接続される、前記貫通電極の一部を構成する第1の支持部、及び、一方の端部が前記他方の面に固定され、他方の端部が前記貫通部の前記他方の面側と接続される、前記貫通電極の一部を構成する第2の支持部を形成する支持部形成工程と、前記貫通部の側面と接している部分の前記基板を除去し、前記貫通部の周囲に前記貫通部の側面全体が露出する空間部を形成する空間部形成工程と、を有することを要件とする。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【 0 0 1 2 】

開示の技術によれば、半導体パッケージに熱が加えられた場合に、半導体装置と配線基板とを接合する接合部に生じる応力を緩和し、クラックの発生を防止できる半導体装置又はインターポーザ、及びそれらの製造方法、並びに前記半導体装置又は前記インターポーザを有する半導体パッケージを提供することができる。