

發明專利說明書

公告本

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92135745

※ 申請日期： 92.12.17. ※IPC 分類：H01L 21/0312 (2006.01)

壹、發明名稱：(中文/英文)

垂直接面型場效電晶體有限碳化矽電力金屬氧化半導體場效電晶體及製造垂直接面型場效電晶體有限碳化矽金屬氧化半導體場效電晶體之方法
VERTICAL JFET LIMITED SILICON CARBIDE POWER METAL-OXIDE SEMICONDUCTOR FIELD EFFECT TRANSISTORS AND METHODS OF FABRICATING VERTICAL JFET LIMITED SILICON CARBIDE METAL-OXIDE SEMICONDUCTOR FIELD EFFECT TRANSISTORS

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商克立公司

CREE, INC.

代表人：(中文/英文)

查爾斯 M 史華波達

SWOBODA, CHARLES M.

住居所或營業所地址：(中文/英文)

美國北卡羅萊納州德罕市斯里康路4600號

4600 SILICON DRIVE, DURHAM, NC 27703, U. S. A.

國 籍：(中文/英文)

美國 U.S.A.

參、發明人：(共 1 人)

姓 名：(中文/英文)

劉山佑

RYU, SEI-HYUNG

住居所地址：(中文/英文)

美國北卡羅林那州開瑞市羅奔溝街123號

123 LOUBEN VALLEY COURT CARY, NORTH CAROLINA 27513, U.S.A.

國 籍：(中文/英文)

美國 U.S.A.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

☒ 本案申請前已向下列國家（地區）申請專利：

1. 美國；2002年12月20日；60/435,212
2. 美國；2003年10月30日；10/698,170
- 3.
- 4.
- 5.

☒ 主張國際優先權(專利法第二十四條)：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 美國；2002年12月20日；60/435,212
2. 美國；2003年10月30日；10/698,170
- 3.
- 4.
- 5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

- 1.
- 2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明之進行，至少部分，係受到美國海軍研究處(United States Office of Naval Research)的支援，合約編號 N00014-02-C-0302。美國政府對本發明具有一定程度的權利。

臨時申請案之交互參考

本申請案主張並優先於2002年12月20日申請之臨時專利申請案第60/435,212號之權利，其標題為：「垂直接面型場效電晶體有限碳化矽電力金屬氧化半導體場效電晶體及製造垂直接面型場效電晶體有限碳化矽電力金屬氧化半導體場效電晶體之方法 (VERTICAL JFET LIMITED SILICON CARBIDE POWER METAL-OXIDE SEMICONDUCTOR FIELD EFFECT TRANSISTORS AND METHODS OF FABRICATING VERTICAL JFET LIMITED SILICON CARBIDE POWER METAL-OXIDE SEMICONDUCTOR FIELD EFFECT TRANSISTORS)」，此處將其所揭露內容以如同揭示整體內容一般的引用方式併入本文中。

本發明係關於半導體裝置與半導體裝置的製造，尤其有關於碳化矽(SiC)金屬氧化半導體場效電晶體(MOSFET)與此類MOSFET的製造。

【先前技術】

由於反向層中的電子表面遷移率很差，因此截至目前為止，想要製造高電流、高電壓、低通導電阻的垂直SiC電力

MOSFET，至少部分，仍無法實現。近來，已針對橫向 MOSFET 的結構發展一些處理技術，因而改善了表面電子遷移率。但是，電力 MOSFET 結構還涉及其他的處理，包括，例如，溫度高於 1500°C 的退火以活化 p-型摻雜物、p-井/p+接觸/p-接合終止延伸(JTE)植入。此類退火對使用此類技術所製造的電力 MOSFET 具有不利的影響。

一些碳化矽電力 MOSFET 的結構在文獻中已有描述。請參閱如：美國專利第 5,506,421 號；A. K. Agarwal、J. B. Casady、L. B. Rowland、W. F. Valek、M. H. White 及 C. D. Brandt 之「1.1 kV 4H-SiC 電力 UMOSFET (1.1 kV 4H-SiC Power UMOSFET's)」，IEEE Electron Device Letters，Vol. 18，No. 12，第 586-588 頁，1997 年 12 月；A. K. Agarwal、J. B. Casady、L. B. Rowland、W. F. Valek 及 C. D. Brandt 之「1400 V 4H-SiC 電力 MOSFET (1400 V 4H-SiC Power MOSFETs)」，Materials Science Forum Vols. 264-268，第 989-992 頁，1998 年；J. Tan、J. A. Cooper, Jr. 及 M. R. Melloch 之「高電壓累積層的 4H-SiC UMOSFET (High-Voltage Accumulation-Layer UMOSFETs in 4H-SiC)」，IEEE Electron Device Letters，Vol. 19，No. 12，第 487-489 頁，1998 年 12 月；J. N. Shenoy、J. A. Cooper 及 M. R. Melloch 之「高電壓雙植入的 6H-SiC 電力 MOSFET (High-Voltage Double-Implanted Power MOSFET's in 6H-SiC)」，IEEE Electron Device Letters，Vol. 18，No. 3，第 93-95 頁，1997 年 3 月；J. B. Casady、A. K. Agarwal、L. B. Rowland、W. F. Valek 及 C. D. Brandt 之「900 V DMOS 與 1100 V UMOS 4H-SiC 電力 FET (900 V

DMOS and 1100 V UMOS 4H-SiC Power FETs)」, IEEE Device Research Conference, 科羅拉多州夫特考林(Ft. Collins), 1997年6月23-25日 ; R. Schorner、P. Friedrichs、D. Peters、H. Mitlehner、B. Weis及D. Stephani之「阻隔功能高達1800 V的6H-SiC強固型電力MOSFET (Rugged Power MOSFETs in 6H-SiC with Blocking Capability up to 1800 V)」, Materials Science Forum Vols. 338-342, 第1295-1298頁, 2000年 ; V. R. Vathulya及M. H. White之「決定電力DIMOS結構多型適合性之植入SiC的通道遷移率特性(Characterization of Channel Mobility on Implanted SiC to determine Polytype suitability for the Power DIMOS structure)」, Electronic Materials Conference, 加州聖塔巴巴拉(Santa Barbara), 1999年6月30日-7月2日 ; A. V. Suvorov、L. A. Lipkin、G. M. Johnson、R. Singh及J. W. Palmour之「電力DMOSFET之4H-SiC自我對準之植入擴散結構(4H-SiC Self-Aligned Implant-Diffused Structure for Power DMOSFETs)」, Materials Science Forum Vols. 338-342, 第1275-1278頁, 2000年 ; P. M. Shenoy及B. J. Baliga之「平面6H-SiC ACCUFET: 全新的高電壓電力MOSFET結構(The Planar 6H-SiC ACCUFET: A New High-Voltage Power MOSFET Structure)」, IEEE Electron Device Letters, Vol. 18, No. 12, 第589-591頁, 1997年12月 ; Ranbir Singh、Sei-Hyung Ryu及John W. Palmour之「高溫、高電流4H-SiC Accu-DMOSFET (High Temperature, High Current, 4H-SiC Accu-DMOSFET)」, Materials Science Forum Vols. 338-342, 第1271-1274頁, 2000年 ; Y. Wang、C.

Weitzel及M. Bhatnagar之「累積模式SiC電力MOSFET設計議題 (Accumulation-Mode SiC Power MOSFET Design Issues)」, Materials Science Forum Vols. 338-342, 第1287-1290頁, 2000年; 以及A. K. Agarwal、N. S. Saks、S. S. Mani、V. S. Hegde及P. A. Sanger之「橫向RESURF、6H-SiC MOSFET之研究 (Investigation of Lateral RESURF, 6H-SiC MOSFETs)」, Materials Science Forum Vols. 338-342, 第1307-1310頁, 2000年。

目前的SiC結構一般可劃分成三種：(1)溝渠或UMOSFET, (2)垂直雙植入的MOSFET (DIMOSFET), 以及(3)橫向擴散的MOSFET (LDMOSFET)。在這些結構中, 垂直DIMOSFET結構, 如圖1所示, 屬於矽技術所採用之擴散(DMOSFET)結構的一種變化。一般而言, p-井會植入鋁(Al)或硼(Boron), 源極區(n^+)會植入氮或磷, 以及 p^+ 區通常會植入鋁。植入物的活化溫度在1400-1700°C之間。 n^+ 層的接觸以鎳(Ni)製成並加以退火, 而 p^+ 層的接觸以Ni、鈦(Ti)或Ti/Al製成。以上兩種接觸都在高溫中進行退火。閘極介電質一般係為熱生長(熱SiO₂)或使用低壓化學氣相沉積(LPCVD)技術來沉積, 然後在不同的周圍溫度中進行退火。沉積的介電質可以是, 例如, 二氧化矽(SiO₂)或氧化物/氮化物/氧化物(ONO)堆疊。

傳導帶邊緣附近的介面狀態傾向於捕獲反向層的其他自由電子, 致使反向層中的自由電子數量相當少。此外, 被捕獲的電子會在庫倫分散自由電子的介面處形成負電荷狀態。自由電子數目的減少以及分散的增加會減少源極至汲極的電流傳導, 造成電子的低效遷移率與高通導電阻。造

成傳導帶邊緣附近高密度狀態的幾個因素為：(1)碳或矽的懸鍵(dangling bond)(2)碳簇(carbon cluster)，及(3)在介面處形成非晶矽薄層的Si-Si鍵。請參閱S. T. Pantelides之「SiC介電質介面之原子級工程設計(Atomic Scale Engineering of SiC Dielectric Interfaces)」，DARPA/MTO High Power and ONR Power Switching MURI Reviews，維吉尼亞州羅斯林(Rosslyn)，1999年8月10-12日；以及V. V. Afanas'ev、M. Bassler、G. Pensl及M. Schulz之「本質碳化矽/二氧化矽介面狀態(Intrinsic SiC/SiO₂ Interface States)」，Phys. Stat. Sol. (a)，Vol. 162，第321-337頁，1997年。

除了介面狀態的高密度之外，還有幾種其他機制造成反向層的電子遷移率不良：(1)自摻雜鋁的p-型SiC中偏析的鋁，及(2)植入雜質的高溫活化造成表面粗糙。請參閱S. Sridevan、P. K. McLarty及B. J. Baliga之「關於6H-碳化矽上熱生長氧化物之鋁的存在(On the Presence of Aluminum in Thermally Grown Oxides on 6H-Silicon Carbide)」，IEEE Electron Device Letters，Vol. 17，No. 3，第136-138頁，1996年3月；以及M. A. Capano、S. Ryu、J. A. Cooper, Jr.、M. R. Melloch、K. Rottner、S. Karlsson、N. Nordell、A. Powell及D. E. Walker, Jr.之「離子植入之4H-碳化矽的表面粗糙化(Surface Roughening in Ion Implanted 4H-Silicon Carbide)」，Journal of Electronic Materials，Vol. 28，No. 3，第214-218頁，1999年3月。普渡大學(Purdue University)研究人員的結論是，反向層電子遷移率與植入物活化溫度之

間具有直接的相關性。此類研究已結論指出，較低的植入物活化溫度(1200°C)會造成較高的電子遷移率以及較高的活化溫度(1400°C)會造成不良的電子遷移率。請參閱M. K. Das、J. A. Cooper, Jr.、M. R. Melloch 及M. A. Capano之「4H-SiC-MOSFET與6H-SiC-MOSFET的反向通道遷移率(Inversion Channel Mobility in 4H- and 6H-SiC MOSFET)」, IEEE Semiconductor Interface Specialists Conference, 加州聖地牙哥, 1998年12月3-5日。這些結果係得自平面的MOSFET, 此MOSFET並未採用p-井植入。p-井植入的雜質(鋁或硼)一般需要至少 1500°C 的活化溫度。

DIMOSFET更進一步的困難是關於裝置的「接面型場效電晶體」區。如圖1所示, 在p-井周圍的 n^{-} 漂移區會形成一空乏區。此空乏區會因為空乏區周圍具有電流流動, 以有效形成通道長度長於p-井的接合深度。為了解決此問題, 已建議在p-井區之間進行間隔物植入。請參閱Vathulya等人之「含植入之p-井間隔物的全新6H-SiC DMOSFET (A Novel 6H-SiC DMOSFET With Implanted P-Well Spacer)」, IEEE Electron Device Letters, Vol. 20, No. 7, 第354頁, 1999年7月。如果空乏區係在p-井處形成且 n^{-} 漂移區介面延伸深入 n^{-} 漂移區, 此間隔物植入並不會延伸超過p-井區且不會大幅降低接面型場效電晶體的電阻。

【發明內容】

本發明具體實施例揭示一種碳化矽金屬氧化半導體場效電晶體(MOSFET)與製造碳化矽MOSFET的方法, 該

MOSFET具有：一n-型碳化矽漂移層、一鄰近該漂移層並在其中具有一第一n-型碳化矽區之第一p-型碳化矽區、及一在該漂移層上之氧化層。該MOSFET還具有一在該n-型碳化矽漂移層與該第一p-型碳化矽區之一部分之間的n-型碳化矽限制區。在一些具體實施例中，該n-型限制區具有高於該n-型碳化矽漂移層的載子濃度。

在本發明進一步的具體實施例中，該n-型碳化矽限制區係設置在該漂移層與該第一p-型碳化矽區之一底板之間。在另一個進一步的具體實施例中，該n-型限制區還設置鄰接於該第一p-型碳化矽區之一側壁。在本發明的一些具體實施例中，鄰接於該第一p-型區之底板的該限制區之一部分具有載子濃度高於鄰接於該第一p-型區之側壁的限制區之一部分。

在本發明特定的具體實施例中，於該第一p-型碳化矽區植入鋁。

本發明進一步的具體實施例提供一在該氧化層之上的閘極接觸、一在該第一n-型碳化矽層之上的源極接觸及一在該氧化層對面之漂移層上的汲極接觸。在本發明特定的具體實施例中，該閘極接觸係為多晶矽(p-型或n-型)。在其他的具體實施例中，該閘極接觸係為金屬。在一些具體實施例中，一n-型碳化矽基板係設置在該漂移層與該汲極接觸之間。

在本發明某些具體實施例中，該n-型限制區係設置在該n-型碳化矽漂移層上之碳化矽的磊晶層。在此類具體實施

例中，該第一p-型區係設置在該碳化矽的磊晶層之中但並未貫穿。

在進一步的具體實施例中，該n-型限制區係以一植入該漂移層的n-型區來設置。在一些具體實施例中，該n-型限制區具有從約0.5 μm 至約1.5 μm 的厚度。在某些具體實施例中，該n-型限制區具有從約 1×10^{15} 至約 $5 \times 10^{17} \text{cm}^{-3}$ 的載子濃度。

在本發明另一個進一步的具體實施例中，一n-型磊晶層係設置在該第一p-型區與該第一n-型區的一部分之上。該磊晶層係設置在該第一n-型碳化矽區與該第一p-型碳化矽區以及該氧化層之間。

在一些具體實施例中，一第二p-型碳化矽區係設置在該第一p-型碳化矽區之內且鄰接於該第一n-型碳化矽區。

在本發明其他的具體實施例中，一碳化矽裝置係設置具有一n-型碳化矽的漂移層與第一區p-型碳化矽。該等第一區p-型碳化矽係為隔開且具有可定義其間第一區n-型碳化矽的周圍邊緣。具有高於該漂移層載子濃度的第二區n-型碳化矽係設置在該等第一區p-型碳化矽之中且與該等第一區p-型碳化矽的周圍邊緣隔開。一氧化層係設置在該漂移層、該第一區n-型碳化矽及該等第二區n-型碳化矽之上。具有高於該漂移層載子濃度的第三區n-型碳化矽係設置在該等第一區p-型碳化矽之下且在該等第一區p-型碳化矽與該漂移層之間。源極接觸係設置在該等第二區n-型碳化矽的部分之上。一閘極接觸係設置在該氧化層之上，及一汲極

接觸係設置在該氧化層對面的該漂移層之上。

在本發明特定的具體實施例中，該等第三區n-型碳化矽也設置鄰接於可定義該第一區n-型碳化矽之該等第一區p-型碳化矽的周圍邊緣。在本發明某些具體實施例中，該第一區n-型碳化矽與該等第三區n-型碳化矽係以一在該漂移層之上的第一n-型碳化矽磊晶層來設置，及該等第一區p-型碳化矽係設置在該第一n-型碳化矽磊晶層之中。在本發明其他的具體實施例中，該等第三區n-型碳化矽係以植入該漂移層的n-型區來設置。

在本發明的一些具體實施例中，該第一區n-型碳化矽係為該漂移層的一區。在其他的具體實施例中，該第一區n-型碳化矽具有高於該漂移層的載子濃度，且具有載子濃度低於該等第三區n-型碳化矽的載子濃度。

在本發明另一個進一步的具體實施例中，一碳化矽的磊晶層係設置在該等第一p-型區與該第一區n-型碳化矽之上。

在本發明其他的具體實施例中，一具有載子濃度高於該漂移層的n-型碳化矽層係設置在該漂移層與該汲極接觸之間。在此類具體實施例中，該n-型碳化矽層係為一n-型碳化矽基板。

在進一步的具體實施例中，第二p-型碳化矽區係設置在該等第一p-型碳化矽區之內。

在本發明的一些具體實施例中，該第三區n-型碳化矽具有從約 $0.5\ \mu\text{m}$ 至約 $1.5\ \mu\text{m}$ 的厚度及從約 1×10^{15} 至約 $5\times 10^{17}\text{cm}^{-3}$ 的載子濃度。

在本發明其他的具體實施例中，一碳化矽裝置係設置具有一n-型碳化矽漂移層、隔開的p-型碳化矽井區及一在該井區與該漂移層之間的n-型碳化矽限制區。在特定的具體實施例中，該n-型限制區係設置在該等隔開的p-型井區之間。在一些具體實施例中，該n-型限制區具有載子濃度高於該漂移層的載子濃度。在進一步的具體實施例中，該n-型限制區係以一在該漂移層上之碳化矽的磊晶層來設置，及該p-型井區係設置在該磊晶層之中但並未貫穿。

本發明亦揭示製造根據本發明具體實施例之裝置的方法。

【實施方式】

現在本發明將在下文中參考所附圖式更完整地說明，其中顯示本發明的較佳具體實施例。不過，本發明可以用許多的不同形式實施而不限於本文所述的具體實施例；而且，提供所述的具體實施例致使本文可以將本發明的範疇詳細又完整地傳達給熟悉此項技術者。如圖式所示，各層或各區的大小係為了解說而誇大，以提供用於解說本發明的一般結構。圖中相同號碼代表相同的元件。應明瞭，當表示一個元件如一層、區或基板位於另一元件之上，係表示直接位於其他元件的上面，或也可以表示插入元件中間。反之，當表示一個元件「直接」位於另一元件上，便表示其間沒有插入元件。

本發明具體實施例揭示碳化矽MOSFET與/或製造可降低裝置通導電阻之碳化矽MOSFET的方法。儘管發明人不想受

限於任何操作理論，但相信藉由縮小MOSFET之p-井下的空乏區，可減少電流通道的長度，因此可使裝置的通導電阻低於尺寸類似的習用MOSFET的通導電阻。此外，藉由縮小接面型場效電晶體間隙的空乏區，即可藉由縮小接面型場效電晶體間隙的大小而縮小裝置面積。

根據本發明具體實施例的MOSFET如圖2A所示。如圖2A所示，在本發明特定的具體實施例中，輕度摻雜之碳化矽的 n^- 漂移層12位在選擇性之碳化矽的 n^+ 層10之上。 n^- 漂移層12可以是一基板或一碳化矽的磊晶層且可以是，例如，4H多型碳化矽。在某些具體實施例中， n^- 漂移層12具有從約 10^{14} 至約 $5 \times 10^{16} \text{ cm}^{-3}$ 的載子濃度。此外，在本發明的某些具體實施例中，漂移層12具有從約 $5 \text{ }\mu\text{m}$ 至約 $150 \text{ }\mu\text{m}$ 的厚度。此外， n^+ 層10可以是一植入的層或區、一磊晶層或一基板。在一些具體實施例中， n^+ 層具有從約 10^{18} 至約 10^{21} cm^{-3} 的載子濃度。

一具有較高載子濃度的n-型碳化矽區26係設置在漂移層12之上。區26具有高於漂移層12的載子濃度，並提供一具體實施例為一位於p-井20的底板20a與漂移層12之間的接面型場效電晶體限制區26a。區26可以磊晶生長或植入來設置。在本發明的某些具體實施例中，區26具有從約 $0.5 \text{ }\mu\text{m}$ 至約 $1.5 \text{ }\mu\text{m}$ 的厚度。還有，區26可具有從約 10^{15} 至約 $5 \times 10^{17} \text{ cm}^{-3}$ 的載子濃度。區26可以具有均勻的載子濃度或不均勻的載子濃度。

如圖2A進一步所示，p-型碳化矽的隔開區在區26中提供

p-井20。植入p-井20以延伸至區26中但並未貫穿，致使一具有較高載子濃度的n-型碳化矽區26a設置於p-井20的底板20a與漂移層12之間。在特定的具體實施例中，在p-井20之間，間隙21之中，區26的部分具有高於漂移層12的載子濃度。在本發明的其他具體實施例中，在p-井20之間，間隙21之中，區26的部分具有與漂移層12相同的載子濃度。因此，鄰接於p-井20之側壁的區26的部分可具有與漂移層12相同或較高的載子濃度，而鄰接於p-井20的底板20a之區26的部分26a具有高於漂移層12的載子濃度。在特定的具體實施例中，p-井20具有從約 10^{16} 至約 10^{19}cm^{-3} 的載子濃度。此外，p-井20可設置從約 $0.3\text{ }\mu\text{m}$ 至約 $1.2\text{ }\mu\text{m}$ 的接合深度。

本發明具體實施例的一項範例中，間隙21與p-井20之下的區具有不同的載子濃度，如圖2B所示。如圖2B所示，區26'設置在p-井20的底板之下以及p-井20與漂移層12之間以設置接面型場效電晶體限制區。而漂移層12係設置在位於p-井20之間的間隙21之中。區26'以藉由，例如，使用遮罩在漂移層12中植入n-型區26'植入p-井20來設置，使得漂移層12中p-井20的深度低於漂移層12中區26'最大深度。同樣的，可以在漂移層12中形成n-井及在n-井中形成p-井20。

在一些具體實施例中，p-井20會植入鋁並以至少約 1500°C 的溫度進行退火。但是，也可以利用其他合適的p-型摻雜物以設置p-井20。p-井20的摻雜輪廓實質上可為均勻的輪廓，一向後的輪廓(隨深度增加摻雜)或p-井可完全埋入(在部分n-型碳化矽在p-井20之上)。在一些具體實施例中，p-

井20具有從約 1×10^{16} 至約 $1 \times 10^{19} \text{cm}^{-3}$ 的載子濃度且會從約 $0.3 \mu\text{m}$ 至約 $1.2 \mu\text{m}$ 延伸至區26或 n^- 漂移層12之中。儘管可以利用不同的p-型摻雜物，但一些具體實施例還是利用鋁，因為硼在超過 1500°C 的溫度退火時，傾向於擴散超過數微米。因此，很難控制p-井20之間的精確間隙(所謂接面型場效電晶體區21的區)與/或p-井20的深度。如果此間隙過高，閘極氧化物場在裝置處於阻隔狀態時可能會變得太高。但是，如果間隙過窄，接面型場效電晶體區21的電阻可能會變得很高。因此，間隙最好是從約 $1 \mu\text{m}$ 至約 $10 \mu\text{m}$ 。特定裝置所利用的特定間隙會根據裝置的理想阻隔電壓與通導電阻而定。

n^+ 碳化矽區24及選擇性之 p^+ 碳化矽區22係配置在p-井20之內。在一些具體實施例中， n^+ 碳化矽區24與鄰接於接面型場效電晶體區21之p-井20的邊緣，從約 $0.5 \mu\text{m}$ 至約 $5 \mu\text{m}$ 處隔開。 n^+ 碳化矽區24具有從約 $5 \times 10^{18} \text{cm}^{-3}$ 至約 10^{21}cm^{-3} 的摻雜濃度，且從約 $0.1 \mu\text{m}$ 至約 $0.8 \mu\text{m}$ 的深度延伸至p-井20中但淺於p-井20的深度。合適的n-型摻雜物包括磷與氮或其他熟悉此項技術者熟知的n-型摻雜物。 p^+ 碳化矽選擇性區22可鄰接於 n^+ 碳化矽24區且在p-井20之邊緣的對面。 p^+ 碳化矽區22具有從約 $5 \times 10^{18} \text{cm}^{-3}$ 至約 10^{21}cm^{-3} 的摻雜濃度，且從約 $0.2 \mu\text{m}$ 至約 $1.2 \mu\text{m}$ 的深度延伸至p-井20中但淺於p-井20的深度。

閘極氧化物28至少在碳化矽 n^+ 區24之間延伸，且在其上具有閘極接觸32。在一些具體實施例中，閘極氧化物28可

以是使用氧化氮(NO)或氧化亞氮(N₂O)退火之熱生長的氧化物，或氧化物/氮化物/氧化物(ONO)，其中第一氧化物為其後接著NO或N₂O退火的熱氧化物。閘極接觸的材料可以是任何合適的接觸材料。在一些具體實施例中，閘極接觸材料係為鉬(molybdenum)或p-型多晶矽。p-型多晶矽因其高功函數而在一些具體實施例中比較合適。閘極氧化物28的厚度可根據閘極接觸32的材料功函數而定。不過，一般而言，最好是從約100埃至約5000埃的厚度。

另外還可設置一或多個源極接觸30與汲極接觸34。在一些具體實施例中，源極接觸30係以鎳(Ni)、鈦(Ti)、鉑(Pt)或鋁(Al)、其組合與/或其他合適的接觸材料所形成，並可在從約600°C至約1000°C的溫度(例如825°C)進行退火，以設置p⁺區22與n⁺區24的歐姆接觸。汲極接觸34可以是Ni或Ti或其他此類合適的材料，以形成n-型碳化矽的歐姆接觸。

可以利用相異或相同的接觸材料以接觸p⁺區22與n⁺區24。此外，儘管圖式中未顯示，但可在一或多個接觸之上設置一或多個金屬覆蓋層。用於設置金屬覆蓋層的技術與材料已為熟悉此項技術者所熟知，因此，這裡不再進一步說明。

圖3顯示本發明進一步的其他具體實施例，其中利用一再生長的磊晶層。如圖3所示，碳化矽薄層27在植入及退火p-井之後在p-井20上再生長，且延伸橫跨接面型場效電晶體區之區26。如圖2B所示之具體實施例也可以修改以加入此類在植入及退火p-井之後在p-井20上再生長，且延伸橫跨接

面型場效電晶體區中漂移層12之再生長的磊晶層。碳化矽 n^+ 區24可以透過再生長的碳化矽層27來形成與/或在再生長之前形成。在一些具體實施例中，再生長的碳化矽層27可具有從約 $0.05\text{ }\mu\text{m}$ 至約 $1\text{ }\mu\text{m}$ 的厚度。再生長的碳化矽層27可以是n-型碳化矽。在某些具體實施例中，再生長的碳化矽層27具有從約 $5\times 10^{14}\text{ cm}^{-3}$ 至約 $5\times 10^{17}\text{ cm}^{-3}$ 的摻雜。

如圖3進一步所示，由於再生長的碳化矽層27，可透過碳化矽層27設置一接觸窗以設置選擇性 p^+ 區22或p-井20(如果沒有 p^+ 區22)的接觸30'。接觸30'以由任何合適的材料製成，以形成如上所述之歐姆接觸。

儘管圖2A、2B與3顯示本發明具體實施例為離散裝置，如熟悉此項技術者所知，但也可以將圖2A、2B與3考慮為具有多個單元之裝置的單位單元。因此，例如，藉由沿著裝置的中心軸(如圖2A、2B與3中所示的垂直軸)劃分裝置，並在如圖2A、2B與3所示裝置周圍的軸線(如圖2A、2B與3中所示的裝置的垂直邊緣)旋轉劃分的裝置，可將額外的單位單元加入如圖2A、2B與3所示的裝置中。因此，本發明具體實施例包括如圖2A、2B與3所示之此類裝置以及具有加入如圖2A、2B與3所示之接面型場效電晶體限制區的複數個單位單元的裝置。

現在，將參考圖4A至4H與圖5A至5D，說明製造根據本發明具體實施例具有由磊晶層設置之接面型場效電晶體限制區的裝置。一如熟悉此項技術者按照本揭示而明白的，本發明具有藉由植入所設置之接面型場效電晶體限制區的具

體實施例，可藉由修改此處所述的操作，來設置此類如上所述的植入區。

如圖4A所示，n-型碳化矽磊晶層26係形成於漂移層12之上。n-型磊晶層26可形成至如上所述的厚度與摻雜等級。如圖4B所示，在n-型磊晶層26上形成及圖案化遮罩100，並將雜質植入n-型磊晶層26以設置p-井20。植入的雜質可以植入至如上所述的厚度，以在活化時提供理想的載子濃度。另外，漂移層12也可以設置在n⁺碳化矽基板上。在此類的具體實施例中，以下所述的n⁺層可藉由基板來設置。

如圖4C所示，已移除遮罩100而形成及圖案化遮罩104，並利用遮罩104植入n-型雜質以設置n⁺區24。遮罩104的形成可在p-井20與n⁺區24之間提供理想的間隔，以定義縮短之通道26的通道長度。合適的n-型雜質包括氮與多晶矽。此外，可植入雜質以提供此處所述之n⁺區24的尺寸與載子濃度。

圖4D顯示選擇性p⁺區的形成。已移除遮罩104而形成及圖案化遮罩106，並利用遮罩106植入p-型雜質以設置p⁺區22。可植入p-型雜質以提供此處所述之p⁺區22的尺寸與載子濃度。在一些具體實施例中，p-型雜質係為鋁，不過，也可以利用其他合適的p-型雜質。

圖4E顯示已移除遮罩106並形成n⁺層10，該層可藉由在基板中背面植入n-型雜質來形成，或可以是磊晶層或基板本身，且可在圖4A之前形成。該結構也在從約1200°C至約1800°C的溫度下進行退火，持續時間從約30秒至約24小時，以活化植入的p-型與n-型雜質。視需要，該結構可以覆蓋一介

電層，例如 SiO_2 或 Si_3N_4 ，以在退火期間保護結構。另外，在形成後閘極氧化物退火以改善 SiC/SiO_2 介面的具體實施例中，藉由此類退火可活化此類雜質。

圖 4F 顯示閘極氧化物 28 的形成。閘極氧化物可以是熱生長且可以是氮化氧化物與/或其他的氧化物。氮化氧化物可以是任何合適的閘極氧化物，不過，在某些具體實施例中，也可以利用 SiO_2 、氮化氧或 ONO 。形成閘極氧化物或初始氧化 ONO 閘極介電質之後，可以 N_2O 或 NO 進行退火，以降低 $\text{SiC}/$ 氧化物介面的缺陷密度。在特定的具體實施例中，閘極氧化物可藉由熱生長或沉積來形成，然後在 N_2O 環境中以高於 1100°C 的溫度及從約 2 至約 8 SLM 的流速(可提供 N_2O 從約 11 至約 45 秒的初始滯留時間)進行退火。此類在碳化矽上形成及退火氧化層的說明在：共同讓渡的美國專利申請案第 09/834,283 號，其標題為：「在碳化矽層上以氧化亞氮退火氧化層之方法 (Method of N_2O Annealing an Oxide Layer on a Silicon Carbide Layer)」；美國臨時申請案第 60/237,822 號，其標題為：「在碳化矽層上以氧化亞氮生長氧化層之方法 (Method of N_2O Growth of an oxide layer on a Silicon Carbide Layer)」，申請於 2001 年 5 月 30 日；美國專利申請案第 09/968,391 號，其標題為：「在碳化矽層上以氧化氮生長氧化物之方法 (Method Of NO Growth Of An Oxide On A Silicon Carbide Layer)」，申請於 2001 年 10 月 1 日；與/或美國專利申請案第 10/045,542 號，其標題為：「利用氫環境中的退火在碳化矽層上製造氧化層之方法 (Method Of

Fabricating an Oxide Layer on a Silicon Carbide Layer Utilizing an Anneal in a Hydrogen Environment)」，申請於2001年10月26日，此處將其所揭露內容以如同揭示整體內容一般的引用方式併入本文中。

此外，也可以利用氧化亞氮生長氧化物，說明如：J. P. Xu、P. T. Lai、C. L. Chan、B. Li及Y. C. Cheng之「在6H-SiC上以氧化亞氮生長氧化氮化物之增進的性能與可靠性(Improved Performance and Reliability of N_2O - Grown Oxynitride on 6H-SiC)」，IEEE Electron Device Letters, Vol. 21, No. 6, 第298-300頁，2000年6月。還有，也可以利用技術說明如：L. A. Lipkin與J. W. Palmour之「p-型碳化矽上之低介面狀態密度氧化物(Low interface state density oxides on p-type SiC)」，Materials Science Forum Vols. 264-268, 第853-856頁，1998年。另外，對於熱生長的氧化物而言，為了降低介面捕獲電荷密度，而提供在熱生長 SiO_2 層後的NO退火的說明如：M. K. Das、L. A. Lipkin、J. W. Palmour、G. Y. Chung、J. R. Williams、K. McDonald及L. C. Feldman之「使用熱生長、氧化氮退火之二氧化矽的高遷移率4H-SiC反向模式MOSFET (High Mobility 4H-SiC Inversion Mode MOSFETs Using Thermally Grown, NO Annealed SiO_2)」，IEEE Device Research Conference, 柯羅拉多州丹佛，2000年6月19-21日；G. Y. Chung、C. C. Tin、J. R. Williams、K. McDonald、R. A. Weller、S. T. Pantelides、L. C. Feldman、M. K. Das 及J. W. Palmour之

「為在氮氧化物中高溫退火後的4H-SiC MOSFET所增進的反向通道遷移率(Improved Inversion Channel Mobility for 4H-SiC MOSFETs Following High Temperature Anneals in Nitric Oxide)」，IEEE Electron Device Letters已被接受刊登；以及G. Y. Chung、C. C. Tin、J. R. Williams、K. McDonald、M. Di Ventra、S. T. Pantelides、L. C. Feldman 及 R. A. Weller 之「4H多型碳化矽中帶緣附近介面捕獲密度之氮氧化物退火的效應(Effect of nitric oxide annealing on the interface trap densities near the band edges in the 4H polytype of silicon carbide)」，Applied Physics Letters，Vol. 76，No. 13，第1713-1715頁，2000年3月。氮化氧化物的設置說明在美國專利申請案第09/878,442號，其標題為：「高電壓、高溫度電容結構與製造方法(High Voltage, High Temperature Capacitor Structures and Methods of Fabrication)」，申請於2001年6月11日，此處將其所揭露內容以如同揭示整體內容一般的引用方式併入本文中。

圖4G顯示閘極接觸32的形成。如上所述，閘極接觸32可以是p-型多晶矽與/或其他合適的接觸材料，且可以利用熟悉此項技術者熟知的技術加以形成與圖案化。另外，圖4F的氧化物28及閘極接觸32可以一起形成與圖案化。最後，圖4H分別顯示源極接觸30與汲極接觸34的形成，其可藉由氣相沉積、噴濺或其他熟悉此項技術者熟知的此類技術來形成。在某些具體實施例中，源極接觸30與汲極接觸34係為鎳，其在形成後以約825°C退火以改善歐姆接觸的品質。

圖 5A 到 5D 顯示利用再生長的磊晶層製造根據本發明其他具體實施例的裝置中的操作。製造該裝置的操作與以上參考圖 4A 到 4E 所述的操作一樣，並繼續在如圖 5A 所示的操作中說明。如圖 5A 所示，n-型磊晶層 27 在圖 4E 的結構上形成。此類生長可在退火之前或之後來設置以活化植入物。將磊晶層 27 圖案化以延伸於植入區 24 之間，如圖 5B 所示。圖 5B 也顯示了閘極氧化物 28 的形成。在一些具體實施例中，閘極氧化物 28 係為熱生長且可以是氮化氧化物。氮化氧化物可以是任何合適的閘極氧化物，不過，最好是 SiO_2 、氮化氧或 ONO。閘極氧化物的形成可以如上所述參考圖 4F 來執行。

圖 5C 顯示源極接觸 30' 形成。如圖 5C 所示，閘極氧化物 28 中窗的開啟對應於 p^+ 區 22 與 / 或 n^+ 區 24 的位置。然後在窗中形成接觸 30'。圖 5D 顯示閘極接觸 32 與源極接觸 30' 的形成。另外，圖 5D 的氧化物 28 及閘極接觸 32 可以一起形成。因此，可在開啟源極接觸窗之前形成及圖案化閘極接觸。如上所述，閘極接觸 32 可以是 p-型多晶矽或其他合適的接觸材料，且可以利用熟悉此項技術者熟知的技術加以形成與圖案化。源極接觸 30' 可藉由氣相沉積、噴濺或其他熟悉此項技術者熟知的此類技術來形成。最後，圖 5D 也顯示了汲極接觸 34 的形成，其可藉由氣相沉積、噴濺或其他熟悉此項技術者熟知的此類技術來形成。在某些具體實施例中，源極接觸 30' 與汲極接觸 34 係為鎳，其在形成後以從約 600°C 至約 1000°C 的溫度 (例如 825°C) 退火以改善歐姆接觸的品質。

除了此處所述的具體實施例之外，也可以在DMOSFET中設置接面型場效電晶體限制區之具體實施例，說明在美國專利申請案第09/911,995號，申請於2001年7月24日，其標題為：「具有縮短通道之碳化矽電力金屬氧化半導體場效電晶體與製造具有縮短通道之碳化矽金屬氧化半導體場效電晶體的方法(Silicon Carbide Power Metal-Oxide Semiconductor Field Effect Transistors Having a Shorting Channel and Methods of Fabricating Silicon Carbide Metal-Oxide Semiconductor Field Effect Transistors Having a Shorting Channel)」，此處將其所揭露內容以如同揭示整體內容一般併入本文中。

儘管已參考特定的操作順序說明本發明的具體實施例，正如熟悉此項技術者所明白的，此順序中的某些操作可以重新排序，且仍可從本發明宗旨獲得好處。例如，在本發明特定的具體實施例中， n^+ 區24與 p^+ 區22的形成可以相反。因此，本發明不應視為受限於此處所述操作的精確順序。

圖6A到8B為不同DMOSFET結構的2D模擬結果，其中顯示通導電阻或氧化場強度對接面型場效電晶體間隙距離。圖6A與6B為習知之DMOSFET的模擬結果，該DMOSFET具有 $6 \times 10^{14} \text{cm}^{-3}$ 與115 μm 厚的漂移層以及延伸0.75 μm 至漂移層之10 μm 寬的p-井。圖7A與7B為DMOSFET的模擬結果，該DMOSFET具有 $6 \times 10^{14} \text{cm}^{-3}$ 與115 μm 厚的漂移層、延伸0.75 μm 至漂移層之10 μm 寬的p-井及延伸0.75 μm 至漂移層之 $5 \times 10^{15} \text{cm}^{-3}$ 的間隔物植入。圖8A與8B為根據本發明具體實施例之DMOSFET的模擬結果，該DMOSFET具有

$6 \times 10^{14} \text{ cm}^{-3}$ 與 $115 \text{ }\mu\text{m}$ 厚的漂移層、延伸 $0.75 \text{ }\mu\text{m}$ 至 $1.75 \text{ }\mu\text{m}$ 厚之 $5 \times 10^{15} \text{ cm}^{-3}$ 磊晶層的 $10 \text{ }\mu\text{m}$ 寬的 p-井。如圖 6A 到 8B 所示，本發明具體實施例可為給定的最大氧化場提供較窄的接面型場效電晶體間隙及降低的通導電阻。

圖 9A 根據本發明具體實施例，為不含接面型場效電晶體限制區之 DMOSFET 之測量的 I-V 曲線，圖 9B 根據本發明具體實施例，為含有接面型場效電晶體限制區之 DMOSFET 之測量的 I-V 曲線。如圖 9A 與 9B 所示，該測量的通導狀態電阻從 $266 \text{ m}\Omega \cdot \text{cm}^2$ 降低為 $189 \text{ m}\Omega \cdot \text{cm}^2$ 。此外，圖 10A 根據本發明具體實施例，為不含接面型場效電晶體限制區之 DMOSFET 之測量的汲極漏電流痕跡，圖 10B 根據本發明具體實施例，為含有接面型場效電晶體限制區之 DMOSFET 之測量的汲極漏電流痕跡。如圖 10A 與 10B 所示，兩種裝置都具有高於 3150 V 的崩潰電壓。

在圖式及說明書中，揭露了本發明典型的較佳具體實施例，雖然使用特定的名詞，但是只用來作一般說明並無限制的意義。

【圖式簡單說明】

圖 1 為一習用之 DIMOSFET 的橫截面圖；

圖 2A 為一根據本發明具體實施例之 SiC MOSFET 的橫截面圖；

圖 2B 為一根據本發明具體實施例之 SiC MOSFET 的橫截面圖；

圖 3 為一根據本發明進一步具體實施例之 SiC MOSFET 的

橫截面圖；

圖 4A 到 4H 顯示根據本發明不同具體實施例之 MOSFET 製造的處理步驟；

圖 5A 到 5D 顯示製造根據本發明進一步具體實施例之 MOSFET 的處理步驟；

圖 6A 與 6B 為一習用之 DIMOSFET 的模擬結果，其中顯示模擬裝置的 p-井區之間的通導電阻與氧化場電壓對間隙；

圖 7A 與 7B 為一含植入之間隔物的 DIMOSFET 的模擬結果，其中顯示模擬裝置的 p-井區之間的通導電阻與氧化場電壓對間隙；

圖 8A 與 8B 為一根據本發明具體實施例之 DIMOSFET 的模擬結果，其中顯示模擬裝置的 p-井區之間的通導電阻與氧化場電壓對間隙；

圖 9A 與 9B 為對含植入之間隔物的 DIMOSFET(圖 9A)與根據本發明具體實施例之 DIMOSFET(圖 9B)在實驗上所獲得的 I-V 曲線；以及

圖 10A 與 10B 為對含植入之間隔物的 DIMOSFET(圖 10A)與根據本發明具體實施例之 DIMOSFET(圖 10B)在實驗上所獲得的反向偏壓漏電流標繪圖。

【圖式代表符號說明】

10	n ⁺ 層
12	漂移層
20	p-井
20a	底板

21	間隙
22	p ⁺ 碳化矽區
24	n ⁺ 碳化矽區
26	n-型碳化矽區
26'	區
26a	接面型場效電晶體限制區
27	碳化矽層
28	閘極氧化物
30	源極接觸
30'	源極接觸
32	閘極接觸
34	汲極接觸
100, 104, 106	遮罩

伍、中文發明摘要：

本發明揭示一種碳化矽金屬氧化半導體場效電晶體 (MOSFET)，該 MOSFET 包括：一 n-型碳化矽漂移層、一鄰接於該漂移層並在其中具有一第一 n-型碳化矽區之第一 p-型碳化矽區、一在該漂移層上之氧化層、及一位於該漂移層與該第一 p-型區之一部分之間的 n-型碳化矽限制區。該限制區具有載子濃度高於該漂移層的載子濃度。本發明亦揭示製造碳化矽 MOSFET 裝置的方法。

陸、英文發明摘要：

Silicon carbide metal-oxide semiconductor field effect transistors (MOSFETs) may include an n-type silicon carbide drift layer, a first p-type silicon carbide region adjacent the drift layer and having a first n-type silicon carbide region therein, an oxide layer on the drift layer, and an n-type silicon carbide limiting region disposed between the drift layer and a portion of the first p-type region. The limiting region may have a carrier concentration that is greater than the carrier concentration of the drift layer. Methods of fabricating silicon carbide MOSFET devices are also provided.

拾壹、圖式：

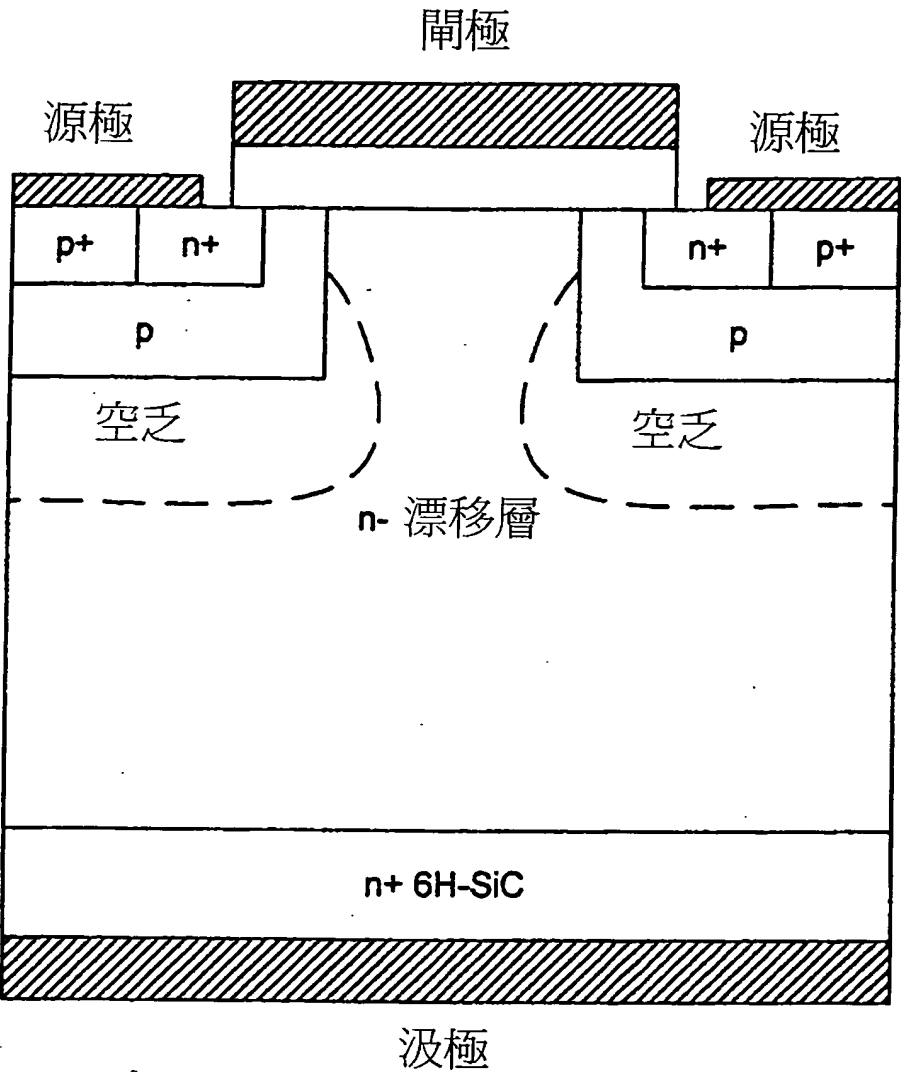


圖 1

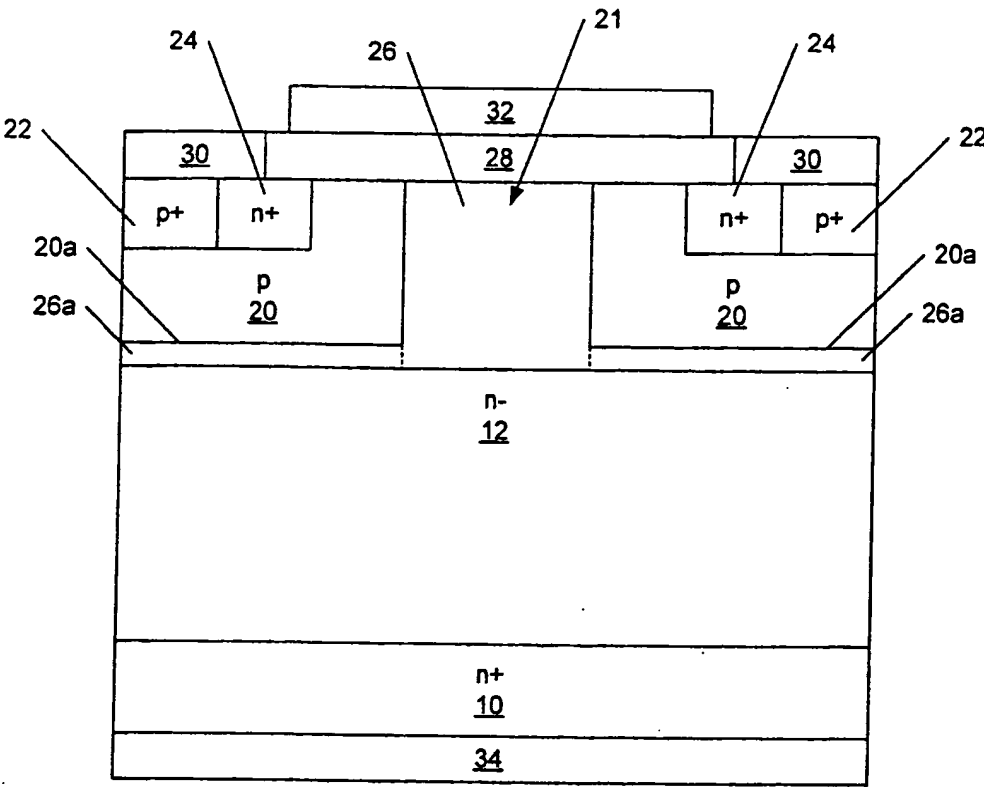


圖 2A

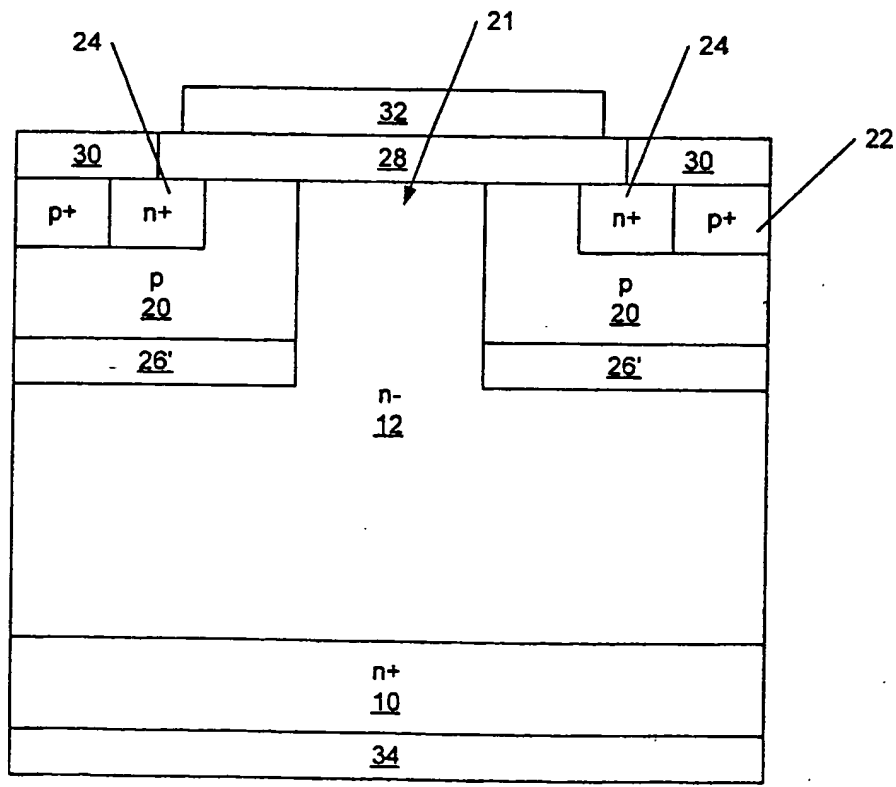


圖 2B

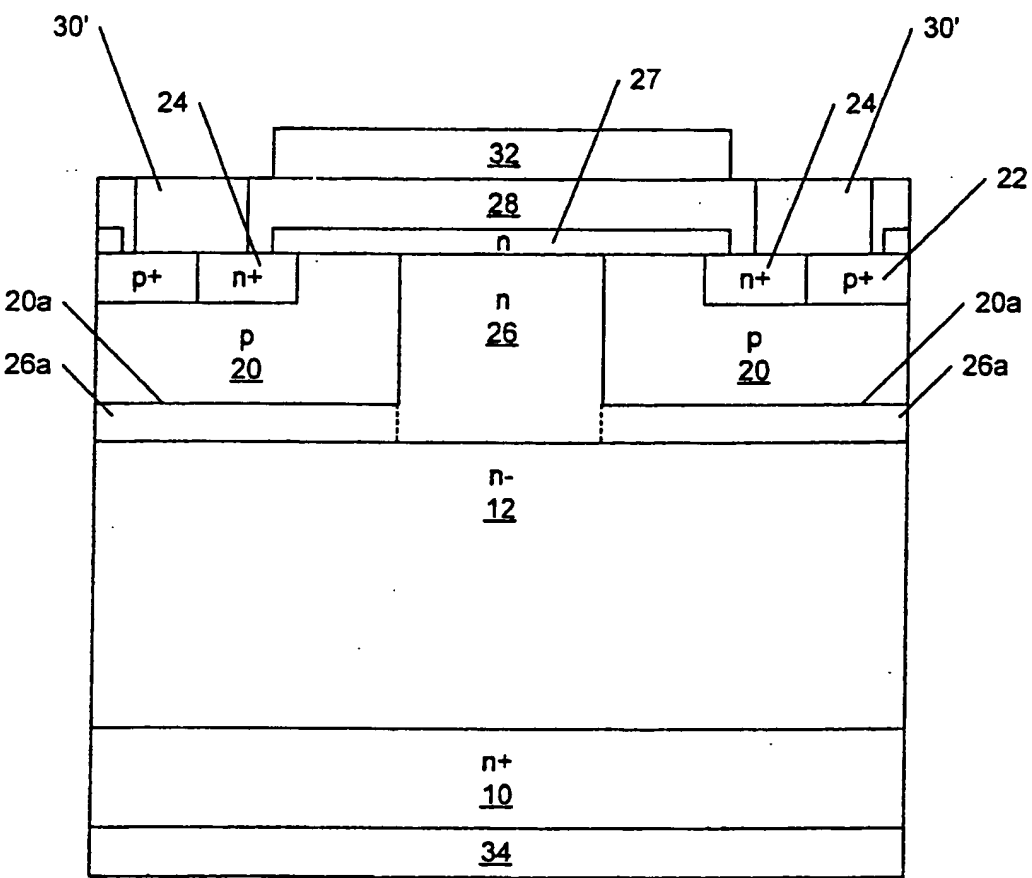


圖 3

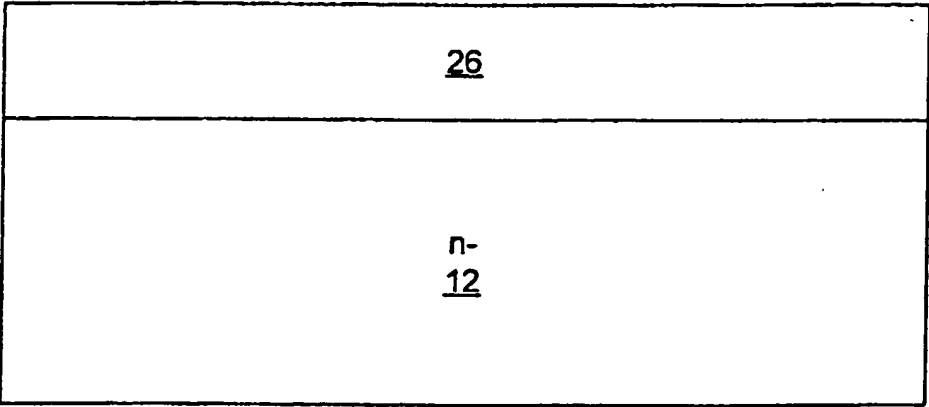


圖 4A

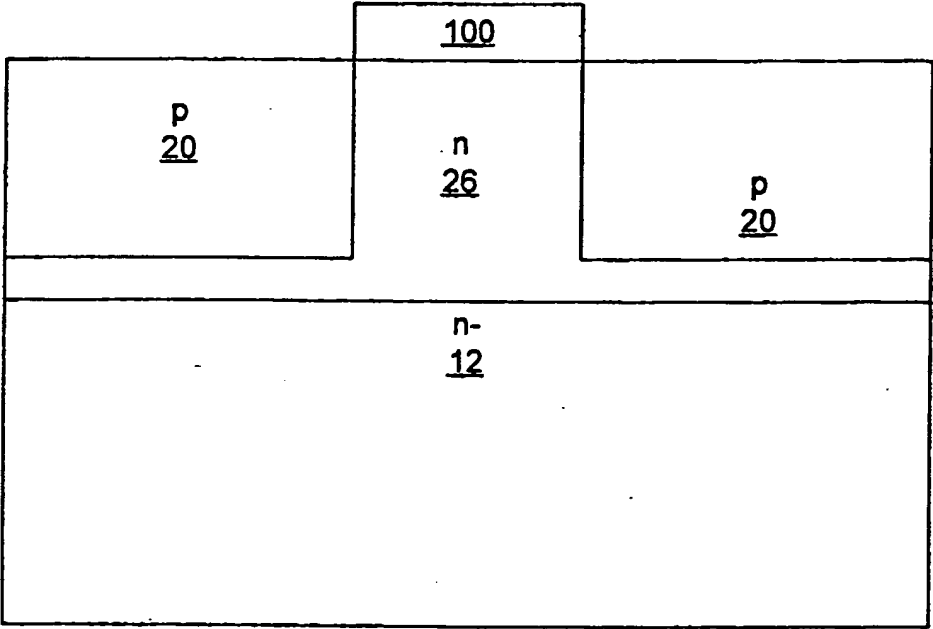


圖 4B

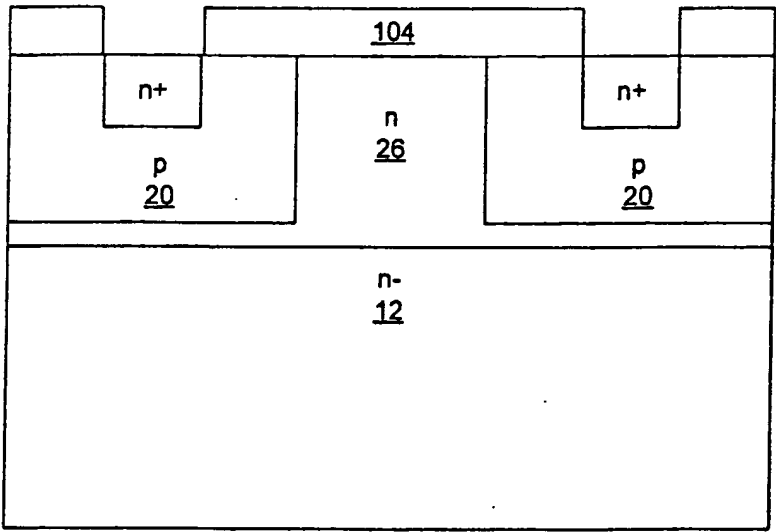


圖 4C

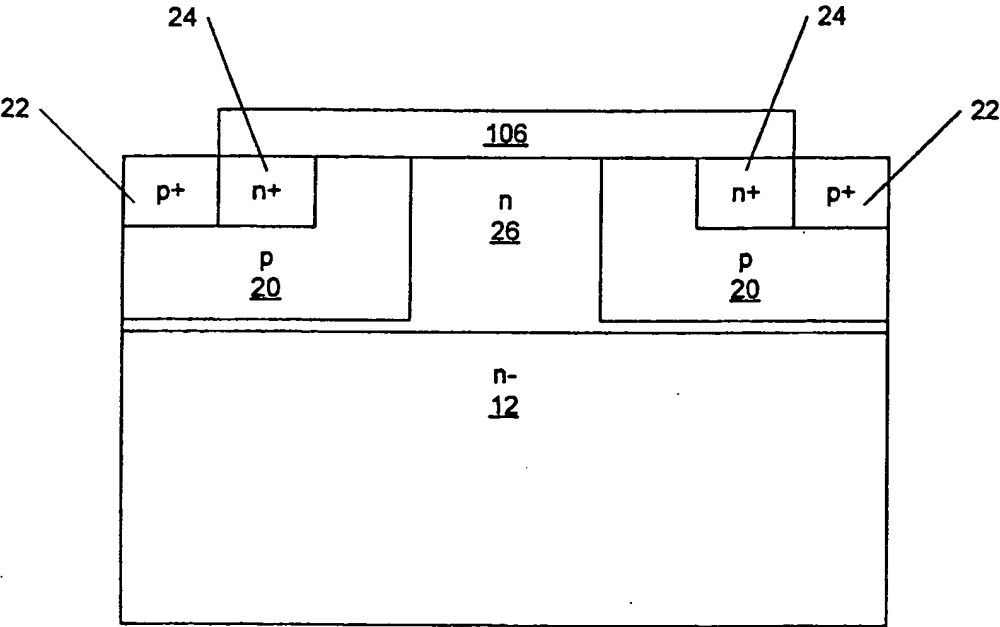


圖 4D

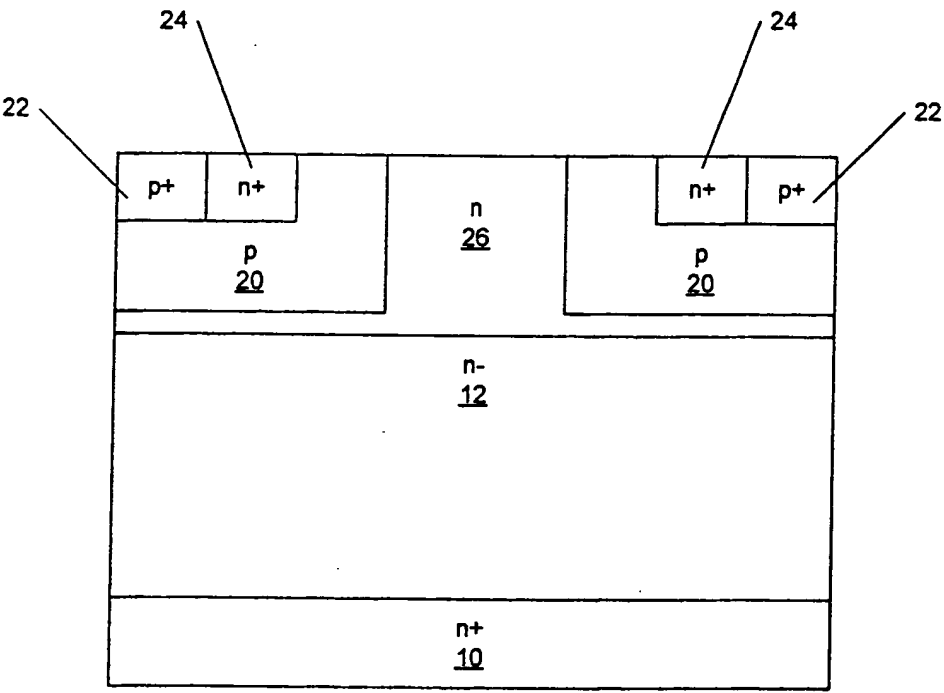


圖 4E

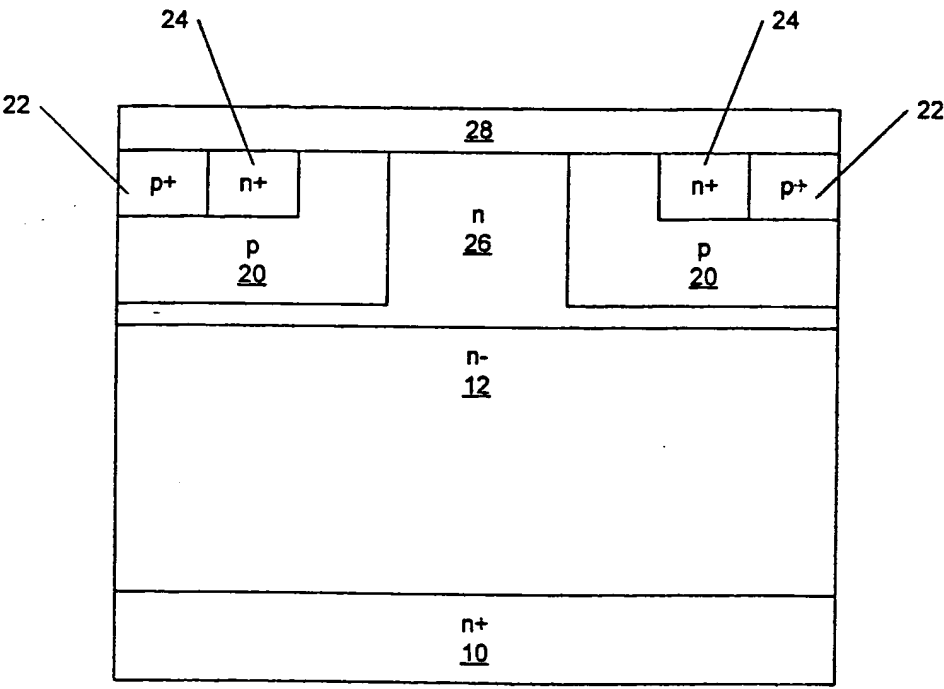


圖 4F

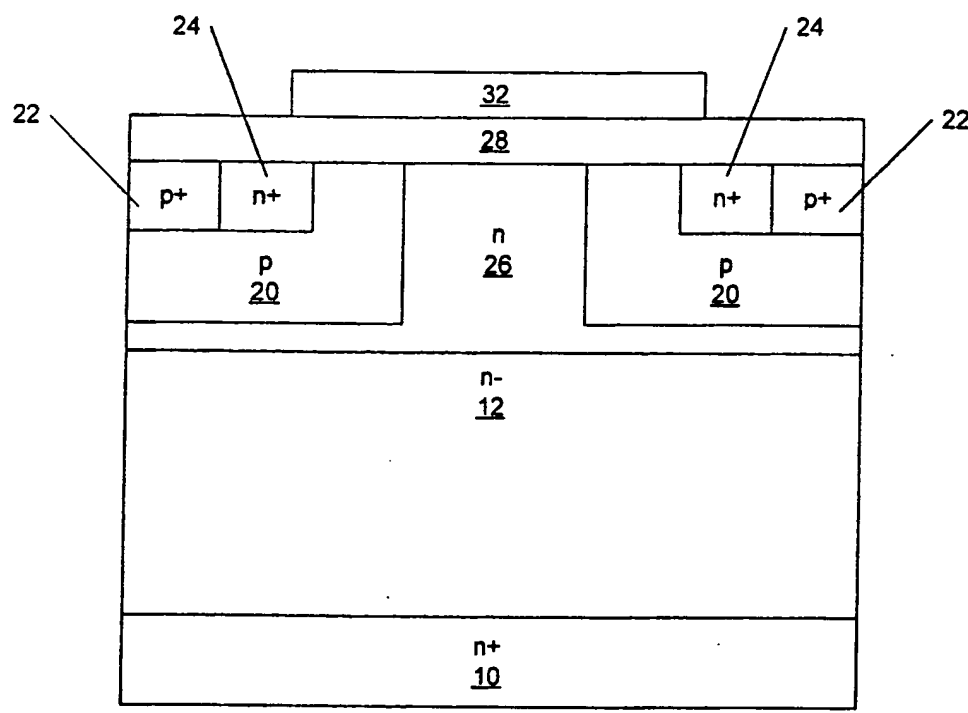


圖 4G

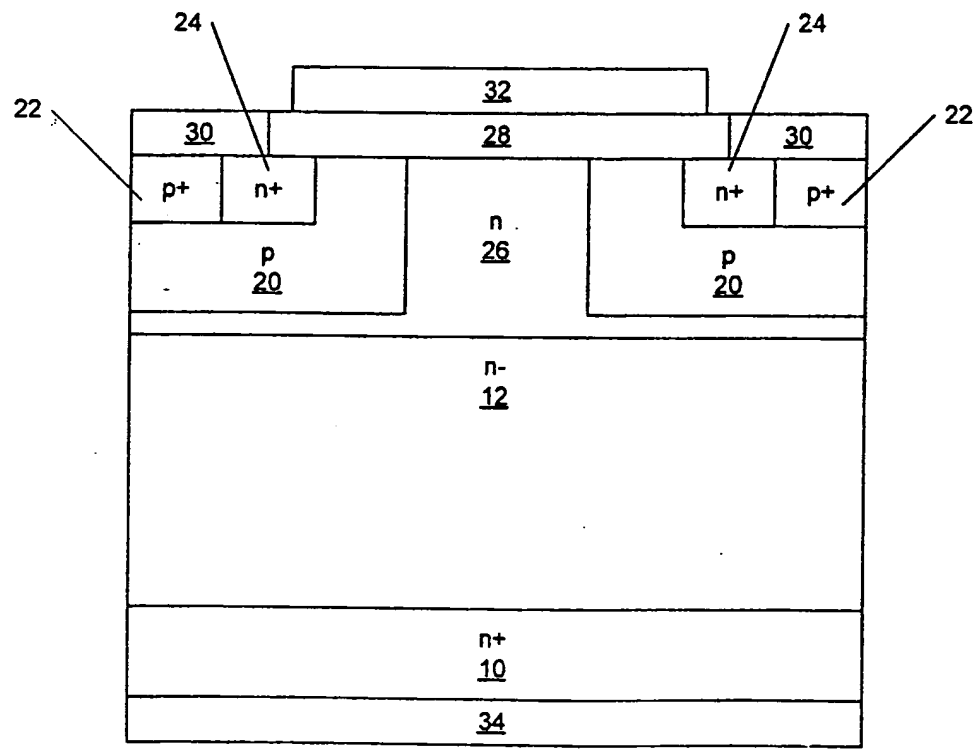


圖 4H

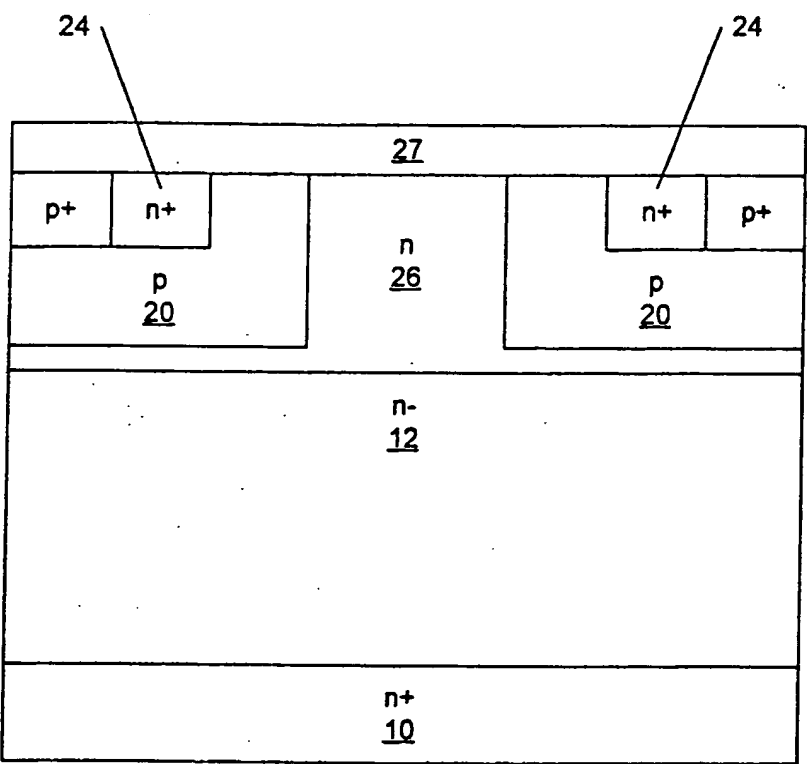


圖 5A

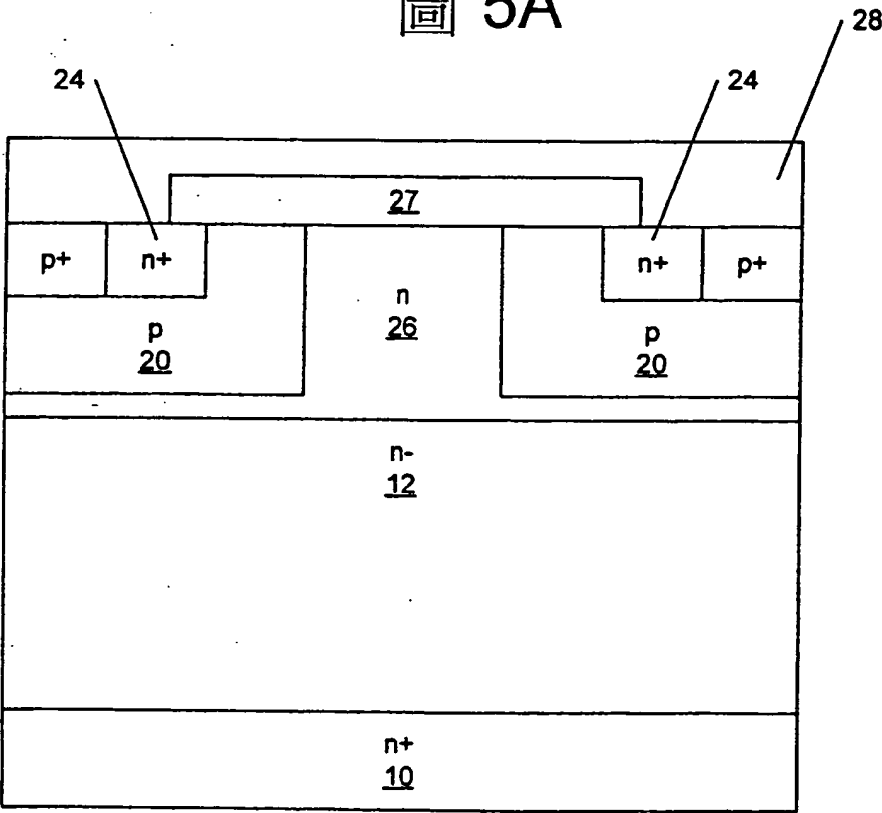


圖 5B

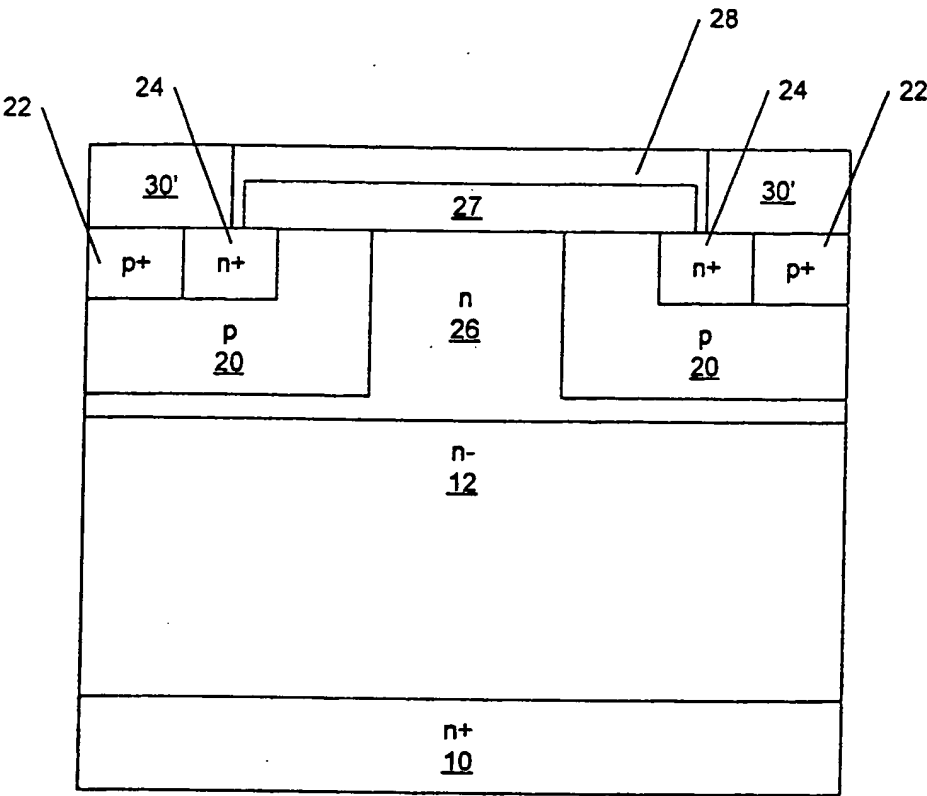


圖 5C

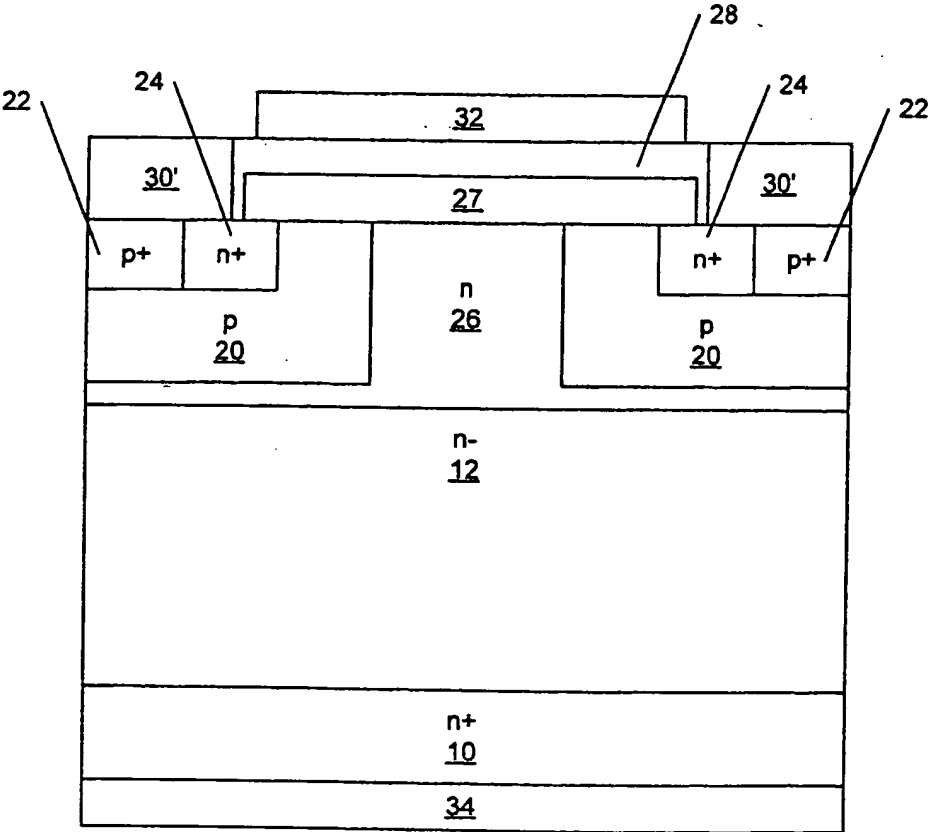


圖 5D

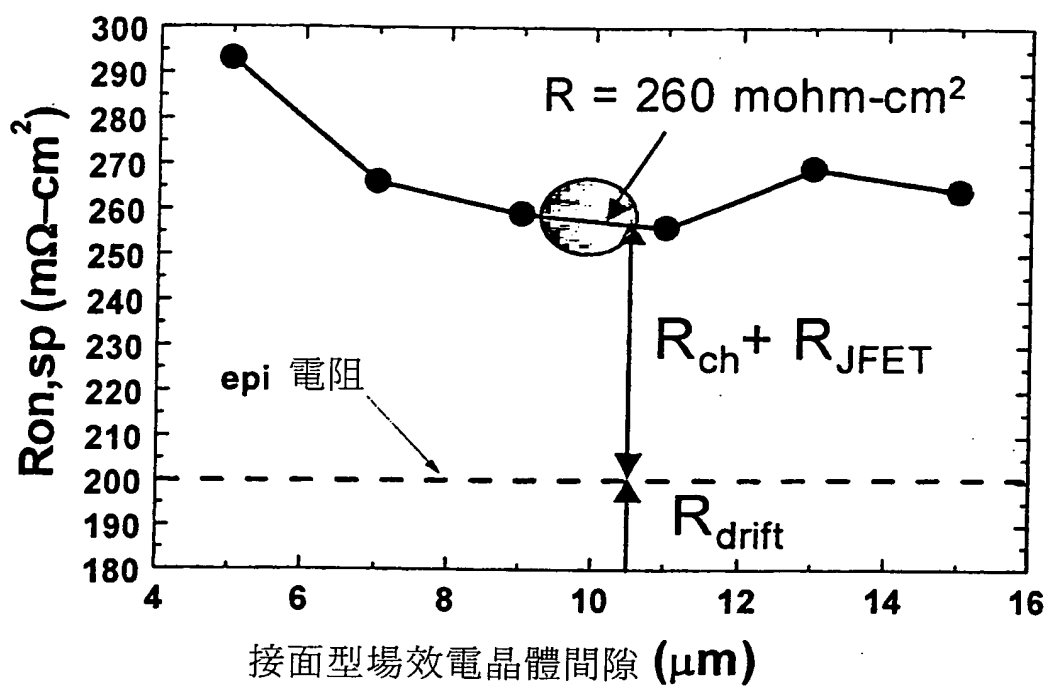


圖 6A

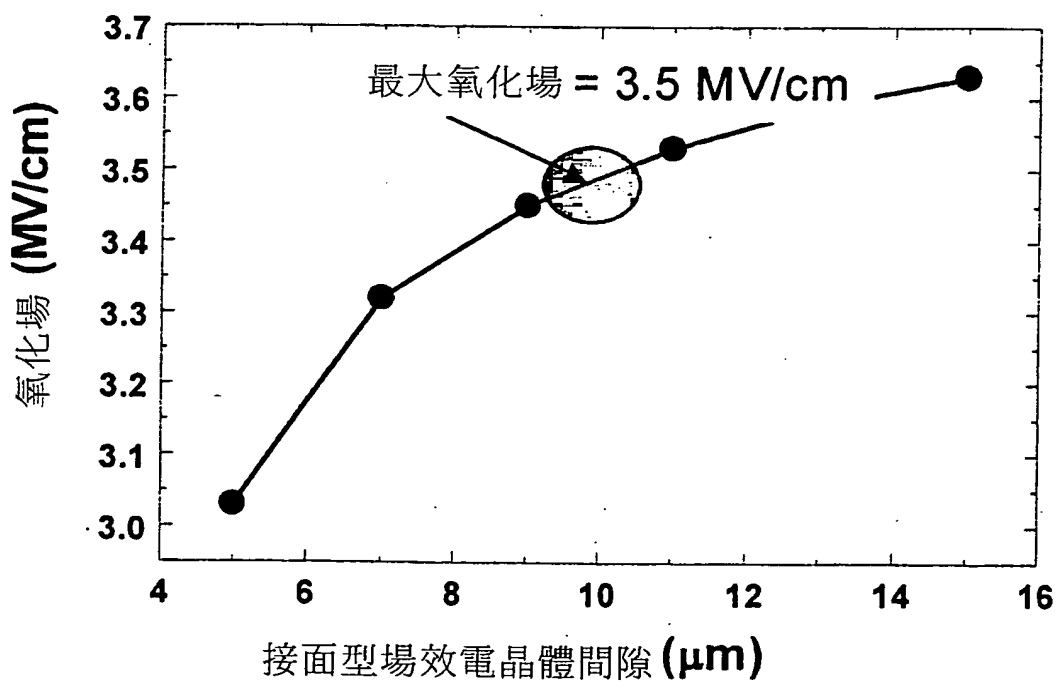


圖 6B

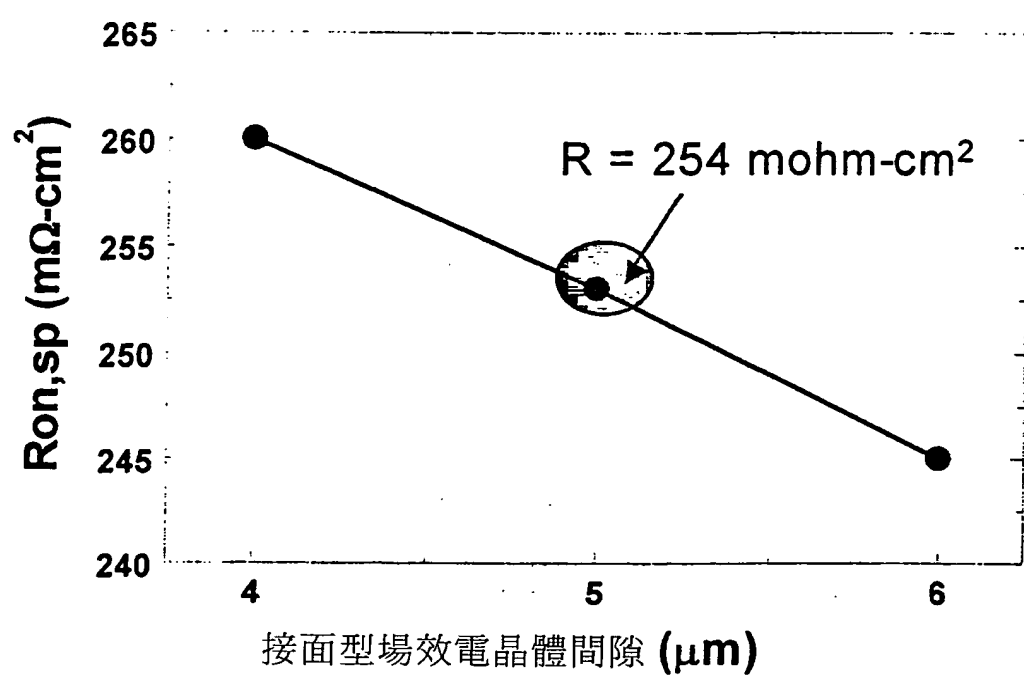


圖 7A

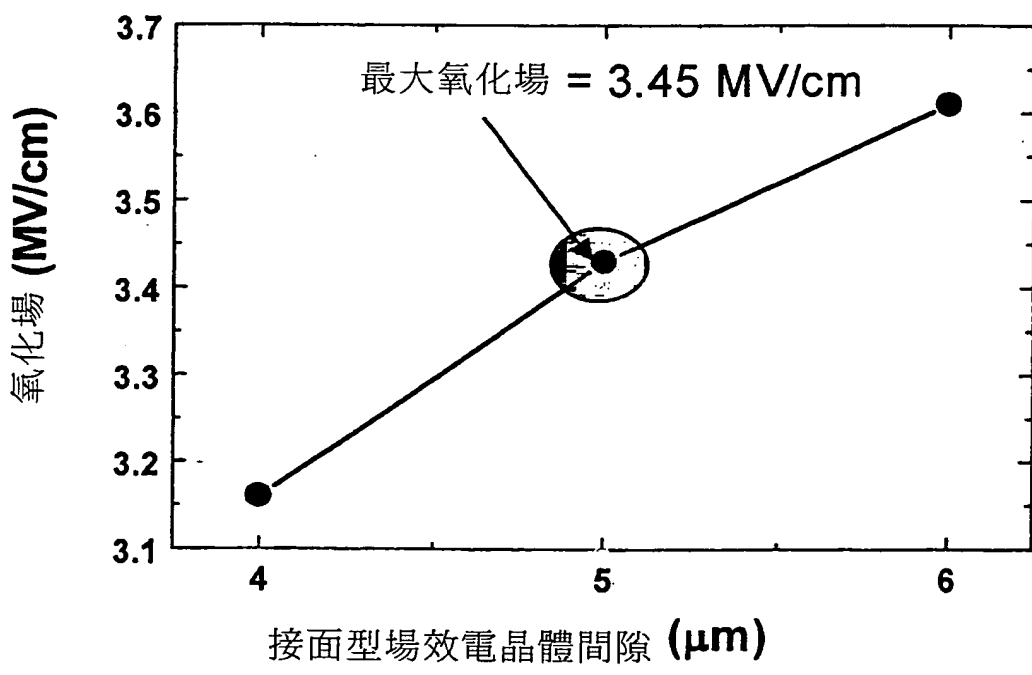


圖 7B

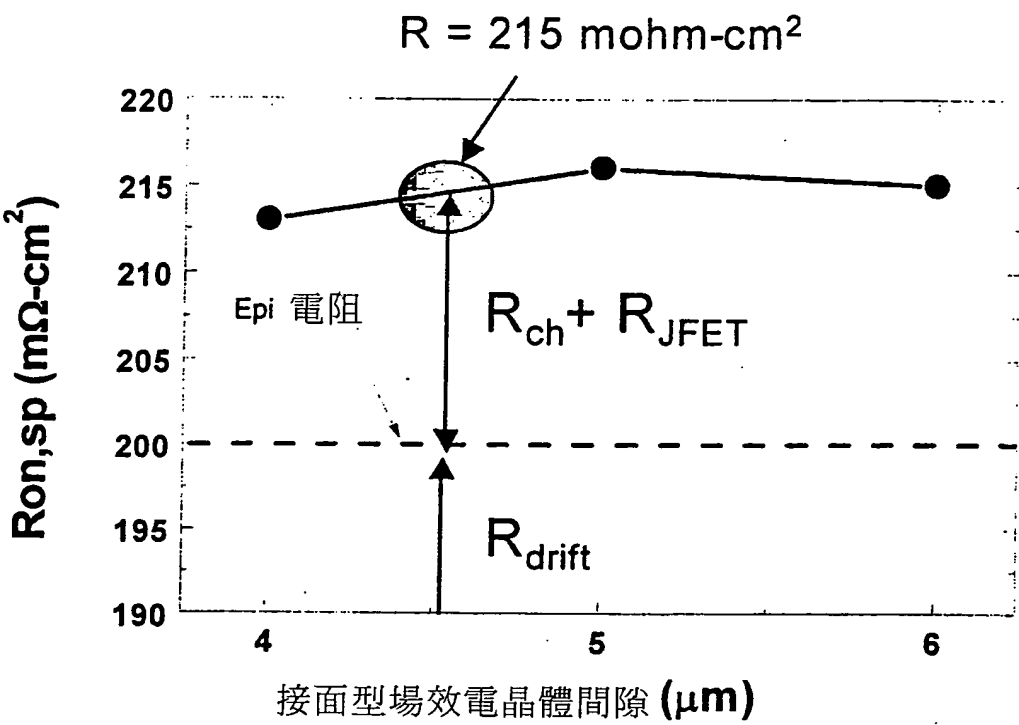


圖 8A

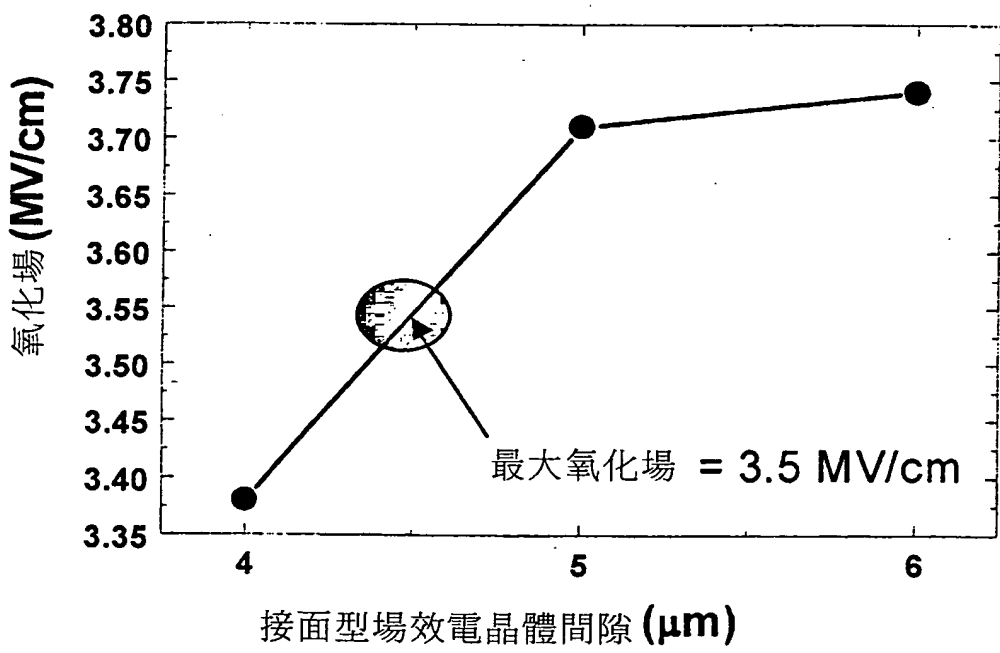


圖 8B

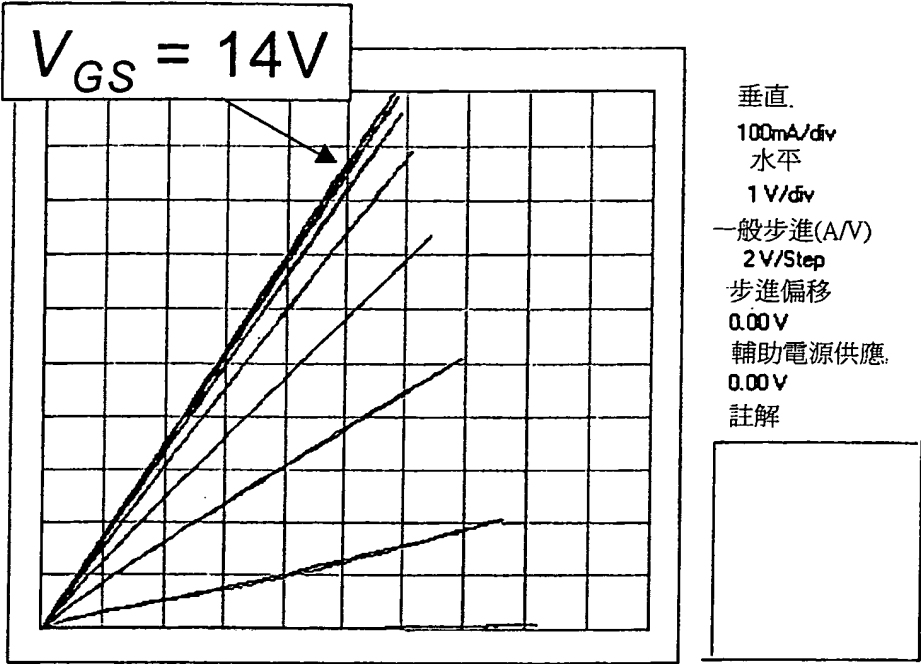


圖 9A

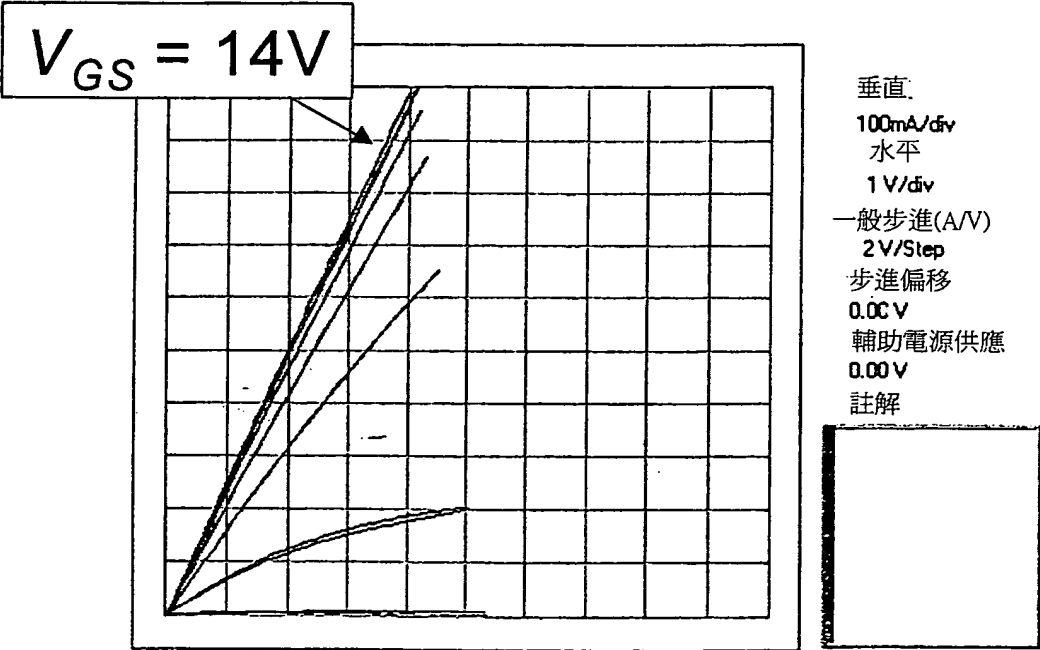
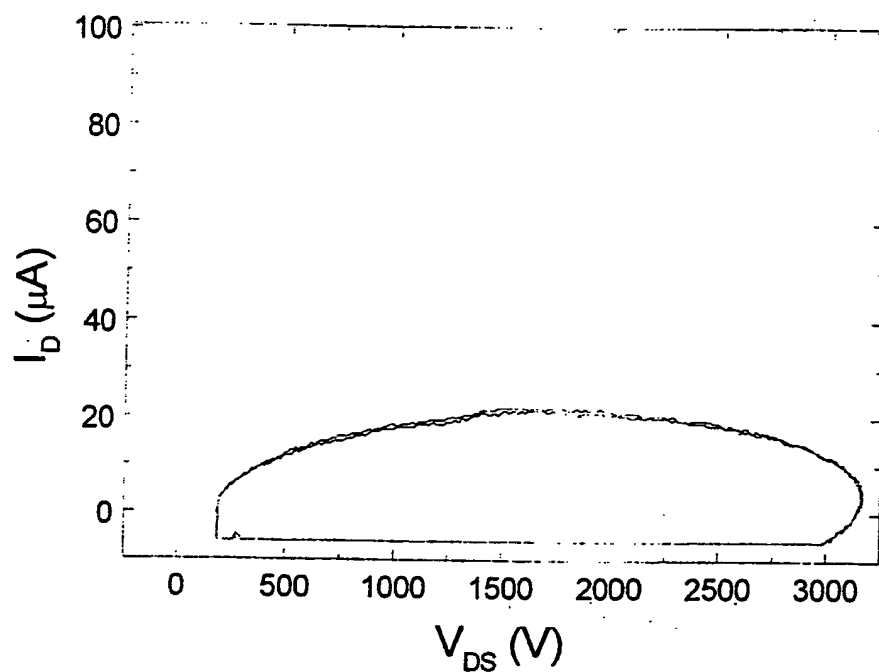
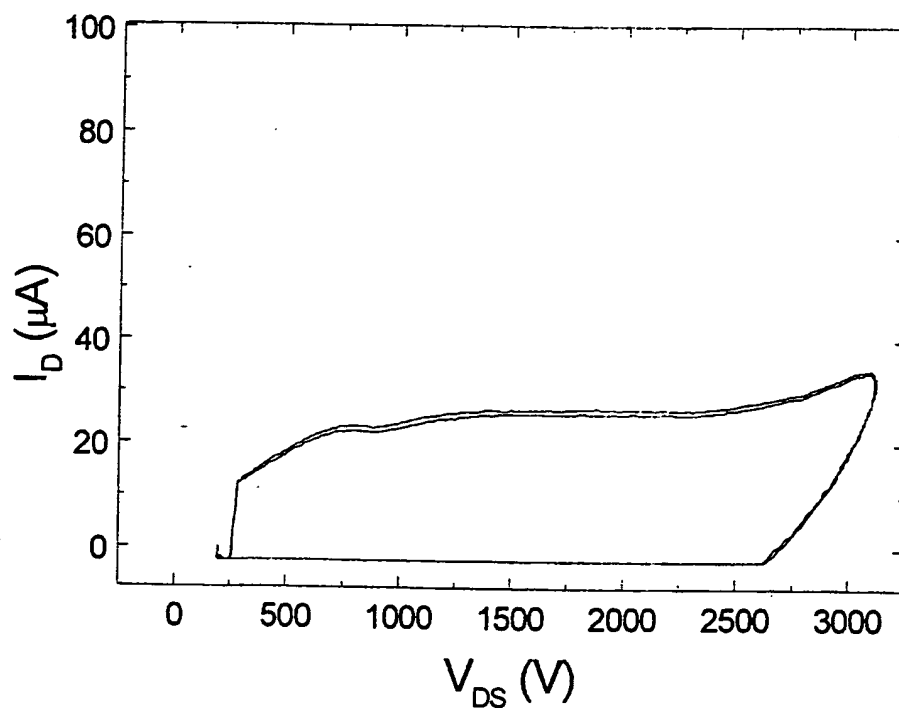


圖 9B



$BV > 3150 V$ 且 $V_{GS} = -4 V$

圖 10A



$BV > 3150 V$ 且 $V_{GS} = -5 V$

圖 10B

柒、指定代表圖：

(一)本案指定代表圖為：第(2A)圖。

(二)本代表圖之元件代表符號簡單說明：

10	n^+ 層
12	漂移層
20	p-井
20a	底板
21	間隙
22	p^+ 碳化矽區
24	n^+ 碳化矽區
26	n-型碳化矽區
26a	接面型場效電晶體限制區
28	閘極氧化物
30	源極接觸
32	閘極接觸
34	汲極接觸

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

拾、申請專利範圍：

1. 一種碳化矽金屬氧化半導體場效電晶體單位單元，包含：
 - n-型碳化矽漂移層；
 - 第一 p-型碳化矽區鄰接於該漂移層；
 - 第一 n-型碳化矽區於該第一 p-型碳化矽區之中；
 - 氧化層於該漂移層、該第一 p-型碳化矽區及該第一 n-型碳化矽區之上；以及
 - n-型碳化矽限制區位於該漂移層與該第一 p-型碳化矽區之間，其中該 n-型限制區包含一配置鄰接於該第一 p-型碳化矽區之一底板的第一部分及一配置鄰接於該第一 p-型碳化矽區之一側壁的第二部分，其中該 n-型限制區具有載子濃度高於該漂移層的載子濃度，且其中該第一部分具有一載子濃度，高於該第二部分之載子濃度。
2. 如申請專利範圍第 1 項之碳化矽金屬氧化半導體場效電晶體單位單元，其中該第一 p-型碳化矽區植入鋁。
3. 如申請專利範圍第 1 項之碳化矽金屬氧化半導體場效電晶體單位單元，進一步包含：
 - 閘極接觸於該氧化層之上；
 - 源極接觸於該第一 n-型碳化矽區之上；以及
 - 汲極接觸於該氧化層對面之漂移層之上。
4. 如申請專利範圍第 1 項之碳化矽金屬氧化半導體場效電晶體單位單元，其中該 n-型限制區包含一在該 n-型碳化矽漂移層上之碳化矽的磊晶層。
5. 如申請專利範圍第 4 項之碳化矽金屬氧化半導體場效電

晶體單位單元，其中該第一p-型區的配置係在該碳化矽的磊晶層之中但並未貫穿。

6. 如申請專利範圍第1項之碳化矽金屬氧化半導體場效電晶體單位單元，其中該n-型限制區具有一從約 $0.5\ \mu\text{m}$ 至約 $1.5\ \mu\text{m}$ 的厚度以及一從約 1×10^{15} 至約 $5\times 10^{17}\text{cm}^{-3}$ 的載子濃度。
7. 如申請專利範圍第3項之碳化矽金屬氧化半導體場效電晶體單位單元，其中該閘極接觸包含多晶矽或金屬。
8. 如申請專利範圍第1項之碳化矽金屬氧化半導體場效電晶體單位單元，進一步包含一在該第一p-型碳化矽區與該第一n-型區之一部分之上的n-型磊晶層，且配置於該第一n-型碳化矽區與該第一p-型碳化矽區以及該氧化層之間。
9. 如申請專利範圍第1項之碳化矽金屬氧化半導體場效電晶體單位單元，其中該n-型限制區包含一在該漂移層中之植入的n-型區。
10. 如申請專利範圍第3項之碳化矽金屬氧化半導體場效電晶體單位單元，進一步包含一配置於該漂移層與該汲極接觸之間的n-型碳化矽基板。
11. 如申請專利範圍第1項之碳化矽金屬氧化半導體場效電晶體單位單元，進一步包含一配置在該第一p-型碳化矽區之內且鄰接於該第一n-型碳化矽區之第二p-型碳化矽區。
12. 一種碳化矽金屬氧化半導體場效電晶體，包含：
 - 一n-型碳化矽的漂移層；
 - 第一區p-型碳化矽，鄰接於該漂移層；

一第一區n-型碳化矽，配置於該等第一區p-型碳化矽的周圍邊緣之間；

第二區n-型碳化矽，於該等第一區p-型碳化矽之內，其中該等第二區n-型碳化矽具有一載子濃度，高於該漂移層的載子濃度，且與該等第一區p-型碳化矽的周圍邊緣隔開；

一氧化層其在該漂移層、該第一區n-型碳化矽與該等第二區n-型碳化矽之上；

第三區n-型碳化矽，配置在該等第一區p-型碳化矽之下且在該等第一區p-型碳化矽與該漂移層之間，其中該等第三區n-型碳化矽具有載子濃度高於該漂移層的載子濃度，以及其中該第一區n-型碳化矽具有一載子濃度高於該漂移層的載子濃度，且具有一載子濃度低於該等第三區n-型碳化矽的載子濃度；

源極接觸其在該等第二區n-型碳化矽的部分之上；

一閘極接觸，於該氧化層之上；以及

一汲極接觸，於該氧化層對面之漂移層之上。

13. 如申請專利範圍第12項之碳化矽金屬氧化半導體場效電晶體，其中該等第三區n-型碳化矽鄰接於該等第一區p-型碳化矽的周圍邊緣。
14. 如申請專利範圍第12項之碳化矽金屬氧化半導體場效電晶體，其中該第一區n-型碳化矽與該等第三區n-型碳化矽包含一在該漂移層之上的n-型碳化矽磊晶層，且其中該等第一區p-型碳化矽係形成於該n-型碳化矽磊晶層之中。
15. 如申請專利範圍第12項之碳化矽金屬氧化半導體場效電

晶體，其中該第一區n-型碳化矽包含該漂移層的一區。

16. 如申請專利範圍第15項之碳化矽金屬氧化半導體場效電晶體，其中該等第三區n-型碳化矽包含在該漂移層中植入的n-型區。
17. 如申請專利範圍第12項之碳化矽金屬氧化半導體場效電晶體，進一步包含一在該第一p-型區與該第一區n-型碳化矽上之碳化矽的n-型磊晶層。
18. 如申請專利範圍第12項之碳化矽金屬氧化半導體場效電晶體，進一步包含一在該漂移層與該汲極接觸之間的n-型碳化矽層，其中該n-型碳化矽層具有載子濃度高於該漂移層的載子濃度。
19. 如申請專利範圍第18項之碳化矽金屬氧化半導體場效電晶體，其中該n-型碳化矽層包含一n-型碳化矽基板。
20. 如申請專利範圍第12項之碳化矽金屬氧化半導體場效電晶體，進一步包含配置在該等第一p-型碳化矽區之內的第一p-型碳化矽區。
21. 如申請專利範圍第12項之碳化矽金屬氧化半導體場效電晶體，其中該等第三區n-型碳化矽具有一自約0.5 μm 至約1.5 μm 的厚度。
22. 如申請專利範圍第12項之碳化矽金屬氧化半導體場效電晶體，其中該等第三區n-型碳化矽具有一自約 1×10^{15} 至約 $5 \times 10^{17} \text{cm}^{-3}$ 的載子濃度。
23. 一種碳化矽金屬氧化半導體場效電晶體，包含：
一n-型碳化矽漂移層；

隔開的p-型碳化矽井區；以及

一n-型碳化矽限制區，配置在該等井區與該漂移層之間，其中該n-型限制區包含一配置鄰接於該第一p-型碳化矽井區之個別底板的第一部分及一配置鄰接於該第一p-型碳化矽井區之個別側壁的第二部分，且其中該第一部分具有一載子濃度，高於該第二部分之載子濃度。

24. 如申請專利範圍第23項之碳化矽金屬氧化半導體場效電晶體，其中該n-型限制區具有載子濃度高於該漂移層的載子濃度。

25. 如申請專利範圍第23項之碳化矽金屬氧化半導體場效電晶體，其中該n-型限制區包含一在該漂移層上之碳化矽的磊晶層，且其中該等p-型井區配置在該磊晶層之中但並未貫穿。

26. 一種製造一碳化矽金屬氧化半導體場效電晶體單位單元之方法，包含：

提供一n-型碳化矽漂移層；

提供一第一p-型碳化矽區，鄰接於該漂移層；

提供一第一n-型碳化矽區，於該第一p-型碳化矽區之內；

提供一氧化層，於該漂移層之上；以及

提供一n-型碳化矽限制區，於該漂移層與該第一p-型碳化矽區之間，其中提供該n-型碳化矽限制區包含：

提供一鄰接於該第一p-型碳化矽區之一底板的該n-型碳化矽限制區之第一部分；以及

提供一鄰接於該第一p-型碳化矽區之一側壁的該n-型碳化矽限制區之第二部分，

其中該n-型限制區具有載子濃度高於該漂移層的載子濃度，以及其中該第一部分具有一載子濃度，高於該第二部分的載子濃度。

27. 如申請專利範圍第26項之方法，其中提供一第一p-型碳化矽區進一步包含：

植入鋁在該p-型碳化矽區中；以及

退火該p-型碳化矽區於至少1500°C的溫度。

28. 如申請專利範圍第26項之方法，該方法進一步包含：

提供一閘極接觸，於該氧化層之上；

提供一源極接觸，於該第一n-型碳化矽區之上；以及

提供一汲極接觸，於該氧化層對面之漂移層之上。

29. 如申請專利範圍第26項之方法，其中形成一n-型限制區進一步包含：

提供一n-型磊晶層，於該n-型碳化矽漂移層上之碳化矽；

提供一遮罩，於該磊晶層之上；

圖案化該磊晶層，以形成該n-型限制區。

30. 如申請專利範圍第29項之方法，其中提供一第一p-型區包含提供於該碳化矽的磊晶層之中但並未貫穿的第一p-型區。

31. 如申請專利範圍第26項之方法，其中提供一n-型限制區包含在該漂移層中植入n-型區。

32. 如申請專利範圍第26項之方法，其中將該n-型限制區形成

- 一自約0.5 μm 至約1.5 μm 的厚度及一自約 1×10^{15} 至約 $5 \times 10^{17} \text{cm}^{-3}$ 的載子濃度。
33. 如申請專利範圍第28項之方法，其中該閘極接觸包含多晶矽或金屬。
34. 如申請專利範圍第26項之方法，進一步包含提供一在該第一p-型區與該第一n-型區之一部分之上的n-型磊晶層，且位於該第一n-型區與該第一p-型區以及該氧化層之間。
35. 如申請專利範圍第28項之方法，進一步包含提供一位於該漂移層與該汲極接觸之間的n-型碳化矽基板。
36. 如申請專利範圍第26項之方法，進一步包含提供一於該第一p-型碳化矽區之內且鄰接於該第一n-型碳化矽區的第二p-型碳化矽區。
37. 一種製造一碳化矽金屬氧化半導體場效電晶體之方法，包含以下步驟：
- 提供一n-型碳化矽的漂移層；
 - 提供第一區p-型碳化矽，鄰接於該漂移層；
 - 提供一第一區n-型碳化矽，位於該等第一區p-型碳化矽的周圍邊緣之間；
 - 提供第二區n-型碳化矽，於該等第一區p-型碳化矽之中，其中該等第二區n-型碳化矽具有一載子濃度，高於該漂移層的載子濃度，且與該等第一區p-型碳化矽的周圍邊緣隔開；
 - 提供一氧化層其在該漂移層、該第一區n-型碳化矽與該

等第二區n-型碳化矽之上；以及

提供第三區n-型碳化矽，位於該等第一區p-型碳化矽與該漂移層之間，其中該等第三區n-型碳化矽具有一載子濃度，高於該漂移層的載子濃度，以及其中該第一區n-型碳化矽具有一載子濃度高於該漂移層的載子濃度，且具有一載子濃度低於該等第三區n-型碳化矽的載子濃度；

提供源極接觸，於該等第二區n-型碳化矽的部分之上；

提供一閘極接觸，於該氧化層之上；以及

提供一汲極接觸，於該氧化層對面之漂移層之上。

38. 如申請專利範圍第37項之方法，其中提供第三區n-型碳化矽進一步包含提供鄰接於該等第一區p-型碳化矽之周圍邊緣的第三區n-型碳化矽。
39. 如申請專利範圍第37項之方法，進一步包含提供一在該漂移層之上的n-型碳化矽磊晶層，其中該第一區n-型碳化矽與該等第三區n-型碳化矽係從該磊晶層形成，且其中該等第一區p-型碳化矽係形成於該磊晶層之中。
40. 如申請專利範圍第37項之方法，其中該第一區n-型碳化矽包含該漂移層的一區。
41. 如申請專利範圍第40項之方法，其中提供第三區n-型碳化矽包含藉由在該漂移層中植入n-型區以提供該等第三區n-型碳化矽。
42. 如申請專利範圍第37項之方法，進一步包含提供一於該等第一p-型區與該第一區n-型碳化矽上之碳化矽的n-型磊晶層。

43. 如申請專利範圍第37項之方法，進一步包含提供一在該漂移層與該汲極接觸之間的n-型碳化矽層，其中該n-型碳化矽層具有一載子濃度，高於該漂移層的載子濃度。
44. 如申請專利範圍第43項之方法，其中該n-型碳化矽層包含一n-型碳化矽基板。
45. 如申請專利範圍第37項之方法，進一步包含提供於該等第一p-型碳化矽區之內的第二p-型碳化矽區。
46. 如申請專利範圍第37項之方法，其中該等第三區n-型碳化矽具有一自約0.5 μm 至約1.5 μm 的厚度。
47. 如申請專利範圍第37項之方法，其中該等第三區n-型碳化矽具有一自約 1×10^{15} 至約 $5 \times 10^{17} \text{cm}^{-3}$ 的載子濃度。
48. 一種製造一碳化矽金屬氧化半導體場效電晶體之方法，其包含：
- 提供一n-型碳化矽漂移層；
 - 提供隔開的p-型碳化矽井區；以及
 - 提供一n-型碳化矽限制區，位於該等井區與該漂移層之間，其中該n-型碳化矽限制區包含一配置鄰接於該第一p-型碳化矽井區之個別底板的第一部分及一配置鄰接於該第一p-型碳化矽井區之個別側壁的第二部分，且其中該第一部分具有一載子濃度，高於該第二部分之載子濃度。
49. 如申請專利範圍第48項之方法，其中該n-型限制區具有一載子濃度，高於該漂移層的載子濃度。
50. 如申請專利範圍第48項之方法，其中提供一n-型限制區包含提供一在該漂移層上之碳化矽的磊晶層，且其中提供

97年4月26日修正營業

隔開的p-型井區包含提供在該磊晶層之中但並未貫穿之隔開的p-型井區。

51. 一種碳化矽金屬氧化半導體場效電晶體單位單元，包含：

— n-型碳化矽漂移層；

— 第一p-型碳化矽區鄰接於該漂移層；

— 第一n-型碳化矽區於該第一p-型碳化矽區之中；

— 氧化層於該漂移層、該第一p-型碳化矽區及該第一n-型碳化矽區之上；

— n-型碳化矽限制區位於該漂移層與該第一p-型碳化矽區之一部分之間，其中該n-型限制區具有載子濃度高於該漂移層的載子濃度；以及

— 在該第一p-型碳化矽區與該第一n-型區之一部分之上的n-型磊晶層，且配置於該第一n-型碳化矽區與該第一p-型碳化矽區以及該氧化層之間。

52. 一種碳化矽金屬氧化半導體場效電晶體，包含：

— n-型碳化矽的漂移層；

— 第一區p-型碳化矽，鄰接於該漂移層；

— 第一區n-型碳化矽，配置於該等第一區p-型碳化矽的周圍邊緣之間；

— 第二區n-型碳化矽，於該等第一區p-型碳化矽之內，其中該等第二區n-型碳化矽具有一載子濃度，高於該漂移層的載子濃度，且與該等第一區p-型碳化矽的周圍邊緣隔開；

— 氧化層其在該漂移層、該第一區n-型碳化矽與該等第二區n-型碳化矽之上；

第三區 n-型碳化矽，配置在該等第一區 p-型碳化矽之下且在該等第一區 p-型碳化矽與該漂移層之間，其中該等第三區 n-型碳化矽具有載子濃度高於該漂移層的載子濃度；源極接觸其在該等第二區 n-型碳化矽的部分之上；一閘極接觸，於該氧化層之上；一汲極接觸，於該氧化層對面之漂移層之上；以及一在該第一 p-型區與該第一區 n-型碳化矽上之碳化矽的 n-型磊晶層。

53. 一種製造一碳化矽金屬氧化半導體場效電晶體單位單元之方法，包含：

提供一 n-型碳化矽漂移層；

提供一第一 p-型碳化矽區，鄰接於該漂移層；

提供一第一 n-型碳化矽區，於該第一 p-型碳化矽區之內；

提供一氧化層，於該漂移層之上；

提供一 n-型碳化矽限制區，於該漂移層與該第一 p-型碳化矽區之一部分之間，其中該 n-型限制區具有載子濃度高於該漂移層的載子濃度；以及

提供一在該第一 p-型區與該第一 n-型區之一部分之上的 n-型磊晶層，且位於該第一 n-型區與該第一 p-型區以及該氧化層之間。

54. 一種製造一碳化矽金屬氧化半導體場效電晶體之方法，包含以下步驟：

提供一 n-型碳化矽的漂移層；

提供第一區p-型碳化矽，鄰接於該漂移層；

提供一第一區n-型碳化矽，位於該等第一區p-型碳化矽的周圍邊緣之間；

提供第二區n-型碳化矽，於該等第一區p-型碳化矽之中，其中該等第二區n-型碳化矽具有一載子濃度，高於該漂移層的載子濃度，且與該等第一區p-型碳化矽的周圍邊緣隔開；

提供一氧化層其在該漂移層、該第一區n-型碳化矽與該等第二區n-型碳化矽之上；以及

提供第三區n-型碳化矽，位於該等第一區p-型碳化矽與該漂移層之間，其中該等第三區n-型碳化矽具有一載子濃度，高於該漂移層的載子濃度；

提供源極接觸，於該等第二區n-型碳化矽的部分之上；

提供一閘極接觸，於該氧化層之上；

提供一汲極接觸，於該氧化層對面之漂移層之上；以及

提供一於該等第一p-型區與該第一區n-型碳化矽上之碳化矽的n-型磊晶層。