

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5448604号
(P5448604)

(45) 発行日 平成26年3月19日 (2014. 3. 19)

(24) 登録日 平成26年1月10日 (2014. 1. 10)

(51) Int. Cl.

F I

H O 1 L 29/786 (2006. 01)

G O 2 F 1/1368 (2006. 01)

H O 5 B 33/08 (2006. 01)

H O 1 L 29/78 6 1 8 G

H O 1 L 29/78 6 1 8 E

H O 1 L 29/78 6 1 6 V

G O 2 F 1/1368

H O 5 B 33/08

請求項の数 4 (全 38 頁)

(21) 出願番号 特願2009-152242 (P2009-152242)
 (22) 出願日 平成21年6月26日 (2009. 6. 26)
 (65) 公開番号 特開2010-87471 (P2010-87471A)
 (43) 公開日 平成22年4月15日 (2010. 4. 15)
 審査請求日 平成24年3月22日 (2012. 3. 22)
 (31) 優先権主張番号 特願2008-169499 (P2008-169499)
 (32) 優先日 平成20年6月27日 (2008. 6. 27)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2008-228242 (P2008-228242)
 (32) 優先日 平成20年9月5日 (2008. 9. 5)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (74) 代理人 100139985
 弁理士 吉本 智史
 (72) 発明者 伊佐 敏行
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 神保 安弘
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 手塚 祐朗
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ

(57) 【特許請求の範囲】

【請求項 1】

絶縁表面を有する基板上に、ゲート電極を覆うゲート絶縁層と、
 前記ゲート絶縁層に接する第 1 半導体層と、
 前記第 1 半導体層に積層される第 2 半導体層と、
 前記第 2 半導体層の一部に接し、ソース領域及びドレイン領域を形成する不純物半導体層と、
 を有し、
 前記第 1 半導体層は、微結晶半導体層であり、
 前記第 2 半導体層は、NH 基、または NH₂ 基を有する非晶質半導体層で形成され、
 前記第 1 半導体層は、分散された微結晶半導体層または網状の微結晶半導体層であるこ
 とを特徴とする薄膜トランジスタ。

【請求項 2】

請求項 1 において、前記 NH 基は前記第 2 半導体層に含まれる異なる半導体原子を架橋
 することを特徴とする薄膜トランジスタ。

【請求項 3】

請求項 1 において、前記 NH₂ 基は前記第 2 半導体層に含まれる異なる半導体原子のダ
 ングリングボンドを終端することを特徴とする薄膜トランジスタ。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、前記第 2 半導体層は、二次イオン質量

分析法によって計測される酸素濃度が、 $5 \times 10^{18} \text{ cm}^{-3}$ 以下であることを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタおよびその作製方法、並びに該薄膜トランジスタを用いた半導体装置および表示装置に関する。

【背景技術】

【0002】

電界効果トランジスタの一種として、絶縁表面を有する基板上に形成された半導体層にチャネル領域が形成される薄膜トランジスタが知られている。薄膜トランジスタに用いられる半導体層として、非晶質シリコン、微結晶シリコン及び多結晶シリコンを用いる技術が開示されている（特許文献1乃至5参照）。薄膜トランジスタの代表的な応用例は、液晶テレビジョン装置であり、表示画面を構成する各画素のスイッチングトランジスタとして実用化されている。

10

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2001-053283号公報

【特許文献2】特開平5-129608号公報

20

【特許文献3】特開2005-049832号公報

【特許文献4】特開平7-131030号公報

【特許文献5】特開2005-191546号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

非晶質シリコン層を用いてチャネルが形成される薄膜トランジスタは、電界効果移動度及びオン電流が低いといった問題がある。一方、微結晶シリコン層でチャネルが形成される薄膜トランジスタは、非晶質シリコン層でチャネルが形成される薄膜トランジスタと比較して、電界効果移動度が向上するもののオフ電流が高くなってしまい、十分なスイッチング特性が得られないといった問題がある。

30

【0005】

多結晶シリコン層がチャネル形成領域となる薄膜トランジスタは、上記二種類の薄膜トランジスタよりも電界効果移動度が格段に高く、高いオン電流が得られるといった特性がある。この薄膜トランジスタは、前記した特性により、画素に設けられるスイッチング用のトランジスタのみならず、高速動作が要求されるドライバ回路をも構成することができる。

【0006】

しかし、多結晶シリコン層により薄膜トランジスタは、非晶質シリコン層で薄膜トランジスタを形成する場合に比べ半導体層の結晶化工程が必要となり、製造コストが増大することが問題となっている。例えば、多結晶シリコン層の製造のために必要なレーザアニール技術は、レーザビームの照射面積が小さく大画面の液晶パネルを効率良く生産することができないといった問題がある。

40

【0007】

ところで、表示パネルの製造に用いられているガラス基板は、第3世代（550mm×650mm）、第3.5世代（600mm×720mm、または620mm×750mm）、第4世代（680mm×880mm、または730mm×920mm）、第5世代（1100mm×1300mm）、第6世代（1500mm×1850mm）、第7世代（1870mm×2200mm）、第8世代（2200mm×2400mm）と年々大型化が進んでおり、今後は第9世代（2400mm×2800mm、2450mm×3050mm

50

m)、第10世代(2950mm×3400mm)へと大面積化が進むと予測されている。ガラス基板の大型化はコストミニマム設計の思想に基づいている。

【0008】

これに対して、第10世代(2950mm×3400mm)におけるような大面積のマザーガラス基板に、高速動作が可能な薄膜トランジスタを、生産性良く製造することができる技術は依然として確立されておらず、そのことが産業界の問題となっている。

【0009】

そこで本発明は、薄膜トランジスタのオン電流及びオフ電流に係る上記問題点を解決することを課題の一とする。本発明における他の課題は、高速動作が可能な薄膜トランジスタを提供することにある。

【課題を解決するための手段】

【0010】

本発明は、薄膜トランジスタにおいて、ゲート絶縁層と、ソース領域及びドレイン領域との間であって、且つ少なくともソース領域及びドレイン領域側に、NH基、またはNH₂基を有する非晶質半導体層をバッファ層として有することを要旨とする。当該バッファ層は、所謂バックチャネル側に配設される。また、薄膜トランジスタにおいて、ゲート絶縁層とソース領域及びドレイン領域との間に、NH基、またはNH₂基を有する非晶質半導体層を形成することを要旨とする。

【0011】

NH基、またはNH₂基を有する非晶質半導体層は、非晶質半導体の生成が可能な混合比で半導体材料ガス(例えば、水素化シリコンガス、フッ化シリコンガス、塩化シリコンガス、水素化ゲルマニウムガス、フッ化ゲルマニウムガス、塩化ゲルマニウムガス等)と希釈ガスを反応ガスとして用いて形成される。当該反応ガスは、酸素濃度を低減させた超高真空反応室内に導入され、所定の圧力を維持してグロー放電プラズマを生成する。これにより反応室内に置かれた基板に被膜が堆積されるが、堆積初期段階または堆積中に窒素元素及び水素元素、またはNH基を反応室中に含ませて被膜の堆積を開始し、被膜中のダングリングボンドをNH基で架橋することで、欠陥準位を低減した非晶質半導体層が形成される。または、堆積初期段階または堆積中に窒素元素及び水素元素、またはNH₂基を反応室中に含ませて被膜の堆積を開始し、被膜中のダングリングボンドをNH基で終端することで、欠陥準位を低減した非晶質半導体層が形成される。

【0012】

非晶質半導体層に含まれる窒素の濃度は、半導体特性を保つ濃度であり、且つ欠陥準位が低減し、キャリア移動度が上昇する範囲であることが好ましい。

【0013】

半導体層に窒素、代表的にはNH基を含ませ、窒素、代表的にはNH基でSi原子のダングリングボンドを架橋することにより、当該結合が結晶粒界におけるキャリアの経路となるため、キャリアの移動が容易となる。このため、薄膜トランジスタにおいて、チャネル形成領域と、ソース領域及びドレイン領域との間にバッファ層として、NH基、またはNH₂基を有する非晶質半導体層を設けることにより、ソース領域またはドレイン領域に電圧が印加されたときのバッファ層の厚さ方向における抵抗を下げるのが可能である。特に、ソース領域及びドレイン領域の直下のバッファ層としてNH基、またはNH₂基を有する非晶質半導体層を設けるにより、オン電流を高めることができる。このため、非晶質半導体層をゲート絶縁層と、ソース領域及びドレイン領域との間に設けた薄膜トランジスタと比較して、薄膜トランジスタのオン電流を高めることができる。

【0014】

半導体層のダングリングボンドは、欠陥準位である。しかしながら、半導体元素のダングリングボンドをNH基で架橋することにより、欠陥準位が無くなる。また、半導体元素のダングリングボンドをNH₂基で終端することにより、欠陥準位がなくなる。非晶質半導体層は、短距離秩序を有し、結晶格子のように構造に一定の繰り返しパターンがない。このため、ダングリングボンドが多く含まれ、当該領域が欠陥準位となり、キャリアが捕獲

10

20

30

40

50

される部位となる。しかしながら、非晶質半導体層のダングリングボンドをNH基で架橋することにより、欠陥準位を無くすることが可能である。また、非晶質半導体層のダングリングボンドをNH₂基で終端することにより、非晶質半導体層の欠陥準位を低減することができる。欠陥準位があると、当該欠陥準位を介して、熱励起によって電子及び正孔が生成・再結合して、Shockley-Read-Hall電流が流れる。しかしながら、欠陥準位がなくなることにより、当該電流を低減できる。これらのことから、オフ電流が流れる領域にバッファ層としてNH基、またはNH₂基を有する非晶質半導体層を設けることにより、微結晶半導体をゲート絶縁層と、ソース領域及びドレイン領域との間に設けた薄膜トランジスタと比較して、オフ電流を低減することができる。

【0015】

10

以上のことから、非晶質半導体層をゲート絶縁層と、ソース領域及びドレイン領域との間に設けた薄膜トランジスタと比較して、オン電流及び電界効果移動度を高めると共に、微結晶半導体層をゲート絶縁層と、ソース領域及びドレイン領域との間に設けた薄膜トランジスタと比較して、オフ電流を低減することができる。

【0016】

なお、シリコン中であって、シリコンの配位数を減らし、ダングリングボンドを生成する不純物元素、例えば酸素のような不純物元素の濃度は、低減させる。すなわち、酸素については二次イオン質量分析法によって計測される濃度を $5 \times 10^{18} \text{ cm}^{-3}$ 以下とすることが好ましい。

【0017】

20

なお、ここでは、他の計測法が示されていない濃度は、SIMS (Secondary Ion Mass Spectrometry) の測定値によるものである。

【0018】

なお、オン電流とは、トランジスタがオン状態のときに、ソース電極とドレイン電極の間に流れる電流をいう。例えば、n型のトランジスタの場合には、ゲート電圧がトランジスタの閾値電圧よりも高いときにソース電極とドレイン電極との間に流れる電流である。

【0019】

また、オフ電流とは、トランジスタがオフ状態のときに、ソース電極とドレイン電極の間に流れる電流をいう。例えば、n型のトランジスタの場合には、ゲート電圧がトランジスタの閾値電圧よりも低いときにソース電極とドレイン電極との間に流れる電流である。

30

【発明の効果】

【0020】

本発明により、非晶質半導体をチャネル形成領域に有する薄膜トランジスタと比較して、薄膜トランジスタのオン電流を高めると共に、微結晶半導体をチャネル形成領域に有する薄膜トランジスタと比較して、薄膜トランジスタのオフ電流を低減することができる。

【図面の簡単な説明】

【0021】

【図1】本発明の一形態に係る薄膜トランジスタの一例を説明する図である。

【図2】本発明の一形態に係る薄膜トランジスタが有する半導体層を説明する図である。

【図3】本発明の一形態に係る薄膜トランジスタが有する半導体層を説明する図である。

40

【図4】本発明の一形態に係る薄膜トランジスタが有する半導体層を説明する図である。

【図5】本発明の一形態に係る薄膜トランジスタが有する半導体層を説明する図である。

【図6】本発明の一形態に係る薄膜トランジスタが有する半導体層を説明する図である。

【図7】本発明の一形態に係る薄膜トランジスタの一例を説明する図である。

【図8】本発明の一形態に係る薄膜トランジスタが有する半導体層を説明する図である。

【図9】本発明の一形態に係る薄膜トランジスタの一例を説明する図である。

【図10】本発明の一形態に係る薄膜トランジスタの作製方法の一例を説明する図である。

。

【図11】本発明の一形態に係る薄膜トランジスタの作製方法の一例を説明する図である。

。

50

【図 1 2】本発明の一形態に係る薄膜トランジスタの作製方法の一例を説明する図である。

【図 1 3】本発明の一形態に係る薄膜トランジスタの作製方法の一例を説明する図である。

【図 1 4】本発明の一形態に係る薄膜トランジスタの作製方法に適用可能な装置を説明する図である。

【図 1 5】本発明の一形態に係る薄膜トランジスタの作製方法のタイムチャートの一例を説明する図である。

【図 1 6】本発明の一形態に係る薄膜トランジスタの作製方法のタイムチャートの一例を説明する図である。

10

【図 1 7】本発明の一形態に係る薄膜トランジスタの作製方法のタイムチャートの一例を説明する図である。

【図 1 8】本発明の一形態に係る薄膜トランジスタの作製方法のタイムチャートの一例を説明する図である。

【図 1 9】本発明の一形態に係る薄膜トランジスタの作製方法のタイムチャートの一例を説明する図である。

【図 2 0】本発明の一形態に係る薄膜トランジスタの作製方法の一例を説明する図である。

【図 2 1】本発明の一形態に係る薄膜トランジスタの作製方法の一例を説明する図である。

20

【図 2 2】本発明の一形態に係る薄膜トランジスタの作製方法の一例を説明する図である。

【図 2 3】本発明の一形態に係る薄膜トランジスタの作製方法の一例を説明する図である。

【図 2 4】本発明の一形態に適用可能な多階調マスクを説明する図である。

【図 2 5】本発明の一形態の薄膜トランジスタを適用可能な表示パネルを説明する図である。

【図 2 6】本発明の一形態の薄膜トランジスタを適用可能な電子機器等を説明する図である。

【図 2 7】本発明の一形態の薄膜トランジスタを適用可能な電子機器等を説明する図である。

30

【図 2 8】本発明の一形態の薄膜トランジスタを適用可能な電子機器等を説明する図である。

【図 2 9】本発明の一形態に係る薄膜トランジスタの構造を説明する図である。

【発明を実施するための形態】

【0022】

以下、実施の形態について、図面を参照して以下に説明する。ただし、開示される発明は以下の説明に限定されるものではない。開示される発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、開示される発明は以下に示す実施の形態の記載内容のみに限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。また、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

40

【0023】

(実施の形態 1)

本実施の形態では、薄膜トランジスタの形態の一例について、図面を参照して説明する。

【0024】

図 1 は、本実施の形態にかかる薄膜トランジスタの断面図を示す。図 1 (A) に示す薄膜トランジスタは、基板 101 上にゲート電極層 103 を有し、ゲート電極層 103 を覆うゲート絶縁層 107 を有し、ゲート絶縁層 107 上に接してチャンネル形成領域として機能

50

する半導体層 115 を有し、半導体層 115 上にバッファ層 131 を有し、バッファ層 131 の一部に接するソース領域及びドレイン領域 129 を有する。また、ソース領域及びドレイン領域 129 上に接する配線層 123、125 を有する。配線層 123、125 はソース電極及びドレイン電極を構成する。また、各層は所望の形状にパターン形成されている。ここでは、バッファ層 131 を、NH 基、または NH₂ 基を有する非晶質半導体層（以下、NH 基を有する非晶質半導体層と示す。）で形成することを特徴とする。

【0025】

図 1 (B) に示すように、半導体層 115 において、ゲート電極層 103 と重畳する領域であり、且つゲート絶縁層 107 側の領域 171 が、チャンネルとして機能する。また、バッファ層 131 において、ゲート絶縁層 107 と反対側であり、且つソース領域及びドレイン領域 129 に接しない領域 172 がバックチャンネルとして機能する。また、バッファ層 131 において、ドレイン領域に接する側の領域 173 が空乏層となる。また、バッファ層 131 と、ソース領域またはドレイン領域とが接する領域 174 が接合領域である。

【0026】

基板 101 としては、ガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる程度の耐熱性を有するプラスチック基板等を用いることができる。また、基板に透光性を要しない場合には、ステンレス合金等の金属の基板の表面に絶縁層を設けたものを用いてもよい。ガラス基板としては、例えば、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノケイ酸ガラス等の無アルカリガラス基板を用いるとよい。

【0027】

ゲート電極層 103 は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体層や AgPdCu 合金を用いてもよい。

【0028】

例えば、ゲート電極層 103 の 2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された二層の積層構造、または銅層上にモリブデン層を積層した二層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した二層構造、窒化チタン層とモリブデン層とを積層した二層構造とすることが好ましい。三層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金の層と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。電氣的抵抗が低い層上にバリア層として機能する金属層が積層されることで、電氣的抵抗が低く、且つ金属層から半導体層への金属元素の拡散を防止することができる。

【0029】

ゲート絶縁層 107 は、CVD 法またはスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層または窒化酸化シリコン層を単層でまたは積層して形成することができる。また、ゲート絶縁層 107 を酸化窒化シリコン層により形成することで、半導体層 115 に微結晶半導体層を形成した場合、薄膜トランジスタの閾値電圧の変動を抑制することができる。

【0030】

なお、本明細書中において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法 (RBS: Rutherford Backscattering Spectrometry) 及び水素前方散乱法 (HFS: Hydrogen Forward Scattering) を用いて測定した場合に、組成範囲として酸素が 50~70 原子%、窒素が 0.5~15 原子%、シリコンが 25~35 原子%、水素が 0.1~10 原子% の範囲で含まれるものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、RBS 及び HFS を用いて測定した場合に、組成範囲として酸素が 5~30 原子%、窒素が 20~55 原子%、シリコンが 25~35 原子%、水素が 10~3

10

20

30

40

50

0 原子%の範囲で含まれるものをいう。ただし、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

【0031】

半導体層115は、微結晶半導体層、非晶質半導体層、またはNH基を有する非晶質半導体層を用いて形成する。微結晶半導体層、非晶質半導体層、またはNH基を有する非晶質半導体層としては、シリコン、ゲルマニウム、またはシリコンゲルマニウムを用いることができる。なお、半導体層115は、n型の導電性を付与するリンまたはp型の導電性を付与するボロンが添加されてもよい。また、半導体層115は、チタン、ジルコニウム、ハフニウム、バナジウム、ニオブ、タンタル、クロム、モリブデン、タングステン、コバルト、ニッケル、白金等のシリコンと反応してシリサイドを形成する金属元素が添加されていてもよい。半導体層115にn型の導電性を付与するリン、またはp型の導電性を付与するボロン、シリコンと反応してシリサイドを形成する金属元素等を添加することにより、半導体層のキャリア移動度を上昇させることが可能であるため、当該半導体層をチャネル形成領域とする薄膜トランジスタの電界効果移動度を高めることができる。

10

【0032】

微結晶半導体層とは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体を含む層である。微結晶半導体は、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な半導体であり、結晶粒径が2nm以上200nm以下、好ましくは10nm以上80nm以下、より好ましくは、20nm以上50nm以下の柱状結晶または針状結晶115aが基板表面に対して法線方向に成長している。このため、柱状結晶または針状結晶115aの界面には、結晶粒界115bが形成される。また、柱状結晶または針状結晶115aの間には、非晶質構造115cが存在している。（図2（A）参照）。

20

【0033】

また、微結晶半導体層に含まれる酸素及び窒素の二次イオン質量分析法によって計測される濃度は、 $1 \times 10^{18} \text{ cm}^{-3}$ 未満とすることが好ましい。

【0034】

また、微結晶半導体層において、ゲート絶縁層107との界面において、非晶質層115dが形成され、その上に柱状結晶または針状結晶115aが形成されても良い（図2（B）参照）。

30

【0035】

また、図2（C）に示すように、ゲート絶縁層107と半導体層115との界面において、非晶質構造が無く、ゲート絶縁層107の表面から柱状結晶または針状結晶115aが形成されてもよい。このようにゲート絶縁層107と半導体層115との界面に非晶質構造がないことで、結晶性の高い柱状結晶または針状結晶115aをキャリアが移動するため、薄膜トランジスタのオン電流及び電界効果移動度を上昇させることができる。

【0036】

微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、またはネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体層が得られる。このような微結晶半導体層に関する記述は、例えば、米国特許4,409,134号で開示されている。

40

【0037】

ここで、本発明の主要な特徴の一つであるバッファ層131の構造に関し説明する。バッファ層131において、Si原子のダングリングボンドを架橋したNH基を有する非晶質半導体層を用いることを特徴とする。または、Si原子のダングリングボンドをNH₂基

50

で終端した非晶質半導体層を用いることを特徴とする。非晶質半導体層は、結晶格子のように構造に一定の繰り返しパターンがない。このため、ダングリングボンドが多く含まれ、当該領域が欠陥準位となり、キャリアが捕獲される部位となると共に、キャリア移動度の低下が生じる。しかしながら、本発明のバッファ層131は、当該ダングリングボンドがNH基で架橋され、またはSi原子のダングリングボンドがNH₂基で終端され、ダングリングボンドの数が低減している。即ち、バッファ層131の欠陥準位が低減している。また、ダングリングボンドをNH基で架橋することにより、当該結合部がキャリアの通路となりうるため、従来の非晶質半導体層と比較して、キャリア移動度が上昇する。この結果、薄膜トランジスタのバッファ層として本発明のバッファ層を用いた場合には、薄膜トランジスタのオン電流及び電界効果移動度を上昇させると共に、オフ電流を低減することができる。

10

【0038】

なお、非晶質半導体層のSi原子のダングリングボンドをNH基で架橋するとは、NH基の異なる結合が、非晶質半導体層の異なる半導体元素との結合に使われることをいう。このため、N原子の第1の結合手はH原子と結合し、N原子の第2の結合手は第1の半導体原子と結合し、N原子の第3の結合手は第2の半導体原子と結合する。また、非晶質半導体層のSi原子のダングリングボンドをNH₂基で終端するとは、NH₂基が、非晶質半導体層のSi原子と結合することをいう。このため、N原子の第1の結合手及び第2の結合手は、それぞれ異なるH原子と結合し、N原子の第3の結合手はSi原子と結合する。

【0039】

20

なお、結晶核の生成を抑制する不純物元素として、酸素及び窒素があるが、シリコン中にあってキャリアトラップを生成しない不純物元素（例えば、窒素）を選択する。一方、シリコンの配位数を減らし、ダングリングボンドを生成する不純物元素（例えば酸素）の濃度は低減させる。従って、窒素濃度を低減させずして酸素濃度を低減させるとよい。具体的には、酸素については二次イオン質量分析法によって計測される濃度を $5 \times 10^{18} \text{ cm}^{-3}$ 以下とするとよい。

【0040】

また、窒素の濃度は、非晶質半導体層が半導体性を保つ濃度であり、且つダングリングボンドが低減し、キャリア移動度が上昇する範囲であることが好ましい。窒素の濃度が高すぎると、半導体性が低下し、絶縁性が増してしまい、オン電流が低下する。また、窒素の濃度が低すぎると、従来の非晶質半導体層と同様となり、キャリア移動度が上昇しないと共に、欠陥準位が増加する。

30

【0041】

次に、上記のような非晶質半導体層に含まれる複数のダングリングボンドを、窒素、代表的にはNH基が架橋すると、キャリアが流れやすくなるモデルについて、以下に示す。

【0042】

ここでは、図3に示すように、Si原子のダングリングボンドがH原子191aで終端された欠陥192を有するシリコン層において、ダングリングボンドのペア1組がO原子193で架橋されたモデル（モデル1）と、図4に示すように、Si原子のダングリングボンドがH原子191aで終端された欠陥192を有するシリコン層において、ダングリングボンドのペア1組がNH基194で架橋されたモデル（モデル2）とのそれぞれにおいて、n型キャリアの伝導に寄与する準位（即ち、伝導帯における最低準位）であるアモルファスシリコン層のLUMO（最低非占有軌道）のシミュレーションを行った。シミュレーション用のソフトウェアとしては、密度汎関数理論を用いた第1原理計算ソフトウェアを用いている。なお、図4において、NH基194は窒素原子195及び水素原子191bで示している。また、線の交点はシリコン原子を示し、線はシリコン原子の結合またはダングリングボンドを示している。さらに、酸素原子及びNH基の有効性を評価するため、酸素原子またはNH基で架橋されたダングリングボンド以外のダングリングボンドは、全て水素原子で終端した。

40

【0043】

50

モデル 1 を用いて行った計算の結果について図 5 に示し、モデル 2 を用いて行った計算の結果について図 6 に示す。

【0044】

図 5 においては、Si 原子を O 原子で架橋した領域及びその周辺における波動関数の形状を示しており、領域 196 及び領域 197 は、互いに位相が正または負であり、且つ絶対値が等しい領域を示している。図 6 においては、Si 原子を NH 基で架橋した領域及びその周辺における波動関数の形状を示しており、領域 198 及び領域 199 は、それぞれは位相が正または負であり、且つ絶対値が等しい領域を示している。

【0045】

図 5 から、Si 原子のダングリングボンドを O 原子で架橋した場合は、波動関数の絶対値及び位相が等しい領域（例えば、領域 196 a、196 b）が途切れているため、キャリアが流れにくくなっていることが分かる。即ち、アモルファスシリコン層中に酸素が含まれると、キャリアの移動を妨げる結合ができ、アモルファスシリコン層のキャリア移動度が低下することが分かる。

【0046】

一方、図 6 から、Si 原子のダングリングボンドを NH 基で架橋した場合は、異なる Si 原子間において波動関数の絶対値及び位相が等しい領域 198 が、隣接するダングリングボンドの両側に繋がっているため、キャリアが流れやすくなっていることがわかる。即ち、アモルファスシリコン層中に NH 基が含まれていると、ダングリングボンドにおいてキャリアの移動が容易となる結合ができ、アモルファスシリコン層のキャリア移動度が上昇することがわかる。また、薄膜トランジスタの移動度が上昇すると考えられる。

【0047】

以上のことから、非晶質半導体層において、Si 原子のダングリングボンドを NH 基で架橋することで、当該結合が、キャリアが移動可能な結合となる。また、非晶質半導体層のキャリア移動度を高めることができる。また、非晶質半導体層の酸素濃度を低減することにより、欠陥におけるキャリアの移動を阻害する結合を低減することができる。

【0048】

非晶質半導体層において、酸素濃度を低減し、窒素の濃度を制御することで、さらには NH 基または NH₂ 基を有せしめることで、非晶質半導体層の欠陥準位を低減することが可能であり、キャリア移動度を向上させることができると共に、Shockley-Read-Hall 電流を低減できる。このため、当該非晶質半導体層をバッファ層に用いることで、薄膜トランジスタのオフ電流を低減することが可能であると共に、オン電流を上昇させることができる。

【0049】

また、バッファ層に NH 基を有する非晶質半導体層を形成することで、薄膜トランジスタのドレイン耐圧を緩和するため、薄膜トランジスタの劣化を低減することができる。また、ゲート絶縁層に接する半導体層が微結晶半導体層で形成される場合、バッファ層に NH 基を有する非晶質半導体層を用い、且つ微結晶半導体層及び NH 基を有する非晶質半導体層を連続的に形成することで、微結晶半導体層における微結晶半導体と非晶質構造の界面の酸化防止が可能であり、微結晶半導体層のキャリア移動度を高めることができる。

【0050】

微結晶半導体層及びバッファ層の界面の構造について、図 29 を用いて説明する。

【0051】

図 29 (A) に示すように、半導体層 115 及びバッファ層 131 の界面が略平坦とすることができる。当該形状の界面は、半導体層 115 上にバッファ層を堆積する際に、窒素の濃度を高めに設定して非晶質半導体層を形成すればよい。この結果、半導体層 115 の表面から、バッファ層 131 として NH 基を有する非晶質半導体層を形成することができる。

【0052】

また、図 29 (B) に示すように、半導体層 115 及びバッファ層 131 の界面が凹凸状

10

20

30

40

50

とすることができる。特に半導体層 115 が微結晶半導体層の場合、結晶粒の表面が凹凸している。しかしながら、半導体層 115 の凸部は鈍角であり、凹凸差は小さい。

【0053】

ソース領域及びドレイン領域 129 としては、一導電型を付与する不純物元素が添加された半導体層（以下、不純物半導体層と示す。）を形成する。n チャネル型の薄膜トランジスタを形成する場合には、一導電型を付与する不純物元素としてリンを用いればよく、代表的には、リンが含有されたアモルファスシリコンまたは微結晶シリコンを用いて形成する。また、p チャネル型の薄膜トランジスタを形成する場合には、一導電型を付与する不純物元素としてとしてボロンを用いればよく、代表的には、ボロンが含有されたアモルファスシリコンまたは微結晶シリコンを用いて形成する。

10

【0054】

一導電型を付与する不純物元素の濃度、ここではリンまたはボロンの濃度を $1 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$ とすることで、配線層 123、125 とオーミックコンタクトすることが可能となり、ソース領域及びドレイン領域として機能する。

【0055】

ソース領域及びドレイン領域 129 は 10 nm 以上 100 nm 以下、好ましくは 30 nm 以上 50 nm 以下の厚さで形成する。ソース領域及びドレイン領域 129 の厚さを、薄くすることでスループットを向上させることができる。

【0056】

配線層 123、125 は、アルミニウム、銅、チタン、ネオジム、スカンジウム、モリブデン、クロム、タンタル若しくはタングステン等により単層で、または積層して形成することができる。または、ヒロック防止元素が添加されたアルミニウム合金（ゲート電極層 103 に用いることができる Al-Nd 合金等）により形成してもよい。ドナーとなる不純物元素を添加した結晶性シリコンを用いてもよい。ドナーとなる不純物元素が添加された結晶性シリコンと接する側の層を、チタン、タンタル、モリブデン、タングステンまたはこれらの元素の窒化物により形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステンまたはこれらの元素の窒化物で挟んだ積層構造としてもよい。例えば、配線層 123、125 として、アルミニウム層をモリブデン層で挟んだ三層の積層構造とするとよい。

20

30

【0057】

本実施の形態により、非晶質半導体をチャネル形成領域に有する薄膜トランジスタと比較して、薄膜トランジスタのオン電流を高めると共に、微結晶半導体をチャネル形成領域に有する薄膜トランジスタと比較して、薄膜トランジスタのオフ電流を低減することができる。

【0058】

（実施の形態 2）

本実施の形態では実施の形態 1 に示す薄膜トランジスタにおいて、半導体層 115 に用いることが可能な形態を図 7 及び図 8 を用いて示す。図 7（A）は薄膜トランジスタの断面図であり、図 7（B）はゲート絶縁層 107、微結晶半導体 118、及びバッファ層 131 が接する領域の拡大図である。

40

【0059】

図 7（A）及び（B）に示すように、本実施の形態に示す薄膜トランジスタは、ゲート絶縁層 107 上に分散された微結晶半導体粒子または網状の微結晶半導体 118 が形成されていることを特徴とする。

【0060】

分散された微結晶半導体粒子 118 a は、シリコン、またはゲルマニウムより多くのシリコンを含むシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ 、 $0.5 < x < 1$ ）等で形成することができる。分散された微結晶半導体粒子は、図 8（A）に示すように、上面形状が円であり、図 7 に示すように断面形状が半球状である。分散された微結晶半導体粒子の上面か

50

ら見た直径を、 $1 \sim 30 \text{ nm}$ とし、密度を $1 \times 10^{13} \text{ cm}^{-3}$ 未満、好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 未満とすると、堆積のみで、分散された微結晶半導体粒子を形成することができる。

【0061】

また、分散された微結晶半導体粒子の直径は上記大きさに限らず、更に大きくてもよい。

【0062】

また、網状の微結晶半導体118bは、図8(B)に示すように、微結晶半導体が部分的に連続している形状をいい、微結晶半導体の連続部は規則的（例えば、格子状、ジグザグ状）でも不規則的でもよい。図8(B)には、不規則に微結晶半導体が連続している上面形状を示す。

10

【0063】

このような網状の微結晶半導体118bは、ゲート絶縁層107上に非晶質半導体または微結晶半導体を形成した後、非晶質半導体または微結晶半導体が溶融する程度のエネルギーを有するレーザビームを照射して、半導体を溶融した後凝固させることで、部分的に連続している網状の微結晶半導体118bを形成することができる。

【0064】

ゲート絶縁層107及びバッファ層131の間に分散された微結晶半導体粒子または網状の微結晶半導体118を形成することで、バッファ層131とゲート絶縁層107との密着性を高めることができる。このため、薄膜トランジスタの歩留まりを高めることができる。また、バッファ層131がNH基を有する非晶質半導体層で形成されているため、分散された微結晶半導体または網状の微結晶半導体118とバッファ層との界面におけるダングリングボンドをNH基が架橋し、当該界面における欠陥準位を低減することが可能である。または、分散された微結晶半導体または網状の微結晶半導体118とバッファ層との界面におけるダングリングボンドをNH₂基が終端し、当該界面における欠陥準位を低減することが可能である。

20

【0065】

本実施の形態により、非晶質半導体をチャネル形成領域に有する薄膜トランジスタと比較して、薄膜トランジスタのオン電流を高めると共に、微結晶半導体をチャネル形成領域に有する薄膜トランジスタと比較して、薄膜トランジスタのオフ電流を低減することができる。また、ゲート絶縁層上に分散された微結晶半導体粒子または網状の微結晶半導体を形成することでゲート絶縁層及びバッファ層の密着性が向上するため、歩留まりを高めることができる。

30

【0066】

（実施の形態3）

本実施の形態では、実施の形態1と異なる薄膜トランジスタの形態について、図9を参照して説明する。

【0067】

本実施の形態にかかる薄膜トランジスタにおいて、図9(B)のA-Bにおける断面図を図9(A)に示す。図9(A)に示す薄膜トランジスタは、基板101上にゲート電極層103を有し、ゲート電極層103を覆うゲート絶縁層107を有し、ゲート絶縁層107上に接してチャネル形成領域として機能する半導体層143を有し、半導体層143上にバッファ層159を有し、バッファ層159の一部に接してソース領域及びドレイン領域157を有する。また、ソース領域及びドレイン領域157上に接して配線層153、155を有する。配線層153、155はソース電極及びドレイン電極を構成する。また、各層は所望の形状にパターン形成されている。ここでは、バッファ層159を、NH基を有する非晶質半導体層で形成することを特徴とする。

40

【0068】

また、本実施の形態の薄膜トランジスタは、図9(B)に示すように上面形状において、配線層153、155の外縁にソース領域及びドレイン領域157が露出していることを特徴とする。このような構造は、多階調マスクを用いたフォトリソグラフィ工程を用いる

50

ことにより形成される。

【0069】

半導体層143、バッファ層159、ソース領域及びドレイン領域157、並びに配線層153、155は、それぞれ実施の形態1に示す半導体層115、バッファ層131、ソース領域及びドレイン領域129、並びに配線層123、125と同様の材料を適宜用いて形成することができる。

【0070】

本実施の形態では、ソース電極及びドレイン電極の一方は、U字型（またはコの字型、馬蹄型）の形状で設けられ、これがソース電極及びドレイン電極の他方を部分的に囲い込んでいる。ソース電極とドレイン電極との距離はほぼ一定に保たれている（図9（B）を参照）。 10

【0071】

ソース電極及びドレイン電極の一方を上記した形状とすることで、該薄膜トランジスタのチャンネル幅を大きくすることができ、薄膜トランジスタがオンのときの電流量が増大する。また、電気的特性のばらつきを低減することができる。更には、作製工程におけるマスクパターンのずれによる信頼性の低下を抑制することができる。ただし、本発明はこれに限定されず、ソース電極及びドレイン電極の一方は必ずしもU字型でなく、ソース電極及びドレイン電極の対向部が直線状でもよい。また、実施の形態1及び実施の形態2の薄膜トランジスタの上面形態を、本実施の形態と同様にすることができる。 20

【0072】

本実施の形態により、非晶質半導体をチャンネル形成領域に有する薄膜トランジスタと比較して、薄膜トランジスタのオン電流を高めると共に、微結晶半導体をチャンネル形成領域に有する薄膜トランジスタと比較して、薄膜トランジスタのオフ電流を低減することができる。

【0073】

（実施の形態4）

本実施の形態では、薄膜トランジスタ及び表示装置の画素部の作製方法について、以下に示す。ここでは、表示装置として液晶表示装置を用いて説明する。薄膜トランジスタではp型よりもn型の方が、キャリアの移動度が高い。また、同一の基板上に形成する薄膜トランジスタを全て同じ極性に統一すると、工程数を抑えることができ、好ましい。そのため、本実施の形態では、n型の薄膜トランジスタの作製方法について説明する。 30

【0074】

まず、基板101上にゲート電極層103、及び容量配線105を形成する（図10（A）を参照）。

【0075】

基板101としては、実施の形態1に示す基板101を適宜用いることができる。

【0076】

ゲート電極層103、及び容量配線105は、実施の形態1に示すゲート電極層103に示す材料を適宜用いて形成する。ゲート電極層103、容量配線105は、基板101上に、スパッタリング法または真空蒸着法を用いて上記した材料により導電層を形成し、該導電層上にフォトリソグラフィ法またはインクジェット法等によりマスクを形成し、該マスクを用いて導電層をエッチングして形成することができる。また、銀、金または銅等の導電性ナノペーストをインクジェット法により基板上に吐出し、焼成することで形成することもできる。なお、上記の金属材料の窒化物層を、基板101と、ゲート電極層103、容量配線105との間に設けてもよい。ここでは、基板101上に導電層を形成し、フォトリソマスクを用いて形成したレジストマスクによりエッチングする。 40

【0077】

なお、ゲート電極層103、及び容量配線105の側面は、テーパ形状とすることが好ましい。ゲート電極層103、及び容量配線105上には、後の工程で半導体層及び配線層を形成するので、段差の箇所における配線切れ防止のためである。ゲート電極層103 50

、及び容量配線105の側面をテーパ形状にするためには、レジストマスクを後退させつつエッチングを行えばよい。例えば、エッチングガスに酸素ガスを含ませることでレジストマスクを後退させつつエッチングを行うことが可能である。

【0078】

また、ゲート電極層103を形成する工程によりゲート配線（走査線）及び容量配線105も同時に形成することができる。なお、走査線とは画素を選択する配線をいい、容量配線とは画素の保持容量の一方の電極に接続された配線をいう。ただし、これに限定されず、ゲート配線及び容量配線の一方または双方と、ゲート電極層103とは別に設けてもよい。

【0079】

次に、ゲート電極層103を覆ってゲート絶縁層107、半導体層109、バッファ層111、及び不純物半導体層113を形成する。

【0080】

ゲート絶縁層107は、実施の形態1に示すゲート絶縁層107の材料を適宜用いて形成することができる。ゲート絶縁層107は、CVD法またはスパッタリング法等を用いて形成することができる。ゲート絶縁層107は、CVD法を用いて形成する場合、1MHzから20MHz、代表的には13.56MHzの高周波電力、または20MHzより大きく120MHz程度までの高周波電力、代表的には27.12MHz、60MHzの高周波電力を用いたプラズマCVD法を用いて形成することができる。また、ゲート絶縁層107は、高周波数（1GHz以上）のマイクロ波プラズマCVD装置を用いて形成してもよい。マイクロ波プラズマCVD装置を用いてゲート絶縁層107を形成すると、ゲート電極と、ドレイン電極及びソース電極との間の耐圧を向上させることができるため、信頼性の高い薄膜トランジスタを得ることができる。

【0081】

ここでは、ゲート絶縁層107の一例として、 SiH_4 の流量を30sccm、 N_2O の流量を1200sccmとし、材料ガスを処理室内に導入して安定させ、処理室内の圧力を40Pa、基板の温度を280℃として50Wの出力によりプラズマ放電を行うことで、約110nmの酸化窒化シリコン層を形成する。その後、窒化シリコン層と同様に、 SiH_4 の導入のみを停止し、その数秒後にプラズマの放電を停止させる。

【0082】

半導体層109は、2nm以上60nm以下、好ましくは10nm以上30nm以下の厚さで形成するとよい。

【0083】

半導体層109は、プラズマCVD装置の反応室内において、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより、微結晶半導体層を形成する。シリコンまたはゲルマニウムを含む堆積性気体の流量に対して、水素の流量を10～2000倍、好ましくは50～200倍に希釈して微結晶半導体層を形成する。

【0084】

また、シリコンまたはゲルマニウムを含む堆積性気体の代表例としては、 SiH_4 、 Si_2H_6 、 GeH_4 、 Ge_2H_6 等がある。

【0085】

ここでは、半導体層109の一例として、 SiH_4 の流量を10sccm、 H_2 の流量を1500sccmとして材料ガスを処理室内に導入して安定させ、処理室内の圧力を280Pa、基板の温度を280℃とし、50Wの出力によりプラズマ放電を行うことで、約50nmの微結晶シリコン層を形成することができる。その後、上記した酸化窒化シリコン層等の形成と同様に、 SiH_4 の導入のみを停止し、その数秒後にプラズマの放電を停止させる。

【0086】

次に、バッファ層111の形成方法について説明する。

【0087】

バッファ層 111 は、NH 基を有する非晶質半導体層で形成されている。好ましくは、非晶質半導体層のダングリングボンドが NH 基で架橋されている。NH 基によるダングリングボンドの架橋は、例えば、酸素濃度を低くし、窒素濃度を酸素濃度よりも高くして、バッファ層 111 を形成することができる。ここで、窒素濃度は酸素濃度よりも一桁以上高いことが好ましい。より具体的には、二次イオン質量分析法によって計測される酸素の濃度を $5 \times 10^{18} \text{ cm}^{-3}$ 以下とする。また、窒素の濃度を $1 \times 10^{20} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下、好ましくは $2 \times 10^{20} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下とする。

【0088】

本実施の形態では、ゲート絶縁層 107 として、窒化シリコン層上に酸化窒化シリコン層を積層した構造とし、半導体層 109 として、微結晶シリコン層を形成し、微結晶半導体層をアンモニアに曝すことで、半導体層 109 表面に窒素、好ましくは NH 基を供給し、バッファ層の窒素濃度を制御する。

【0089】

ここで、ゲート絶縁層 107、半導体層 109、バッファ層 111、並びに不純物半導体層 113 の形成の一例について詳細に説明する。これらの層は CVD 法等を用いて形成する。また、ゲート絶縁層 107 は、窒化シリコン層上に酸化窒化シリコン層を設けた積層構造とする。このような構造とすることで、窒化シリコン層により基板中に含まれる電気的特性に影響を及ぼす元素（基板がガラスである場合にはナトリウム等の元素）が、半導体層 109 等に侵入することを防止することができる。図 14 は、これらを形成する際に用いる CVD 装置の模式図を示す。

【0090】

図 14 に示すプラズマ CVD 装置 261 は、ガス供給手段 250 及び排気手段 251 に接続されている。

【0091】

図 14 に示すプラズマ CVD 装置 261 は、処理室 241 と、ステージ 242 と、ガス供給部 243 と、シャワープレート 244 と、排気口 245 と、上部電極 246 と、下部電極 247 と、交流電源 248 と、温度制御部 249 と、を具備する。

【0092】

処理室 241 は剛性のある素材で形成され、内部を真空排気できるように構成されている。処理室 241 には、上部電極 246 と下部電極 247 が備えられている。なお、図 14 では、容量結合型（平行平板型）の構成を示しているが、異なる二以上の高周波電力を印加して処理室 241 の内部にプラズマを生成できるものであれば、誘導結合型など他の構成を適用してもよい。

【0093】

図 14 に示すプラズマ CVD 装置により処理を行う際には、所定のガスをガス供給部 243 から供給する。供給されたガスは、シャワープレート 244 を通って、処理室 241 に導入される。上部電極 246 と下部電極 247 に接続された交流電源 248 により、高周波電力が印加されて処理室 241 内のガスが励起され、プラズマが生成される。また、真空ポンプに接続された排気口 245 によって、処理室 241 内のガスが排気されている。また、温度制御部 249 によって、被処理物を加熱しながらプラズマ処理することができる。

【0094】

ガス供給手段 250 は、反応ガスが充填されるシリンダ 252、圧力調整弁 253、ストップバルブ 254、マスフローコントローラ 255 などで構成されている。処理室 241 内において、上部電極 246 と基板 101 との間には板状に加工され、複数の細孔が設けられたシャワープレートを有する。上部電極 246 に供給される反応ガスは、中空構造であるシャワープレート 244 の内部の細孔から処理室 241 内に供給される。

【0095】

処理室 241 に接続される排気手段 251 には、真空排気と、反応ガスを流す場合におい

10

20

30

40

50

て処理室241内を所定の圧力に保持するように制御する機能が含まれている。排気手段251の構成としては、バタフライバルブ256、コンダクタンスバルブ257、ターボ分子ポンプ258、ドライポンプ259などが含まれる。バタフライバルブ256とコンダクタンスバルブ257を並列に配置する場合には、バタフライバルブ256を閉じてコンダクタンスバルブ257を動作させることで、反応ガスの排気速度を制御して処理室241の圧力を所定の範囲に保つことができる。また、コンダクタンスの大きいバタフライバルブ256を開くことで高真空排気が可能となる。

【0096】

なお、処理室241を 10^{-5} Paよりも低い圧力まで超高真空排気する場合には、クライオポンプ260を併用することが好ましい。その他、到達真空度として超高真空まで排気する場合には、処理室241の内壁を鏡面加工し、内壁からのガス放出を低減するためにベーキング用のヒータを設けても良い。

10

【0097】

なお、図14に示すように、処理室241の全体を覆って層が形成（被着）されるようにプレコート処理を行うと、処理室（チャンバー）内壁に付着した不純物元素、または処理室（チャンバー）内壁を構成する不純物元素が素子に混入することを防止することができる。本実施の形態では、プレコート処理はシリコンを主成分とする層を形成すればよく、例えば、非晶質シリコン層等を形成すればよい。ただし、この層には酸素が含まれないことが好ましい。

【0098】

ゲート絶縁層107の形成から不純物半導体層の形成までについて、図15を参照して以下に説明する。なお、ゲート絶縁層107は、窒化シリコン層上に酸化窒化シリコン層を積層して形成する。

20

【0099】

まず、ゲート電極層103が形成された基板をCVD装置の処理室241内にて加熱し、窒化シリコン層を形成するために、窒化シリコン層の堆積に用いる材料ガスを処理室241内に導入する（図15の予備処理201）。ここでは、一例として、 SiH_4 の流量を40 sccm、 H_2 の流量を500 sccm、 N_2 の流量を550 sccm、 NH_3 の流量を140 sccmとして材料ガスを導入して安定させ、処理室内の圧力を100 Pa、基板の温度を280℃とし、370 Wの出力によりプラズマ放電を行うことで、約110 nmの窒化シリコン層を形成する。その後、 SiH_4 の供給のみを停止して数秒後にプラズマの放電を停止させる（図15のSiN形成203）。処理室内に SiH_4 が存在する状態でプラズマの放電を停止させると、シリコンを主成分とする粒状物または粉状物が形成され、歩留まりを低下させる原因となるためである。

30

【0100】

次に、窒化シリコン層の堆積に用いた材料ガスを排気し、酸化窒化シリコン層の堆積に用いる材料ガスを処理室241内に導入する（図15のガス置換205）。ここでは、一例として、 SiH_4 の流量を30 sccm、 N_2O の流量を1200 sccmとし、材料ガスを導入して安定させ、処理室内の圧力を40 Pa、基板の温度を280℃として50 Wの出力によりプラズマ放電を行うことで、約110 nmの酸化窒化シリコン層を形成する。その後、窒化シリコン層と同様に、 SiH_4 の導入のみを停止し、その数秒後にプラズマの放電を停止させる（図15のSiON形成207）。

40

【0101】

上記の工程により、ゲート絶縁層107を形成することができる。ゲート絶縁層107の形成後、基板101を処理室241から搬出する（図15のunload225）。

【0102】

基板101を処理室241から搬出した後、処理室241に、例えば NF_3 ガスを導入し、処理室241内をクリーニングする（図15のクリーニング処理227）。その後、処理室241に非晶質シリコン層を形成する処理を行う（図15のプレコート処理229）。後に説明するバッファ層111の形成と同様に行うが、破線234に示すように水素は

50

処理室241内に導入してもよい。または、導入しなくてもよい。この処理により、処理室241の内壁に非晶質シリコン層が形成される。その後、基板101を処理室241内に搬入する(図15のload231)。

【0103】

次に、半導体層109の堆積に用いる材料ガスを処理室241内に導入する(図15のガス置換209)。次に、ゲート絶縁層107上の全面に半導体層109を形成する。半導体層109は、後の工程でパターン形成されて半導体層115となるものである。まず、半導体層109の堆積に用いる材料ガスを処理室内に導入する。ここでは、一例として、 SiH_4 の流量を10sccm、 H_2 の流量を1500sccmとして材料ガスを導入して安定させ、処理室内の圧力を280Pa、基板の温度を280℃とし、50Wの出力によりプラズマ放電を行うことで、約50nmの微結晶シリコン層を形成することができる。その後、上記した窒化シリコン層等の形成と同様に、 SiH_4 の導入のみを停止し、その数秒後にプラズマの放電を停止させる(図15の半導体層形成211)。

10

【0104】

次に、半導体層109の表面に窒素を供給する。ここでは、半導体層109の表面をアンモニアガスに曝すことで窒素を供給する(ここでは、フラッシュ処理という)(図15のフラッシュ処理213)。また、アンモニアガスには、破線236aで示すように水素を含ませてもよい。または、アンモニアガスの代わりに破線236bで示すように窒素ガス及び破線236aで示すように水素ガスを用いてもよい。または、アンモニアガス及び窒素ガスを用いてもよい。ここでは、一例として、処理室241内の圧力は概ね20Pa～30Pa、基板の温度は280℃とし、処理時間は60秒間とするとよい。また、フラッシュ処理の後に、処理室内を減圧または加圧して圧力を制御して、処理室241内の窒素の量を制御してもよい。なお、本工程の処理では基板101をアンモニアガスに曝すのみであるが、プラズマ処理を行ってもよい。その後、これらのガスを排気し、バッファ層111の堆積に用いるガスを導入する(図15のガス置換215)。

20

【0105】

次に、半導体層109上の全面にバッファ層111を形成する。バッファ層111は、後の工程でパターン形成されてバッファ層131となるものである。ここで、バッファ層は、NH基を有する非晶質半導体層を用いて形成する。ここでは、一例として、 SiH_4 の流量を280sccm、 H_2 の流量を300sccmとして材料ガスを導入して安定させ、処理室内の圧力を280Pa、基板の温度を280℃とし、RF電源周波数13.56MHz、RF電源の電力60Wの出力によりプラズマ放電を行うことで、約50nmの非晶質半導体層105a、ここではアモルファスシリコン層を形成することができる。当該工程において、フラッシュ処理により反応室内に導入されたアンモニアガスがプラズマ放電により分解され、NH基、または NH_2 基が生成される。また、非晶質半導体層が堆積される際に、非晶質半導体層に含まれる異なるダングリングボンドを架橋することができる。または、非晶質半導体層に含まれるダングリングボンドを終端することができる。なお、反応室に窒素を含有するガスとして、窒素ガスを導入した場合は、プラズマ放電により、当該窒素ガスと、非晶質半導体層の原料ガスである、水素ガスとが反応しNH基または NH_2 基を生成する。また、当該NH基が非晶質半導体層の異なるダングリングボンドを架橋する。または、非晶質半導体層に含まれるダングリングボンドを終端することができる。その後、上記した窒化シリコン層等の形成と同様に、 SiH_4 の導入のみを停止し、その数秒後にプラズマの放電を停止させる(図15のバッファ層形成217)。その後、これらのガスを排気し、不純物半導体層113の堆積に用いるガスを導入する(図15のガス置換219)。

30

40

【0106】

本実施の形態におけるバッファ層を形成する反応室には窒素を含有するガスが供給されている。窒素を含有するガスは、プラズマ放電により、NH基、または NH_2 基が形成される。また、上記したように、NH基はアモルファスシリコン層に含まれるダングリングボンドを架橋する。または、アモルファスシリコン層に含まれるダングリングボンドを終端

50

することができる。このため、窒素を含有するガスを供給した反応室において、半導体層 109 上にバッファ層 111 を形成することで、ダングリングボンドを架橋した NH 基を有する非晶質半導体層を形成することができる。または、ダングリングボンドを終端した NH₂ 基を有する非晶質半導体層を形成することができる。

【0107】

このような方法により形成したバッファ層 111 において、二次イオン質量分析法によって計測される窒素濃度は、半導体層 109 との界面でピーク濃度を有し、半導体層 109 の堆積方向に対して徐々に低減する濃度となる。

【0108】

なお、図 15 の破線 235 a に示すように、バッファ層形成 217 において、アンモニアガスを反応室内に流してもよい。また、アンモニアガスの代わりに破線 235 b に示すように窒素ガスを流してもよい。更には、アンモニアガス及び窒素ガスを流しても良い。この結果、バッファ層 111 の窒素濃度が高まり、アモルファスシリコン層に含まれるダングリングボンドが架橋または終端され、欠陥準位が低減する。

【0109】

このような方法により形成したバッファ層 111 において、二次イオン質量分析法によって計測される窒素濃度は、半導体層 109 との界面でピーク濃度を有し、半導体層 109 の堆積方向に対して一定な濃度となる。

【0110】

次に、バッファ層 111 上の全面に不純物半導体層 113 を形成する。不純物半導体層 113 は、後の工程でパターン形成されてソース領域及びドレイン領域 129 となるものである。まず、不純物半導体層 113 の堆積に用いる材料ガスを処理室 241 内に導入する。ここでは、一例として、SiH₄ の流量を 100 sccm、PH₃ を H₂ により 0.5 vol% まで希釈した混合ガスの流量を 170 sccm として材料ガスを導入して安定させる。処理室 241 内の圧力を 280 Pa、基板の温度を 280 °C とし、60 W の出力によりプラズマ放電を行うことで、約 50 nm の半導体層を形成することができる。その後、上記した窒化シリコン層等の形成と同様に、SiH₄ の導入のみを停止し、その数秒後にプラズマの放電を停止させる（図 15 の不純物半導体層形成 221）。その後、これらのガスを排気する（図 15 の排気 223）。

【0111】

以上説明したように、不純物半導体層 113 までを形成することができる（図 10（A）を参照）。

【0112】

次に、第 2 のフォトリソグラフィ工程により形成したレジストマスクを用いて、半導体層 109、バッファ層 111、及び不純物半導体層 113 をエッチングして、半導体層 115、バッファ層 117 及び不純物半導体層 119 を形成する（図 10（B）を参照）。その後、レジストマスクを除去する。

【0113】

次に、半導体層 115、バッファ層 117 及び不純物半導体層 119 を覆う導電層 121 を形成する（図 10（C）を参照）。

【0114】

導電層 121 は、実施の形態 1 に示す導電層 121 の材料及び積層構造を適宜用いることができる。導電層 121 は、CVD 法、スパッタリング法または真空蒸着法を用いて形成する。また、導電層 121 は、銀、金または銅等の導電性ナノペーストを用いてスクリーン印刷法またはインクジェット法等を用いて配置し、焼成することで形成しても良い。その後、導電層 121 上にレジストマスクを形成する。

【0115】

次に、第 3 のフォトリソグラフィ工程により形成したレジストマスクを用いて導電層 121 をエッチングして配線層 123、125 を形成する（図 11（A）を参照）。配線層 123、125 は、ソース電極及びドレイン電極を構成する。導電層 121 のエッチングは

10

20

30

40

50

、ウェットエッチングを用いることが好ましい。ウェットエッチングにより、導電層が等方的にエッチングされる。その結果、導電層の両端はレジストマスクの両端よりも内側に後退し、配線層 1 2 3、1 2 5 が形成される。従って、配線層 1 2 3、1 2 5 の側面と、エッチングされたソース領域及びドレイン領域 1 2 9 の側面は一致せず、配線層 1 2 3、1 2 5 の側面の外側に、ソース領域及びドレイン領域の側面が形成される。配線層 1 2 3、1 2 5 は、ソース電極及びドレイン電極のみならず信号線としても機能する。ただし、これに限定されず、信号線と配線層 1 2 3、1 2 5 とは別に設けてもよい。

【0116】

次に、第 3 のフォトリソグラフィ工程により形成したレジストマスクを用いてエッチングされたバッファ層 1 1 7 の一部と、不純物半導体層 1 1 9 をエッチングする（図 1 1 (B) 参照）。本工程までで半導体層 1 1 5、バッファ層 1 3 1、並びにソース領域及びドレイン領域 1 2 9 が形成される。この後、レジストマスクを除去する。このときの図 1 1 (B) の上面図を図 1 3 (A) に示す。

10

【0117】

次に、ドライエッチングを行うとよい。ドライエッチングの条件は、露出しているバッファ層 1 3 1 にダメージが入らず、且つバッファ層 1 3 1 に対するエッチングレートが低い条件を用いる。つまり、露出しているバッファ層 1 3 1 表面にほとんどダメージを与えず、且つ露出しているバッファ層 1 3 1 の膜厚がほとんど減少しない条件を用いる。エッチングガスとしては、塩素系ガスを用い、代表的には Cl_2 ガスを用いる。また、エッチング方法については特に限定はなく、誘導結合型プラズマ (ICP: Inductively Coupled Plasma) 方式、容量結合型プラズマ (CCP: Capacitively Coupled Plasma) 方式、電子サイクロトン共鳴プラズマ (ECR: Electron Cyclotron Resonance) 方式、反応性イオンエッチング (RIE: Reactive Ion Etching) 方式等を用いることができる。

20

【0118】

ここで、用いることのできるドライエッチング条件の一例として、 Cl_2 ガスの流量を 1 0 0 s c c m、チャンバー内の圧力を 0. 6 7 P a、下部電極温度を -10°C とし、上部電極のコイルに 2 0 0 0 W の R F (1 3. 5 6 M H z) 電力を投入してプラズマを生成し、基板 1 0 1 側には電力を投入せず 0 W (すなわち、無バイアスとして) として、3 0 秒間のエッチングを行う。チャンバー内壁の温度は約 80°C とすることが好ましい。

30

【0119】

次に、バッファ層 1 3 1 の表面に水プラズマ、アンモニアプラズマ、窒素プラズマ等を照射してもよい。

【0120】

水プラズマ処理は、反応空間に水蒸気 (H_2O 蒸気) に代表される、水を主成分とするガスを導入し、プラズマを生成して、行うことができる。

【0121】

上記したように、一対のソース領域及びドレイン領域 1 2 9 を形成した後に、バッファ層 1 3 1 にダメージを与えない条件で更なるドライエッチングを行うことで、露出したバッファ層 1 3 1 上に存在する残渣などの不純物元素を除去することができる。また、ドライエッチングに続けて水プラズマ処理を行うことで、レジストマスクの残渣を除去することができる。水プラズマ処理を行うことで、ソース領域とドレイン領域との間の絶縁を確実なものにすることができ、完成する薄膜トランジスタのオフ電流を低減し、オン電流を向上させ、電気的特性のばらつきを低減することができる。

40

【0122】

なお、プラズマ処理等の工程は上記の順番に限定されず、レジストマスク 1 3 2 を除去する前に、無バイアスでのエッチングや、プラズマ処理を行ってもよい。

【0123】

以上の工程により本実施の形態に係る薄膜トランジスタを作製することができる。本実施

50

の形態に係る薄膜トランジスタは、実施の形態1にて説明した薄膜トランジスタと同様に、液晶表示装置に代表される表示装置の画素におけるスイッチングトランジスタに適用することができる。そのため、この薄膜トランジスタを覆って、絶縁層133を形成する。

【0124】

次に、絶縁層133に開口部134、136を形成する。この開口部134、136は、第4のフォトリソグラフィ工程により形成することができる。なお、絶縁層133が感光性樹脂で形成される場合は、第4のフォトリソグラフィ工程により絶縁層133を形成することができる。その後、当該開口部134、136を介して接続されるように、絶縁層133上に画素電極層135を設ける。このようにして図12(A)に示す表示装置の画素におけるスイッチングトランジスタを作製することができる。

10

【0125】

なお、絶縁層133は、ゲート絶縁層107と同様に形成することができる。さらには、絶縁層133は、大気中に浮遊する有機物、金属または水蒸気等の汚染源となりうる不純物元素の侵入を防ぐことができるよう、緻密な窒化シリコン層により設けることが好ましい。

【0126】

なお、画素電極層135は、透光性を有する導電性高分子（導電性ポリマーともいう。）を含む導電性組成物を用いて形成することができる。画素電極層135は、シート抵抗が $10000\Omega/\square$ 以下であって、且つ波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\Omega\cdot\text{cm}$

20

【0127】

導電性高分子としては、いわゆる π 電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、またはこれらの2種以上の共重合体等が挙げられる。

【0128】

画素電極層135は、例えば、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、または酸化シリコンを添加したインジウム錫酸化物等を用いて形成することができる。

30

【0129】

画素電極層135は、配線層123、125等と同様に、フォトリソグラフィ法を用いてエッチングを行い、パターン形成すればよい。

【0130】

なお、図示していないが、絶縁層133と画素電極層135との間に、スピンコーティング法等により形成した有機樹脂からなる絶縁層を有していても良い。また、当該有機樹脂からなる絶縁層を感光性樹脂を用いて形成することで工程数を削減することができる。

【0131】

この後、VA（Vertical Alignment）方式の液晶表示装置において、視野角拡大のために、画素を複数部分に分割し、分割された画素の各部分の液晶の配向を異ならせるマルチドメイン方式（いわゆるMVA方式）の場合、画素電極層135上に所定の形状を有する突起物137を形成することが好ましい。突起物137は、絶縁層で形成する。このときの図12(B)の上面図を図13(B)に示す。

40

【0132】

ここでは、感光性アクリルを含む組成物を塗布して厚さ $0.9\sim 1.0\mu\text{m}$ の組成物層を形成した後、 90°C で120秒加熱して組成物層を乾燥させる。次に、フォトリソマスクを用いて組成物層を露光した後現像して、所定の形状とする。次に、 230°C で1時間加熱して、アクリル樹脂層を形成する。

【0133】

50

画素電極層上に突起物 1 3 7 が形成されると、画素電極の電圧がオフの時には、液晶が配向膜表面に対して垂直に配向するが、突起部近傍の液晶は基板面に対してわずかに傾斜した配向となる。画素電極層の電圧がオンとなると、まず傾斜配向部の液晶が傾斜する。また、突起部近傍以外の液晶もこれらの液晶の影響を受け、順次同じ方向へと配列する。この結果、画素全体に対して安定した配向が得られる。即ち、突起物を起点として表示部全体の配向が制御される。

【0 1 3 4】

また、画素電極層上に突起物を設ける代わりに、画素電極にスリットを設けてもよい。この場合、電圧を画素電極層に印加すると、スリット近傍には電界の歪が生じ、突起物を画素電極層上に設けた場合と同様の電界分布及び液晶配向の制御が可能である。

10

【0 1 3 5】

以上の工程により、非晶質半導体をチャンネル形成領域に有する薄膜トランジスタと比較して、オン電流が高く、微結晶半導体をチャンネル形成領域に有する薄膜トランジスタと比較して、オフ電流の低い薄膜トランジスタを有し、且つ液晶表示装置に用いることが可能な素子基板を作製することができる。

【0 1 3 6】

(実施の形態 5)

本実施の形態では、実施の形態 4 に適用可能なバッファ層の形成工程について説明する。

【0 1 3 7】

本実施の形態では、バッファ層 1 1 1 の堆積前に処理室内をクリーニングし、その後窒化シリコン層によりチャンバー内壁を覆うことでバッファ層 1 1 1 に窒素を含ませて、酸素濃度を低く抑え、窒素濃度を酸素濃度よりも高くする。ゲート絶縁層 1 0 7 の形成から半導体層 1 0 9 の形成方法は実施の形態 4 と同様であるため、ここでは、半導体層 1 0 9 から不純物半導体層 1 1 3 の形成までについて、図 1 6 を参照して以下に説明する。

20

【0 1 3 8】

ゲート絶縁層 1 0 7 上の全面に半導体層 1 0 9 を形成する。半導体層 1 0 9 は、後の工程でパターン形成されて半導体層 1 1 5 となるものである。まず、半導体層 1 0 9 の堆積に用いる材料ガスを処理室内に導入する。ここでは、一例として、実施の形態 4 と同様の方法により、半導体層 1 0 9 として約 5 0 n m の微結晶半導体層を形成する。その後、プラズマの放電を停止させる (図 1 6 の半導体層形成 2 1 1)。その後、基板 1 0 1 を処理室 2 4 1 から搬出する (図 1 6 の u n l o a d 2 2 5)。

30

【0 1 3 9】

基板 1 0 1 を処理室 2 4 1 から搬出した後、処理室 2 4 1 に、例えば NF_3 ガスを導入し、処理室 2 4 1 内をクリーニングする (図 1 6 のクリーニング処理 2 2 7)。その後、処理室 2 4 1 に窒化シリコン層を形成する処理を行う (図 1 6 のプレコート処理 2 3 3)。窒化シリコン層としては、実施の形態 4 のゲート絶縁層で形成した窒化シリコン層と同様の条件を用いる。この処理により、処理室 2 4 1 の内壁に窒化シリコン層が形成される。その後、基板 1 0 1 を処理室 2 4 1 内に搬入する (図 1 6 の l o a d 2 3 1)。

【0 1 4 0】

次に、バッファ層 1 1 1 の堆積に用いる材料ガスを処理室 2 4 1 内に導入する (図 1 6 のガス置換 2 1 5)。次に、半導体層 1 0 9 上の全面にバッファ層 1 1 1 を形成する。バッファ層 1 1 1 は、後の工程でパターン形成されてバッファ層 1 3 1 となるものである。ここで、バッファ層は、実施の形態 4 と同様の方法により、約 8 0 n m の NH 基を含むアモルファスシリコン層を形成することができる。その後、プラズマの放電を停止させる (図 1 6 のバッファ層形成 2 1 7)。その後、これらのガスを排気し、不純物半導体層 1 1 3 の堆積に用いるガスを導入する (図 1 6 のガス置換 2 1 9)。また、実施の形態 4 と同様に、不純物半導体層 1 1 3 を形成する (図 1 6 の不純物半導体層形成 2 2 1)。

40

【0 1 4 1】

本実施の形態における処理室 2 4 1 の表面には窒化シリコン層が形成されている。バッファ層 1 1 1 の形成工程において、処理室 2 4 1 内に形成された窒化シリコン層がプラズマ

50

に曝されると、窒素が、好ましくはNH基またはNH₂基を解離し、バッファ層111の堆積初期堆積初期に窒素、好ましくはNH基またはNH₂基を混入させることができる。さらには、非晶質半導体層が堆積される際に非晶質半導体層の異なるダングリングボンドを架橋することができる。また、非晶質半導体層が堆積される際に非晶質半導体層のダングリングボンドを終端することができる。

【0142】

このような方法により形成したバッファ層111において、二次イオン質量分析法によって計測される窒素濃度は、半導体層109との界面でピーク濃度を有し、半導体層109が堆積するにつれ、窒素濃度が低減する。

【0143】

上記説明したように、少なくとも半導体層を形成する直前に処理室の内壁を窒化シリコン層により覆うことで、酸素濃度を低く抑え、窒素濃度を酸素濃度よりも高くすることが可能であり、NH基を有する非晶質半導体層を形成することができる。

【0144】

また、処理室の内壁を窒化シリコン層で覆うことで、処理室の内壁を構成する元素等が半導体層に混入することを防ぐことができる。

【0145】

なお、図16の破線237aに示すように、バッファ層形成217において、アンモニアガスを反応室内に流してもよい。または、アンモニアガスの代わりに破線237bに示すように窒素ガスを用いてもよい。さらには、アンモニアガス及び窒素ガスを用いてもよい。この結果、バッファ層111の窒素濃度が高まり、バッファ層111に含まれるダングリングボンドが架橋され、欠陥準位が低減する。

【0146】

このような方法により形成したバッファ層111において、二次イオン質量分析法によって計測される窒素濃度は、半導体層109との界面でピーク濃度を有し、半導体層109の堆積方向に対して一定な濃度となる。

【0147】

なお、上記の説明では、半導体層109を形成した処理室と同様の処理室でバッファ層111を形成したため、半導体層109の形成後にクリーニング処理とプレコート処理を行う形態について説明したが、本実施の形態は、実施の形態4と組み合わせて実施してもよい。すなわち、半導体層109を堆積した後、処理室241に窒化シリコン層を形成した後、フラッシュ処理213してもよい。

【0148】

以上の工程により、非晶質半導体をチャネル形成領域に有する薄膜トランジスタと比較して、オン電流が高く、微結晶半導体をチャネル形成領域に有する薄膜トランジスタと比較して、オフ電流の低い薄膜トランジスタを作製することができる。

【0149】

(実施の形態6)

本実施の形態では、実施の形態4に適用可能なバッファ層の形成工程について説明する。

【0150】

本実施の形態では、バッファ層111の堆積ガスに窒素を混入させることで、酸素濃度を低く抑え、窒素濃度を酸素濃度よりも高くする。ゲート絶縁層107の形成から半導体層109の形成方法は実施の形態4と同様であるため、ここでは、半導体層109から不純物半導体層113の形成までについて、図17を参照して以下に説明する。

【0151】

ゲート絶縁層107上の全面に半導体層109を形成する。半導体層109は、後の工程でパターン形成されて半導体層115となるものである。まず、半導体層109の堆積に用いる材料ガスを処理室内に導入する。ここでは、一例として、実施の形態4と同様の方法により、半導体層109として約50nmの微結晶シリコン層を形成する。その後、プラズマの放電を停止させる(図17の半導体層形成211)。その後、これらのガスを排

10

20

30

40

50

気し、バッファ層 1 1 1 の堆積に用いるガスを導入する（図 1 7 のガス置換 2 1 5）。

【0 1 5 2】

次に、半導体層 1 0 9 上にバッファ層 1 1 1 を形成する。バッファ層 1 1 1 は、後の工程でパターン形成されてバッファ層 1 3 1 となるものである。ここでは、一例として、 SiH_4 の流量を 280 sccm 、 H_2 の流量を 300 sccm 、 NH_3 の流量を 20 sccm として材料ガスを導入して安定させ、処理室内の圧力を 170 Pa 、基板の温度を 280°C とし、RF 電源周波数 13.56 MHz 、RF 電源の電力 60 W の出力によりプラズマ放電を行い、約 50 nm のアモルファスシリコン層を形成することができる。（図 1 7 のバッファ層形成 2 1 7）。その後、これらのガスを排気し、不純物半導体層 1 1 3 の堆積に用いるガスを導入する（図 1 7 のガス置換 2 1 9）。また、実施の形態 4 と同様に、不純物半導体層 1 1 3 を形成する（図 1 7 の不純物半導体層形成 2 2 1）。

10

【0 1 5 3】

なお、アンモニアガスの代わりに破線 2 3 8 で示すように窒素ガスを用いてもよい。

【0 1 5 4】

本実施の形態におけるバッファ層 1 1 1 の原料ガスには窒素を含有するガスが含まれている。窒素を含有するガスは、プラズマ放電により、NH 基または NH_2 基が形成される。上記したように、NH 基はアモルファスシリコン層に含まれるダングリングボンドを架橋する。このため、ダングリングボンドを架橋した NH 基を有する非晶質半導体層を形成することができる。また、 NH_2 基はアモルファスシリコン層に含まれるダングリングボンドを終端する。このため、ダングリングボンドを終端した NH_2 基を有する非晶質半導体層を形成することができる。

20

【0 1 5 5】

このような方法により形成したバッファ層 1 1 1 において、二次イオン質量分析法によって計測される窒素濃度はバッファ層 1 1 1 において一定の濃度を示す。

【0 1 5 6】

上記説明したように、バッファ層の堆積時のガスに窒素を含ませることで、酸素濃度を低く抑え、窒素濃度を酸素濃度よりも高くすることが可能であり、実施の形態 4 に適用可能なバッファ層を形成することができる。

【0 1 5 7】

（実施の形態 7）

30

実施の形態 4 乃至実施の形態 6 において、窒素濃度の分布が異なる NH 基を有する非晶質半導体層の作製方法について、図 1 8 及び図 1 9 を用いて示す。

【0 1 5 8】

本実施の形態では、バッファ層 1 1 1 に、窒素、更には NH 基を添加する方法として、実施の形態 4 において、半導体層形成 2 1 1 処理の後、フラッシュ処理 2 1 3 で窒素を含有するガスを反応室内に導入すると共に、バッファ層 1 1 1 を形成している間、実線 2 3 9 c で示すように窒素を含有するガスを再度反応室内に導入する（図 1 8 参照）。窒素を含有するガスとして、ここではアンモニアガスを用いる。なお、アンモニアガスの代わりに破線 2 3 9 d に示すように窒素ガスを用いてもよい。さらには、アンモニアガス及び窒素ガスを用いてもよい。この結果、バッファ層 1 1 1 の堆積初期及び堆積途中において、窒素濃度が高くなりバッファ層 1 1 1 の欠陥準位を低減することができる。

40

【0 1 5 9】

または、バッファ層 1 1 1 に、窒素、更には NH 基を添加する方法として、実施の形態 5 において、半導体層を形成した後、プレコート処理 2 3 3 により反応室に窒化シリコン層を形成すると共に、バッファ層 1 1 1 を形成している間、実線 2 3 9 c で示すように窒素を含有するガスを再度反応室内に導入する（図 1 9 参照）。窒素を含有するガスとして、ここではアンモニアガスを用いる。なお、アンモニアガスの代わりに破線 2 3 9 d に示すように窒素ガスを用いてもよい。さらには、アンモニアガス及び窒素ガスを用いてもよい。この結果、バッファ層 1 1 1 の堆積初期及び堆積途中において、窒素濃度が高くなりバッファ層 1 1 1 の欠陥準位を低減することができる。

50

【0160】

以上により、バッファ層の上側、即ちソース領域及びドレイン領域側における窒素濃度を制御することで、バッファ層の欠陥準位の割合を低減することが可能であり、薄膜トランジスタのオフ電流を低減することができる。

【0161】

(実施の形態8)

本実施の形態では、実施の形態3に示す薄膜トランジスタの作製方法について、説明する。本実施の形態でも、n型の薄膜トランジスタの作製方法について説明する。

【0162】

実施の形態4と同様に、第1のフォトリソグラフィ工程を用いて、基板101上にゲート電極層103及び容量配線105を形成する。

10

【0163】

次に、ゲート電極層103を覆ってゲート絶縁層107、半導体層109、バッファ層111、不純物半導体層113、及び導電層121を形成する。その後、導電層121上に第2のフォトリソグラフィ工程によりレジストマスク141を形成する(図20(A)を参照)。

【0164】

ゲート絶縁層107、半導体層109、バッファ層111、および不純物半導体層113の形成方法としては、実施の形態4乃至実施の形態7のいずれかの形態を適用すればよい。

20

【0165】

レジストマスク141は厚さの異なる二の領域を有し、多階調マスクを用いて形成することができる。多階調マスクを用いることで、使用するフォトマスクの枚数が低減され、作製工程数が減少するため好ましい。本実施の形態において、半導体層のパターンを形成する工程と、ソース領域とドレイン領域を分離する工程において、多階調マスクを用いて形成したレジストマスクを用いることができる。

【0166】

多階調マスクとは、多段階の光量で露光を行うことが可能なマスクであり、代表的には、露光領域、半露光領域及び未露光領域の3段階の光量で露光を行う。多階調マスクを用いることで、一度の露光及び現像工程によって、複数(代表的には二種類)の厚さを有するレジストマスクを形成することができる。そのため、多階調マスクを用いることで、フォトマスクの枚数を削減することができる。

30

【0167】

図24(A-1)及び図24(B-1)は、代表的な多階調マスクの断面図を示す。図24(A-1)にはグレートーンマスク180を示し、図24(B-1)にはハーフトーンマスク185を示す。

【0168】

図24(A-1)に示すグレートーンマスク180は、透光性を有する基板181上に遮光層により形成された遮光部182、及び遮光層のパターンにより設けられた回折格子部183で構成されている。

40

【0169】

回折格子部183は、露光に用いる光の解像度限界以下の間隔で設けられたスリット、ドットまたはメッシュ等を有することで、光の透過率を制御する。なお、回折格子部183に設けられるスリット、ドットまたはメッシュは周期的なものであってもよいし、非周期的なものであってもよい。

【0170】

透光性を有する基板181としては、石英等を用いることができる。遮光部182及び回折格子部183を構成する遮光層は、金属を用いて形成すればよく、好ましくはクロムまたは酸化クロム等により設けられる。

【0171】

50

グレートンマスク180に露光するための光を照射した場合、図24(A-2)に示すように、遮光部182に重畳する領域における透光率は0%となり、遮光部182または回折格子部183が設けられていない領域における透光率は100%となる。また、回折格子部183における透光率は、概ね10~70%の範囲であり、回折格子のスリット、ドットまたはメッシュの間隔等により調整可能である。

【0172】

図24(B-1)に示すハーフトンマスク185は、透光性を有する基板186上に半透光層により形成された半透光部187、及び遮光層により形成された遮光部188で構成されている。

【0173】

半透光部187は、MoSiN、MoSi、MoSiO、MoSiON、CrSi等の層を用いて形成することができる。遮光部188は、グレートンマスクの遮光層と同様の金属を用いて形成すればよく、好ましくはクロムまたは酸化クロム等により設けられる。

【0174】

ハーフトンマスク185に露光するための光を照射した場合、図24(B-2)に示すように、遮光部188に重畳する領域における透光率は0%となり、遮光部188または半透光部187が設けられていない領域における透光率は100%となる。また、半透光部187における透光率は、概ね10~70%の範囲であり、形成する材料の種類または形成する厚さ等により、調整可能である。

【0175】

多階調マスクを用いて露光して現像を行うことで、厚さの異なる領域を有するレジストマスクを形成することができる。

【0176】

次に、レジストマスク141を用いて、半導体層109、バッファ層111、不純物半導体層113、及び導電層121をエッチングする。この工程により、半導体層109、バッファ層111、不純物半導体層113及び導電層121を素子毎に分離し、半導体層143、バッファ層145、不純物半導体層147、及び導電層149を形成する(図20(B)を参照)。

【0177】

次に、レジストマスク141を後退させてレジストマスク151を形成する。レジストマスクの後退には、酸素プラズマによるアッシングを用いればよい。ここでは、ゲート電極上で分離するようにレジストマスク141をアッシングする。この結果、レジストマスク151は分離されている(図21(A)参照)。

【0178】

次に、レジストマスク151を用いて導電層149をエッチングし、配線層153、155を形成する(図21(B)を参照)。配線層153、155は、ソース電極及びドレイン電極を構成する。導電層149のエッチングは、実施の形態4に示す導電層121のエッチングと同様に行うことが好ましい。

【0179】

次に、レジストマスク151が形成された状態で、バッファ層145の一部及び不純物半導体層147をエッチングして、バッファ層159、並びにソース領域及びドレイン領域157を形成する(図21(C)を参照)。この後、レジストマスク151を除去する。このときの図21(C)の上面図を図23(A)に示す。

【0180】

次に、実施の形態1と同様に、ドライエッチングを行うとよい。更には、バッファ層159の表面に水プラズマ、アンモニアプラズマ、窒素プラズマ等を照射してもよい。

【0181】

以上の工程により本実施の形態に係る薄膜トランジスタを作製することができる。本実施の形態に係る薄膜トランジスタは、実施の形態4にて説明した薄膜トランジスタと同様に、液晶表示装置に代表される表示装置の画素におけるスイッチングトランジスタに適用す

10

20

30

40

50

ることができる。そのため、この薄膜トランジスタを覆って、絶縁層 133 を形成する（図 22（A）参照）。

【0182】

次に、配線層 153、155 により構成されるソース電極及びドレイン電極に達するように、絶縁層 133 に開口部 134、160 を形成する。この開口部 134、160 は、第 3 のフォトリソグラフィ工程により形成することができる。その後、当該開口部 134、160 を介して接続されるように、絶縁層 133 上に第 4 のフォトリソグラフィ工程により画素電極層 135 を設ける。このようにして図 22（B）に示す表示装置の画素におけるスイッチングトランジスタを作製することができる。

【0183】

なお、図示していないが、絶縁層 133 と画素電極層 135 との間に、スピンコーティング法等により形成した有機樹脂からなる絶縁層を有していても良い。

【0184】

この後、実施の形態 4 と同様に、VA（Vertical Alignment）方式の液晶表示装置において、視野角拡大のために、画素を複数部分に分割し、分割された画素の各部分の液晶の配向を異ならせるマルチドメイン方式（いわゆる MVA 方式）の場合、画素電極層 135 上に突起物 137 を形成することが好ましい（図 22（C）参照）。このときの図 22（C）の上面図を図 23（B）に示す。

【0185】

以上の工程により、少ないマスク数で、非晶質半導体をチャンネル形成領域に有する薄膜トランジスタと比較して、オン電流が高く、微結晶半導体をチャンネル形成領域に有する薄膜トランジスタと比較して、オフ電流の低い薄膜トランジスタを有し、且つ液晶表示装置に用いることが可能な素子基板を作製することができる。

【0186】

（実施の形態 9）

本実施の形態では、コンタクト抵抗を下げる事が可能な薄膜トランジスタの構造について示す。具体的には、実施の形態 1 乃至実施の形態 8 に示すソース領域及びドレイン領域を、一導電型を付与する不純物元素と、NH 基または NH₂ 基を含有する半導体層（以下、NH 基を有する不純物半導体層と示す。）で形成する。

【0187】

NH 基を有する不純物半導体層は、実施の形態 4 乃至実施の形態 7 において、不純物半導体層とバッファ層形成工程を組み合わせることで形成される。具体的には、実施の形態 4 に示すバッファ層形成 217 工程と不純物半導体層形成 221 工程を組み合わせる場合、図 15 において、バッファ層形成 217 及びガス置換 219 の間に、フラッシュ処理 213 を行い、バッファ層表面の窒素濃度を高めて、不純物半導体層の窒素濃度を高めればよい。

【0188】

また、実施の形態 5 に示す NH 基を有する非晶質半導体層の形成工程と不純物半導体層の形成工程を組み合わせる場合、図 16 において、バッファ層形成 217 及びガス置換 219 の間に、unload 225 から load 231 まで行い、反応室に窒化シリコン層を形成して、反応室内の窒素濃度を高めて、不純物半導体層の窒素濃度を高めればよい。

【0189】

また、実施の形態 6 に示す NH 基を有する非晶質半導体層の形成工程と不純物半導体層の形成工程を組み合わせる場合、図 17 において、不純物半導体層形成 221 工程において、アンモニアガスまたは窒素ガスを導入して、不純物半導体層の窒素濃度を高めればよい。

【0190】

ソース領域及びドレイン領域に一導電型を付与する不純物元素と共に、NH 基または NH₂ 基を含有させることで、ソース領域及びドレイン領域の欠陥準位を低減することが可能である。このため、ソース領域及びドレイン領域の移動度を向上させることが可能であり

10

20

30

40

50

、コンタクト抵抗を下げる事が可能である。

【0191】

(実施の形態10)

実施の形態1乃至実施の形態3に示す薄膜トランジスタは、発光表示装置や発光装置に用いることができる。発光表示装置や発光装置は、発光素子として代表的には、エレクトロルミネッセンスを利用する発光素子がある。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって大別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

【0192】

また、実施の形態4及び実施の形態8に示すような素子基板上に発光素子を形成して発光表示装置や発光装置を作製することができる。

10

【0193】

本実施の形態の発光表示装置及び発光装置は、オン電流が高くオフ電流が低い薄膜トランジスタを画素トランジスタとして用いているため、画質が良好(例えば、高コントラスト)であり、且つ消費電力の低い発光表示装置及び発光装置を作製することができる。

【0194】

(実施の形態11)

次に、本発明を適用可能な表示装置である表示パネルの構成の一例について、以下に示す。

【0195】

20

図25(A)に、信号線駆動回路303のみを別途形成し、基板301上に形成された画素部302と接続している表示パネルの形態を示す。画素部302、保護回路306、及び走査線駆動回路304が形成された素子基板は、実施の形態1乃至実施の形態10のいずれかに示す薄膜トランジスタを用いて形成する。信号線駆動回路303は、単結晶半導体をチャンネル形成領域に用いたトランジスタ、多結晶半導体をチャンネル形成領域に用いた薄膜トランジスタ、またはSOI(Silicon On Insulator)をチャンネル形成領域に用いたトランジスタにより構成すれば良い。SOIをチャンネル形成領域に用いたトランジスタにおいては、ガラス基板上に設けられた単結晶半導体層をチャンネル形成領域に用いたトランジスタを含む。画素部302と、信号線駆動回路303と、走査線駆動回路304とに、それぞれ電源の電位、各種信号等が、FPC305を介して供給される。信号線駆動回路303とFPC305との間、及び信号線駆動回路303と画素部302との間の一方または双方に、実施の形態1乃至実施の形態10のいずれかに示す薄膜トランジスタで形成された保護回路306を設けてもよい。保護回路306は、その他の構造の薄膜トランジスタ、ダイオード、抵抗素子及び容量素子等から選択された1つまたは複数の素子によって構成さしてもよい。

30

【0196】

なお、信号線駆動回路及び走査線駆動回路を、画素部の画素トランジスタと同じ基板上に形成しても良い。

【0197】

また、駆動回路を別途形成する場合には、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えばFPC上に貼り合わせるようにしても良い。図25(B)に、信号線駆動回路313のみを別途形成し、基板311上に形成された画素部312、保護回路316、及び走査線駆動回路314が形成された素子基板とFPC315が接続している表示パネルの形態を示す。画素部312、保護回路316及び走査線駆動回路314は、上記実施の形態に示す薄膜トランジスタを用いて形成する。信号線駆動回路313は、FPC315及び保護回路316を介して、画素部312に接続されている。画素部312と、信号線駆動回路313と、走査線駆動回路314それぞれに、電源の電位及び各種の信号等が、FPC315を介して供給される。FPC315と画素部312との間に、保護回路316を設けてもよい。

40

【0198】

50

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、上記の実施の形態に示す薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電氣的に接続するようにしても良い。図25(C)に、信号線駆動回路が有するアナログスイッチ323aを、画素部322、走査線駆動回路324と同じ基板321上に形成し、信号線駆動回路が有するシフトレジスタ323bを別途異なる基板に形成して貼り合わせる表示パネルの形態を示す。画素部322、保護回路326、及び走査線駆動回路324は、上記実施の形態に示す薄膜トランジスタを用いて形成する。信号線駆動回路が有するシフトレジスタ323bは、アナログスイッチ323a及び保護回路326を介して画素部322と接続されている。画素部322と、信号線駆動回路と、走査線駆動回路324とそれぞれに、電源の電位、各種信号等が、FPC325を介して供給される。FPC325とアナログスイッチ323aとの間に、保護回路326を設けてもよい。

10

【0199】

図25に示すように、本実施の形態の表示装置は、駆動回路の一部または全部を、画素部と同じ基板上に、上記実施の形態に示す薄膜トランジスタを用いて形成することができる。

【0200】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知のCOG方式、ワイヤボンディング方式、或いはTAB方式などを用いることができる。また接続する位置は、電氣的な接続が可能であるならば、図25に示した位置に限定されない。また、コントローラ、CPUまたはメモリ等を別途形成し、接続するようにしても良い。

20

【0201】

なお、本実施の形態で用いる信号線駆動回路は、シフトレジスタとアナログスイッチ有する。または、シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコード回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

【0202】

(実施の形態12)

上記形態の薄膜トランジスタで構成される素子基板、及びそれを用いた表示装置等は、アクティブマトリクス型の表示パネルに適用することができる。すなわち、それらを表示部に組み込んだ電子機器の全てに本発明を実施できる。

30

【0203】

その様な電子機器としては、ビデオカメラ及びデジタルカメラ等のカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図26に示す。

【0204】

図26(A)はテレビジョン装置である。上記実施の形態を適用した表示パネルを筐体に組みこんで、テレビジョン装置を完成させることができる。表示パネルにより主画面333が形成され、その他付属設備としてスピーカ部339、操作スイッチなどが備えられている。

40

【0205】

図26(A)に示すように、筐体331に表示素子を利用した表示用パネル332が組みこまれ、受信機335により一般のテレビ放送の受信をはじめ、モデム334を介して有線または無線による通信ネットワークに接続することにより一方方向（送信者から受信者）または双方向（送信者と受信者間、または受信者間同士）の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチまたは別体のリモコン操作機336により行うことが可能であり、このリモコン操作機にも出力する情報を表示する表示部337が設けられていても良い。また、表示部337に、実施の形態1乃至実施の

50

形態 10 のいずれかに示す薄膜トランジスタが設けられていてもよい。また、主画面 333 の他にサブ画面 338 を第 2 の表示パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面 333 及びサブ画面 338 の一方または双方に実施の形態 1 乃至実施の形態 10 のいずれかに示す薄膜トランジスタを適用することができる。

【0206】

図 27 はテレビ装置の主要な構成を説明するブロック図を示している。表示パネルには、画素部 371 が形成されている。信号線駆動回路 372 と走査線駆動回路 373 は、表示パネルに COG 方式により実装されていても良い。

【0207】

また、その他の外部回路の構成として、映像信号の入力側では、チューナ 374 で受信した信号のうち、映像信号を増幅する映像信号増幅回路 375 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 376 と、その映像信号をドライバ IC の入力仕様に変換するためのコントロール回路 377 等を有している。コントロール回路 377 は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路 378 を設け、入力デジタル信号を m 個に分割して供給する構成としても良い。

【0208】

チューナ 374 で受信した信号のうち、音声信号は、音声信号増幅回路 379 に送られ、その出力は音声信号処理回路 380 を経てスピーカ 383 に供給される。制御回路 381 は受信局（受信周波数）や音量の制御情報を入力部 382 から受け、チューナ 374 や音声信号処理回路 380 に信号を送出する。

【0209】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体に適用してもよい。

【0210】

以上説明したように、主画面 333 及びサブ画面 338 の一方または双方に実施の形態 1 乃至実施の形態 10 のいずれかで説明した薄膜トランジスタを適用することで、画質が高く、消費電力の低いテレビ装置を作製することができる。

【0211】

図 26 (B) は携帯電話機 341 の一例を示している。携帯電話機 341 は、表示部 342、操作部 343 等により構成されている。表示部 342 に実施の形態 1 乃至実施の形態 10 のいずれかで説明した薄膜トランジスタを適用することで、画質を向上させ、消費電力を低減させることができる。

【0212】

図 26 (C) に示す携帯型のコンピュータは、本体 351、表示部 352 等を含んでいる。表示部 352 に、実施の形態 1 等で説明した薄膜トランジスタを適用することで、画質を向上させ、消費電力を低減させることができる。

【0213】

図 26 (D) は卓上照明器具であり、照明部 361、傘 362、可変アーム 363、支柱 364、台 365、電源 366 を含む。上記実施の形態で説明した発光装置を照明部 361 に用いることにより作製される。照明部 361 に実施の形態 1 乃至実施の形態 10 のいずれかで説明した薄膜トランジスタを適用することで、画質を向上させ、消費電力を低減させることができる。

【0214】

図 28 は携帯電話機の構成の一例を示しており、例えば表示部に、実施の形態 1 乃至実施の形態 10 のいずれかで示した薄膜トランジスタを有する素子基板及びそれを有する表示装置が適用される。図 28 (A) が正面図、図 28 (B) が背面図、図 28 (C) が展開図である。図 28 に示す携帯電話機は、筐体 394 及び筐体 385 の二つの筐体で構成さ

10

20

30

40

50

れている。図28に示す携帯電話機は、携帯電話と携帯情報端末の双方の機能を備えており、コンピュータを内蔵し、音声通話以外にも様々なデータ処理が可能であり、スマートフォンとも呼ばれる。

【0215】

携帯電話機は、筐体394及び筐体385の二つの筐体で構成されている。筐体394においては、表示部386、スピーカ387、マイクロフォン388、操作キー389、ポインティングデバイス390、表面カメラ用レンズ391、外部接続端子ジャック392、イヤホン端子393等を備え、筐体385は、キーボード395、外部メモリスロット、裏面カメラ396、ライト398等を備える。また、アンテナは筐体394に内蔵されている。

10

【0216】

また、上記の構成に加えて、非接触ICチップまたは小型記録装置等を内蔵していてもよい。

【0217】

図28(A)では筐体394と筐体385が重なり合っており、図28(A)の状態から筐体394と筐体385がスライドし、図28(C)のように展開する。表示部386には、実施の形態1乃至実施の形態10のいずれかに示される表示装置を組み込むことが可能であり、使用形態に応じて表示の方向が適宜変化する。表示部386と同一面上に表面カメラ用レンズ391を同一の面に備えているため、テレビ電話が可能である。また、表示部386をファインダーとして裏面カメラ396及びライト398で静止画及び動画の撮影が可能である。

20

【0218】

スピーカ387及びマイクロフォン388は音声通話に限らず、テレビ電話、録音及び再生等の用途に使用できる。操作キー389では、電話の発着信、電子メール等の簡単な情報入力、画面のスクロール及びカーソル移動等が可能である。

【0219】

また、書類の作成、携帯情報端末としての使用等、取り扱う情報が多い場合は、キーボード395を用いると便利である。重なり合った筐体394と筐体385(図28(A))はスライドでき、図28(C)のように展開して携帯情報端末として使用できる。また、キーボード395及びポインティングデバイス390を用いることで、円滑な操作が可能である。外部接続端子ジャック392はACアダプタ及びUSBケーブル等の各種ケーブルと接続可能であり、これを介して充電及びパーソナルコンピュータ等とのデータ通信が可能である。また、外部メモリスロットに記録媒体を挿入して使用することで、大量のデータの保存及び移動が可能である。

30

【0220】

筐体385の裏面(図28(B))には、裏面カメラ396及びライト398を備えており、表示部386をファインダーとし静止画及び動画の撮影が可能である。

【0221】

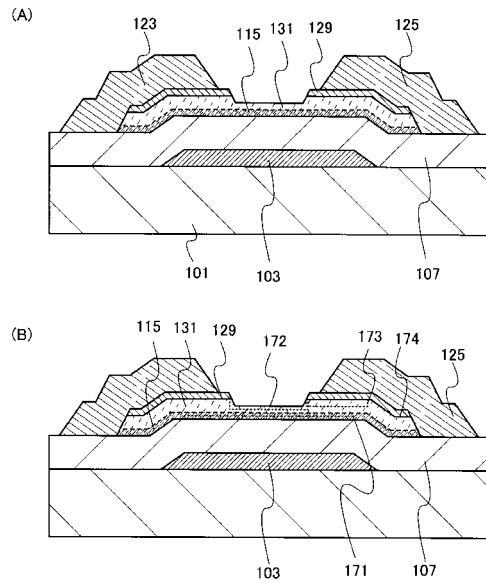
また、上記構成に加えて、赤外線通信機能、USBポート、テレビワンセグ受信機能、非接触ICチップ、イヤホンジャック等を備えていてもよい。

40

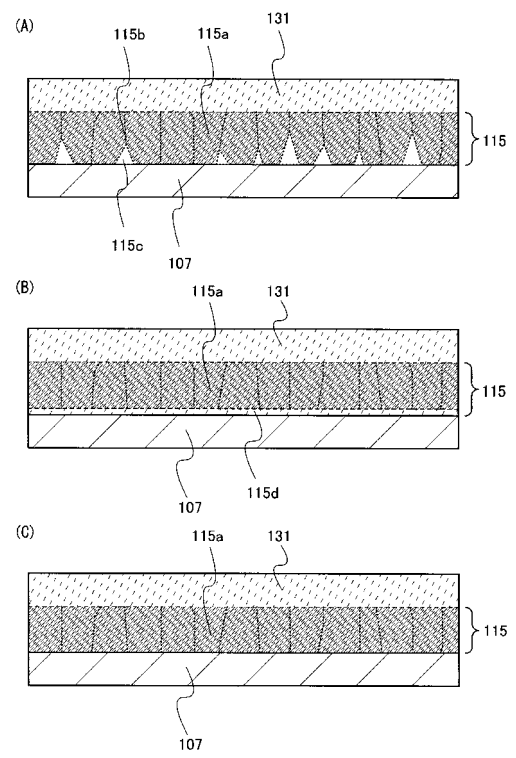
【0222】

実施の形態1乃至実施の形態10のいずれかで説明した薄膜トランジスタを画素に適用することで、画質を向上させ、消費電力を低減させることができる。

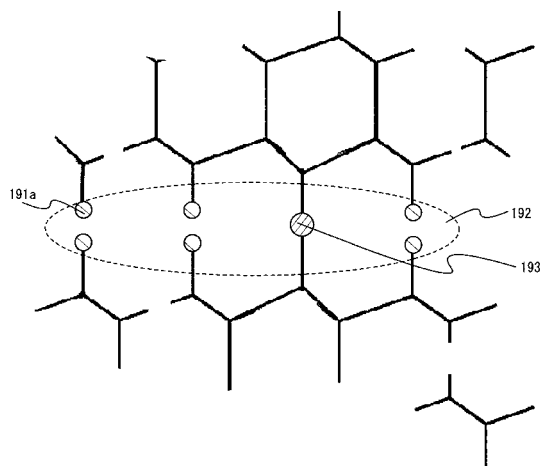
【図 1】



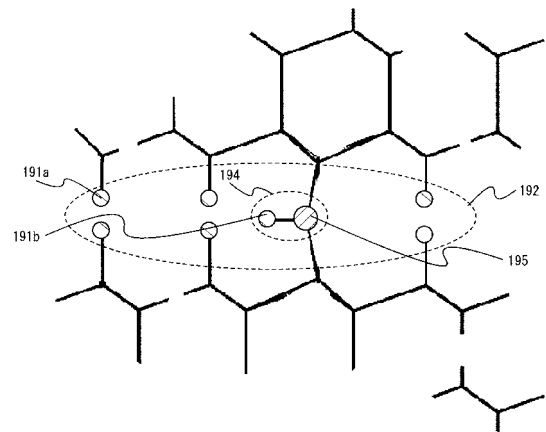
【図 2】



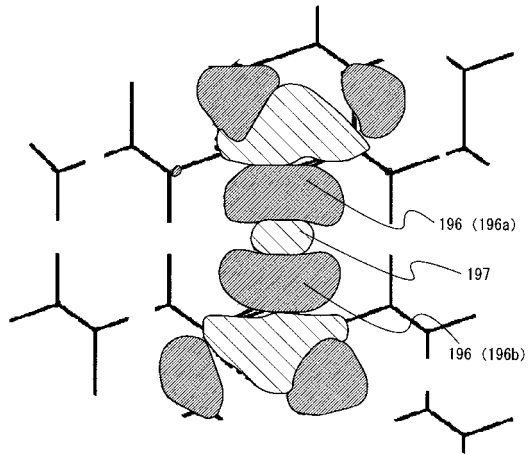
【図 3】



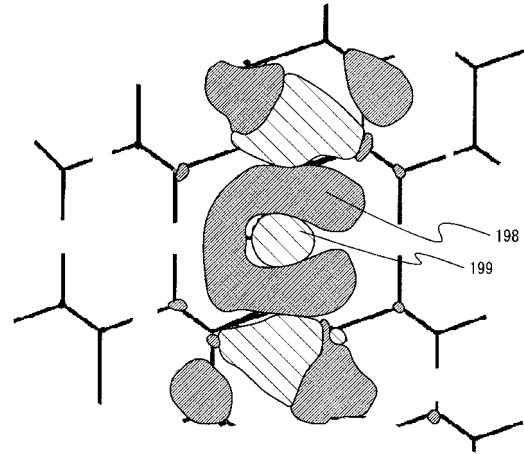
【図 4】



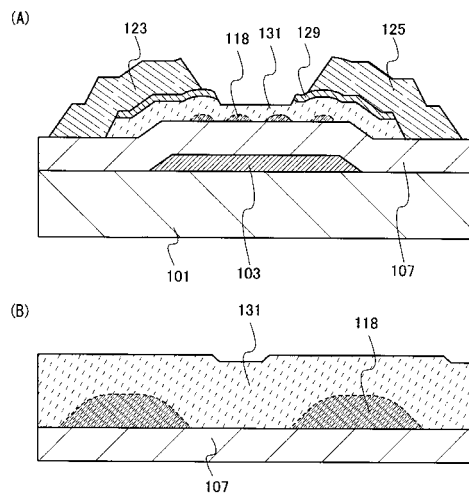
【図 5】



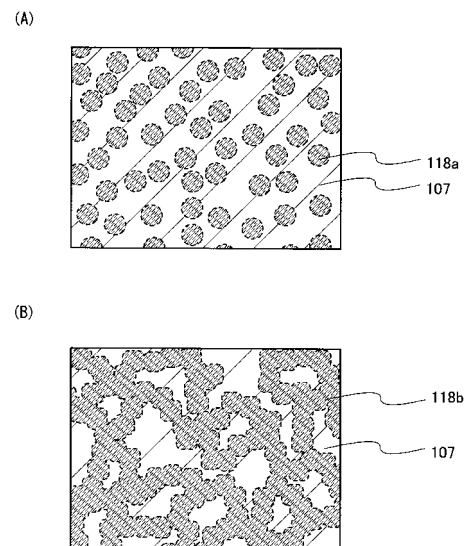
【図 6】



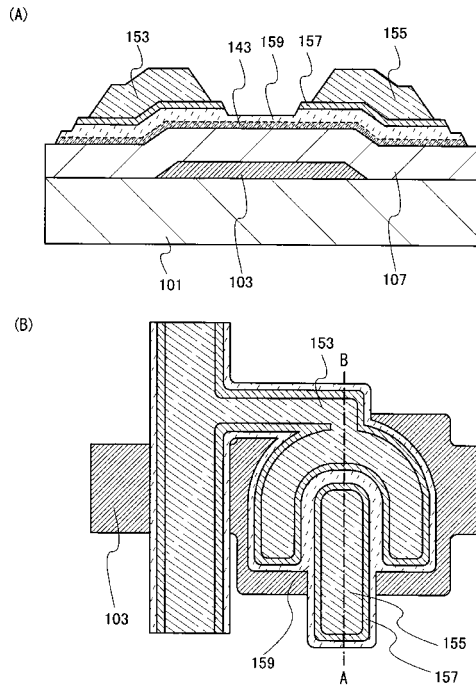
【図 7】



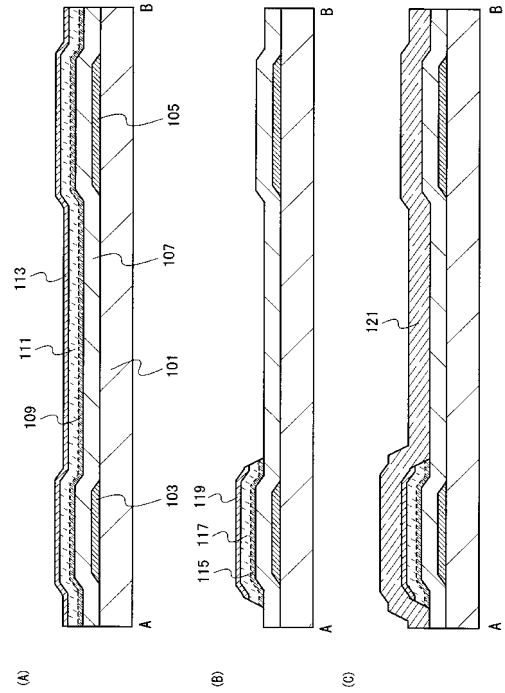
【図 8】



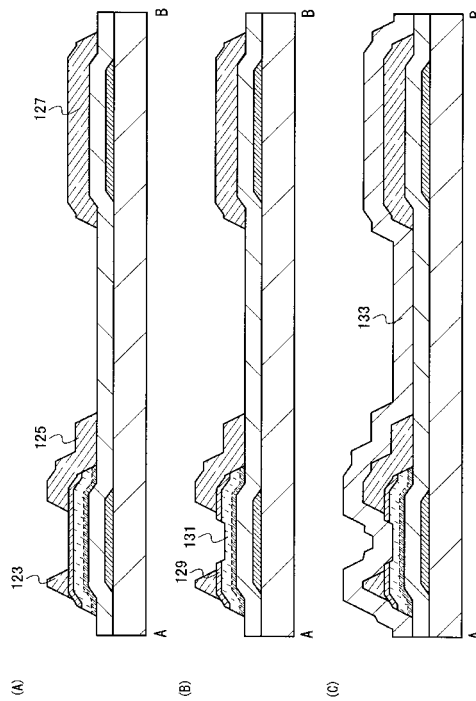
【図 9】



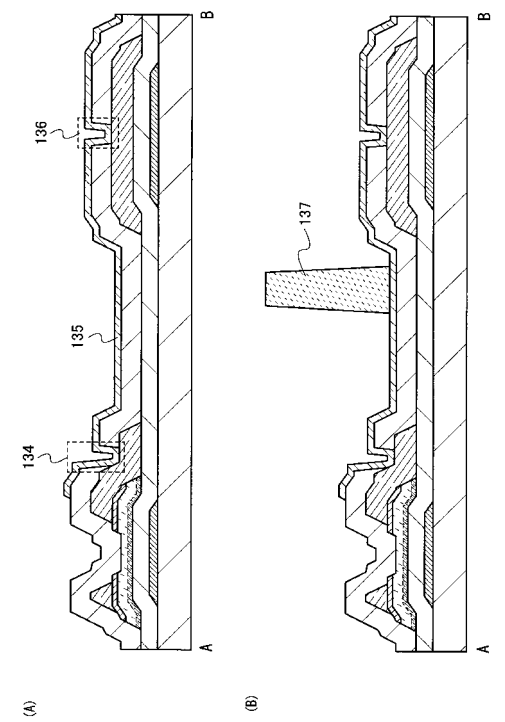
【図 10】



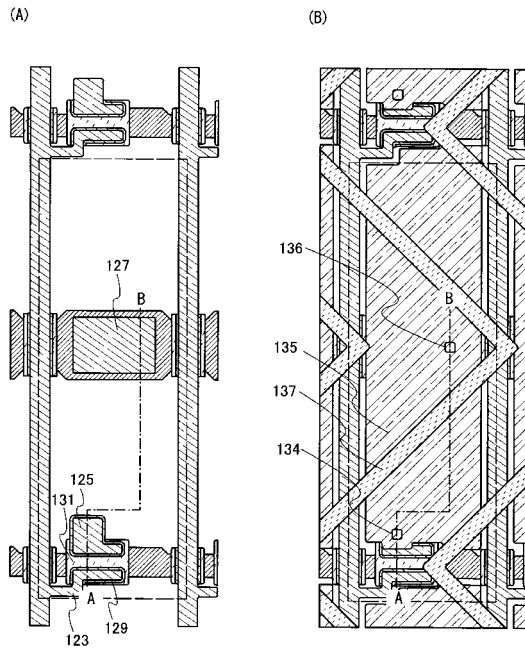
【図 11】



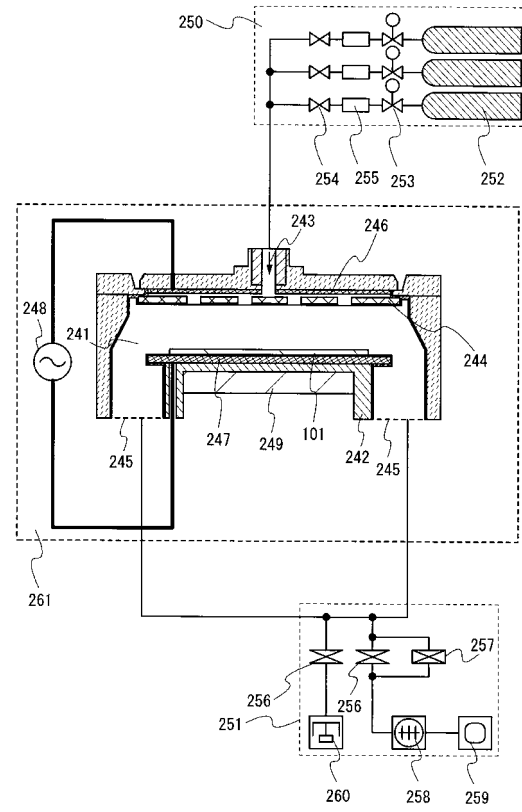
【図 12】



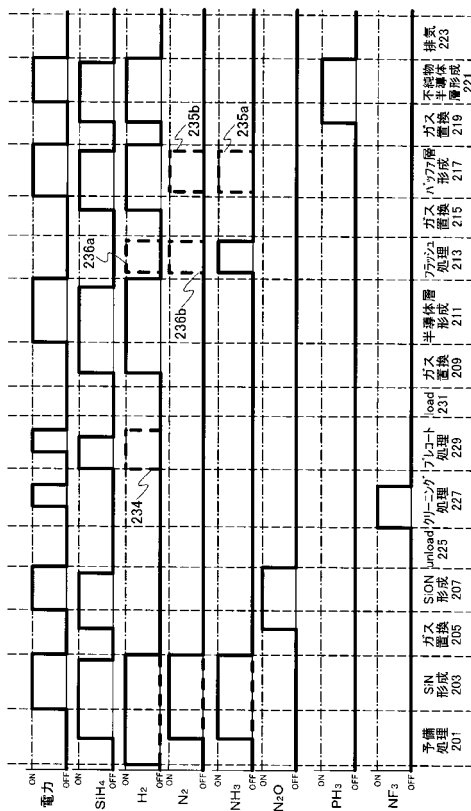
【図 13】



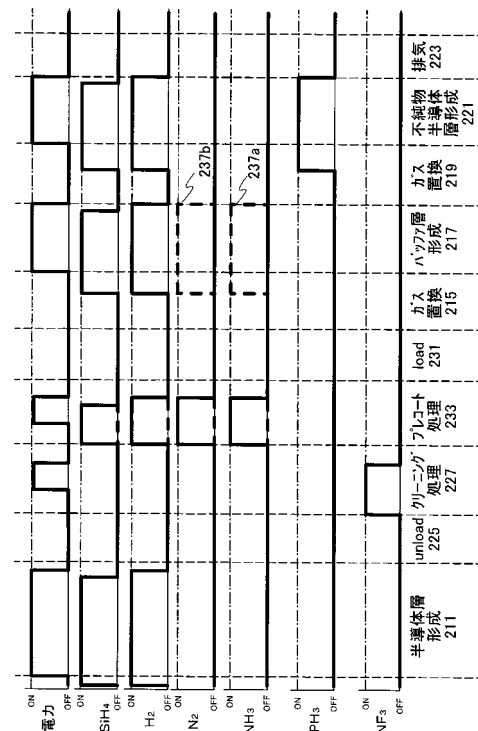
【図 14】



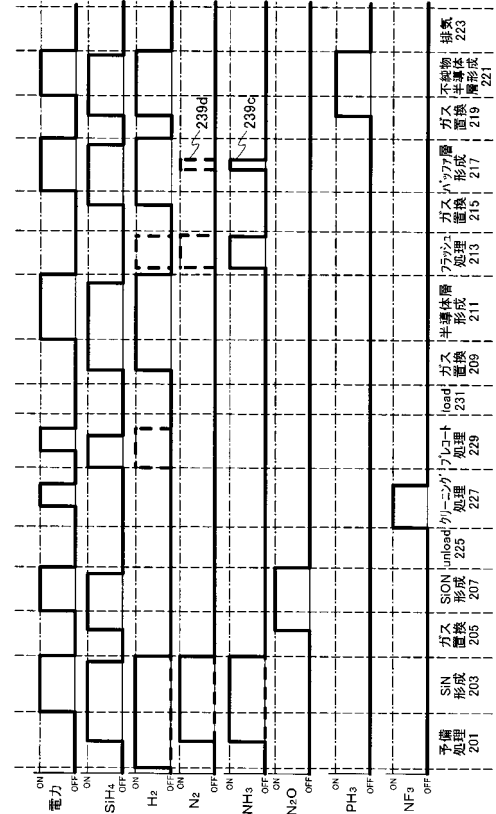
【図 15】



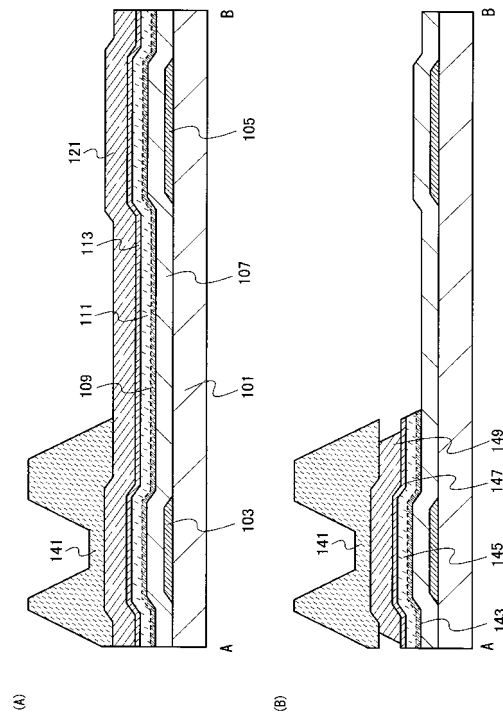
【図 16】



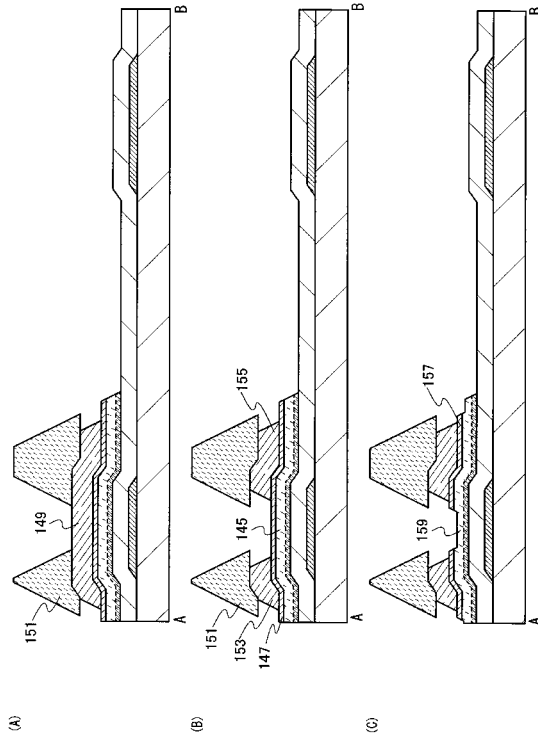
【図 18】



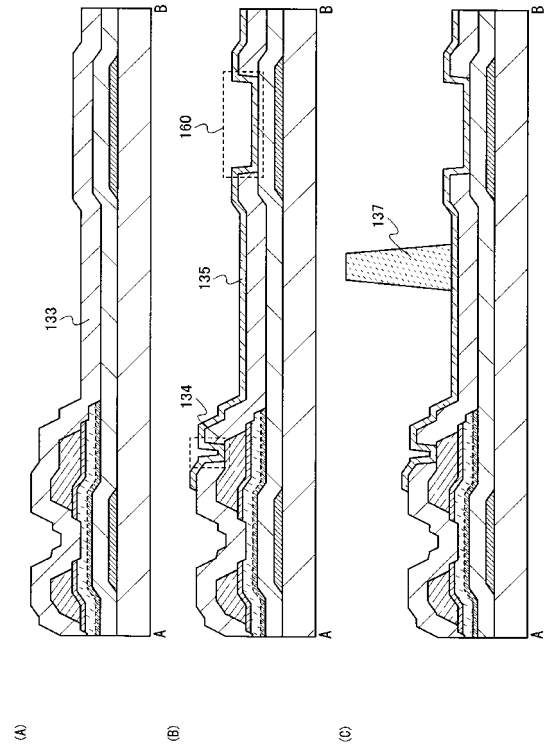
【図 20】



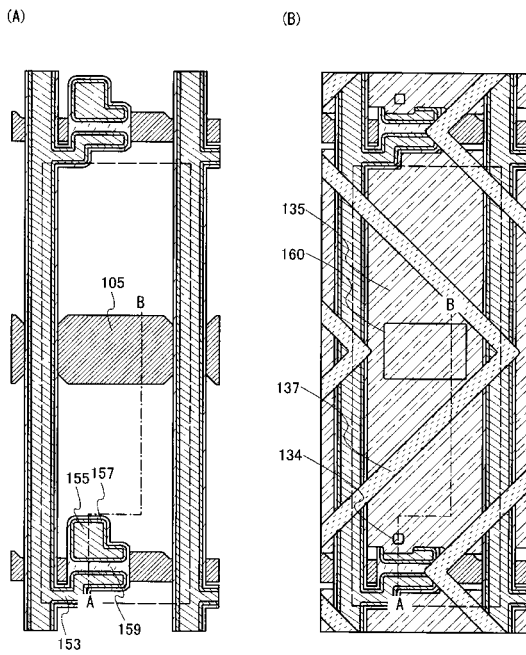
【図 2 1】



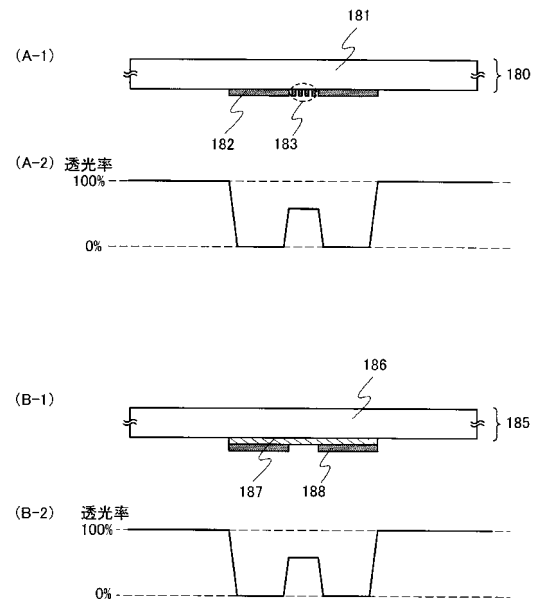
【図 2 2】



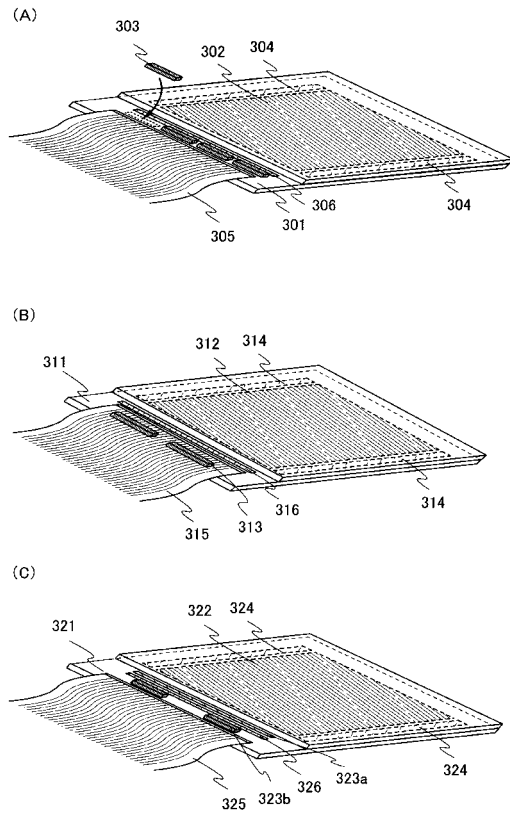
【図 2 3】



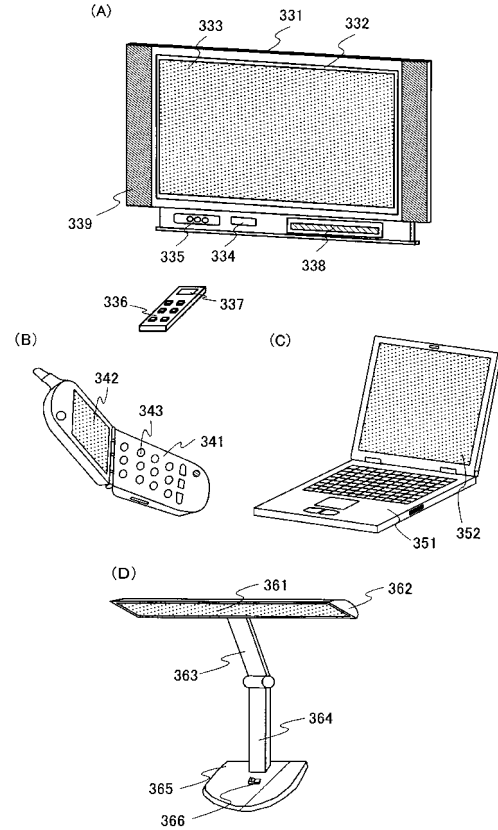
【図 2 4】



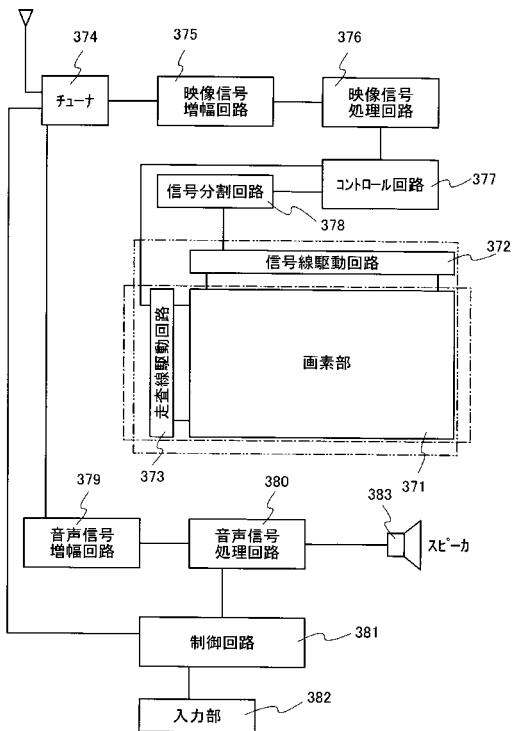
【図 25】



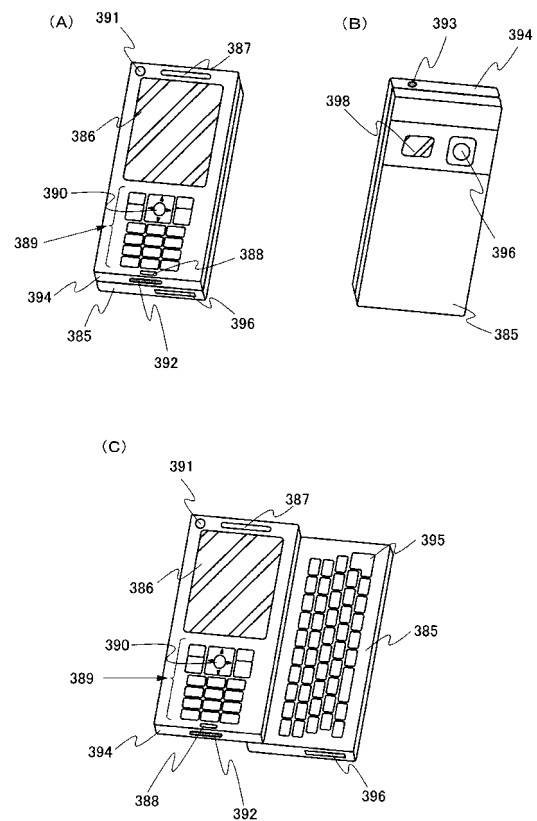
【図 26】



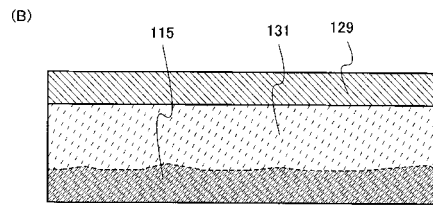
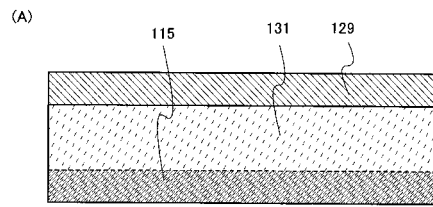
【図 27】



【図 28】



【図 29】



フロントページの続き

- (72)発明者 大力 浩二
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
- (72)発明者 宮入 秀和
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内
- (72)発明者 山崎 舜平
神奈川県厚木市長谷３９８番地 株式会社半導体エネルギー研究所内

審査官 棚田 一也

- (56)参考文献 特開平０３－２７８４６６（ＪＰ，Ａ）
特開平０５－３３５６０７（ＪＰ，Ａ）

- (58)調査した分野(Int.Cl., DB名)
- | | |
|---------|-------------|
| H 0 1 L | 2 9 / 7 8 6 |
| G 0 2 F | 1 / 1 3 6 8 |
| H 0 5 B | 3 3 / 0 8 |