

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7575582号  
(P7575582)

(45)発行日 令和6年10月29日(2024.10.29)

(24)登録日 令和6年10月21日(2024.10.21)

(51)国際特許分類

F I

G 0 9 F 9/30 (2006.01)

G 0 9 F 9/30 3 3 8

H 0 1 L 29/786 (2006.01)

G 0 9 F 9/30 3 4 8 A

H 0 1 L 21/336 (2006.01)

G 0 9 F 9/30 3 3 0

H 0 1 L 29/78 6 1 2 C

H 0 1 L 29/78 6 1 6 V

請求項の数 20 (全19頁) 最終頁に続く

(21)出願番号 特願2023-519081(P2023-519081)

(86)(22)出願日 令和4年5月20日(2022.5.20)

(65)公表番号 特表2024-522960(P2024-522960  
A)

(43)公表日 令和6年6月25日(2024.6.25)

(86)国際出願番号 PCT/CN2022/094176

(87)国際公開番号 WO2023/216307

(87)国際公開日 令和5年11月16日(2023.11.16)

審査請求日 令和5年3月24日(2023.3.24)

(31)優先権主張番号 202210494533.4

(32)優先日 令和4年5月7日(2022.5.7)

(33)優先権主張国・地域又は機関  
中国(CN)

(73)特許権者 517333336

武漢華星光電半導體顯示技術有限公司

WUHAN CHINA STAR OP

TOELECTRONICS SEMI

CONDUCTOR DISOLAY T

ECHNOLOGY CO., LTD

中国湖北省武漢市東湖新技術開發区高新

大道666号光谷生物創新園C5棟30

5室

305 Room, Building C

5 Biolake of Optics

Valley, No. 666 Gaox

in Avenue, .Wuhan Ea

st Lake High-tech D

evelopment Zone Wuh

最終頁に続く

(54)【発明の名称】 表示パネル

(57)【特許請求の範囲】

【請求項1】

表示領域と、前記表示領域を囲む非表示領域とを含む表示パネルであって、前記表示パネルは、

基板と、

前記基板上の表示領域内に位置する薄膜トランジスタ層と、

前記基板と前記薄膜トランジスタ層との間に位置し、前記表示領域内に位置する遮蔽層と、

前記非表示領域内に位置し、前記遮蔽層に電氣的に接続された周辺配線と、を含み、

ここで、前記周辺配線は、導線部と抵抗部とを含み、前記抵抗部は、前記抵抗部に対して前記遮蔽層側の前記導線部に接続された第1の端部と、前記抵抗部に対して前記遮蔽層とは相反側の前記導線部に接続された第2の端部とを含み、前記抵抗部の抵抗は、前記第1の端部と前記第2の端部との間の最短距離で前記導線部を接続したと仮定した仮想接続線の抵抗よりも大きく、

ここで、前記抵抗部は、前記基板と平行な平面上又は前記基板に垂直な平面上で前記仮想接続線の両側又は一側に設けられ、

ここで、前記抵抗部の抵抗率は、前記仮想接続線の抵抗率よりも大きい表示パネル。

【請求項2】

前記抵抗部は、前記仮想接続線の少なくとも一側に湾曲状に設けられる

請求項 1 に記載の表示パネル。

【請求項 3】

前記抵抗部と前記導線部とは同層に設けられる

請求項 1 に記載の表示パネル。

【請求項 4】

前記薄膜トランジスタ層は、前記表示領域に位置する複数の薄膜トランジスタを含み、前記遮蔽層は、複数の前記薄膜トランジスタに 1 対 1 で対応し、重畳して設けられた遮蔽ブロックと、隣接する 2 つの前記遮蔽ブロックに接続された遮蔽配線とを含み、

ここで、前記周辺配線の前記抵抗部は、前記遮蔽配線と電氣的に接続され、且つ同層に設けられる

請求項 1 に記載の表示パネル。

【請求項 5】

前記遮蔽層は、第 1 の方向に延び、第 2 の方向に沿って配列された複数の遮蔽群を含み、前記遮蔽群の一端は、一方の前記抵抗部に電氣的に接続され、前記遮蔽群の他端は、他方の前記抵抗部に電氣的に接続される

請求項 4 に記載の表示パネル。

【請求項 6】

前記薄膜トランジスタ層は、

前記遮蔽層の前記基板から離れる側に位置する活性層と、

前記活性層の前記基板から離れる側に位置する第 1 の絶縁層と、

前記第 1 の絶縁層の前記基板から離れる側に位置するゲート層と、

前記ゲート層の前記基板から離れる側に位置する第 2 の絶縁層と、

前記第 2 の絶縁層の前記基板から離れる側に位置するソース・ドレイン層と、を含み、

ここで、前記抵抗部は、前記活性層と同層に設けられた第 1 の抵抗部、又は前記ソース・ドレイン層と同層に設けられた第 2 の抵抗部を含む

請求項 1 に記載の表示パネル。

【請求項 7】

表示領域と、前記表示領域を囲む非表示領域とを含む表示パネルであって、前記表示パネルは、

基板と、

前記基板上の表示領域内に位置する薄膜トランジスタ層と、

前記基板と前記薄膜トランジスタ層との間に位置し、前記表示領域内に位置する遮蔽層と、

前記非表示領域内に位置し、前記遮蔽層に電氣的に接続された周辺配線と、を含み、

ここで、前記周辺配線は、導線部と抵抗部とを含み、前記抵抗部は、前記抵抗部に対して前記遮蔽層側の前記導線部に接続された第 1 の端部と、前記抵抗部に対して前記遮蔽層とは相反側の前記導線部に接続された第 2 の端部とを含み、前記抵抗部の抵抗は、前記第 1 の端部と前記第 2 の端部との間の最短距離で前記導線部を接続したと仮定した仮想接続線の抵抗よりも大きい

表示パネル。

【請求項 8】

前記抵抗部は、前記基板と平行な平面上又は前記基板に垂直な平面上で前記仮想接続線の両側又は一側に設けられる

請求項 7 に記載の表示パネル。

【請求項 9】

前記抵抗部は、前記仮想接続線の少なくとも一側に湾曲状に設けられる

請求項 8 に記載の表示パネル。

【請求項 10】

前記抵抗部と前記導線部とは同層に設けられる

請求項 8 に記載の表示パネル。

10

20

30

40

50

## 【請求項 1 1】

前記薄膜トランジスタ層は、前記表示領域に位置する複数の薄膜トランジスタを含み、前記遮蔽層は、複数の前記薄膜トランジスタに 1 対 1 で対応し、重畳して設けられた遮蔽ブロックと、隣接する 2 つの前記遮蔽ブロックに接続された遮蔽配線とを含み、

ここで、前記周辺配線の前記抵抗部は、前記遮蔽配線と電氣的に接続され、且つ同層に設けられる

請求項 7 に記載の表示パネル。

## 【請求項 1 2】

前記遮蔽層は、第 1 の方向に延び、第 2 の方向に沿って配列された複数の遮蔽群を含み、前記遮蔽群の一端は、一方の前記抵抗部に電氣的に接続され、前記遮蔽群の他端は、他方の前記抵抗部に電氣的に接続される

請求項 1 1 に記載の表示パネル。

## 【請求項 1 3】

前記抵抗部の抵抗率は、前記仮想接続線の抵抗率よりも大きい

請求項 7 に記載の表示パネル。

## 【請求項 1 4】

前記薄膜トランジスタ層は、

前記遮蔽層の前記基板から離れる側に位置する活性層と、

前記活性層の前記基板から離れる側に位置する第 1 の絶縁層と、

前記第 1 の絶縁層の前記基板から離れる側に位置するゲート層と、

前記ゲート層の前記基板から離れる側に位置する第 2 の絶縁層と、

前記第 2 の絶縁層の前記基板から離れる側に位置するソース・ドレイン層と、を含む。

ここで、前記抵抗部は、前記活性層と同層に設けられた第 1 の抵抗部、又は前記ソース・ドレイン層と同層に設けられた第 2 の抵抗部を含む

請求項 1 3 に記載の表示パネル。

## 【請求項 1 5】

前記第 1 の抵抗部と前記活性層との抵抗率は同じであり、前記第 2 の抵抗部と前記ソース・ドレイン層との抵抗率は同じである

請求項 1 4 に記載の表示パネル。

## 【請求項 1 6】

前記ソース・ドレイン層は、

構成材料にチタンを含み、前記第 1 の抵抗部と同層に設けられた第 1 の金属層と、

前記第 1 の金属層の前記基板から離れる側に位置し、構成材料が前記第 1 の金属層とは異なる第 2 の金属層と、を含む

請求項 1 5 に記載の表示パネル。

## 【請求項 1 7】

前記抵抗部と前記導線部との間に連通するビアホールと、

前記ビアホール内に充填され、前記抵抗部と前記導線部とを電氣的に接続する導体部と、をさらに含む

請求項 1 3 に記載の表示パネル。

## 【請求項 1 8】

前記遮蔽層の構成材料と前記周辺配線の構成材料は同一であり、前記遮蔽層と前記周辺配線とは同層に設けられる

請求項 7 に記載の表示パネル。

## 【請求項 1 9】

前記抵抗部と前記導線部とは異なる層に設けられ、前記基板に垂直な平面における前記抵抗部の投影は、前記遮蔽層が位置する層を超えている、

請求項 7 に記載の表示パネル。

## 【請求項 2 0】

前記抵抗部の長さは、前記仮想接続線よりも長い

10

20

30

40

50

請求項 7 に記載の表示パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、表示技術分野に関し、特に表示パネルの製造技術分野に関し、具体的に表示パネルに関する。

【背景技術】

【0002】

B S M ( B o t t o m S h i e l d M e t a l、ボトムシールドメタル) 技術は、基板とトランジスタの間に金属部を設けることで、基板内の電荷がトランジスタに発生するバックチャネル現象を低減する。

10

【0003】

ここで、B S M 技術で導入された複数の金属部は一般的に周辺配線に接続されて電圧が印加されるが、表示パネルの作製や動作中に発生した静電気は複数の金属部を介して周辺配線に伝導し、周辺配線に静電気が蓄積され続けると放電して表示パネルが破損し、表示パネルの歩留まりや品質が低下する。

【0004】

このため、従来の B S M 技術による表示パネルは静電気蓄積により破損する恐れがあり、改善が急がれる。

【発明の概要】

20

【発明が解決しようとする課題】

【0005】

本願の実施例は、従来の B S M 技術を用いて作製された表示パネルの静電気蓄積による破損の問題を解決するための表示パネルを提供する。

【課題を解決するための手段】

【0006】

本願の実施例は、表示領域と、前記表示領域を囲む非表示領域とを含む表示パネルを提供し、前記表示パネルは、

基板と、

前記基板上の表示領域内に位置する薄膜トランジスタ層と、

30

前記基板と前記薄膜トランジスタ層との間に位置し、前記表示領域内に位置する遮蔽層と、

前記非表示領域内に位置し、前記遮蔽層に電氣的に接続された周辺配線と、を含み、

ここで、前記周辺配線は、導線部と抵抗部とを含み、前記抵抗部は、前記遮蔽層に接続された第 1 の端部と、前記導線部に接続された第 2 の端部とを含み、前記抵抗部の抵抗は、前記第 1 の端部と前記第 2 の端部との間の最短距離に設けられた前記導線部の抵抗よりも大きく、

ここで、前記抵抗部は、前記第 1 の端部と前記第 2 の端部との間の最短距離の仮想接続線の両側又は同じ側に設けられ、

ここで、前記抵抗部の抵抗率は、前記導線部の抵抗率よりも大きい。

40

【0007】

一実施例では、前記抵抗部は、前記第 1 の端部と前記第 2 の端部との間の最短距離の前記仮想接続線の少なくとも一側に湾曲状に設けられる。

【0008】

一実施例では、前記抵抗部と前記導線部とは同層に設けられる。

【0009】

一実施例では、前記薄膜トランジスタ層は、前記表示領域内に位置する複数の薄膜トランジスタを含み、前記遮蔽層は、複数の前記トランジスタに 1 対 1 で対応し、重畳して設けられた遮蔽ブロックと、隣接する 2 つの前記遮蔽ブロックに接続された遮蔽配線とを含み、

ここで、前記周辺配線の前記抵抗部は、前記遮蔽配線と電氣的に接続され、且つ同層に

50

設けられる。

【0010】

一実施例では、前記遮蔽層は、第1の方向に延び、第2の方向に沿って配列された複数の遮蔽群を含み、前記遮蔽群の一端は、一方の前記抵抗部に電氣的に接続され、前記遮蔽群の他端は、他方の前記抵抗部に電氣的に接続される。

【0011】

一実施例では、前記薄膜トランジスタ層は、前記遮蔽層の前記基板から離れる側に位置する活性層と、前記活性層の前記基板から離れる側に位置する第1の絶縁層と、前記第1の絶縁層の前記基板から離れる側に位置するゲート層と、前記ゲート層の前記基板から離れる側に位置する第2の絶縁層と、前記第2の絶縁層の前記基板から離れる側に位置するソース・ドレイン層と、を含み、ここで、前記抵抗部は、前記活性層と同層に設けられた第1の抵抗部、又は前記ソース・ドレイン層と同層に設けられた第2の抵抗部を含む。

10

【0012】

本願の実施例は、表示領域と、前記表示領域を囲む非表示領域とを含む表示パネルを提供し、前記表示パネルは、

基板と、

前記基板上の表示領域内に位置する薄膜トランジスタ層と、

前記基板と前記薄膜トランジスタ層との間に位置し、前記表示領域内に位置する遮蔽層と、

20

前記非表示領域内に位置し、前記遮蔽層に電氣的に接続された周辺配線と、を含み、

ここで、前記周辺配線は、導線部と抵抗部とを含み、前記抵抗部は、前記遮蔽層に接続された第1の端部と、前記導線部に接続された第2の端部とを含み、前記抵抗部の抵抗は、前記第1の端部と前記第2の端部との間の最短距離に設けられた前記導線部の抵抗よりも大きい。

【0013】

一実施例では、前記抵抗部は、前記第1の端部と前記第2の端部との間の最短距離の仮想接続線の両側又は同じ側に設けられる。

【0014】

一実施例では、前記抵抗部は、前記第1の端部と前記第2の端部との間の最短距離の前記仮想接続線の少なくとも一側に湾曲状に設けられる。

30

【0015】

一実施例では、前記抵抗部と前記導線部とは同層に設けられる。

【0016】

一実施例では、前記薄膜トランジスタ層は、前記表示領域に位置する複数の薄膜トランジスタを含み、前記遮蔽層は、複数の前記トランジスタに1対1で対応し、重畳して設けられた遮蔽ブロックと、隣接する2つの前記遮蔽ブロックに接続された遮蔽配線とを含み、

ここで、前記周辺配線の前記抵抗部は、前記遮蔽配線と電氣的に接続され、且つ同層に設けられる。

40

【0017】

一実施例では、前記遮蔽層は、第1の方向に延び、第2の方向に沿って配列された複数の遮蔽群を含み、前記遮蔽群の一端は、一方の前記抵抗部に電氣的に接続され、前記遮蔽群の他端は、他方の前記抵抗部に電氣的に接続される。

【0018】

一実施例では、前記抵抗部の抵抗率は、前記導線部の抵抗率よりも大きい。

【0019】

一実施例では、前記薄膜トランジスタ層は、

前記遮蔽層の前記基板から離れる側に位置する活性層と、

前記活性層の前記基板から離れる側に位置する第1の絶縁層と、

50

前記第 1 の絶縁層の前記基板から離れる側に位置するゲート層と、  
前記ゲート層の前記基板から離れる側に位置する第 2 の絶縁層と、  
前記第 2 の絶縁層の前記基板から離れる側に位置するソース・ドレイン層と、を含む。

【0020】

ここで、前記抵抗部は、前記活性層と同層に設けられた第 1 の抵抗部、又は前記ソース・ドレイン層と同層に設けられた第 2 の抵抗部を含む。

【0021】

一実施例では、前記第 1 の抵抗部と前記活性層との抵抗率は同じであり、前記第 2 の抵抗部と前記ソース・ドレイン層との抵抗率は同じである。

【0022】

一実施例では、前記ソース・ドレイン層は、  
構成材料にチタンを含み、前記第 1 の抵抗部と同層に設けられた第 1 の金属層と、  
前記第 1 の金属層の前記基板から離れる側に位置し、構成材料が前記第 1 の金属層とは異なる第 2 の金属層と、を含む。

【0023】

一実施例では、前記表示パネルは、  
前記抵抗部と前記導線部との間に連通するビアホールと、  
前記ビアホール内に充填され、前記抵抗部と前記導線部とを電氣的に接続する導体部と、  
をさらに含む。

【0024】

一実施例では、前記遮蔽層の構成材料と前記周辺配線の構成材料は同一であり、前記遮蔽層と前記周辺配線とは同層に設けられる。

【0025】

一実施例では、前記抵抗部と前記導線部とは異なる層に設けられ、基板に垂直な平面における前記抵抗部の投影は、前記遮蔽層が位置する層を超えており、前記抵抗部は、前記第 1 の端部と前記第 2 の端部との間の最短距離に設けられた前記導線部の両側又は同じ側に位置し、湾曲状の 2 つの部分を含む。

【0026】

一実施例では、前記導線部の長さは、前記第 1 の端部と前記第 2 の端部との間の最短距離よりも大きい。

【発明の効果】

【0027】

本願の実施例に提供された表示パネルは、表示領域と、前記表示領域を囲む非表示領域とを含み、前記表示パネルは、基板と、前記基板上の表示領域内に位置する薄膜トランジスタ層と、前記基板と前記薄膜トランジスタ層との間に位置し、前記表示領域内に位置する遮蔽層と、前記非表示領域内に位置し、前記遮蔽層に電氣的に接続された周辺配線と、を含み、前記周辺配線は、導線部と抵抗部とを含み、前記抵抗部は、前記遮蔽層に接続された第 1 の端部と、前記導線部に接続された第 2 の端部とを含み、前記抵抗部の抵抗は、前記第 1 の端部と前記第 2 の端部との間の最短距離に設けられた前記導線部の抵抗よりも大きい。ここで、本願では、抵抗部の単位寸法内の抵抗値を大きく設定することで、周辺配線の延在経路の単位長さ当たりの抵抗値が大きくなり、周辺配線の総抵抗値を大きくし、周辺配線の静電気に対する耐性を向上させ、表示パネルの歩留まりや品質を向上させる。

【図面の簡単な説明】

【0028】

本願の技術的解決策及び他の有益な効果は、添付の図面と併せて以下の本願の特定の実施形態の詳細な説明を通じて明らかになるであろう。

【図 1】本願の実施例に提供された表示パネルにおける部分構造の平面模式図である。

【図 2】本願の実施例に提供された別の表示パネルにおける部分構造の平面模式図である。

【図 3】本願の実施例に提供された第 1 の表示パネルにおける部分構造の断面模式図である。

10

20

30

40

50

【図4】本願の実施例に提供された第2の表示パネルにおける部分構造の断面模式図である。

【図5】本願の実施例に提供された第3の表示パネルにおける部分構造の断面模式図である。

【図6】本願の実施例に提供された第4の表示パネルにおける部分構造の断面模式図である。

【図7】本願の実施例に提供された第5の表示パネルにおける部分構造の断面模式図である。

【発明を実施するための形態】

【0029】

以下では、本願の実施例における図面を参照して、本願の実施例における技術的解決策を明確かつ連続的に説明する。明らかに、記載された実施例は、本願の実施例の一部にすぎず、それらのすべてではない。本願の実施例に基づいて、創造的な努力をせずに当業者によって得られる他のすべての実施例は、本願の保護範囲に属する。

【0030】

本願の説明において、「近い」、「延びる」、「側」、「端」などの用語によって示される方向又は位置関係は、図に示される方向又は位置関係に基づくものであり、本願を説明し、説明を簡略化するための便宜のためだけのものであり、言及された装置又は要素が特定の向きを持ち、特定の向きで構成及び操作されなければならないことを示したり暗示したりするものではなく、したがって、本願を限定するものとして理解されるべきではないことを理解されたい。さらに、「第1」、「第2」などの用語は、説明のみを目的として使用されており、相対的な重要性を示したり暗示したり、示された技術的特徴の量を暗示的に指定したりするものとして理解されるべきではない。したがって、「第1」又は「第2」として定義される特徴は、1つ又は複数の前記特徴を明示的又は暗示的に含むことができる。本願の説明において、「複数」とは、特に断りのない限り、2以上を意味する。

【0031】

本明細書における「実施例」への言及は、実施例に関連して説明された特定の特徴、構造、又は特性が、本願の少なくとも1つの実施例に含まれ得ることを意味する。明細書の様々な場所でのこの語句の出現は、必ずしもすべてが同じ実施例を参照しているわけではなく、他の実施例と相互に排他的な独立又は代替の実施例でもない。本明細書に記載された実施例を他の実施例と組み合わせることができることは、当業者によって明示的及び暗示的に理解される。

【0032】

本願の実施例は、表示パネルを提供し、前記表示パネルは、以下の実施例及び以下の実施例の組み合わせを含むが、これらに限定されない。

【0033】

一実施例では、図1から図5に示すように、前記表示パネル100は、表示領域A1と、前記表示領域A1を囲む非表示領域A2とを含み、前記表示パネル100は、基板10と、前記基板10上の前記表示領域A1内に位置する薄膜トランジスタ層20と、前記基板10と前記薄膜トランジスタ層20との間に位置し、前記表示領域A1内に位置する遮蔽層30と、前記非表示領域A2内に位置し、前記遮蔽層30に電気的に接続された周辺配線40と、を含み、ここで、前記周辺配線40は、導線部401と抵抗部402とを含み、前記抵抗部402は、前記遮蔽層30に接続された第1の端部と、前記導線部401に接続された第2の端部とを含み、前記抵抗部402の抵抗は、前記第1の端部と前記第2の端部との間の最短距離に設けられた前記導線部401の抵抗よりも大きい。ここで、導線部401と抵抗部402との接続方向において、単位寸法内の前記抵抗部402の抵抗値が、対応する直列接続された前記導線部401の抵抗値よりも大きいと理解できる。

【0034】

ここで、基板10は、フレキシブル基板又はリジッド基板であってもよく、フレキシブル基板の構成材料は、ポリイミドを含んでもよいが、これらに限定されず、リジッド基板

10

20

30

40

50

の構成材料は、シリカを含んでもよいが、これらに限定されない。具体的に、図 1 から図 5 に示すように、表示領域 A 1 内には、薄膜トランジスタ層 2 0 と、薄膜トランジスタ層 2 0 上に位置する画素層とが設けられてもよく、薄膜トランジスタ層 2 0 は、複数のトランジスタ 2 0 1 を含み、画素層は、複数のトランジスタ 2 0 1 に 1 対 1 で対応する複数のサブ画素を含んでもよく、各サブ画素は、対応するトランジスタ 2 0 1 と電氣的に接続され、各トランジスタ 2 0 1 は、表示パネル 1 0 0 の表示領域 A 1 に画面表示が行われるように、対応するサブ画素の発光を制御する。もちろん、非表示領域 A 2 には、薄膜トランジスタ層 2 0、周辺配線 4 0、遮蔽層 3 0 の少なくとも一方に電氣的に接続される配線又は回路が設けられてもよい。

#### 【 0 0 3 5 】

なお、基板 1 0 内に存在する多数の分極性電荷は、外部の影響や表示パネル 1 0 0 内部の電界の影響を受けやすく、分極されて多数の分極電荷が形成され、基板 1 0 内の薄膜トランジスタ層 2 0 に近い側の多数の分極電荷が薄膜トランジスタ層 2 0 に分極作用を与え、トランジスタ 2 0 1 内の電荷移動に影響を与え、トランジスタ 2 0 1 の動作信頼性を低下させる。これに基づき、本実施例では、基板 1 0 と薄膜トランジスタ層 2 0 との間の表示領域 A 1 内に遮蔽層 3 0 が設けられ、遮蔽層 3 0 は、薄膜トランジスタ層 2 0 が受ける分極作用を低減し、薄膜トランジスタの動作信頼性を向上させることができる。例えば、遮蔽層 3 0 は、導体又は半導体であってもよく、周辺配線 4 0 に電氣的に接続されて遮蔽電位として印加され、薄膜トランジスタ層 2 0 が受ける分極作用を低減することができる。

#### 【 0 0 3 6 】

具体的に、遮蔽層 3 0 及び周辺配線 4 0 に印加される遮蔽電位は、第 1 の電圧と等しくてもよく、第 1 の電圧は接地電圧と等しくなく、さらに、第 1 の電圧は 0 より大きく 4 . 6 ボルト以下であってもよい。或いは、図 7 に示すように、遮蔽層 3 0 及び周辺配線 4 0 は、対応するトランジスタ 2 0 1 のソース部又はドレイン部に電氣的に接続され、ソース部の電圧又はドレイン部の電圧が対応する第 1 の電圧として印加されてもよく、具体的に、第 2 の接続層 9 0 2 は、ソース部又はドレイン部に電氣的に接続され、周辺配線 4 0 は、バッファ層 5 0 及び第 1 の絶縁層 2 0 6 を貫通する第 1 の導体部 9 0 3、ゲート層 2 0 3 と同層に設けられた第 1 の接続層 9 0 1、層間絶縁層 2 0 8 を貫通する第 2 の導体部 9 0 4、ソース・ドレインと同層に設けられた第 2 の接続層 9 0 2 を順に介してソース部又はドレイン部に電氣的に接続され、第 1 の電圧を印加することができ、遮蔽層 3 0 は、周辺配線 4 0 を介してソース部又はドレイン部に電氣的に接続されて第 1 の電圧が印加される。なお、第 1 の電圧が接地電圧と等しくないため、表示パネル 1 0 0 の作製時や動作時に発生する静電気は遮蔽層 3 0 を介して周辺配線 4 0 に伝導し、表示領域 A 1 の高透過率要求により遮蔽層 3 0 の寸法が小さくなり、周辺配線 4 0 に流入する静電気を低減するために遮蔽層 3 0 が多くの静電気を分担することができず、周辺配線 4 0 に静電気が蓄積され続けて放電して表示パネル 1 0 0 が破損し、表示パネルの歩留まりや品質が低下する。

#### 【 0 0 3 7 】

図 1 及び図 2 に示すように、本実施例では、周辺配線 4 0 は、導線部 4 0 1 と、導線部 4 0 1 に直列接続された抵抗部 4 0 2 とを含み、抵抗部 4 0 2 の抵抗は、第 1 の端部と第 2 の端部との間の最短距離に設けられた導線部 4 0 1 の抵抗よりも大きく、ここで、「第 1 の端部と第 2 の端部との間の最短距離に設けられた導線部 4 0 1 の抵抗」は、導線部 4 0 1 の長さが第 1 の端部と第 2 の端部との間の最短距離である場合に対応する抵抗値として理解でき、即ち、本実施例における抵抗部 4 0 2 は、第 1 の端部と第 2 の端部との間に最短距離で設けられた導線部 4 0 1 に比べて、より大きな抵抗を有することができるため、形成される周辺配線 4 0 は、より大きな抵抗を有することができることが理解できる。或いは、接続方向において、単位寸法内の抵抗部 4 0 2 の抵抗値が、対応する直列接続された導線部 4 0 1 の抵抗値よりも大きいと理解でき、ここで、接続方向毎に 1 つの抵抗部 4 0 2 と少なくとも 1 つの導線部 4 0 1 とが対応しており、抵抗部 4 0 2 毎に少なくとも 1 つの導線部 4 0 1 が対応する接続方向に接続されていると理解でき、もちろん、抵抗部 4 0 2 が直列接続されていない導線部 4 0 1 も存在し、このとき、上述した「接続方向」

10

20

30

40

50

は存在せず、即ち、周辺配線 40 の延在経路の長さが実質的に変化しないことを前提として、本実施例では、接続方向において、単位寸法内の抵抗部 402 の抵抗値を増加させることにより、抵抗部 402 を含む周辺配線 40 の延在経路の単位長さ当たりの抵抗値が、抵抗部 402 を含まない周辺配線 40 の延在経路の単位長さ当たりの抵抗値よりも大きくなるようにするので、非表示領域 A2 内に位置する周辺配線 40 の総抵抗値を増加させることができ、周辺配線 40 の静電気防止能力が向上し、表示パネル 100 の歩留まりや品質が向上する。

#### 【0038】

一実施例では、図 1 及び図 2 に示すように、前記遮蔽群 301 の一端は、一方の前記抵抗部 402 に電氣的に接続され、前記遮蔽群 301 の他端は、他方の前記抵抗部に電氣的に接続される。なお、導体の電流に対する阻害作用をその導体の抵抗といい、導体中の自由電荷が電界力によって規則的な配向運動をすることで電流が形成され、即ち、導体の抵抗値が大きいほど静電気に対する阻害作用が大きくなると理解できる。具体的に、複数の遮蔽群 301 を全体として、非表示領域 A2 内に位置する周辺配線 40 が遮蔽層 30 に電氣的に接続されており、本実施例では、周辺配線 40 における複数の抵抗部 402 が遮蔽層 30 の両端に分散してそれぞれ接続されていること、即ち、複数の抵抗部 402 が非表示領域 A2 内に対向して設けられた両領域に分散していることにより、周辺配線 40 における「電流に対する阻害作用が大きい」抵抗部 402 の分布が均一になり、抵抗部 402 が非表示領域 A2 内の一方の領域に集中して堆積し、周辺配線 40 の非表示領域 A2 内の他の領域に位置する部分の抵抗が小さく、多くの静電気を阻害することができず、放電によって表示パネル 100 が損傷することが回避されることが理解できる。

#### 【0039】

なお、本願では、周辺配線 40 の延在経路について限定をせず、「非表示領域 A2 内に位置する」、「遮蔽層 30 に電氣的に接続する」を満たすだけでよく、例えば、図 1 及び図 2 に示すように、ここでは、遮蔽層 30 の左側、下側、右側を囲んで周辺配線 40 を設けることを例として説明する。さらに、周辺配線 40 のうち遮蔽層 30 の左側に位置する部分は、遮蔽層 30 の左側に接続することができ、周辺配線 40 のうち遮蔽層 30 の右側に位置する部分は、遮蔽層 30 の右側に接続することができ、周辺配線 40 のうち遮蔽層 30 の左側に位置する部分と遮蔽層 30 の右側に位置する部分は、遮蔽層 30 の下側に接続することができる。さらに、周辺配線 40 のうち遮蔽層 30 の左側又は右側に位置する部分の場合、主配線と、複数の遮蔽群 301 に 1 対 1 で対応する複数の分岐配線とを含み、各分岐配線の一端は、対応する遮蔽群 301 に電氣的に接続され、各分岐配線の他端は、表示パネル 100 の縁近傍の対応する主配線に電氣的に接続され、各分岐配線は、1 つの抵抗部 402 と、抵抗部 402 の少なくとも一端に直列接続された導線部 401 とを含む。上記の議論と組み合わせると、同一の主配線に含まれる抵抗部 402 と導線部 401 との接続方向は、第 1 の方向 D1 に平行である。

#### 【0040】

一実施例では、図 1 及び図 3 に示すように、前記抵抗部 402 は、前記第 1 の端部と前記第 2 の端部との間の最短距離の仮想接続線の両側又は同じ側に設けられる。一例として、前記抵抗部 402 が前記第 1 の端部と前記第 2 の端部との間の最短距離に設けられた前記仮想接続線の同じ側に位置する場合、前記抵抗部 402 は、湾曲状又は第 1 の方向 D1 に平行でない直線状に設けられて抵抗を増加させることができ、別の例として、図 1 に示すように、前記抵抗部 402 が前記第 1 の端部と前記第 2 の端部との間の最短距離に設けられた前記仮想接続線の両側に位置する場合、前記抵抗部 402 が前記第 1 の端部と前記第 2 の端部との間の最短距離の前記仮想接続線 1 の両側に設けられた 2 つの部分間の接続線は、少なくとも第 2 の方向 D2 に投影されて抵抗が増加するため、ここでは、前記抵抗部 402 が前記第 1 の端部と前記第 2 の端部との間の最短距離に設けられた前記仮想接続線の同じ側に位置する部分が、第 1 の方向 D1 に平行な直線状に設けられるか否かについて限定をしない。

#### 【0041】

10

20

30

40

50

一実施例では、前記抵抗部 402 は、前記第 1 の端部と前記第 2 の端部との間の最短距離に設けられた前記仮想接続線の少なくとも一側に湾曲状に位置している。具体的に、ここでは抵抗部 402 が、第 1 の端部と第 2 の端部との間の最短距離に設けられた仮想接続線の両側に分布していることを例として説明し、前記抵抗部 402 は、互いに接続された複数のサブ抵抗部 4021 を含み、前記サブ抵抗部 4021 は湾曲状であり、ここではサブ抵抗部 4021 の湾曲方向及び複数のサブ抵抗部 4021 の配列方向について限定をせず、上記の議論と組み合わせて、サブ抵抗部 4021 の湾曲方向は、第 2 の方向 D2 と平行であってもよく、湾曲状の複数のサブ抵抗部 4021 は、第 1 の方向 D1 に沿って配列されてもよい。

#### 【0042】

非表示領域 A2 の第 1 の方向 D1 の寸法が一定である場合、本実施例では、抵抗部 402 の延在経路を第 2 の方向 D2 に往復移動させることにより、抵抗部 402 の全長を長くすることができ、周辺配線 40 の各箇所の構成材料が同一である場合、抵抗部 402 の抵抗値は大きく、上述した「接続方向（第 1 の方向 D1 に平行）において、単位寸法内の抵抗部 402 の抵抗値が、対応する直列接続された導線部 401 の抵抗値よりも大きい」ことが実現されることが理解できる。

#### 【0043】

さらに、各抵抗部 402 において互いに接続される複数のサブ抵抗部 4021 の形状及び数は同一であってもよく、即ち、複数の抵抗部 402 の形態及び寸法は同一であってもよく、即ち、複数の抵抗部 402 の静電気に対する収容及び阻害能力は同等であり、周辺配線 40 における複数の抵抗部 402 の分布が均一である場合、以上のように設けることにより、周辺配線 40 における抵抗部 402 が設けられた部分の静電気に対する収容及び阻害能力をより均一化することができ、抵抗部 402 による静電気に対する収容及び阻害能力の差が大きく、周辺配線 40 における一部の抵抗が小さく、多くの静電気を阻害することができず、放電により表示パネル 100 が損傷する恐れを低減することができる。

#### 【0044】

一実施例では、図 1 及び図 3 に示すように、前記抵抗部 402 と前記導線部 401 とは同層に設けられる。本実施例では、抵抗部 402 と導線部 401 とを同層に設けることにより、表示パネル 100 の厚さを余分に厚くすることを回避することができることが理解できる。さらに、前記抵抗部 402 の構成材料と前記導線部 401 の構成材料は同一であり、ここで、抵抗部 402 と導線部 401 とは、同時に製造されるか、さらに一体成形してプロセス工程を節約することができ、上記の議論と組み合わせて、即ち、互いに接続された湾曲状の複数のサブ抵抗部 4021 と、複数のサブ抵抗部 4021 に接続された導線部 401 とを同一のプロセスで形成することにより、周辺配線 40 を一度に形成することができる。

#### 【0045】

上記の議論と組み合わせて、「周辺配線 40 の各箇所の構成材料が同一である場合、抵抗部 402 の抵抗値は大きい」、即ち、本実施例では、「抵抗部 402 が、互いに接続された湾曲状の複数のサブ抵抗部 4021 を含む」ことに加えて、抵抗部 402 の抵抗値を大きくすることができることが理解できる。具体的に、抵抗部 402 の構成材料及び導線部 401 の構成材料は、導体材料及び半導体材料であってもよいが、これらに限定されず、導体材料は、金属単体を含んでもよいが、これらに限定されず、半導体材料は、シリコン単体、酸化物、シリコン元素含有酸化物を含んでもよいが、これらに限定されず、ここで、金属単体は、モリブデン及びチタンであってもよいが、これらに限定されない。

#### 【0046】

一実施例では、図 1 及び図 3 に示すように、前記遮蔽層 30 の構成材料と前記周辺配線 40 の構成材料は同一であり、前記遮蔽層 30 と前記周辺配線 40 とは同層に設けられる。具体的に、遮蔽層 30 の構成材料及び周辺配線 40 の構成材料は、導体材料及び半導体材料であってもよいが、これらに限定されず、導体材料は、金属単体を含んでもよいが、これらに限定されず、半導体材料は、シリコン単体及びシリコン元素含有酸化物を含んで

10

20

30

40

50

もよいが、これらに限定されず、金属単体は、モリブデンであってもよいが、これらに限定されない。

【0047】

本実施例では、遮蔽層30と周辺配線40とを同層に設けることにより、表示パネル100の厚さを余分に厚くすることを回避することができ、さらに、遮蔽層30と周辺配線40とは、同時に製造されるか、さらに一体成形してプロセス工程を節約することができ、即ち、互いに接続された湾曲状の複数のサブ抵抗部4021と、複数のサブ抵抗部4021に接続された導線部401と、互いに接続され、両端が周辺配線40に接続された複数の遮蔽部とを同一のプロセスで形成することにより、周辺配線40と遮蔽層30とを一度に形成することができることが理解できる。

10

【0048】

一実施例では、前記導線部401の長さは、前記第1の端部と前記第2の端部との間の最短距離よりも長い。上記の議論と組み合わせて、周辺配線40は、導線部401と、導線部401に直列接続された抵抗部402とを含み、各抵抗部402は、対応する接続方向に少なくとも1つの導線部401が直列接続されており、抵抗部402が直列接続されていない導線部401も存在し、ここでは、前記導線部401が延在方向に湾曲して設けられていると理解でき、即ち、延在方向に湾曲して設けられた導線部401は、抵抗部402が直列接続されているか接続されていない導線部401を指すことができる。

【0049】

具体的に、図1及び図2に示すように、導線部401は、第1の方向D1に延びる部分と、第2の方向D2に延びる部分とを含み、導線部401は、延在方向に湾曲して設けられており、ここでは、導線部401のそれぞれにおける湾曲方向について限定をせず、例えば、導線部401において、第1の方向D1に延びる部分は、第2の方向D2に湾曲してもよいが、これらに限定されず、即ち、第1の方向D1に非直線的に設けられていることを示し、第2の方向D2に延びる部分は、第1の方向D1に湾曲してもよいが、これらに限定されず、即ち、第2の方向D2に非直線的に設けられていることを示す。非表示領域A2の第1の方向D1及び第2の方向D2の寸法が一定である場合、本実施例では、導線部401を任意の方向に湾曲させて設けることにより、導線部401の全長を長くして導線部401の抵抗値を大きくすることができ、導線部401に静電気を収容できる経路を増加させたり、導線部401の静電気に対する障害能力を増加させたりすることにより、周辺配線40全体の静電気防止能力を向上させ、表示パネル100の歩留まりや品質を向上させることが理解できる。

20

30

【0050】

一実施例では、遮蔽群301は、延在方向に湾曲して設けられる。具体的に、上記の議論と組み合わせて、各遮蔽群301は、第1の方向D1に沿って配列された複数のトランジスタ201に対向して設けられてもよく、各遮蔽群301に接続された複数の遮蔽部は、対応する複数のトランジスタ201に1対1で対応してもよく、各遮蔽部は、対応するトランジスタ201に対向して設けられてもよく、即ち、遮蔽群301は、第1の方向D1に延びる。

【0051】

具体的に、遮蔽群301は、延在方向に湾曲して設けられており、ここでは、遮蔽群301のそれぞれにおける湾曲方向について限定をせず、例えば、遮蔽群301は、第2の方向D2に湾曲してもよいが、これらに限定されず、即ち、遮蔽群301が第1の方向D1に非直線的に設けられていることを示す。表示領域A1の第1の方向D1の寸法が一定である場合、本実施例では、遮蔽群301を任意の方向に湾曲させて設けることにより、遮蔽群301の全長を長くして遮蔽群301の抵抗値を大きくすることができ、遮蔽層30に静電気を収容できる経路を増加させたり、遮蔽層30の静電気に対する障害能力を増加させたりすることにより、遮蔽層30及び周辺配線40全体の静電気防止能力を向上させ、表示パネル100の歩留まりや品質を向上させることが理解できる。

40

【0052】

50

一実施例では、図2、図4及び図5に示すように、前記抵抗部402と前記導線部401とは異なる層に設けられ、前記抵抗部402の抵抗率は、前記導線部401の抵抗率よりも大きい。具体的に、ここでは抵抗部402の形状や導線部401の形状について限定をせず、抵抗部402の構成材料や導線部401の構成材料についても限定をせず、ここでの抵抗率は、伸長後の長さが1メートル、断面積が1平方メートルの導体の抵抗と理解でき、温度、圧力、磁界などの外的要因が同一である場合、抵抗部402の抵抗率が導線部401の抵抗率よりも大きいと考えられる。

#### 【0053】

抵抗部402の形態及び寸法がいずれも導線部401の形態及び寸法と同じである場合、本実施例では、抵抗部402の抵抗率が導線部401の抵抗率よりも大きく、上述した「接続方向（第1の方向D1に平行）において、単位寸法内の抵抗部402の抵抗値が、対応する直列接続された導線部401の抵抗値よりも大きい」ことを実現することができる。もちろん、抵抗部402の抵抗率が導線部401の抵抗率よりも大きいことを前提に、抵抗部402のパラメータと導線部401のパラメータを適正に設定して、「接続方向（第1の方向D1に平行）において、単位寸法内の抵抗部402の抵抗値が、対応する直列接続された導線部401の抵抗値よりも大きい」ことを実現することもでき、本実施例は、「抵抗部402の抵抗率が導線部401の抵抗率よりも大きい」ことが、「接続方向（第1の方向D1に平行）において、単位寸法内の抵抗部402の抵抗値が、対応する直列接続された導線部401の抵抗値よりも大きい」ことを実現するのに役立つことを強調することを目的としている。

#### 【0054】

一実施例では、図1、図2、図4及び図5に示すように、前記薄膜トランジスタ層20は、前記表示領域A1に位置する複数の薄膜トランジスタ201を含み、前記遮蔽層30は、複数の前記トランジスタ201に1対1で対応し、重畳して設けられた遮蔽ブロックと、隣接する2つの遮蔽ブロックに接続された遮蔽配線とを含み、ここで、前記周辺配線40の前記抵抗部402は、前記遮蔽配線と電氣的に接続され、且つ同層に設けられる。具体的に、前記遮蔽層30は、第1の方向D1に延び、第2の方向D2に沿って配列された複数の遮蔽群301を含んでもよく、各遮蔽群301の少なくとも一端は、前記抵抗部402に電氣的に接続され、前記抵抗部402は、前記薄膜トランジスタ層20と同層に設けられ、遮蔽配線は、薄膜トランジスタ層20の少なくとも1層と同層に設けられてもよい。

#### 【0055】

ここでは、第1の方向D1が表示パネル100の第1の辺に平行であり、第2の方向D2が表示パネル100の第2の辺に平行であり、第1の方向D1が第2の方向D2に垂直であることを例として説明し、具体的に、図4及び図5に示すように、薄膜トランジスタ層20内の複数のトランジスタ201は、第1の方向D1及び第2の方向D2にアレイ状に配列されてもよく、上記の議論と組み合わせて、各遮蔽群301は、第1の方向D1に沿って配列された複数のトランジスタ201に対向して設けられてもよく、さらに、各遮蔽群301は、電氣的に接続された複数の遮蔽部を含んでもよく、各遮蔽部は、対応するトランジスタ201に対向して設けられてもよい。具体的に、各遮蔽群301は、同一の行に位置する複数のトランジスタ201に対向して設けられてもよく、さらに、各遮蔽ブロックは、対応する1行のトランジスタ201のうちの対応するトランジスタ201に対向して設けられてもよく、遮蔽配線の幅は、遮蔽ブロックの幅以下であってもよく、非表示領域A2に近い複数の遮蔽ブロックの場合、対応する遮蔽配線を介して周辺配線40に接続されてもよいことが理解できる。

#### 【0056】

具体的に、接続方向における単位寸法内の抵抗部402の抵抗値が大きい、即ち、接続方向に同じ寸法では、抵抗部402の抵抗値が導線部401の抵抗値よりも大きいため、本実施例では、各遮蔽群301の少なくとも一端を抵抗部402に電氣的に接続することにより、複数の遮蔽群301の延在方向の抵抗値を増加させることができ、抵抗部402

10

20

30

40

50

の分布を分散させることにより、一方の遮蔽群 301 の延在方向の抵抗値が小さく、静電気が多く蓄積されて放電することを回避し、周辺配線 40 の静電気に対する耐性が向上し、表示パネル 100 の歩留まりや品質が向上することが理解できる。

【0057】

さらに、前記抵抗部 402 の構成材料、遮蔽配線の構成材料、及び前記薄膜トランジスタ層 20 において遮蔽配線と同層に設けられた膜層の構成材料は同一である。ここで、本実施例では、抵抗部 402 と薄膜トランジスタ層 20 のうち同層に設けられ、且つ構成材料が同一の膜層について限定をせず、抵抗部 402 の抵抗率が導線部 401 の抵抗率よりも大きいものを満足すればよい。本実施例では、抵抗部 402 と薄膜トランジスタ層 20 とを同層に設けることにより、表示パネル 100 の厚さを余分に厚くすることを回避することができ、さらに、抵抗部 402 と薄膜トランジスタ層 20 とを同時に製造することにより、プロセス工程を節約することができ、即ち、表示領域 A2 内に位置する抵抗部 402 と、表示領域 A1 内に位置する薄膜トランジスタ層 20 の対応する膜層とを同一工程で形成することにより、抵抗部 402 と薄膜トランジスタ層 20 の対応する膜層とを一度に形成することができることが理解できる。

10

【0058】

具体的に、上記の議論と組み合わせ、「抵抗部 402 の抵抗率は、導線部 401 の抵抗率よりも大きい」、即ち、本実施例では、「抵抗部 402 の構成材料と薄膜トランジスタ層 20 の構成材料とが同一である」ことにより、抵抗部 402 の構成材料が導線部 401 の構成材料と異なることを実現し、さらに、薄膜トランジスタ層 20 のいずれかの構成要素の構成材料を選択して抵抗部 402 を作製することにより、抵抗部 402 の抵抗率を大きくすることができる。

20

【0059】

一実施例では、図 4 及び図 5 に示すように、前記薄膜トランジスタ層 20 は、ゲート層 203 と、前記ゲート層 203 の前記基板 10 に近い側又は前記基板 10 から離れる側に位置する活性層 202 と、前記ゲート層 203 と前記活性層 202 との間に位置する第 1 の絶縁層 206 と、前記活性層 202 の前記基板 10 から離れる側に位置し、前記活性層 202 と電氣的に接続され、前記ゲート層 203 と絶縁されるソース・ドレイン層と、を含み、ここで、図 4 に示すように、前記抵抗部 402 は、前記活性層 202 と同層に設けられるか、或いは、図 5 に示すように、前記抵抗部 402 は、前記ソース・ドレイン層と同層に設けられる。

30

【0060】

具体的に、本実施例では、薄膜トランジスタ層 20 が複数のトップゲート構造のトランジスタとして形成されるか、ボトムゲート構造のトランジスタとして形成されるかについて限定をせず、ここでは、トップゲート構造のトランジスタを例として説明し、即ち、ゲート層 203 は、活性層 202 の基板 10 から離れる側に位置する。具体的に、上記の議論と組み合わせ、薄膜トランジスタ層 20 の各薄膜トランジスタ 201 は、活性層 202 と、活性層 202 の基板 10 から離れる側に位置するゲート層 203 と、ゲート層 203 の基板 10 から離れる側に位置するソース・ドレイン層と、を含んでもよく、ソース・ドレイン層は、活性層 202 の一端に対向して設けられ、電氣的に接続されたソース部 204 と、活性層 202 の一端に対向して設けられ、電氣的に接続されたドレイン部 205 とを含む。さらに、表示パネル 100 は、活性層 202 とゲート層 203 との間に位置し、活性層 202 を覆う第 1 の絶縁層 206 と、ゲート層 203 の基板 10 から離れる側を覆う第 2 の絶縁層 207 と、第 2 の絶縁層 207 の基板 10 から離れる側を覆う層間絶縁層 208 と、をさらに含む。即ち、前記薄膜トランジスタ層 20 は、前記遮蔽層 30 の前記基板 10 から離れる側に位置する活性層 202 と、前記活性層 202 の前記基板 10 から離れる側に位置する第 1 の絶縁層 206 と、前記第 1 の絶縁層 206 の前記基板 10 から離れる側に位置するゲート層 203 と、前記ゲート層 203 の前記基板 10 から離れる側に位置する第 2 の絶縁層 207 と、前記第 2 の絶縁層 207 の前記基板 10 から離れる側に位置するソース・ドレイン層と、を含み、前記抵抗部 402 は、前記活性層 202 と

40

50

同層に設けられた第1の抵抗部、又はソース・ドレイン層と同層に設けられた第2の抵抗部を含む。

【0061】

ここで、活性層202の構成材料は、アモルファスシリコン及び多結晶シリコンのうちの少なくとも1つを含んでもよく、多結晶シリコンは、低温ポリシリコンを含んでもよく、さらに、活性層202の構成材料は、酸化物をさらに含んでもよい。具体的に、例えば、低温ポリシリコン技術により作製された活性層202は、薄膜トランジスタ201が対応する画素を充電する際に、より大きな駆動電流を発生させて充電速度を向上させることができるように、高い電子移動度を有することができ、例えば、アモルファスシリコン又は酸化物からなる活性層202は、露光時に薄膜トランジスタ201のリーク電流が信号に干渉することを防止するために、低いリーク電流を有することができる。具体的に、例えば、活性層202の構成材料がアモルファスシリコンを含む場合、活性層202におけるソース・ドレイン層に電氣的に接続された両端に粒子をドーピングして2つの不純物領域を形成することができ、ドーピング粒子はリンイオンを含んでもよく、不純物領域内のドーピング粒子の濃度は、実際の状況に応じて設定することができる。例えば、活性層202の構成材料が酸化物を含む場合、ドーピング粒子を設けて不純物領域を形成することを回避することができる。

10

【0062】

さらに、上記の議論に基づいて、図4に示すように、前記第1の抵抗部と前記活性層202との抵抗率は同じであり、前記第2の抵抗部と前記ソース・ドレイン層との抵抗率は同じである。具体的に、前記活性層202と同層に設けられる第1の抵抗部の場合、第1の抵抗部と活性層202とを同一材料で同時に製造することができ、上記の議論によれば、活性層202の構成材料は半導体材料、即ち第1の抵抗部の構成材料は半導体材料であるのため、半導体材料は、活性層202の構成材料について上述した説明を参照することができ、導線部401の構成材料は、一般的に導体材料であり、即ち、第1の抵抗部の抵抗率は、比較的大きくてもよい。具体的に、遮蔽層30と薄膜トランジスタ層20との間にバッファ層50が設けられてもよく、バッファ層50を形成した後、非表示領域A2内に位置する抵抗部402と、表示領域A1内に位置する活性層202とを同一のプロセスで形成することにより、抵抗部402と活性層202とを一度に形成することができる。

20

【0063】

一実施例では、図5に示すように、前記ソース・ドレイン層は、構成材料にチタンを含む第1の金属層と、前記第1の金属層の前記基板10から離れる側に位置し、構成材料が前記第1の金属層とは異なる第2の金属層とを含む。さらに、前記抵抗部402は、前記第1の金属層と同層に設けられる。ここで、第2の金属層の構成材料は、アルミニウムを含んでもよく、さらに、ソース・ドレイン層は、第2の金属層の基板10から離れる側に位置する第3の金属層をさらに含んでもよく、第3の金属層の構成材料は、第1の金属層の構成材料と同一であってもよい。

30

【0064】

具体的に、第1の絶縁層206、第2の絶縁層207及び層間絶縁層208には、第1のビアホールが設けられてもよく、ソース・ドレイン層は、層間絶縁層208の基板10から離れる側から第1のビアホールを介して活性層202と接触するまで延びてもよく、上記の議論と組み合わせると、第1の金属層は、層間絶縁層208の基板10から離れる側から第1のビアホールを介して活性層202と接触するまで延びてもよく、第2の金属層及び第3の金属層は、第1の金属層上に順次形成されてもよい。

40

【0065】

図5に示すように、本実施例では、チタン製の第1の金属層及び抵抗部402は、チタン製の遮蔽層30及び導線部401に対して高い抵抗率を有することができ、「接続方向において、単位寸法内の前記抵抗部402の抵抗値が、対応する直列接続された前記導線部401の抵抗値よりも大きい」ことを実現するのに役立ち、一方、第1の金属層と抵抗部402とを同時に製造することにより、プロセス工程を節約し、表示パネル100の厚

50

さを余分に厚くすることを回避することができ、層間絶縁層 208 を形成した後、非表示領域 A2 内に位置する抵抗部 402 と、表示領域 A1 内に位置する複数のソース部 204 と、複数のドレイン部 205 とを同一のプロセスで形成することにより、抵抗部 402 とソース・ドレイン層とを一度に形成することができることが理解できる。

【0066】

一実施例では、図 4 及び図 5 に示すように、前記表示パネル 100 は、前記抵抗部 402 と前記導線部 401 との間に連通する第 2 のビアホールと、前記第 2 のビアホール内に充填され、前記抵抗部 402 と前記導線部 401 とを電氣的に接続する導体部 60 とをさらに含む。なお、上記の議論と組み合わせ、抵抗部 402 と薄膜トランジスタ層 20 とが同層に設けられる場合、導線部 401 は一般的に遮蔽層 30 と同層に設けられるため、抵抗部 402 と直列接続された導線部 401 とは異層に設けられる。

10

【0067】

一例として、図 4 に示すように、抵抗部 402 が活性層 202 と同層に設けられる場合、第 2 のビアホールは、バッファ層 50 を貫通して抵抗部 402 と導線部 401 とを連通させることができ、第 2 のビアホール内に充填された導体部 60 は、バッファ層 50 の上側に位置する抵抗部 402 とバッファ層 50 の下側に位置する導線部 401 とを電氣的に接続することができる。別の例として、図 5 に示すように、抵抗部 402 がソース部 204 及びドレイン部 205 と同層に設けられる場合、第 2 のビアホールは、バッファ層 50、第 1 の絶縁層 206、第 2 の絶縁層 207 及び層間絶縁層 208 を貫通して抵抗部 402 と導線部 401 とを連通させることができ、第 2 のビアホール内に充填された導体部 60 は、層間絶縁層 208 の上側に位置する抵抗部 402 とバッファ層 50 の下側に位置する導線部 401 とを電氣的に接続することができることが理解できる。

20

【0068】

一実施例では、図 6 に示すように、前記抵抗部 402 と前記導線部 401 とは異なる層に設けられ、基板 10 に垂直な平面における前記抵抗部 402 の投影は、前記遮蔽層 30 が位置する層を超えており、前記抵抗部 402 は、前記第 1 の端部と前記第 2 の端部との間の最短距離に設けられた前記導線部 401 の両側又は同じ側に位置し、湾曲状の 2 つの部分を含む。具体的に、図 6 に示すように、ここでは、抵抗部 402 が、第 1 の端部と第 2 の端部との間の最短距離に設けられた導線部 401 の上方に位置する 2 つの部分 4021 を含むことを例として説明し、上記の議論と組み合わせ、複数の抵抗部 402 と導線部 401 との間の接続は、導体部 60 によって実現することができる。

30

【0069】

具体的に、図 1 を参照すると、周辺配線 40 における抵抗部 402 は、基板 10 と平行な平面上で湾曲して延び、抵抗部 402 の全長を長くすることができ、同様に、本実施例における抵抗部 402 は、基板 10 に垂直な平面上で湾曲して延び、同様に、抵抗部 402 の全長を長くすることができ、周辺配線 40 の各箇所の構成材料が同一である場合、抵抗部 402 の抵抗値は大きく、上述した「接続方向（第 1 の方向 D1 に平行）において、単位寸法内の抵抗部 402 の抵抗値が、対応する直列接続された導線部 401 の抵抗値よりも大きい」ことが実現される。具体的に、本実施例では、基板 10 に垂直な平面における抵抗部 402 の投影が遮蔽層 30 が位置する層を超えた部分が表示パネル 100 におけるどの膜層に重なるかについて限定をせず、遮蔽層 30 の上方に部分的に「...を超えた部分」が存在し、遮蔽層 30 の下方に部分的に「...を超えた部分」が存在できればよい。

40

【0070】

本願の実施例は、モバイル端末を提供し、前記モバイル端末は、端末本体部と、上記のいずれかに記載のタッチパネルとを備え、前記端末本体部と前記タッチパネルとは一体化されている。

【0071】

本願の実施例に提供された表示パネルは、表示領域と、前記表示領域を囲む非表示領域とを含み、前記表示パネルは、基板と、前記基板上の表示領域内に位置する薄膜トランジスタ層と、前記基板と前記薄膜トランジスタ層との間に位置し、前記表示領域内に位置す

50

る遮蔽層と、前記非表示領域内に位置し、前記遮蔽層に電氣的に接続された周辺配線と、を含み、前記周辺配線は、導線部と抵抗部とを含み、前記抵抗部は、前記遮蔽層に接続された第1の端部と、前記導線部に接続された第2の端部とを含み、前記抵抗部の抵抗は、前記第1の端部と前記第2の端部との間の最短距離に設けられた前記導線部の抵抗よりも大きい。ここで、本願では、抵抗部の単位寸法内の抵抗値を大きく設定することで、周辺配線の延在経路の単位長さ当たりの抵抗値が大きくなり、周辺配線の総抵抗値を大きくし、周辺配線の静電気に対する耐性を向上させ、表示パネルの歩留まりや品質を向上させる。

【0072】

以上、本願の実施例に提供された表示パネル及びモバイル端末について詳細に説明しており、本明細書では、特定の例を用いて、本願の原理及び実施形態を説明し、上記の実施例の説明は、本願の技術的解決策及び核となる考えを理解するのを助けるためにのみ使用され、当業者は、前述の各実施例で説明された技術的解決策を修正すること、又は技術的特徴のいくつかに対して同等の置換を行うことができること、及びこれらの修正又は置換が、対応する技術的解決策の本質を本願の各実施例の技術的解決策の範囲から逸脱させないことを理解すべきである。

10

20

30

40

50

【 図面 】

【 図 1 】

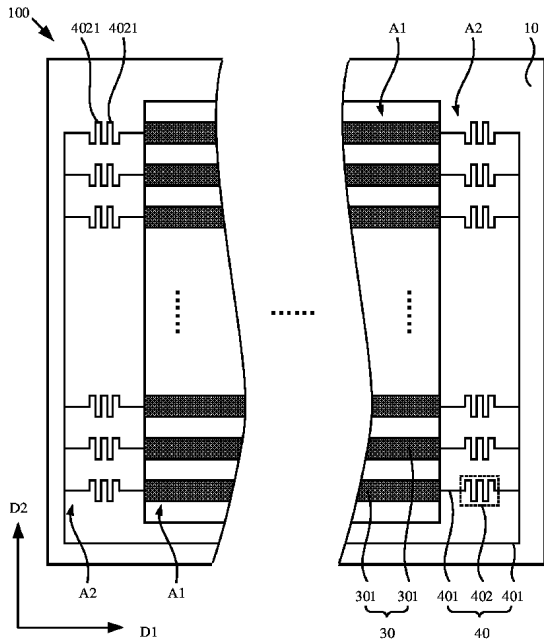


图 1

【 图 2 】

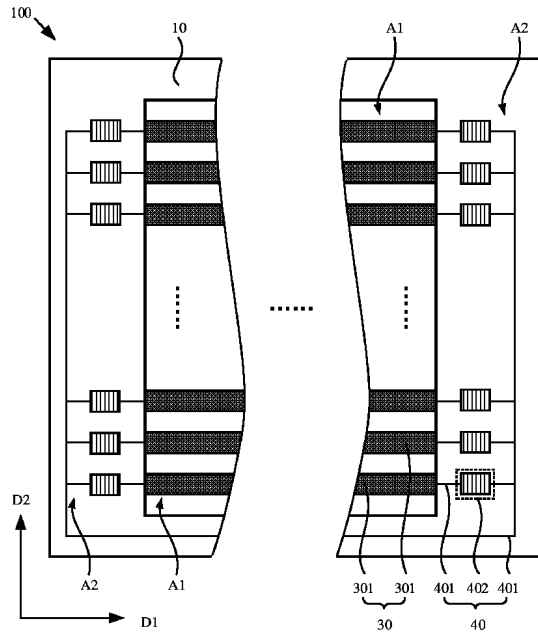


图 2

【 图 3 】

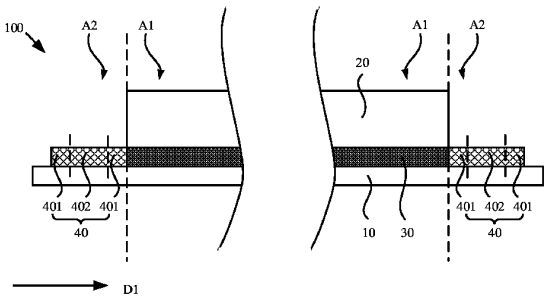


图 3

【 图 4 】

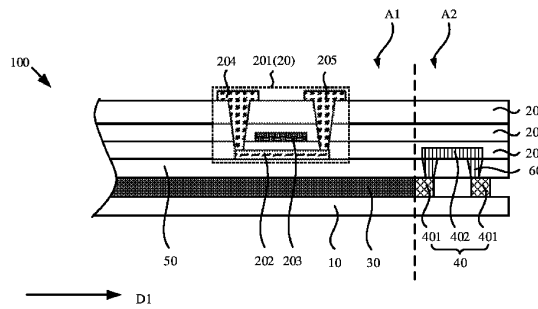


图 4

10

20

30

40

50

【 図 5 】

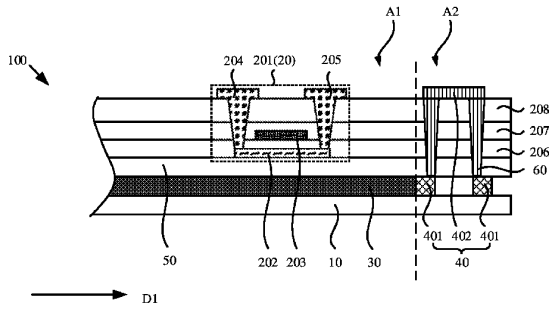


图 5

【 图 6 】

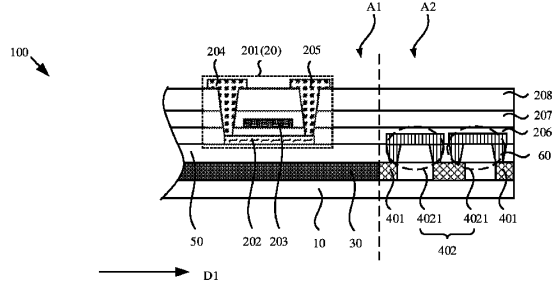


图 6

10

【 图 7 】

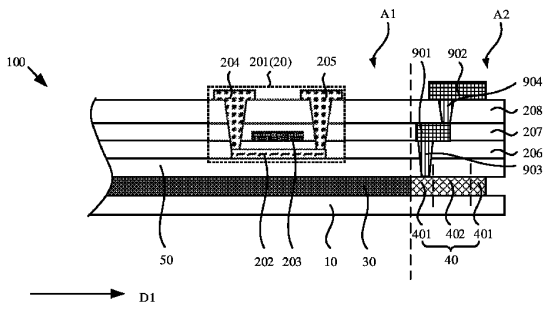


图 7

20

30

40

50

## フロントページの続き

## (51)国際特許分類

F I

H 0 1 L	29/78	6 2 3 A
H 0 1 L	29/78	6 2 6 C

an, Hubei 430079 China

## (74)代理人 110002181

弁理士法人 I P - F O C U S

## (72)発明者 吳 咏波

中華人民共和国湖北省武漢市東湖新技術開發区高新大道 6 6 6 号光谷生物創新園 C 5 棟 3 0 5 室

審査官 小野 博之

## (56)参考文献

特開 2 0 1 4 - 0 8 1 6 4 1 ( J P , A )

特開 2 0 1 0 - 1 0 7 9 4 5 ( J P , A )

特開 2 0 0 2 - 0 8 3 9 6 8 ( J P , A )

米国特許第 0 9 0 0 1 2 8 0 ( U S , B 2 )

中国特許出願公開第 1 1 4 2 8 4 2 4 8 ( C N , A )

中国特許出願公開第 1 1 3 5 1 7 2 6 2 ( C N , A )

中国特許出願公開第 1 1 4 2 4 2 7 3 6 ( C N , A )

中国特許出願公開第 1 1 0 2 7 5 3 3 3 ( C N , A )

中国特許出願公開第 1 0 7 6 6 4 8 9 1 ( C N , A )

中国実用新案第 2 0 9 5 9 2 0 3 6 ( C N , U )

## (58)調査した分野 (Int.Cl., D B 名)

G 0 9 F 9 / 0 0 - 9 / 4 6

G 0 2 F 1 / 1 3 - 1 / 1 4 1

1 / 1 5 - 1 / 1 9

H 0 5 B 3 3 / 0 0 - 3 3 / 2 8

4 4 / 0 0

4 5 / 6 0

H 1 0 K 5 0 / 0 0 - 9 9 / 0 0

H 0 1 L 2 9 / 7 8 6

H 0 1 L 2 1 / 3 3 6