(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월22일
(11) 등록번호 10-2279875
(24) 등록일자 2021년07월15일

(51) 국제특허분류(Int. Cl.)
H01L 27/12 (2006.01) *H01L 29/10* (2006.01)
H01L 29/45 (2006.01) *H01L 29/786* (2006.01)
(52) CPC특허분류
H01L 27/1225 (2013.01)
H01L 27/1233 (2013.01)
(21) 출원번호 10-2019-7030271(분할)
(22) 출원일자(국제) 2014년12월17일
심사청구일자 2019년10월15일
(85) 번역문제출일자 2019년10월15일
(65) 공개번호 10-2019-0119681
(43) 공개일자 2019년10월22일
(62) 원출원 특허 10-2016-7020353
원출원일자(국제) 2014년12월17일
심사청구일자 2019년07월31일
(86) 국제출원번호 PCT/IB2014/066995
(87) 국제공개번호 WO 2015/097597
국제공개일자 2015년07월02일
(30) 우선권주장
JP-P-2013-271783 2013년12월27일 일본(JP)
(56) 선행기술조사문헌
JP2012191025 A*
(뒷면에 계속)
전체 청구항 수 : 총 17 항

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
야마자키 슌페이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
코에주카 주니치
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)
(74) 대리인
장훈

심사관 : 고연화

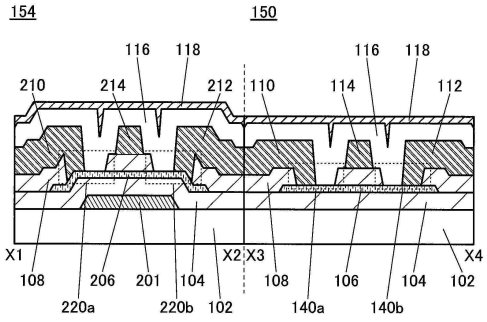
(54) 발명의 명칭 **반도체 장치**

(57) 요 약

산화물 반도체가 사용되며 온-상태 전류가 높은 트랜지스터를 포함한 반도체 장치를 제공한다. 구동 회로부에 제공된 제 1 트랜지스터 및 화소부에 제공된 제 2 트랜지스터를 포함한 반도체 장치에서, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 상이한 구조들을 가진다. 더욱이, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 게이트 전극, 소스 전극, 및 드레인 전극으로서 작용하는 도전막들이 중첩하지 않는 상부-게이트 구조를 가진 트랜지스터들이다. 더욱이, 산화물 반도체막에서, 불순물 원소는 상기 게이트 전극, 상기 소스 전극, 및 상기 드레인 전극과 중첩하지 않는 영역에 포함된다.

대 표 도

[도 1A]



(52) CPC특허분류
H01L 27/1251 (2013.01)
H01L 29/1033 (2013.01)
H01L 29/45 (2013.01)
H01L 29/78648 (2013.01)
H01L 29/78696 (2013.01)

(72) 발명자
진트유 마사미
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
시마 유키노리
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
하모치 타카시
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내
나카자와 야수타카
일본 243-0036 가나가와켄 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문헌
JP2012199527 A*
KR1020120089763 A*
KR1020130090338 A
KR1020120093396 A
JP2013201436 A
*는 심사관에 의하여 인용된 문헌

명 세 서

청구범위

청구항 1

트랜지스터와, 상기 트랜지스터에 전기적으로 접속된 용량 소자와, 상기 트랜지스터 위의 제 1 절연막을 갖고,

상기 트랜지스터는,

채널 형성 영역을 갖는 제 1 산화물 반도체막과,

상기 제 1 산화물 반도체막의 아래쪽에 제 2 절연막을 개재하여 배치되고, 상기 채널 형성 영역과 중첩하는 영역을 갖는 제 1 도전막과,

상기 제 1 산화물 반도체막의 위쪽에 제 3 절연막을 개재하여 배치되고, 상기 채널 형성 영역과 중첩하는 영역을 갖는 제 2 도전막과,

상기 제 1 산화물 반도체막과 전기적으로 접속되고, 상기 제 2 도전막과 동일층으로 이루어진 소스 전극 및 드레인 전극을 갖고,

상기 용량 소자는 제 2 산화물 반도체막과 상기 제 1 절연막을 갖고,

상기 제 1 절연막은, 상기 제 2 도전막에 접하는 영역과, 상기 제 3 절연막에 접하는 영역과, 상기 소스 전극에 접하는 영역과, 상기 드레인 전극에 접하는 영역과, 상기 제 2 산화물 반도체막에 접하는 영역을 갖고,

상기 제 1 산화물 반도체막의 채널 길이 방향에 평행한 단면시(斷面視)에 있어서, 상기 제 1 도전막의 폭은 상기 제 2 도전막의 폭보다도 넓고,

상기 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 1 산화물 반도체막의 폭보다도 넓은 반도체 장치.

청구항 2

트랜지스터와, 상기 트랜지스터에 전기적으로 접속된 용량 소자와, 상기 트랜지스터 위의 제 1 절연막을 갖고,

상기 트랜지스터는,

채널 형성 영역을 갖는 제 1 산화물 반도체막과,

상기 제 1 산화물 반도체막의 아래쪽에 제 2 절연막을 개재하여 배치되고, 상기 채널 형성 영역과 중첩하는 영역을 갖는 제 1 도전막과,

상기 제 1 산화물 반도체막의 위쪽에 제 3 절연막을 개재하여 배치되고, 상기 채널 형성 영역과 중첩하는 영역을 갖는 제 2 도전막과,

상기 제 1 산화물 반도체막과 전기적으로 접속되고, 상기 제 2 도전막과 동일층으로 이루어진 소스 전극 및 드레인 전극을 갖고,

상기 용량 소자는 제 2 산화물 반도체막과 상기 제 1 절연막을 갖고,

상기 제 1 절연막은, 상기 제 2 도전막에 접하는 영역과, 상기 제 3 절연막에 접하는 영역과, 상기 소스 전극에 접하는 영역과, 상기 드레인 전극에 접하는 영역과, 상기 제 2 산화물 반도체막에 접하는 영역을 갖고,

상기 제 1 산화물 반도체막의 채널 길이 방향에 평행한 단면시에 있어서, 상기 제 3 절연막의 상면은 상기 제 2 도전막과 접하는 영역과, 상기 제 1 절연막과 접하고 또한 상기 제 1 산화물 반도체막과의 중첩을 갖는 영역을 갖고,

상기 단면시에 있어서, 상기 제 1 산화물 반도체막은 상기 제 3 절연막과 접하는 영역과, 상기 제 1 절연막과 접하고 또한 상기 제 3 절연막과 접하는 영역에 인접하는 영역을 갖고,

상기 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 2 도전막의 폭보다도 넓고,

상기 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 1 산화물 반도체막의 폭보다도 넓은 반도체 장치.

청구항 3

트랜지스터와, 상기 트랜지스터에 전기적으로 접속된 용량 소자와, 상기 트랜지스터 위의 제 1 절연막을 갖고,

상기 트랜지스터는,

채널 형성 영역을 갖는 제 1 산화물 반도체막과,

상기 제 1 산화물 반도체막의 아래쪽에 제 2 절연막을 개재하여 배치되고, 상기 채널 형성 영역과 중첩하는 영역을 갖는 제 1 도전막과,

상기 제 1 산화물 반도체막의 위쪽에 제 3 절연막을 개재하여 배치되고, 상기 채널 형성 영역과 중첩하는 영역을 갖는 제 2 도전막과,

상기 제 1 산화물 반도체막과 전기적으로 접속되고, 상기 제 2 도전막과 동일한 적층 구조로 이루어진 소스 전극 및 드레인 전극을 갖고,

상기 용량 소자는 제 2 산화물 반도체막과 상기 제 1 절연막을 갖고,

상기 제 1 절연막은, 상기 제 2 도전막에 접하는 영역과, 상기 제 3 절연막에 접하는 영역과, 상기 소스 전극에 접하는 영역과, 상기 드레인 전극에 접하는 영역과, 상기 제 2 산화물 반도체막에 접하는 영역을 갖고,

상기 제 1 산화물 반도체막의 채널 길이 방향에 평행한 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 2 도전막의 폭보다도 넓고,

상기 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 1 산화물 반도체막의 폭보다도 넓은 반도체 장치.

청구항 4

트랜지스터와, 상기 트랜지스터에 전기적으로 접속된 용량 소자와, 상기 트랜지스터 위의 제 1 절연막을 갖고,

상기 트랜지스터는,

채널 형성 영역을 갖는 제 1 산화물 반도체막과,

상기 제 1 산화물 반도체막의 아래쪽에 제 2 절연막을 개재하여 배치되고, 상기 채널 형성 영역과 중첩하는 영역을 갖는 제 1 도전막과,

상기 제 1 산화물 반도체막의 위쪽에 제 3 절연막을 개재하여 배치되고, 상기 채널 형성 영역과 중첩하는 영역을 갖는 제 2 도전막과,

상기 제 1 산화물 반도체막과 전기적으로 접속되고, 상기 제 2 도전막과 동일한 적층 구조로 이루어진 소스 전극 및 드레인 전극을 갖고,

상기 용량 소자는 제 2 산화물 반도체막과 상기 제 1 절연막을 갖고,

상기 제 1 절연막은, 상기 제 2 도전막에 접하는 영역과, 상기 제 3 절연막에 접하는 영역과, 상기 소스 전극에 접하는 영역과, 상기 드레인 전극에 접하는 영역과, 상기 제 2 산화물 반도체막에 접하는 영역을 갖고,

상기 제 1 산화물 반도체막의 채널 길이 방향에 평행한 단면시에 있어서, 상기 제 3 절연막의 상면은 상기 제 2 도전막과 접하는 영역과, 상기 제 1 절연막과 접하고 또한 상기 제 1 산화물 반도체막과의 중첩을 갖는 영역을 갖고,

상기 단면시에 있어서, 상기 제 1 산화물 반도체막은 상기 제 3 절연막과 접하는 영역과, 상기 제 1 절연막과 접하고 또한 상기 제 3 절연막과 접하는 영역에 인접하는 영역을 갖고,

상기 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 2 도전막의 폭보다도 넓고,

상기 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 1 산화물 반도체막의 폭보다도 넓은 반도체 장치.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 제 2 도전막의 적층 구조와, 상기 소스 전극 및 상기 드레인 전극의 적층 구조는 동일 재료로 이루어진 반도체 장치.

청구항 6

제 3 항 또는 제 4 항에 있어서,

상기 제 2 도전막의 적층 구조와, 상기 소스 전극 및 상기 드레인 전극의 적층 구조는 실질적으로 같은 두께를 갖는 반도체 장치.

청구항 7

트랜지스터와, 상기 트랜지스터에 전기적으로 접속된 용량 소자와, 상기 트랜지스터 위의 제 1 절연막을 갖고,

상기 트랜지스터는,

채널 형성 영역을 갖는 제 1 산화물 반도체막과,

상기 제 1 산화물 반도체막의 아래쪽에 제 2 절연막을 개재하여 배치되고, 상기 채널 형성 영역과 중첩하는 영역을 갖는 제 1 도전막을 갖고,

하나의 도전막이, 제 2 도전막, 소스 전극, 및 드레인 전극으로서의 형상을 갖고,

상기 제 2 도전막은 상기 제 1 산화물 반도체막의 위쪽에 제 3 절연막을 개재하여 배치되고, 또한, 상기 채널 형성 영역과 중첩하는 영역을 갖고,

상기 소스 전극 및 상기 드레인 전극은 상기 제 1 산화물 반도체막과 전기적으로 접속되고,

상기 용량 소자는 제 2 산화물 반도체막과 상기 제 1 절연막을 갖고,

상기 제 1 절연막은, 상기 제 2 도전막에 접하는 영역과, 상기 제 3 절연막에 접하는 영역과, 상기 소스 전극에 접하는 영역과, 상기 드레인 전극에 접하는 영역과, 상기 제 2 산화물 반도체막에 접하는 영역을 갖고,

상기 제 1 산화물 반도체막의 채널 길이 방향에 평행한 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 2 도전막의 폭보다도 넓고,

상기 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 1 산화물 반도체막의 폭보다도 넓은 반도체 장치.

청구항 8

트랜지스터와, 상기 트랜지스터에 전기적으로 접속된 용량 소자와, 상기 트랜지스터 위의 제 1 절연막을 갖고,

상기 트랜지스터는,

채널 형성 영역을 갖는 제 1 산화물 반도체막과,

상기 제 1 산화물 반도체막의 아래쪽에 제 2 절연막을 개재하여 배치되고, 상기 채널 형성 영역과 중첩하는 영역을 갖는 제 1 도전막을 갖고,

하나의 도전막이 제 2 도전막, 소스 전극, 및 드레인 전극으로서의 형상을 갖고,

상기 제 2 도전막은 상기 제 1 산화물 반도체막의 위쪽에 제 3 절연막을 개재하여 배치되고, 또한, 상기 채널 형성 영역과 중첩하는 영역을 갖고,

상기 소스 전극 및 상기 드레인 전극은 상기 제 1 산화물 반도체막과 전기적으로 접속되고,

상기 용량 소자는 제 2 산화물 반도체막과 상기 제 1 절연막을 갖고,

상기 제 1 절연막은, 상기 제 2 도전막에 접하는 영역과, 상기 제 3 절연막에 접하는 영역과, 상기 소스 전극에 접하는 영역과, 상기 드레인 전극에 접하는 영역과, 상기 제 2 산화물 반도체막에 접하는 영역을 갖고,

상기 제 1 산화물 반도체막의 채널 길이 방향에 평행한 단면시에 있어서, 상기 제 3 절연막의 상면은 상기 제 2 도전막과 접하는 영역과, 상기 제 1 절연막과 접하고 또한 상기 제 1 산화물 반도체막과의 중첩을 갖는 영역을 갖고,

상기 단면시에 있어서, 상기 제 1 산화물 반도체막은 상기 제 3 절연막과 접하는 영역과, 상기 제 1 절연막과 접하고 또한 상기 제 3 절연막과 접하는 영역에 인접하는 영역을 갖고,

상기 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 2 도전막의 폭보다도 넓고,

상기 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 1 산화물 반도체막의 폭보다도 넓은 반도체 장치.

청구항 9

트랜지스터와, 상기 트랜지스터에 전기적으로 접속된 용량 소자와, 상기 트랜지스터 위의 제 1 절연막을 갖고,

상기 트랜지스터는,

채널 형성 영역을 갖는 제 1 산화물 반도체막과,

상기 제 1 산화물 반도체막의 아래쪽에 제 2 절연막을 개재하여 배치되고, 상기 채널 형성 영역과 중첩하는 영역을 갖는 제 1 도전막을 갖고,

하나의 도전막이 패터닝되어, 제 2 도전막, 소스 전극, 및 드레인 전극이 되고,

상기 제 2 도전막은 상기 제 1 산화물 반도체막의 위쪽에 제 3 절연막을 개재하여 배치되고, 또한, 상기 채널 형성 영역과 중첩하는 영역을 갖고,

상기 소스 전극 및 상기 드레인 전극은 상기 제 1 산화물 반도체막과 전기적으로 접속되고,

상기 용량 소자는 제 2 산화물 반도체막과 상기 제 1 절연막을 갖고,

상기 제 1 절연막은, 상기 제 2 도전막에 접하는 영역과, 상기 제 3 절연막에 접하는 영역과, 상기 소스 전극에 접하는 영역과, 상기 드레인 전극에 접하는 영역과, 상기 제 2 산화물 반도체막에 접하는 영역을 갖고,

상기 제 1 산화물 반도체막의 채널 길이 방향에 평행한 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 2 도전막의 폭보다도 넓고,

상기 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 1 산화물 반도체막의 폭보다도 넓은 반도체 장치.

청구항 10

트랜지스터와, 상기 트랜지스터에 전기적으로 접속된 용량 소자와, 상기 트랜지스터 위의 제 1 절연막을 갖고,

상기 트랜지스터는,

채널 형성 영역을 갖는 제 1 산화물 반도체막과,

상기 제 1 산화물 반도체막의 아래쪽에 제 2 절연막을 개재하여 배치되고, 상기 채널 형성 영역과 중첩하는 영역을 갖는 제 1 도전막을 갖고,

하나의 도전막이 패터닝되어, 제 2 도전막, 소스 전극, 및 드레인 전극이 되고,

상기 제 2 도전막은 상기 제 1 산화물 반도체막의 위쪽에 제 3 절연막을 개재하여 배치되고, 또한, 상기 채널 형성 영역과 중첩하는 영역을 갖고,

상기 소스 전극 및 상기 드레인 전극은 상기 제 1 산화물 반도체막과 전기적으로 접속되고,

상기 용량 소자는 제 2 산화물 반도체막과 상기 제 1 절연막을 갖고,

상기 제 1 절연막은, 상기 제 2 도전막에 접하는 영역과, 상기 제 3 절연막에 접하는 영역과, 상기 소스 전극에 접하는 영역과, 상기 드레인 전극에 접하는 영역과, 상기 제 2 산화물 반도체막에 접하는 영역을 갖고,

상기 제 1 산화물 반도체막의 채널 길이 방향에 평행한 단면시에 있어서, 상기 제 3 절연막의 상면은 상기 제 2 도전막과 접하는 영역과, 상기 제 1 절연막과 접하고 또한 상기 제 1 산화물 반도체막과의 중첩을 갖는 영역을 갖고,

상기 단면시에 있어서, 상기 제 1 산화물 반도체막은 상기 제 3 절연막과 접하는 영역과, 상기 제 1 절연막과 접하고 또한 상기 제 3 절연막과 접하는 영역에 인접하는 영역을 갖고,

상기 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 2 도전막의 폭보다도 넓고,

상기 단면시에 있어서, 상기 제 1 도전막의 폭은 상기 제 1 산화물 반도체막의 폭보다도 넓은 반도체 장치.

청구항 11

제 1 항 내지 제 4 항 및 제 7 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 2 도전막, 상기 소스 전극, 및 상기 드레인 전극의 각각은 30㎚ 이상 500㎚ 이하인 반도체 장치.

청구항 12

제 1 항 내지 제 4 항 및 제 7 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 1 산화물 반도체막 및 상기 제 2 산화물 반도체막은 In과, Ga과, Zn을 갖는 반도체 장치.

청구항 13

제 1 항 내지 제 4 항 및 제 7 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 2 절연막은 산화 실리콘막, 또는 질화 실리콘막으로부터 선택된 적층 구조를 갖는 반도체 장치.

청구항 14

제 1 항 내지 제 4 항 및 제 7 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 3 절연막은 산화 실리콘을 갖는 반도체 장치.

청구항 15

제 1 항 내지 제 4 항 및 제 7 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 1 산화물 반도체막의 채널 폭 방향에 평행한 단면시에 있어서, 상기 소스 전극 및 상기 드레인 전극의 각각의 폭은 상기 제 1 산화물 반도체막의 폭보다도 넓은 반도체 장치.

청구항 16

제 1 항 내지 제 4 항 및 제 7 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 2 도전막은 상기 제 1 도전막과 다른 전위가 인가되는 반도체 장치.

청구항 17

제 1 항 내지 제 4 항 및 제 7 항 내지 제 10 항 중 어느 한 항에 있어서,

상기 제 1 도전막은 차광막으로서의 기능을 갖는 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명의 일 실시형태는 산화물 반도체를 포함한 반도체 장치 및 상기 반도체 장치를 포함한 표시 장치에 관한 것이다.

[0002] 본 발명의 일 실시형태는 상기 기술 분야에 제한되지 않는다는 것을 주의하자. 본 명세서 등에 개시된 본 발명의 일 실시형태의 기술 분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또한, 본 발명은 공정, 기계, 제품, 또는 물질의 조성에 관한 것이다. 특히, 본 발명은 반도체 장치, 표시 장치, 발광 장치, 전력 저장 장치, 기억 장치, 그것의 구동 방법, 또는 그것의 제조 방법에 관한 것이다.

[0003] 본 명세서 등에서, 반도체 장치는 일반적으로 반도체 특성들을 이용함으로써 기능할 수 있는 장치를 의미한다. 트랜지스터와 같은 반도체 소자, 반도체 회로, 연산 장치, 및 기억 장치는 각각 반도체 장치의 실시형태이다. 촬상 장치, 표시 장치, 액정 표시 장치, 발광 장치, 전기-광학 장치, 전력 발생 장치(박막 태양 전지, 유기 박

막 태양 전지 등을 포함한), 및 전자 장치는 각각 반도체 장치를 포함할 수 있다.

배 경 기 술

[0004] 절연 표면을 가진 기판 위에 형성된 반도체 박막을 사용한 트랜지스터(또한 박막 트랜지스터(TFT)로서 언급되는)를 형성하기 위한 기술에 주의가 집중되어 왔다. 상기 트랜지스터는 집적 회로(IC) 또는 이미지 표시 장치(표시 장치)와 같은 광범위한 전자 장치들에서 사용된다. 실리콘에 의해 대표되는 반도체 재료는 트랜지스터를 위해 사용될 수 있는 반도체 박막을 위한 재료로서 광범위하게 알려져 있다. 또 다른 재료로서, 산화물 반도체가 이목을 끌어왔다.

[0005] 예를 들면, 특허문헌 1은 트랜지스터가 산화물 반도체로서 In, Zn, Ga, Sn 등을 포함한 비정질 산화물을 사용하여 제조되는 기술을 개시한다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본국 특개 제2006-165529호 공보

발명의 내용

해결하려는 과제

[0007] 산화물 반도체막을 포함한 트랜지스터로서, 역 스태거드형 트랜지스터(또한 하부-게이트 구조를 가진 트랜지스터로서 언급되는), 평면 트랜지스터(또한 상부-게이트 구조를 가진 트랜지스터로서 언급되는) 등이 주어진다. 산화물 반도체막을 포함한 트랜지스터가 표시 장치를 위해 사용되는 경우에, 역 스태거드형 트랜지스터는 그것의 제조 공정이 비교적 간단하며 그것의 제조 비용이 낮게 유지될 수 있기 때문에 평면 트랜지스터보다 더 자주 사용된다. 그러나, 신호 지연 등이 역 스태거드형 트랜지스터의 게이트 전극 및 소스 및 드레인 전극들 사이에 존재하는 기생 용량에 의해 증가되며 그에 따라 표시 장치의 이미지 품질이 저하되고, 이것은 표시 장치의 스크린 크기용량소자 증가가 진행됨에 따라, 또는 표시 장치가 보다 높은 분해능 이미지를 제공받음(예를 들면, 4k×2k 화소들(수평 방향으로 3840 화소들 및 수직 방향으로 2048 화소들) 또는 8k×4k 화소들(수평 방향으로 7680 화소들 및 수직 방향으로 4320 화소들)에 의해 대표되는 고-분해능 표시 장치)에 따라, 문제를 일으켜 왔다. 더욱이, 또 다른 문제로서, 역 스태거드형 트랜지스터의 점유 면적은 평면 트랜지스터의 것보다 크다. 따라서, 산화물 반도체막을 포함한 평면 트랜지스터에 대하여, 안정된 반도체 특성들 및 높은 신뢰성을 가진 구조를 가지며 간단한 제조 공정에 의해 형성되는 트랜지스터의 개발이 요구된다.

과제의 해결 수단

[0008] 앞서 말한 문제점들을 고려하여, 본 발명의 일 실시형태는 산화물 반도체를 포함한 새로운 반도체 장치를 제공하는 것이며, 특히 산화물 반도체를 포함한 평면형 반도체 장치를 제공하는 것이다. 더욱이, 또 다른 목적은 온-상태 전류가 높은 산화물 반도체를 포함한 반도체 장치를 제공하고, 오프-상태 전류가 낮은 산화물 반도체를 포함한 반도체 장치를 제공하고, 작은 면적을 차지하는 산화물 반도체를 포함한 반도체 장치를 제공하고, 안정된 전기적 특성을 가진 산화물 반도체를 포함한 반도체 장치를 제공하고, 높은 신뢰성을 가진 산화물 반도체를 포함한 반도체 장치를 제공하고, 새로운 반도체 장치를 제공하거나, 또는 새로운 표시 장치를 제공하는 것이다.

[0009] 상기 목적의 설명은 다른 목적들의 존재를 방해하지 않는다는 것을 주의하자. 본 발명의 일 실시형태에서, 상기 목적들 모두를 달성할 필요는 없다. 상기 목적들 외의 다른 목적들은 명세서 등의 설명으로부터 명백할 것이며 그로부터 도출될 수 있다.

[0010] 본 발명의 일 실시형태는 구동 회로부에서 제공된 제 1 트랜지스터 및 화소부에서 제공된 제 2 트랜지스터를 포함한 반도체 장치이고; 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 상이한 구조들을 가진다. 더욱이, 상기 제 1 트랜지스터 및 상기 제 2 트랜지스터는 게이트 전극, 소스 전극, 및 드레인 전극으로서 작용하는 도전막들이 중첩하지 않는 상부-게이트 구조를 가진 트랜지스터들이다. 더욱이, 산화물 반도체막에서, 불순물 원소는 상기 게이트 전극, 상기 소스 전극, 및 상기 드레인 전극과 중첩하지 않는 영역에 포함된다.

[0011] 상기 불순물 원소로서, 수소, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 염소, 또는 희가스 원소가 주어진다.

[0012] 상기 산화물 반도체막의 도전성은 적어도 하나의 불순물 원소를 포함함으로써 증가된다. 따라서, 상기 불순물 원소를 포함한 영역이 상기 산화물 반도체막에서 상기 게이트 전극, 상기 소스 전극, 및 상기 드레인 전극과 중첩하지 않는 영역에 제공될 때, 상기 트랜지스터의 기생 저항은 감소될 수 있으며, 높은 온-상태 전류를 가진 트랜지스터가 획득된다.

[0013] 상기 구동 회로부에 제공된 상기 제 1 트랜지스터는 상기 산화물 반도체막을 개재하여 서로 중첩하는 두 개의 게이트 전극들을 포함할 수 있다는 것을 주의하자.

[0014] 더욱이, 상기 구동 회로부에 제공된 상기 제 1 트랜지스터는 제 1 막 및 제 2 막이 적층되는 상기 산화물 반도체막을 포함할 수 있으며 상기 화소부에 제공된 상기 제 2 트랜지스터는 금속 원소들의 원자 비에서 상기 제 1 막과 상이한 상기 산화물 반도체막을 포함할 수 있다. 더욱이, 상기 제 2 트랜지스터에 포함된 상기 산화물 반도체막에서, 금속 원소들의 원자 비는 상기 제 1 트랜지스터의 산화물 반도체막에 포함된 상기 제 2 막의 금속 원소들의 원자 비와 동일할 수 있다.

발명의 효과

[0015] 본 발명의 일 실시형태는 산화물 반도체를 포함한 새로운 반도체 장치를 제공할 수 있다. 특히, 산화물 반도체를 포함한 평면형 반도체 장치가 제공될 수 있다. 대안적으로, 온-상태 전류가 높은 산화물 반도체를 포함한 반도체 장치가 제공될 수 있고, 오프-상태 전류가 낮은 산화물 반도체를 포함한 반도체 장치가 제공될 수 있고, 작은 면적을 차지하는 산화물 반도체를 포함한 반도체 장치가 제공될 수 있고, 안정된 전기적 특성을 가진 산화물 반도체를 포함한 반도체 장치가 제공될 수 있고, 높은 신뢰성을 가진 산화물 반도체를 포함한 반도체 장치가 제공될 수 있고, 새로운 반도체 장치가 제공될 수 있거나, 또는 새로운 표시 장치가 제공될 수 있다.

[0016] 이들 효과들에 대한 설명은 다른 효과들의 존재를 방해하지 않는다는 것을 주의하자. 본 발명의 일 실시형태는 상기 열거된 효과들 모두를 반드시 달성하는 것은 아니다. 다른 효과들이 명세서, 도면들, 청구항들 등에 대한 설명으로부터 명백할 것이며 그로부터 도출될 수 있다.

도면의 간단한 설명

[0017] 도 1의 (A) 및 (B)는 반도체 장치의 일 실시형태를 예시한 단면도들이다.

도 2는 반도체 장치의 일 실시형태를 예시한 단면도이다.

도 3의 (A) 내지 (C)는 반도체 장치의 일 실시형태를 예시하는 상면도 및 단면도들이다.

도 4의 (A) 내지 (C)는 반도체 장치의 일 실시형태를 예시하는 상면도 및 단면도들이다.

도 5의 (A) 내지 (C)는 반도체 장치의 일 실시형태를 예시하는 상면도 및 단면도들이다.

도 6의 (A) 및 (B)는 반도체 장치의 일 실시형태를 예시한 상면도들이다.

도 7의 (A) 내지 (D)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 8의 (A) 내지 (C)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 9의 (A) 내지 (C)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 10의 (A) 내지 (C)는 각각 반도체 장치의 일 실시형태를 예시한 단면도들이다.

도 11의 (A) 및 (B)는 각각 밴드 구조의 일 실시형태를 도시한다.

도 12의 (A) 및 (B)는 반도체 장치의 일 실시형태를 예시한 단면도들이다.

도 13은 반도체 장치의 일 실시형태를 예시한 단면도이다.

도 14의 (A) 내지 (C)는 반도체 장치의 일 실시형태를 예시하는 상면도 및 단면도들이다.

도 15의 (A) 내지 (C)는 반도체 장치의 일 실시형태를 예시하는 상면도 및 단면도들이다.

도 16의 (A) 내지 (C)는 반도체 장치의 일 실시형태를 예시하는 상면도 및 단면도들이다.

도 17의 (A) 및 (B)는 반도체 장치의 일 실시형태를 예시한 상면도들이다.

도 18의 (A) 및 (B)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 19의 (A) 내지 (C)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 20의 (A) 내지 (C)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 21의 (A) 내지 (C)는 각각 반도체 장치의 일 실시형태를 예시한 단면도들이다.

도 22의 (A) 내지 (C)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 23의 (A) 및 (B)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 24의 (A) 및 (B)는 반도체 장치의 일 실시형태를 예시한 단면도들이다.

도 25의 (A) 내지 (C)는 반도체 장치의 일 실시형태를 예시하는 상면도 및 단면도들이다.

도 26의 (A) 내지 (C)는 반도체 장치의 일 실시형태를 예시하는 상면도 및 단면도들이다.

도 27의 (A) 내지 (C)는 반도체 장치의 일 실시형태를 예시하는 상면도 및 단면도들이다.

도 28의 (A) 및 (B)는 반도체 장치의 일 실시형태를 예시하는 상면도들이다.

도 29의 (A) 및 (B)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 30의 (A) 내지 (D)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 31의 (A) 내지 (C)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 32의 (A) 내지 (C)는 각각 반도체 장치의 일 실시형태를 예시한 단면도들이다.

도 33의 (A) 및 (B)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 34의 (A) 내지 (D)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 35의 (A) 내지 (C)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 36은 반도체 장치의 일 실시형태를 예시한 단면도이다.

도 37의 (A) 및 (B)는 반도체 장치의 일 실시형태를 예시하는 상면도 및 단면도이다.

도 38의 (A) 및 (B)는 반도체 장치의 일 실시형태를 예시하는 상면도 및 단면도이다.

도 39의 (A) 및 (B)는 반도체 장치의 일 실시형태를 예시하는 상면도 및 단면도이다.

도 40의 (A) 및 (B)는 각각 표시 장치의 일 실시형태를 예시하는 상면도들이다.

도 41은 표시 장치의 일 실시형태를 예시한 단면도이다.

도 42는 표시 장치의 일 실시형태를 예시한 단면도이다.

도 43은 표시 장치의 일 실시형태를 예시한 단면도이다.

도 44의 (A) 내지 (C)는 표시 장치를 예시한 블록도 및 회로도들이다.

도 45는 표시 모듈을 예시한다.

도 46의 (A) 내지 (H)는 전자 장치들을 예시한다.

도 47의 (A) 내지 (D)는 CAAC-OS의 단면의 구면 수차-보정(Cs-보정) 고-분해능 TEM 이미지들 및 CAAC-OS의 단면 개략도이다.

도 48의 (A) 내지 (D)는 CAAC-OS의 평면의 Cs-보정 고-분해능 TEM 이미지들이다.

도 49의 (A) 내지 (C)는 XRD에 의한 CAAC-OS 및 단결정 산화물 반도체의 구조적 분석을 도시한다.

도 50의 (A) 및 (B)는 반도체 장치의 일 실시형태를 예시한 단면도들이다.

도 51의 (A) 및 (B)는 반도체 장치의 일 실시형태를 예시한 단면도들이다.

도 52의 (A) 내지 (D)는 반도체 장치의 제조 공정의 일 실시형태를 예시한 단면도들이다.

도 53의 (A) 및 (B)는 각각 반도체 장치의 일 실시형태를 예시한 단면도들이다.

도 54의 (A) 및 (B)는 각각 반도체 장치의 일 실시형태를 예시한 단면도들이다.

도 55의 (A) 및 (B)는 CAAC-OS의 전자 회절 패턴들을 도시한다.

도 56은 전자 조사에 의해 유도된 In-Ga-Zn 산화물의 결정 부분용량소자 변화를 도시한다.

도 57의 (A) 및 (B)는 CAAC-OS 및 nc-OS의 증착 모델들을 도시한 개략도들이다.

도 58의 (A) 내지 (C)는 $InGaZnO_4$ 결정 및 펠릿을 도시한다.

도 59의 (A) 내지 (D)는 CAAC-OS의 증착 모델을 도시한 개략도들이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이후, 본 명세서에 개시된 본 발명의 실시형태들이 첨부한 도면들을 참조하여 설명될 것이다. 본 발명은 다음의 설명에 제한되지 않으며 모드들 및 상세들이 본 발명의 사상 및 범위로부터 벗어나지 않고 다양한 방식들로 수정될 수 있다는 것이 당업자들에 의해 쉽게 이해될 것이라는 것을 주의하자. 따라서, 본 발명은 이하에서 실시형태들의 내용에 제한되는 것으로서 해석되지 않아야 한다.

[0019] 도면들 등에 예시된 각각의 구조의 위치, 크기, 범위 등은 단순화를 위해 몇몇 경우들에서 정확하게 표현되지 않는다는 것을 주의하자. 그러므로, 개시된 발명은 도면들 등에 개시된 위치, 크기, 범위 등에 반드시 제한되는 것은 아니다.

[0020] 본 명세서 등에서, "제 1", "제 2", 및 "제 3"과 같은 서수들은 구성요소들 중에서 혼란을 회피하기 위해 사용되며, 상기 용어들은 구성요소들의 수의 제한을 의미하지 않는다.

[0021] 본 명세서 등에서 "위에" 또는 "아래에"와 같은 용어는 반드시 구성요소가 또 다른 구성요소 "바로 위" 또는 "바로 아래"에 위치됨을 의미하지는 않는다는 것을 주의하자. 예를 들면, 표현("게이트 절연막 위의 게이트 전극")은 게이트 절연막 및 게이트 전극 사이에 부가적인 구성요소가 있는 경우를 의미할 수 있다.

[0022] 또한, 본 명세서 등에서, "전극" 또는 "배선"과 같은 용어는 구성요소의 기능을 제한하지 않는다. 예를 들면, "전극"은 몇몇 경우들에서 "배선"의 부분으로서 사용되며, 그 역 또한 마찬가지이다. 뿐만 아니라, 용어("전극" 또는 "배선")는 또한 통합된 방식으로 형성된 복수의 "전극들" 및 "배선들"의 조합을 의미할 수 있다.

[0023] "소스" 및 "드레인"의 기능들은 때때로 예를 들면, 반대 극성의 트랜지스터가 사용될 때 또는 전류의 흐름의 방향이 회로 동작에서 변경될 때 서로 대체된다. 그러므로, 용어들("소스" 및 "드레인")은 본 명세서 등에서, 각각 드레인 및 소스를 나타내기 위해 사용될 수 있다.

[0024] 본 명세서 등에서, 용어("전기적으로 접속된")는 구성요소들이 임의의 전기 기능을 가진 물체를 통해 접속되는 경우를 포함한다는 것을 주의하자. 전기 신호들이 물체를 통해 접속되는 구성요소들 사이에서 송신되며 수신될 수 있는 한 "임의의 전기 기능을 가진 물체"에 대한 특정한 제한은 없다. "임의의 전기 기능을 가진 물체"의 예들은 트랜지스터와 같은 스위칭 소자, 레지스터, 인덕터, 용량소자, 및 전극 및 배선뿐만 아니라 다양한 기능들을 가진 요소들이다.

[0025] (실시형태 1)

[0026] 본 실시형태에서, 반도체 장치 및 상기 반도체 장치를 제조하기 위한 방법의 일 실시형태가 도 1의 (A) 및 (B), 도 2, 도 3의 (A) 내지 (C), 도 4의 (A) 내지 (C), 도 5의 (A) 내지 (C), 도 6의 (A) 및 (B), 도 7의 (A) 내지 (D), 도 8의 (A) 내지 (C), 도 9의 (A) 내지 (C), 도 10의 (A) 내지 (C), 및 도 11의 (A) 및 (B)를 참조하여 설명될 것이다.

[0027] <반도체 장치의 구조 1>

[0028] 도 1의 (A) 및 (B) 및 도 6의 (A) 및 (B)에서, 상부-게이트 구조를 가진 트랜지스터가 반도체 장치에 포함된 트랜지스터의 예로서 도시된다. 여기에서, 표시 장치는 반도체 장치의 예로서 설명된다. 더욱이, 상기 표시 장치의 구동 회로 및 화소부에서 제공된 트랜지스터들의 구조들이 설명된다.

[0029] 도 6의 (A) 및 (B)는 구동 회로부에서 제공된 트랜지스터(154) 및 화소부에서 제공된 트랜지스터(150)의 상면도들이다. 도 1의 (A) 및 (B)는 상기 트랜지스터(154) 및 상기 트랜지스터(150)의 단면도들이다. 도 6의 (A)는 상기 트랜지스터(154)의 상면도이며, 도 6의 (B)는 상기 트랜지스터(150)의 상면도이다. 도 1의 (A)는 도 6의 (A)에서 일점쇄선(X1-X2) 및 도 6의 (B)에서 일점쇄선(X3-X4)을 따른 단면도들을 도시한다. 도 1의 (B)는 도 6의 (A)에서 일점쇄선(Y1-Y2) 및 도 6의 (B)에서 일점쇄선(Y3-Y4)을 따른 단면도들을 도시한다. 도 6의 (A) 및 (B)에서, 기판(102), 절연막(104), 절연막(108), 절연막(116), 절연막(118) 등은 단순화를 위해 예시되지 않는다는 것을 주의하자. 도 1의 (A)는 채널 길이 방향으로 트랜지스터(150) 및 트랜지스터(154)의 단면도들을 도시하며, 도 1의 (B)는 채널 폭 방향으로 트랜지스터(150) 및 트랜지스터(154)의 단면도들을 도시한다.

[0030] 트랜지스터(150) 및 트랜지스터(154)의 것과 유사한 방식으로, 몇몇 구성요소들은 몇몇 경우들에서 이하에 설명된 트랜지스터들의 상면도들에서 예시되지 않는다. 더욱이, 일점쇄선(X1-X1)의 방향 및 일점쇄선(X3-X4)의 방향은 채널 길이 방향으로 언급될 수 있으며, 일점쇄선(Y1-Y2)의 방향 및 일점쇄선(Y3-Y4)의 방향은 채널 폭 방향으로 언급될 수 있다.

[0031] 도 1의 (A) 및 (B)에 도시된 트랜지스터(150)는 기판(102) 위에 형성된 절연막(104) 위의 산화물 반도체막(106), 상기 산화물 반도체막(106)과 접하는 절연막(108), 상기 절연막(108)의 개구부(140a)의 부분에서 상기 산화물 반도체막(106)과 접하는 도전막(110), 상기 절연막(108)의 개구부(140b)의 부분에서 상기 산화물 반도체막(106)과 접하는 도전막(112), 및 상기 절연막(108)을 개재하여 상기 산화물 반도체막(106)과 중첩하는 도전막(114)을 포함한다. 상기 절연막(116) 및 상기 절연막(118)은 상기 트랜지스터(150) 위에 제공될 수 있다는 것을 주의하자.

[0032] 상기 트랜지스터(154)는 기판(102) 위에 형성된 도전막(201), 상기 도전막(201) 위의 절연막(104), 상기 절연막(104) 위의 산화물 반도체막(206), 상기 산화물 반도체막(206)과 접하는 절연막(108), 상기 절연막(108)의 개구부(220a)의 부분에서 상기 산화물 반도체막(206)과 접하는 도전막(210), 상기 절연막(108)의 개구부(220b)의 부분에서 상기 산화물 반도체막(206)과 접하는 도전막(212), 및 상기 절연막(108)을 개재하여 상기 산화물 반도체막(206)과 중첩하는 도전막(214)을 포함한다.

[0033] 상기 트랜지스터(154)는 상기 도전막(201)이 절연막(104)을 개재하여 상기 산화물 반도체막(206)과 중첩하도록 제공된다는 점을 특징으로 한다. 즉, 상기 도전막(201)은 게이트 전극으로서 작용한다. 더욱이, 상기 트랜지스터(154)는 이중-게이트 구조를 가진 트랜지스터이다.

[0034] 서로 접속되지 않은 도전막(214) 및 도전막(201)에 상이한 전위들을 공급함으로써, 상기 트랜지스터(154)의 임계 전압이 제어될 수 있다. 대안적으로, 도 1의 (B)에 도시된 바와 같이, 서로 접속되는 도전막(214) 및 도전막(201)에 동일한 전위를 공급함으로써, 초기 특성들에서의 변화들이 감소될 수 있으며, -GBT(음의 게이트 바이어스 - 온도) 응력 테스트 및 상이한 드레인 전압들에서 온-상태 전류의 상승 전압에서의 변화로 인한 트랜지스터의 열화가 억제될 수 있다. 또한, 캐리어들이 산화물 반도체막(206)에서 흐르는 영역은 막 두께 방향으로 더 커지게 되며, 따라서 캐리어 움직임의 양이 증가된다. 그 결과, 트랜지스터(154)의 온-상태 전류 및 전계-효과 이동도가 증가된다. 트랜지스터의 채널 길이가 2.5 ㎛ 미만, 바람직하게는 1.45 ㎛ 이상 및 2.2 ㎛ 이하일 때, 온-상태 전류는 추가로 증가될 수 있으며 전계-효과 이동도가 증가될 수 있다.

[0035] 도전막(201)이 도전막(210) 및 도전막(212)과 중첩하지 않는 구조가 이용될 수 있다는 것을 주의하자. 도 54의 (A)는 이 경우의 예를 예시한다. 대안적으로, 도전막(201)은 도전막(210) 및 도전막(212)과 중첩하는 동안 산화물 반도체막(106)의 전체 영역과 중첩할 수 있다. 도 54의 (B)는 이 경우의 예를 예시한다.

[0036] 본 실시형태에 설명된 표시 장치에서, 구동 회로부에서의 트랜지스터 및 화소부에서의 트랜지스터는 상이한 구조들을 가진다. 상기 구동 회로부에 포함된 트랜지스터는 이중-게이트 구조를 가진다. 즉, 상기 구동 회로부에 포함된 트랜지스터의 전계-효과 이동도는 상기 화소부에 포함된 트랜지스터의 것보다 높다.

[0037] 더욱이, 상기 표시 장치에서, 상기 구동 회로부에 포함된 트랜지스터 및 상기 화소부에 포함된 트랜지스터는 상이한 채널 길이들을 가질 수 있다.

[0038] 통상적으로, 상기 구동 회로부에 포함된 트랜지스터(154)의 채널 길이는 2.5 ㎛ 미만, 또는 1.45 ㎛ 이상 및 2.2 ㎛ 이하일 수 있다. 상기 화소부에 포함된 트랜지스터(150)의 채널 길이는 2.5 ㎛ 이상, 또는 2.5 ㎛ 이상 및 20 ㎛ 이하일 수 있다.

[0039] 상기 구동 회로부에 포함된 트랜지스터(154)의 채널 길이가 2.5 ㎛ 미만, 바람직하게는 1.45 ㎛ 이상 및 2.2 ㎛

이하일 때, 상기 화소부에 포함된 트랜지스터(150)와 비교하여, 전계-효과 이동도가 증가될 수 있으며, 온-상태 전류의 양이 증가될 수 있다. 결과적으로, 고속 동작이 가능한 구동 회로부가 형성될 수 있다.

[0040] 트랜지스터가 높은 전계-효과 이동도를 가지므로, 디멀티플렉서 회로는 구동 회로부의 예인 신호 라인 구동 회로에 형성될 수 있다. 디멀티플렉서 회로는 복수의 출력들에 하나의 입력 신호를 분배하며; 따라서, 상기 디멀티플렉서 회로를 사용하는 것은 입력 신호들에 대한 입력 단자들의 수를 감소시킬 수 있다. 예를 들면, 하나의 화소이 적색 서브-화소, 녹색 서브-화소, 및 청색 서브-화소을 포함하며 각각의 화소에 대응하는 디멀티플렉서 회로가 제공될 때, 입력 신호는 상기 디멀티플렉서 회로에 의해 각각의 서브-화소에 입력되도록 분배될 수 있다. 결과적으로, 입력 단자들의 수는 1/3으로 감소될 수 있다.

[0041] 화소부에 포함된 트랜지스터에서, 게이트 전극은 소스 전극 및 드레인 전극과 중첩하지 않으며; 따라서 기생 용량은 작다. 더욱이, 산화물 반도체막은 상기 게이트 전극, 상기 소스 전극, 및 상기 드레인 전극과 중첩하지 않는 영역에서 불순물 원소를 포함한 영역을 가지며; 따라서 기생 저항은 작다. 이들 이유들로, 높은 온-상태 전류를 가진 트랜지스터가 화소부에 제공된다. 그 결과, 신호 지연이 감소될 수 있으며 표시 불균일성이 대형 표시 장치 및 고-분해능 표시 장치에서 억제될 수 있다.

[0042] 산화물 반도체막(106)에서, 산소 결손(oxygen vacancy)을 형성하는 요소가 도전막(110), 도전막(112), 및 도전막(114)과 중첩하지 않는 영역에 포함된다. 더욱이, 산화물 반도체막(206)에서, 산소 결손을 형성하는 요소가 도전막(210), 도전막(212), 및 도전막(214)과 중첩하지 않는 영역에 포함된다. 이후, 산소 결손들을 형성하는 요소들은 불순물 원소들로서 설명된다. 불순물 원소들의 통상적인 예들은 수소, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 염소, 및 희가스 원소들이다. 희가스 원소들의 통상적인 예들은 헬륨, 네온, 아르곤, 크립톤, 및 제논이다.

[0043] 불순물 원소가 산화물 반도체막에 부가될 때, 산화물 반도체막에서 금속 원소 및 산소 사이에서의 결합이 절단되며, 그에 의해 산소 결손이 형성된다. 대안적으로, 불순물 원소가 산화물 반도체막에 부가될 때, 산화물 반도체막에서 금속 원소에 결합된 산소는 상기 불순물 원소에 결합되며, 산소는 상기 금속 원소로부터 방출되고, 그에 의해 산소 결손이 형성된다. 그 결과, 캐리어 밀도가 상기 산화물 반도체막에서 증가되며, 상기 산화물 반도체막은 보다 높은 도전성을 가진다.

[0044] 도 2는 산화물 반도체막(106)의 부근의 확대도이다. 설명은 통상적인 예로서 트랜지스터(150)에 포함된 산화물 반도체막(106)의 부근의 확대도를 사용하여 이루어진다는 것을 주의하자. 도 2에 도시된 바와 같이, 산화물 반도체막(106)은 도전막(110) 및 도전막(112)과 접하는 영역들(106a), 절연막(116)과 접하는 영역들(106b), 및 절연막(108)과 중첩하는 영역들(106c) 및 영역(106d)을 포함한다.

[0045] 상기 영역들(106a)은 소스 영역 및 드레인 영역으로서 작용한다. 상기 도전막(110) 및 상기 도전막(112)이 텅스텐, 티타늄, 알루미늄, 구리, 몰리브덴, 크롬, 탄탈, 이것들 중 임의의 것의 합금 등과 같은, 산소에 쉽게 결합되는 도전성 재료를 사용하여 형성되는 경우에, 산화물 반도체막에 포함된 산소는 도전막(110) 및 도전막(112)에 포함된 도전성 재료에 결합되며, 산소 결손이 상기 산화물 반도체막에 형성된다. 더욱이, 몇몇 경우들에서, 도전막(110) 및 도전막(112)을 형성하는 도전성 재료의 구성 요소들의 부분은 상기 산화물 반도체막으로 혼합된다. 그 결과, 도전막(110) 및 도전막(112)과 접하는 영역(106a)은 보다 높은 도전성을 가지며 소스 영역 및 드레인 영역으로서 작용한다.

[0046] 상기 영역(106b) 및 상기 영역(106c)은 저-저항 영역들로서 작용한다. 불순물 원소는 상기 영역(106b) 및 상기 영역(106c)에 포함된다. 상기 영역(106b)의 불순물 원소 농도는 상기 영역(106c)의 불순물 원소 농도보다 높다는 것을 주의하자. 도전막(114)의 측면이 테이퍼링된 형태를 갖는 경우에, 영역(106c)의 부분은 도전막(114)과 중첩할 수 있다.

[0047] 상기 불순물 원소가 희가스 원소이며 상기 산화물 반도체막(106)이 스퍼터링 방법에 의해 형성되는 경우에, 영역들(106a 내지 106d) 각각은 희가스 원소를 포함한다. 또한, 상기 영역들(106b 및 106c)의 각각의 희가스 원소 농도는 상기 영역들(106a 및 106d)의 각각의 것보다 높다. 이유들은 다음과 같다: 상기 산화물 반도체막(106)이 스퍼터링 방법에 의해 형성되는 경우에, 희가스는 스퍼터링 가스로서 사용되어, 상기 산화물 반도체막(106)이 희가스를 포함하도록 하며; 희가스는 영역들(106b 및 106c)에 산소 결손들을 형성하기 위해 영역들(106b 및 106c)에 의도적으로 부가된다. 영역들(106a 및 106d)에 부가된 것과 상이한 희가스 원소는 영역들(106b 및 106c)에 부가될 수 있다는 것을 주의하자.

[0048] 불순물 원소가 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 또는 염소인 경우에, 상기 불순물 원소는 단지

영역들(106b 및 106c)에만 포함된다. 따라서, 영역들(106b 및 106c)의 각각의 불순물 원소 농도는 영역들(106a 및 106d)의 각각의 불순물 원소 농도보다 높다. 영역(106b) 및 영역(106c)에서, 2차 이온 질량 분석(secondary ion mass spectrometry; SIMS)에 의해 측정되는 불순물 원소 농도는 1×10^{18} atoms/㎤ 이상 및 1×10^{22} atoms/㎤ 이하, 1×10^{19} atoms/㎤ 이상 및 1×10^{21} atoms/㎤ 이하, 또는 5×10^{19} atoms/㎤ 이상 및 5×10^{20} atoms/㎤ 이하일 수 있다는 것을 주의하자.

[0049] 불순물 원소가 수소인 경우에, 영역들(106b 및 106c)의 각각의 불순물 원소 농도는 영역들(106a 및 106d)의 각각의 불순물 원소 농도보다 높다. 영역(106b) 및 영역(106c)에서, SIMS에 의해 측정되는 수소의 농도는 8×10^{19} atoms/㎤ 이상, 1×10^{20} atoms/㎤ 이상, 또는 5×10^{20} atoms/㎤ 이상일 수 있다는 것을 주의하자.

[0050] 영역(106b) 및 영역(106c)이 상기 불순물 원소들을 포함하므로, 산소 결손의 양은 증가되며 캐리어 밀도는 증가된다. 그 결과, 상기 영역(106b) 및 상기 영역(106c)은 보다 높은 도전성을 가지며 저-저항 영역들로서 작용한다.

[0051] 불순물 원소들은 수소, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 및 염소 중 하나 이상, 및 희가스들 중 하나 이상일 수 있다는 것을 주의하자. 이 경우에, 영역(106b) 및 영역(106c)의 도전성은 몇몇 경우들에서, 상기 영역들에 부가되는 수소, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 및 염소 중 하나 이상 및 희가스에 의해 형성된 산소 결손 사이에서의 상호 작용에 의해 추가로 증가된다.

[0052] 상기 영역(106d)은 채널로서 작용한다.

[0053] 상기 절연막(108)에서, 산화물 반도체막(106) 및 도전막(114)과 중첩하는 영역 및 산화물 반도체막(206) 및 도전막(214)과 중첩하는 영역은 게이트 절연막들로서 작용한다. 더욱이, 절연막(108)에서, 산화물 반도체막(106) 및 도전막들(110 및 112)과 중첩하는 영역들 및 산화물 반도체막(206) 및 도전막들(210 및 212)과 중첩하는 영역들은 층간 절연막들로서 작용한다.

[0054] 상기 도전막(110) 및 상기 도전막(112)은 소스 전극 및 드레인 전극으로서 작용하며, 상기 도전막(210) 및 상기 도전막(212)은 소스 전극 및 드레인 전극으로서 작용한다. 도전막(114) 및 도전막(214)은 게이트 전극들로서 작용한다.

[0055] 본 실시형태에서 설명된 트랜지스터들(150 및 154)에서, 저-저항 영역으로서 작용하는 영역은 채널로서 작용하는 영역 및 소스 영역 및 드레인 영역으로서 작용하는 영역들 사이에서 제공된다. 채널, 및 소스 영역 및 드레인 영역 사이에서의 저항은 감소될 수 있으며, 트랜지스터(150) 및 트랜지스터(154)는 높은 온-상태 전류 및 높은 전계-효과 이동도를 가진다.

[0056] 트랜지스터(150) 및 트랜지스터(154)를 제조하는 공정에서, 게이트 전극들로서 작용하는 도전막(114) 및 도전막(214), 소스 전극 및 드레인 전극으로서 작용하는 도전막들(110 및 112), 및 소스 전극 및 드레인 전극으로서 작용하는 도전막들(210 및 212)이 동시에 형성된다. 따라서, 트랜지스터(150)에서, 도전막(114)은 도전막들(110 및 112)과 중첩하지 않으며, 도전막(114) 및 도전막들(110 및 112)의 각각 사이에서의 기생 용량은 감소될 수 있다. 더욱이, 트랜지스터(154)에서, 도전막(214)은 도전막들(210 및 212)과 중첩하지 않으며, 도전막(214) 및 도전막들(210 및 212)의 각각 사이에서의 기생 용량은 감소될 수 있다. 그 결과, 대면적 기판이 기판(102)으로서 사용되는 경우에, 도전막(110), 도전막(112), 도전막(114), 도전막(210), 도전막(212), 및 도전막(214)에서의 신호 지연이 감소될 수 있다.

[0057] 트랜지스터(150)에서, 불순물 원소가 마스크들로서 도전막(110), 도전막(112), 및 도전막(114)을 사용하여 산화물 반도체막(106)에 부가된다. 트랜지스터(154)에서, 불순물 원소가 마스크들로서 도전막(210), 도전막(212), 및 도전막(214)을 사용하여 산화물 반도체막(206)에 부가된다. 즉, 저-저항 영역들이 자가-정렬 방식으로 형성될 수 있다.

[0058] 도 1의 (A) 및 (B)에 도시된 구조는 이하에서 상세히 설명된다.

[0059] 기판(102)으로서, 다양한 기판들 중 임의의 것이 특정한 제한 없이 사용될 수 있다. 기판의 예들은 반도체 기판(예로서, 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 금속 기판, 스테인리스 스틸 기판, 스테인리스 스틸 포일을 포함한 기판, 텅스텐 기판, 텅스텐 포일을 포함한 기판, 가요성 기판, 부착막, 섬유성 재료를 포함한 종이, 및 베이스 재료막을 포함한다. 유리 기판의 예로서, 바륨 보로실리케이트 유리 기판, 알루미노보로실리케이트 유리 기판, 소다 석회 유리 기판 등이 주어질 수 있다. 가요성 기판, 부착

막, 베이스 재료막 등의 예들은 다음과 같다: 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 및 폴리에테르 술폰(PES)에 의해 대표되는 플라스틱; 아크릴과 같은 합성 수지; 폴리프로필렌; 폴리에스테르; 폴리 불소화 비닐; 폴리 염화 비닐; 폴리아미드; 폴리이미드; 아라미드; 에폭시; 무기 증기 증착막; 및 종이. 구체적으로, 반도체 기판들, 단결정 기판들, SOI 기판들 등의 사용은 특성들, 크기, 형태 등에서의 작은 변화를 갖고 및 높은 전류 능력을 갖는 소형 트랜지스터들의 제조를 가능하게 한다. 이러한 트랜지스터들을 사용한 회로는 회로의 보다 낮은 소비 전력 또는 회로의 보다 높은 집적을 달성한다.

[0060] 가요성 기판은 기판(102)으로서 사용될 수 있으며, 트랜지스터는 상기 가요성 기판상에 바로 제공될 수 있다. 대안적으로, 분리 층은 기판(102) 및 트랜지스터 사이에 제공될 수 있다. 분리 층은 상기 분리 층 위에 형성된 반도체 장치의 부분 또는 전체가 기판(102)으로부터 분리되어, 다른 기판으로 전재될 때 사용될 수 있다. 이러한 경우에, 트랜지스터는 또한 낮은 열 저항을 가진 기판 또는 가요성 기판으로 전재될 수 있다. 상기 분리 층에 대해, 예를 들면, 텅스텐막 및 산화 실리콘막인 무기막들, 또는 기판 위에 형성된 폴리이미드 등의 유기 수지막을 포함한 적층이 사용될 수 있다.

[0061] 트랜지스터가 전재되는 기판의 예들은 그 위에 트랜지스터가 형성될 수 있는 상기 설명된 기판들 외에, 종이 기판, 셀로판 기판, 아라미드막 기판, 폴리이미드막 기판, 돌 기판, 나무 기판, 직물 기판(천연 섬유(예로서, 실크, 면, 또는 대마), 합성 섬유(예로서, 나일론, 폴리우레탄, 또는 폴리에스테르), 재생 섬유(예로서, 아세테이트, 큐프라, 레이온 또는 재생된 폴리에스테르) 등을 포함한), 가죽 기판, 고무 기판 등을 포함한다. 이러한 기판이 사용될 때, 우수한 특성들을 가진 트랜지스터 또는 낮은 소비 전력을 가진 트랜지스터가 형성될 수 있고, 높은 내구성, 높은 열 저항을 가진 장치가 제공될 수 있거나, 또는 무게 또는 두께에서의 감소가 달성될 수 있다.

[0062] 절연막(104)은 산화물 절연막 또는 질화물 절연막을 사용하여 단일 층 또는 적층들을 갖고 형성될 수 있다. 산화물 반도체막(106) 및 산화물 반도체막(206)과 접하는 절연막(104)의 적어도 한 영역들은 바람직하게는 산화물 반도체막(106) 및 산화물 반도체막(206)과의 계면의 특성들을 개선하기 위해, 산화물 절연막을 사용하여 형성된다는 것을 주의하자. 산소가 가열에 의해 방출되는 산화물 절연막을 사용하여 절연막(104)이 형성될 때, 절연막(104)에 포함된 산소는 열 처리에 의해 산화물 반도체막(106) 및 산화물 반도체막(206)으로 이동될 수 있다.

[0063] 절연막(104)의 두께는 50 nm 이상, 100 nm 이상 및 3000 nm 이하, 또는 200 nm 이상 및 1000 nm 이하일 수 있다. 절연막(104)의 두께를 증가시킴으로써, 상기 절연막(104)으로부터 방출된 산소의 양은 증가될 수 있으며, 상기 절연막(104) 및 상기 산화물 반도체막들(106 및 206)의 각각 사이의 계면에서의 계면 상태 밀도 및 상기 산화물 반도체막(106) 및 상기 산화물 반도체막(206)에 포함된 산소 결손들이 감소될 수 있다.

[0064] 상기 절연막(104)은 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 갈륨막, Ga-Zn 산화물막 등 중 하나 이상을 사용하여 단일 층 또는 적층들을 갖고 형성될 수 있다.

[0065] 상기 산화물 반도체막(106) 및 상기 산화물 반도체막(206)은 통상적으로 In-Ga 산화물막, In-Zn 산화물막, 또는 In-M-Zn 산화물막(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다)과 같은 금속 산화물막을 사용하여 형성된다. 상기 산화물 반도체막(106) 및 상기 산화물 반도체막(206)은 광-투과 특성을 가진다는 것을 주의하자.

[0066] 상기 산화물 반도체막(106) 및 상기 산화물 반도체막(206)이 In-M-Zn 산화물을 사용하여 형성되는 경우에, In 및 M의 합이 100 원자%(atomic%)인 것으로 가정될 때, In 및 M의 비율들은 바람직하게는 다음과 같음을 주의하자: I의 비율은 25 원자% 이상이며 M의 비율은 75 원자 % 미만이거나, 또는 In의 비율은 34 원자% 이상이며 M의 비율은 66 원자% 미만이다.

[0067] 산화물 반도체막들(106 및 206)의 각각의 에너지 갭은 2 eV 이상, 2.5 eV 이상, 또는 3 eV 이상이다.

[0068] 산화물 반도체막(106) 및 산화물 반도체막(206)의 각각의 두께는 3 nm 이상 및 200 nm 이하, 3 nm 이상 및 100 nm 이하, 또는 3 nm 이상 및 50 nm 이하일 수 있다.

[0069] 상기 산화물 반도체막들(106 및 206)의 각각이 In-M-Zn 산화물막(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다)인 경우에, In-M-Zn 산화물막의 막을 형성하기 위해 사용된 스퍼터링 타겟의 금속 원소들의 원자 비는 In≥M 및 Zn≥M을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타겟의 금속 원소들의 원자 비로서, In:M:Zn = 1:1:1, In:M:Zn = 1:1:1.2, In:M:Zn = 2:1:1.5, In:M:Zn = 2:1:2.3, In:M:Zn = 2:1:3, In:M:Zn = 3:1:2 등이 바람직하다. 형성된 산화물 반도체막들(106 및 206)에서 금속 원소들의 원자 비들은 에러로서 ±40%

의 범위 내에서 스퍼터링 타겟의 금속 원소들의 상기 원자 비에서 벗어난다는 것을 주의하자.

[0070] 14족에 속하는 원소들 중 하나인 실리콘 또는 탄소가 산화물 반도체막들(106 및 206)에 포함될 때, 산소 결손들은 산화물 반도체막들(106 및 206)에서 증가되며, 산화물 반도체막들(106 및 206)은 n-형 막들이 된다. 따라서, 상기 산화물 반도체막(106) 및 상기 산화물 반도체막(206), 특히 영역(106d)에서 실리콘 또는 탄소의 농도(SIMS에 의해 측정된 농도)는 2×10^{18} atoms/㎤ 이하, 또는 2×10^{17} atoms/㎤ 이하일 수 있다. 그 결과, 트랜지스터는 양의 임계 전압(노멀리-오프(normally-off) 특성들)을 가진다.

[0071] 더욱이, 산화물 반도체막(106) 및 산화물 반도체막(206), 특히 영역(106d)에서 SIMS에 의해 측정되는 알칼리 금속 또는 알칼리 토류 금속의 농도는 1×10^{18} atoms/㎤ 이하, 또는 2×10^{16} atoms/㎤ 이하일 수 있다. 알칼리 금속 및 알칼리 토류 금속은 산화물 반도체에 결합될 때 캐리어들을 생성할 수 있으며, 이 경우에, 트랜지스터의 오프-상태 전류는 증가될 수 있다. 그러므로, 영역(106d)에서 알칼리 금속 또는 알칼리 토류 금속의 농도를 감소시키는 것이 바람직하다. 그 결과, 트랜지스터는 양의 임계 전압(노멀리-오프 특성들)을 가진다.

[0072] 더욱이, 질소가 산화물 반도체막(106) 및 산화물 반도체막(206), 특히 영역(106d)에 포함될 때, 캐리어들로서 작용하는 전자들이 발생되고, 캐리어 밀도는 증가되며, 산화물 반도체막들(106 및 206)은 몇몇 경우들에서 n-형 막들이 된다. 따라서, 질소를 포함하는 산화물 반도체막을 포함한 트랜지스터는 노멀리-온 특성들을 가질 가능성이 있다. 그러므로, 질소는 바람직하게는 산화물 반도체막, 특히 영역(106d)에서 가능한 한 많이 감소된다. SIMS에 의해 측정되는 질소의 농도는 예를 들면, 5×10^{18} atoms/㎤ 이하로 설정될 수 있다.

[0073] 산화물 반도체막(106) 및 산화물 반도체막(206), 특히 영역(106d)에서 불순물 원소들을 감소시킴으로써, 산화물 반도체막들의 캐리어 밀도는 낮춰질 수 있다. 산화물 반도체막(106) 및 산화물 반도체막(206), 특히 영역(106d)에서, 캐리어 밀도는 1×10^{17} atoms/㎤ 이하, 1×10^{15} atoms/㎤ 이하, 1×10^{13} atoms/㎤ 이하, 또는 1×10^{11} atoms/㎤ 이하일 수 있다.

[0074] 산화물 반도체막(106) 및 산화물 반도체막(206)으로서, 불순물 농도가 낮으며 결함 상태들의 밀도가 낮은 산화물 반도체막들을 사용하는 것이 바람직하며, 이 경우에 트랜지스터들은 보다 우수한 전기적 특성들을 가질 수 있다는 것을 주의하자. 여기에서, 불순물 농도가 낮으며 결함 상태들의 밀도가 낮은(산소 결손의 양이 작은) 상태는 "고순도 진성" 또는 "실질적으로 고순도 진성"으로서 언급된다. 고순도 진성 또는 실질적으로 고순도 진성 산화물 반도체를 사용하여 형성된 트랜지스터는 적은 캐리어 발생원들을 가지며, 따라서 몇몇 경우들에서 낮은 캐리어 밀도를 가진다. 따라서, 채널 영역이 형성되는 산화물 반도체막을 포함한 트랜지스터는 양의 임계 전압(노멀리-오프 특성들)을 가질 가능성이 있다. 고순도 진성 또는 실질적으로 고순도 진성 산화물 반도체막은 저밀도의 결함 상태들을 가지며 그에 따라 몇몇 경우들에서 저 밀도의 트랩 상태들을 가진다. 더욱이, 고순도 진성 또는 실질적으로 고순도 진성 산화물 반도체막을 가진 트랜지스터는 매우 낮은 오프-상태 전류를 갖고; 오프-상태 전류는 1 V에서 10 V까지의 소스 전극 및 드레인 전극 사이에서의 전압(드레인 전압)에서, 반도체 파라미터 분석기의 측정 한계 이하, 즉 1×10^{-13} A 이하일 수 있다. 따라서, 그 채널 영역이 산화물 반도체막에 형성되는 트랜지스터는 몇몇 경우들에서 전기적 특성들에서의 작은 변화 및 높은 신뢰성을 가진다.

[0075] 산화물 반도체막(106) 및 산화물 반도체막(206)은 예를 들면, 비-단일-결정 구조를 가질 수 있다. 비-단일-결정 구조는 예를 들면, 나중에 설명되는 c-축 정렬 결정성 산화물 반도체(CAAC-OS), 다결정 구조, 나중에 설명되는 미결정 구조, 또는 비정질 구조를 포함한다. 비-단일-결정 구조 중에서, 비정질 구조는 최고 밀도의 결함 준위들을 갖는 반면, CAAC-OS는 최저 밀도의 결함 준위들을 가진다.

[0076] 산화물 반도체막(106) 및 산화물 반도체막(206)은 다음 중 둘 이상을 포함한 혼합된 막들일 수 있다는 것을 주의하자: 비정질 구조를 가진 영역, 미결정 구조를 가진 영역, 다결정 구조를 가진 영역, CAAC-OS 영역, 및 단결정 구조를 가진 영역. 혼합된 막은 예를 들면, 몇몇 경우들에서 비정질 구조를 가진 영역, 미결정 구조를 가진 영역, 다결정 구조를 가진 영역, CAAC-OS 영역, 및 단결정 구조를 가진 영역 중 둘 이상을 포함한 단층 구조를 가진다. 더욱이, 혼합된 막은 몇몇 경우들에서 비정질 구조를 가진 영역, 미결정 구조를 가진 영역, 다결정 구조를 가진 영역, CAAC-OS 영역, 및 단일-결정 구조를 가진 영역 중 둘 이상의 적층 구조를 가진다.

[0077] 산화물 반도체막(106) 및 산화물 반도체막(206)에서, 영역(106b) 및 영역(106d)은 몇몇 경우들에서 결정도가 상이하다는 것을 주의하자. 산화물 반도체막(106) 및 산화물 반도체막(206)에서, 영역(106c) 및 영역(106d)은 몇몇 경우들에서 결정도가 상이하다. 이들 경우들은 불순물 원소가 영역(106b) 또는 영역(106c)에 부가될 때, 그

것들의 결정도를 낮추는, 영역(106b) 또는 영역(106c)에 대한 손상에 기인한다.

[0078] 절연막(108)은 산화물 절연막 또는 질화물 절연막을 사용하여 단층 또는 적층들을 갖고 형성될 수 있다. 적어도 산화물 반도체막(106) 및 산화물 반도체막(206)과 접하는 절연막(108)의 영역들은 바람직하게는, 산화물 반도체막(106) 및 산화물 반도체막(206)과의 계면의 특성들을 개선하기 위해, 산화물 절연막을 사용하여 형성된다는 것을 주의하자. 절연막(108)은 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 갈륨막, Ga-Zn 산화물막 등 중 하나 이상을 사용하여 단층 또는 적층들을 갖고 형성될 수 있다.

[0079] 더욱이, 절연막(108)으로서 산소, 수소, 물 등에 대한 차단 효과를 가진 절연막을 제공함으로써, 산화물 반도체막(106) 및 산화물 반도체막(206)으로부터 산소의 바깥쪽으로의 확산 및 바깥쪽으로부터 산화물 반도체막(106) 및 산화물 반도체막(206)으로의 수소, 물 등의 진입을 방지하는 것이 가능하다. 산소, 수소, 물 등에 대한 차단 효과를 가진 절연막에 대해, 산화 알루미늄막, 산화질화 알루미늄막, 산화 갈륨막, 산화질화 갈륨막, 산화 이트륨막, 산화질화 이트륨막, 산화 하프늄막, 및 산화질화 하프늄막이 예들로서 주어질 수 있다.

[0080] 절연막(108)은 하프늄 실리케이트($HfSiO_x$), 질소가 부가되는 하프늄 실리케이트($HfSi_xO_yN_z$), 질소가 부가되는 하프늄 알루미네이트($HfAl_xO_yN_z$), 산화 하프늄, 또는 산화 이트륨과 같은 하이-k(high-k) 재료를 사용하여 형성될 수 있으며, 따라서 트랜지스터의 게이트 누설이 감소될 수 있다.

[0081] 절연막(108)이 가열에 의해 산소가 방출되는 산화물 절연막을 사용하여 형성될 때, 상기 절연막(108)에 포함된 산소는 열 처리에 의해 산화물 반도체막(106) 및 산화물 반도체막(206)으로 이동될 수 있다.

[0082] 절연막(108)으로서, 적은 결함들을 가진 산화질화 실리콘막이 사용될 수 있다. 적은 결함들을 가진 산화질화 실리콘막의 100K 이하에서의 ESR 스펙트럼에서, 열 처리 후, 2.037 이상 및 2.039 이하의 g-인자에서 나타나는 제 1 신호, 2.001 이상 및 2.003 이하의 g-인자에서 나타나는 제 2 신호, 및 1.964 이상 및 1.966 이하의 g-인자에서 나타나는 제 3 신호가 관찰된다. X-대역을 사용하여 ESR 측정에 의해 획득되는 제 1 및 제 2 신호들의 분리 폭 및 제 2 및 제 3 신호들의 분리 폭은 각각 대략 5 mT이다. 2.037 이상 및 2.039 이하의 g-인자에서 나타나는 제 1 신호, 2.001 이상 및 2.003 이하의 g-인자에서 나타나는 제 2 신호, 및 1.964 이상 및 1.966 이하의 g-인자에서 나타나는 제 3 신호의 스핀 밀도들의 합은 1×10^{18} spins/㎤ 미만, 통상적으로 1×10^{17} spins/㎤ 이상 및 $\times10^{18}$ spins/㎤ 미만이다.

[0083] 100K 이하에서의 ESR 스펙트럼에서, 2.037 이상 및 2.039 이하의 g-인자에서 나타나는 제 1 신호, 2.001 이상 및 2.003 이하의 g-인자에서 나타나는 제 2 신호, 및 1.964 이상 및 1.966 이하의 g-인자에서 나타나는 제 3 신호는 질소 산화물에 기인된 신호들에 대응한다(NO_x; x는 0 이상 및 2 이하, 또는 1 이상 및 2 이하이다). 질소 산화물의 통상적인 예들은 일산화질소 및 이산화질소를 포함한다. 따라서, 2.037 이상 및 2.039 이하의 g-인자에서 나타나는 제 1 신호, 2.001 이상 및 2.003 이하의 g-인자에서 나타나는 제 2 신호, 및 1.964 이상 및 1.966 이하의 g-인자에서 나타나는 제 3 신호의 스핀 밀도들의 합이 낮을수록, 산화질화 실리콘막에 포함된 질소 산화물의 양은 더 작다.

[0084] 적은 결함들을 가진 산화질화 실리콘막에서, SIMS에 의해 측정되는 질소의 농도는 6×10^{20} atoms/㎤ 이하이다. 절연막(108)이 적은 결함들을 가진 산화질화 실리콘막을 사용하여 형성될 때, 질소 산화물은 발생될 가능성이 적으며, 따라서 절연막(108) 및 산화물 반도체막들(106 및 206)의 각각 사이의 계면에서의 캐리어 트랩들은 감소될 수 있다. 또한, 반도체 장치에 포함된 트랜지스터의 임계 전압에서의 변화는 감소될 수 있으며, 이것은 트랜지스터의 임계 전압에서의 변화의 감소로 이어진다.

[0085] 절연막(108)의 두께는 5 nm 이상 및 400 nm 이하, 5 nm 이상 및 300 nm 이하, 또는 10 nm 이상 및 250 nm 이하일 수 있다.

[0086] 도전막(110), 도전막(112), 도전막(114), 도전막(210), 도전막(212), 및 도전막(214)은 동시에 형성되기 때문에 동일한 재료(예로서, 동일한 금속 원소) 및 동일한 적층 구조를 포함한다. 도전막(110), 도전막(112), 도전막(114), 도전막(210), 도전막(212), 및 도전막(214)은 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 니켈, 철, 코발트, 및 텅스텐으로부터 선택된 금속 원소; 구성요소로서 이들 금속 원소들 중 임의의 것을 포함한 합금; 이들 금속 원소들 중 임의의 것을 조합하여 포함한 합금 등을 사용하여 형성될 수 있다. 더욱이, 망간 및 지르코늄으로부터 선택된 하나 이상의 금속 원소들이 사용될 수 있다. 더욱이, 도전막(110), 도전막(112), 도전

막(114), 도전막(210), 도전막(212), 및 도전막(214)은 단층 구조 또는 둘 이상의 층들을 포함한 적층 구조를 가질 수 있다. 예를 들면, 다음 중 임의의 것이 사용될 수 있다: 실리콘을 포함한 알루미늄막의 단층 구조; 망간을 포함한 구리막의 단층 구조; 티타늄막이 알루미늄막 위에 적층되는 2-층 구조; 티타늄막이 질화 티타늄막 위에 적층되는 2-층 구조; 텅스텐막이 질화 티타늄막 위에 적층되는 2-층 구조; 텅스텐막이 질화 탄탈막 또는 질화 텅스텐막 위에 적층되는 2-층 구조; 구리막이 망간을 포함한 구리막 위에 적층되는 2-층 구조; 티타늄막, 알루미늄막, 및 티타늄막이 이러한 순서로 적층되는 3-층 구조; 망간을 포함한 구리막, 구리막, 및 망간을 포함한 구리막이 이러한 순서로 적층되는 3-층 구조 등. 더욱이, 알루미늄, 및 티타늄, 탄탈, 텅스텐, 몰리브덴, 크롬, 네오디뮴, 및 스탄듐으로부터 선택된 하나 이상의 원소들을 포함하는 합금 막 또는 질화물막이 사용될 수 있다.

[0087] 대안적으로, 도전막(110), 도전막(112), 도전막(114), 도전막(210), 도전막(212), 및 도전막(214)은 인듐 주석 산화물, 텅스텐 산화물을 포함한 인듐 산화물, 텅스텐 산화물을 포함한 인듐 아연 산화물, 티타늄 산화물을 포함한 인듐 산화물, 티타늄 산화물을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 또는 실리콘 산화물을 포함한 인듐 주석 산화물과 같은 광-투과 도전성 재료를 사용하여 형성될 수 있다. 상기 광-투과 도전성 재료 및 상기 금속 원소를 사용하여 형성된 적층 구조를 갖는 것이 또한 가능하다.

[0088] 도전막(110), 도전막(112), 도전막(114), 도전막(210), 도전막(212), 및 도전막(214)의 각각의 두께는 30 nm 이상 및 500 nm 이하, 또는 100 nm 이상 및 400 nm 이하일 수 있다.

[0089] 절연막(116)은 산화물 절연막 또는 질화물 절연막을 사용하여 단층 또는 적층들을 갖고 형성될 수 있다. 적어도 산화물 반도체막(106) 및 산화물 반도체막(206)과 접하는 절연막(116)의 영역들은 바람직하게는 산화물 반도체막(106) 및 산화물 반도체막(206)과의 계면의 특성들을 개선하기 위해, 산화물 절연막을 사용하여 형성된다는 것을 주의하자. 절연막(116)이 가열에 의해 산소가 방출되는 산화물 절연막을 사용하여 형성될 때, 절연막(116)에 포함된 산소는 열 처리에 의해 산화물 반도체막(106) 및 산화물 반도체막(206)으로 이동될 수 있다.

[0090] 절연막(116)은 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화 하프늄막, 산화 갈륨막, Ga-Zn 산화물막 등 중 하나 이상을 사용하여 단층 또는 적층들을 갖고 형성될 수 있다.

[0091] 절연막(118)은 바람직하게는 바깥쪽으로부터 수소, 물 등에 대한 배리어 막으로서 작용하는 막이다. 절연막(118)은 예를 들면, 질화 실리콘막, 질화산화 실리콘막, 또는 산화 알루미늄막을 사용하여 단층 또는 적층들을 갖고 형성될 수 있다.

[0092] 절연막들(116 및 118)의 각각의 두께는 30 nm 이상 및 500 nm 이하, 또는 100 nm 이상 및 400 nm 이하일 수 있다.

[0093] <반도체 장치의 구조 2>

[0094] 다음으로, 반도체 장치의 또 다른 구조가 도 3의 (A) 내지 (C)를 참조하여 설명된다. 여기에서, 설명은 화소부에 포함된 트랜지스터(150)의 수정 예로서 트랜지스터(151)를 사용하여 이루어진다. 절연막(104)의 구조 또는 트랜지스터(151)의 도전막(110), 도전막(112) 및 도전막(114)의 구조들은 구동 회로부에서 트랜지스터(154)를 위해 적절히 사용될 수 있다.

[0095] 도 3의 (A) 내지 (C)는 반도체 장치에 포함된 트랜지스터(151)의 상면도 및 단면도들이다. 도 3의 (A)는 트랜지스터(151)의 상면도이다. 도 3의 (B)는 도 3의 (A)에서 일점쇄선(Y3-Y4)을 따른 단면도이다. 도 3의 (C)는 도 3의 (A)에서 일점쇄선(X3-X4)을 따른 단면도이다.

[0096] 도 3의 (A) 내지 (C)에 도시된 트랜지스터(151)는 도전막(110), 도전막(112), 및 도전막(114) 각각이 3-층 구조를 갖는다는 점 및 절연막(104)이 질화물 절연막(104a) 및 산화물 절연막(104b)의 적층 구조를 갖는다는 점을 특징으로 한다. 다른 구성요소들은 트랜지스터(150)의 것들과 동일하며, 트랜지스터(150)의 경우에서의 것과 유사한 효과가 획득된다.

[0097] 첫 번째로, 도전막(110), 도전막(112), 및 도전막(114)이 설명된다.

[0098] 도전막(110)에서, 도전막(110a), 도전막(110b), 및 도전막(110c)은 이러한 순서로 적층되며, 도전막(110a) 및 도전막(110c)은 도전막(110b)의 표면들을 덮는다. 즉, 도전막(110a) 및 도전막(110c)은 도전막(110b)의 보호 막들로서 작용한다.

[0099] 도전막(112)에서, 도전막(112a), 도전막(112b), 및 도전막(112c)은 이러한 순서로 적층되며, 도전막(112a) 및

도전막(112c)은, 도전막(110)의 것과 유사한 방식으로, 도전막(112b)의 표면들을 덮는다.

[0100] 도전막(114)에서, 도전막(114a), 도전막(114b), 및 도전막(114c)은 이러한 순서로 적층되며, 도전막(114a) 및 도전막(114c)은, 도전막(110)의 것과 유사한 방식으로, 도전막(114b)의 표면들을 덮는다.

[0101] 도전막(110a), 도전막(112a), 및 도전막(114a)은 도전막(110b), 도전막(112b), 및 도전막(114b)에 포함된 금속 원소가 산화물 반도체막(106)으로 확산되는 것을 방지하는 재료를 사용하여 형성된다. 도전막(110a), 도전막(112a), 및 도전막(114a)은 티타늄, 탄탈, 몰리브덴, 텅스텐, 이것들 중 임의의 것의 합금, 티타늄 질화물, 탄탈 질화물, 몰리브덴 질화물, 탄탈 질화물 등을 사용하여 형성될 수 있다. 대안적으로, 도전막(110a), 도전막(112a), 및 도전막(114a)은 Cu-X 합금(X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti이다) 등을 사용하여 형성될 수 있다.

[0102] Cu-X 합금(X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti이다)을 사용하는 경우에, 피복막은 몇몇 경우들에서, 산화물 반도체막과 접하는 영역 또는 열 처리에 의해 절연막과 접하는 영역에 형성된다. 상기 피복막은 X를 포함한 화합물을 포함한다. X를 포함한 화합물의 예들은 X의 산화물, In-X 산화물, Ga-X 산화물, In-Ga-X 산화물, 및 In-Ga-Zn-X 산화물을 포함한다. 피복막이 도전막(110a), 도전막(112a), 및 도전막(114a)의 표면들 위에 형성될 때, 피복막은 차단 막으로서 기능하며, Cu-X 합금 막에서의 Cu는 산화물 반도체막에 들어가는 것이 방지될 수 있다.

[0103] 산화물 반도체막(106)에서 채널로서 작용하는 영역에서 구리의 농도가 1×10^{18} atoms/㎤ 이하일 때, 산화물 반도체막(106) 및 게이트 절연막으로서 작용하는 절연막(108) 사이의 계면에서의 전자 트랩 상태 밀도는 감소될 수 있다는 것을 주의하자. 그 결과, 우수한 임계 미만의 스윙(S 값)을 가진 트랜지스터가 제조될 수 있다.

[0104] 도전막(110b), 도전막(112b), 및 도전막(114b)은 저-저항 재료를 사용하여 형성된다. 도전막(110b), 도전막(112b), 및 도전막(114b)은 구리, 알루미늄, 금, 은 등, 이것들 중 임의의 것을 포함한 합금, 주성분으로서 이것들 중 임의의 것을 포함한 화합물 등을 사용하여 형성될 수 있다.

[0105] 도전막(110b), 도전막(112b), 및 도전막(114b)에 포함된 금속 원소가 패시베이션의 대상이 되는 막을 사용하여 도전막(110c), 도전막(112c), 및 도전막(114c)을 형성함으로써, 도전막(110b), 도전막(112b), 및 도전막(114b)에 포함된 금속 원소는 절연막(116)을 형성하는 단계에서 산화물 반도체막(106)으로 이동하는 것이 방지될 수 있다. 도전막(110c), 도전막(112c), 및 도전막(114c)은 금속 규소화물, 금속 규소화-질화물 등을 사용하여 형성될 수 있다; $CuSi_x$(x>0), $CuSi_xN_y$(x>0, y>0) 등은 그것의 통상적인 예들이다.

[0106] 여기에서, 도전막(110c), 도전막(112c), 및 도전막(114c)을 형성하기 위한 방법이 설명된다. 도전막(110b), 도전막(112b), 및 도전막(114b)은 구리를 사용하여 형성된다는 것을 주의하자. 도전막(110c), 도전막(112c), 및 도전막(114c)은 $CuSi_xN_y$(x>0, y>0)를 사용하여 형성된다.

[0107] 도전막(110b), 도전막(112b), 및 도전막(114b)은 도전막(110b), 도전막(112b), 및 도전막(114b)의 표면들 상에서 산화물을 감소시키기 위해 수소, 암모니아, 일산화탄소 등의 환원성 분위기에서 발생된 플라즈마에 노출된다.

[0108] 다음으로, 도전막(110b), 도전막(112b), 및 도전막(114b)은 200℃ 이상 및 400℃ 이하의 온도에서 가열이 수행되는 동안 실란에 노출된다. 따라서, 도전막(110b), 도전막(112b), 및 도전막(114b)에 포함된 구리는 촉매로서 동작하며, 실란은 Si 및 H_2로 분해되고, $CuSi_x$(x<0)는 도전막(110b), 도전막(112b), 및 도전막(114b)의 표면들 상에 형성된다.

[0109] 다음으로, 도전막(110b), 도전막(112b), 및 도전막(114b)은 암모니아 또는 질소의 분위기와 같은, 질소를 포함한 분위기에서 발생된 플라즈마에 노출되며, 따라서 도전막(110b), 도전막(112b), 및 도전막(114b)의 표면들 상에 형성된 $CuSi_x$(x>0)는 플라즈마에 포함된 질소와 반응한다. 이러한 방식으로, $CuSi_xN_y$(x>0, y>0)가 도전막(110c), 도전막(112c), 및 도전막(114c)으로서 형성된다.

[0110] 상기 설명된 단계에서, 도전막(110b), 도전막(112b), 및 도전막(114b)이 암모니아 또는 질소의 분위기와 같은, 질소를 포함한 분위기에서 발생된 플라즈마에 노출된 후, 도전막(110b), 도전막(112b), 및 도전막(114b)은 200℃ 이상 및 400℃ 이하의 온도에서 가열이 수행되는 동안 실란에 노출되며, 그에 의해 $CuSi_xN_y$(x>0, y>0)가 도전막(110c), 도전막(112c), 및 도전막(114c)으로서 형성될 수 있다는 것을 주의하자.

[0111] 다음으로, 질화물 절연막(104a) 및 산화물 절연막(104b)이 적층되는 절연막(104)이 설명된다.

[0112] 예를 들면, 질화물 절연막(104a)은 질화 실리콘막, 질화산화 실리콘막, 알루미늄 질화물막, 알루미늄 질화물 산화물막 등을 사용하여 형성될 수 있다. 산화물 절연막(104b)은 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막 등을 사용하여 형성될 수 있다. 기판(102) 측 상에 질화물 절연막(104a)을 제공하는 것은 바깥쪽으로부터 수소, 물 등이 산화물 반도체막(106)으로 확산되는 것을 방지할 수 있다.

[0113] <반도체 장치의 구조 3>

[0114] 다음으로, 반도체 장치의 또 다른 구조가 도 4의 (A) 내지 (C), 도 5의 (A) 내지 (C), 및 도 11의 (A) 및 (B)를 참조하여 설명된다. 여기에서, 설명은 화소부에 포함된 트랜지스터(150)의 수정 예들로서 트랜지스터(152) 및 트랜지스터(153)를 사용하여 이루어진다. 트랜지스터(152)에 포함된 산화물 반도체막(106)의 구조 또는 트랜지스터(153)에 포함된 산화물 반도체막(106)의 구조는 구동 회로부에서 트랜지스터(154)를 위해 적절히 사용될 수 있다.

[0115] 도 4의 (A) 내지 (C)는 반도체 장치에 포함된 트랜지스터(152)의 상면도 및 단면도들이다. 도 4의 (A)는 트랜지스터(152)의 상면도이다. 도 4의 (B)는 도 4의 (A)에서 일점쇄선(Y3-Y4)을 따른 단면도이다. 도 4의 (C)는 도 4의 (A)에서 일점쇄선(X3-X4)을 따른 단면도이다.

[0116] 도 4의 (A) 내지 (C)에 도시된 트랜지스터(152)는 산화물 반도체막(106)이 다층 구조를 갖는다는 점을 특징으로 한다. 구체적으로, 산화물 반도체막(106)은 절연막(104)과 접하는 산화물 반도체막(107a), 산화물 반도체막(107a)과 접하는 산화물 반도체막(107b), 및 산화물 반도체막(107b)과 접하는 산화물 반도체막(107c), 도전막(110), 도전막(112), 절연막(108), 및 절연막(116)을 포함한다. 다른 구성요소들은 트랜지스터(150)의 것들과 동일하며 트랜지스터(150)의 경우에서의 것과 유사한 효과가 획득된다.

[0117] 산화물 반도체막(107a), 산화물 반도체막(107b), 및 산화물 반도체막(107c)은 통상적으로 In-Ga 산화물막, In-Zn 산화물막, 또는 In-M-Zn 산화물막(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다)과 같은 금속 산화물막을 사용하여 형성된다.

[0118] 산화물 반도체막(107a) 및 산화물 반도체막(107c)은 통상적으로 각각 In-Ga 산화물막, In-Zn 산화물막, In-Mg 산화물막, Zn-Mg 산화물막, 또는 In-M-Zn 산화물막(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다)이며, 산화물 반도체막(107b)의 것보다 진공 준위에 더 가까운 전도대의 하부에서의 에너지를 가진다. 통상적으로, 산화물 반도체막(107b)의 전도대의 하부에서의 에너지 및 산화물 반도체막(107a) 및 산화물 반도체막(107c)의 각각의 전도대의 하부에서의 에너지 사이에서의 차이는 0.05 eV 이상, 0.07 eV 이상, 0.1 eV 이상, 또는 0.2 eV 이상 및 또한 2 eV 이하, 1 eV 이하, 0.5 eV 이하, 또는 0.4 eV 이하이다. 진공 준위 및 전도대의 하부에서의 에너지 사이에서의 차이가 전자 친화도로서 언급된다는 것을 주의하자.

[0119] 산화물 반도체막(107b)이 In-M-Zn 산화물막(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다)이며 In:M:Zn=x_1:y_1:z_1의 금속 원소들의 원자 비를 가진 타겟이 산화물 반도체막(107b)을 형성하기 위해 사용되는 경우에, x_1/y_1은 바람직하게는 1/3 이상 및 6 이하, 추가로 바람직하게는 1 이상 및 6 이하이며, z_1/y_1은 바람직하게는 1/3 이상 및 6 이하, 추가로 바람직하게는 1 이상 및 6 이하이다. z_1/y_1이 1 이상 및 6 이하일 때, 산화물 반도체막(107b)으로서 CAAC-OS가 쉽게 형성된다는 것을 주의하자. 이러한 스퍼터링 타겟의 금속 원소들의 원자 비의 통상적인 예들은 In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=2:1:1.5, In:M:Zn=2:1:2.3, In:M:Zn=2:1:3, In:M:Zn=3:1:2 등이다.

[0120] 산화물 반도체막(107a) 및 산화물 반도체막(107c)이 각각 In-M-Zn 산화물막(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다)이며 In:M:Zn=x_2:y_2:z_2의 금속 원소들의 원자 비를 가진 타겟이 산화물 반도체막(107a) 및 산화물 반도체막(107c)을 형성하기 위해 사용되는 경우에, x_2/y_2는 바람직하게는 x_1/y_1보다 작으며, z_2/y_2는 바람직하게는 1/3 이상 및 6 이하, 추가로 바람직하게는 1 이상 및 6 이하이다. z_2/y_2가 1 이상 및 6 이하일 때, CAAC-OS 막들이 산화물 반도체막(107a) 및 산화물 반도체막(107c)으로서 쉽게 형성된다는 것을 주의하자. 이러한 스퍼터링 타겟의 금속 원소들의 원자 비의 통상적인 예들은 In:M:Zn=1:3:2, In:M:Zn=1:3:4, In:M:Zn=1:3:6, In:M:Zn=1:3:8, In:M:Zn=1:4:3, In:M:Zn=1:4:4, In:M:Zn=1:4:5, In:M:Zn=1:4:6, In:M:Zn=1:6:3, In:M:Zn=1:6:4, In:M:Zn=1:6:5, In:M:Zn=1:6:6, In:M:Zn=1:6:7, In:M:Zn=1:6:8, In:M:Zn=1:6:9 등이다.

[0121] 산화물 반도체막(107a) 및 산화물 반도체막(107c)이 각각 In-Ga 산화물막인 경우에, 산화물 반도체막(107a) 및

산화물 반도체막(107c)은 예를 들면, In-Ga 금속 산화물 타겟(In:Ga=7:93)을 사용하여 스퍼터링 방법에 의해 형성될 수 있다. 산화물 반도체막(107a) 및 산화물 반도체막(107c)을 형성하기 위해 DC 방전을 사용한 스퍼터링 방법에 의해 In-Ga 산화물막을 증착시키기 위해, In:Ga의 원자 비가 x:y일 때, y/(x+y)는 0.96 이하, 추가로 바람직하게는 0.95 이하, 예를 들면 0.93인 것이 바람직하다.

[0122] 산화물 반도체막(107a), 산화물 반도체막(107b), 및 산화물 반도체막(107c)의 각각에서 금속 원소들의 원자 비는 에러로서 상기 원자 비에서의 것의 ±40%의 범위 내에서 달라진다는 것을 주의하자.

[0123] 원자 비는 상기에 제한되지 않으며, 원자 비는 요구된 반도체 특성들에 따라 적절하게 설정될 수 있다.

[0124] 산화물 반도체막(107a) 및 산화물 반도체막(107c)은 동일한 조성을 가질 수 있다. 예를 들면, 산화물 반도체막(107a) 및 산화물 반도체막(107c)으로서, In 대 Ga 및 Zn의 원자 비가 1:3:2, 1:3:4, 1:4:5, 1:4:6, 1:4:7, 또는 1:4:8인 In-Ga-Zn 산화물이 사용될 수 있다.

[0125] 대안적으로, 산화물 반도체막(107a) 및 산화물 반도체막(107c)은 상이한 조성들을 가질 수 있다. 예를 들면, In 대 Ga 및 Zn의 원자 비가 1:3:2인 In-Ga-Zn 산화물막이 산화물 반도체막(107a)으로서 사용될 수 있는 반면, In 대 Ga 및 Zn의 원자 비가 1:3:4 또는 1:4:5인 In-Ga-Zn 산화물막은 산화물 반도체막(107c)으로서 사용될 수 있다.

[0126] 산화물 반도체막(107a) 및 산화물 반도체막(107c)의 각각의 두께는 3 nm 이상 및 100 nm 이하, 또는 3 nm 이상 및 50 nm 이하이다. 산화물 반도체막(107b)의 두께는 3 nm 이상 및 200 nm 이하, 3 nm 이상 및 100 m 이하, 또는 3 nm 이상 및 50 nm 이하이다. 산화물 반도체막(107a) 및 산화물 반도체막(107c)의 각각의 두께가 산화물 반도체막(107b)의 두께보다 작을 때, 트랜지스터의 임계 전압에서의 변화의 양은 감소될 수 있다는 것을 주의하자.

[0127] 산화물 반도체막(107a), 산화물 반도체막(107b), 및 산화물 반도체막(107c)과의 계면들은 몇몇 경우들에서, 주사 투과 전자 현미경(STEM)에 의해 관찰될 수 있다.

[0128] 실시형태 1에 설명된 산화물 반도체막(106)의 결정 구조는 산화물 반도체막(107a), 산화물 반도체막(107b), 및 산화물 반도체막(107c)을 위해 적절히 사용될 수 있다.

[0129] 그 각각에서 산소 결손들이 산화물 반도체막(107b)에서보다 발생될 가능성이 적은 산화물 반도체막(107a) 및 산화물 반도체막(107c)은 산화물 반도체막(107b)의 상부 표면 및 하부 표면과 접촉하여 제공되며, 그에 의해 산화물 반도체막(107b)에서의 산소 결손들이 감소될 수 있다. 더욱이, 산화물 반도체막(107b)은 산화물 반도체막(107b)을 형성하는 하나 이상의 금속 원소들을 포함하는 산화물 반도체막(107a) 및 산화물 반도체막(107c)과 접촉하기 때문에, 산화물 반도체막(107a) 및 산화물 반도체막(107b) 사이의 계면에서 및 산화물 반도체막(107b) 및 산화물 반도체막(107c) 사이의 계면에서 계면 준위들의 밀도들은 매우 낮다. 따라서, 산화물 반도체막(107b)에서의 산소 결손들은 감소될 수 있다.

[0130] 여기에서, 산화물 반도체막(107b)이 상이한 구성 요소를 포함한 절연막(예로서, 산화 실리콘막을 포함한 절연막)과 접하는 경우에, 계면 상태는 때때로 두 개의 막들 사이의 계면에서 형성되며 계면 상태는 채널을 형성한다. 이 때, 상이한 임계 전압을 가진 또 다른 트랜지스터가 나타나며, 따라서 트랜지스터의 겉보기 임계 전압이 변경된다. 그러나 산화물 반도체막(107b)을 형성하는 하나 이상의 종류들의 금속 원소들을 포함한 산화물 반도체막(107a)이 산화물 반도체막(107b)과 접촉하기 때문에, 계면 상태는 산화물 반도체막(107a) 및 산화물 반도체막(107b) 사이의 계면에서 형성될 가능성이 낮다. 따라서, 산화물 반도체막(107a)을 제공하는 것은 임계 전압과 같은, 트랜지스터의 전기적 특성들에서의 변동을 감소시키는 것을 가능하게 한다.

[0131] 채널이 절연막(108) 및 산화물 반도체막(107b) 사이의 계면에서 형성되는 경우에, 계면 산란이 계면에서 발생하며, 따라서 트랜지스터의 전계-효과 이동도가 감소된다. 그러나, 산화물 반도체막(107b)을 형성하는 하나 이상의 종류들의 금속 원소들을 포함한 산화물 반도체막(107c)이 산화물 반도체막(107b)과 접촉하여 제공되기 때문에, 캐리어들의 산란은 산화물 반도체막(107b) 및 산화물 반도체막(107c) 사이의 계면에서 쉽게 발생하지 않으며, 따라서 트랜지스터의 전계-효과 이동도는 증가될 수 있다.

[0132] 더욱이, 산화물 반도체막(107a) 및 산화물 반도체막(107c) 각각은 또한 절연막들(104 및 108)의 구성 요소 또는 도전막들(110 및 112)의 구성 요소의 산화물 반도체막(107b)으로의 진입으로 인한 산화물 반도체막(107)에서 불순물 상태의 형성을 억제하는 배리어 막으로서 작용한다.

[0133] 예를 들면, 절연막(104) 및 절연막(108)으로서 실리콘을 포함한 절연막 또는 탄소를 포함한 절연막을 사용하는

경우에, 절연막(104) 또는 절연막(108)에서의 실리콘 또는 절연막(104) 및 절연막(108)에 혼합된 탄소는 몇몇 경우들에서 계면들로부터 약 수 나노미터들의 깊이로 산화물 반도체막(107a) 및 산화물 반도체막(107c)에 들어간다. 산화물 반도체막(107b)에 들어간 실리콘 또는 탄소와 같은 불순물은 불순물 준위들을 형성한다. 불순물 준위들은 도너로서 작용하며 전자를 발생시키고, 따라서 산화물 반도체막(107b)은 n-형이 될 수 있다.

[0134] 그러나, 산화물 반도체막(107a) 및 산화물 반도체막(107c)의 각각의 두께가 수 나노미터들보다 클 때, 실리콘 또는 탄소와 같은 불순물은 산화물 반도체막(107b)에 도달하지 않으며, 따라서 불순물 준위들의 영향은 억제된다.

[0135] 상기로부터, 임계 전압과 같은 전기적 특성들에서의 변화가 본 실시형태에 설명된 트랜지스터에서 감소된다.

[0136] 도 5의 (A) 내지 (C)는 도 4의 (A) 내지 (C)에 도시된 것과 상이한 구조를 가진 트랜지스터를 도시한다.

[0137] 도 5의 (A) 내지 (C)는 반도체 장치에 포함된 트랜지스터(153)의 상면도 및 단면도들이다. 도 5의 (A)는 트랜지스터(153)의 상면도이고, 도 5의 (B)는 도 5의 (A)에서 일점쇄선(Y3-Y4)을 따른 단면도이며, 도 5의 (C)는 도 5의 (A)에서 일점쇄선(X3-X4)을 따른 단면도이다.

[0138] 도 5의 (A) 내지 (C)에 도시된 트랜지스터(153)에서처럼, 산화물 반도체막(106)은 절연막(104)과 접하는 산화물 반도체막(107b) 및 산화물 반도체막(107b) 및 절연막(108)과 접하는 산화물 반도체막(107c)을 포함한 적층 구조를 가질 수 있다. 다른 구성요소들은 트랜지스터(150)의 것들과 동일하며 트랜지스터(150)의 경우에서의 것과 유사한 효과가 획득된다.

[0139] <밴드 구조>

[0140] 여기에서, 도 4의 (A) 내지 (C) 및 도 5의 (A) 내지 (C)에 도시된 트랜지스터들의 밴드 구조들이 설명된다. 도 11의 (A)는 도 4의 (A) 내지 (C)에 도시된 트랜지스터(153)의 밴드 구조이며; 용이한 이해를 위해, 절연막(104), 산화물 반도체막(107a), 산화물 반도체막(107b), 산화물 반도체막(107c), 및 절연막(108)의 각각의 전도대의 하부의 에너지(Ec)가 도시된다는 것을 주의하자. 도 11의 (B)는 도 5의 (A) 내지 (C)에 도시된 트랜지스터(154)의 밴드 구조이며; 용이한 이해를 위해, 절연막(104), 산화물 반도체막(107b), 산화물 반도체막(107c), 및 절연막(108)의 각각의 전도대의 하부의 에너지(Ec)가 도시된다.

[0141] 도 11의 (A)에 예시된 바와 같이, 전도대의 하부에서의 에너지는 산화물 반도체막(107a), 산화물 반도체막(107b), 및 산화물 반도체막(107c)에서 연속적으로 변화한다. 이것은 구성 요소들이 산화물 반도체막(107a), 산화물 반도체막(107b), 및 산화물 반도체막(107c) 중에서 공통적이며 산소가 산화물 반도체막(107a), 산화물 반도체막(107b), 및 산화물 반도체막(107c) 중에서 쉽게 확산된다는 사실로부터 또한 이해될 수 있다. 따라서, 산화물 반도체막(107a), 산화물 반도체막(107b), 및 산화물 반도체막(107c)은 그것들이 상이한 조성들을 가진 막들의 적층일지라도 연속적인 물리적 특성을 가진다.

[0142] 적층되며 동일한 주 성분들을 가진 산화물 반도체막들은 층들의 간단한 적층 구조뿐만 아니라 연속적 에너지 밴드(여기에서, 특히 전도대의 하부가 층들 중에서 계속해서 달라지는 U 형태를 가진 웰 구조(U-형 웰))를 또한 가진다. 즉, 적층 구조는 캐리어 흐름을 금지하는 산화물 반도체 또는 불순물들에 대한 트랩 중심 또는 재조합 중심과 같은 결함 준위들을 야기하는 불순물들이 층들 사이의 계면들에 존재하지 않도록 형성된다. 적층된 산화물 반도체막들 사이에서 불순물들이 혼합된다면, 에너지 밴드의 연특성은 손실되며 캐리어들은 트랩 또는 재조합에 의해 사라진다.

[0143] 도 11의 (A)는 산화물 반도체막(107a)의 Ec 및 산화물 반도체막(107c)의 Ec가 서로 동일하지만, 그것들은 서로 상이할 수 있는 경우를 예시한다는 것을 주의하자.

[0144] 도 11의 (A)에 예시된 바와 같이, 산화물 반도체막(107b)은 웰로서 작용하며 트랜지스터(152)의 채널은 산화물 반도체막(107b)에 형성된다. 산화물 반도체막들(107a, 107b, 및 107c)의 전도대의 하부에서의 에너지가 연속적으로 변하기 때문에, U-형 웰 구조를 가진 채널은 또한 매립 채널로서 언급될 수 있다는 것을 주의하자.

[0145] 도 11의 (B)에 예시된 바와 같이, 전도대의 하부에서의 에너지는 산화물 반도체막(107b) 및 산화물 반도체막(107c)에서 연속적으로 변할 수 있다.

[0146] 도 11의 (B)에 예시된 바와 같이, 산화물 반도체막(107b)은 웰로서 작용하며 트랜지스터(153)의 채널은 산화물 반도체막(107b)에 형성된다.

[0147] 도 4의 (A) 내지 (C)에 도시된 트랜지스터(152)에서, 산화물 반도체막(107a) 및 산화물 반도체막(107c)은 산화

물 반도체막(107b)을 형성하는 하나 이상의 종류들의 금속 원소들을 포함한다. 그러므로, 계면 상태는 산화물 반도체막(107a) 및 산화물 반도체막(107b) 사이의 계면에서 및 산화물 반도체막(107c) 및 산화물 반도체막(107b) 사이의 계면에서 쉽게 형성되지 않는다. 따라서, 산화물 반도체막(107a) 및 산화물 반도체막(107c)을 제공하는 것은 임계 전압과 같은, 트랜지스터의 전기적 특성들에서의 변형들 또는 변화들을 감소시키는 것을 가능하게 한다.

[0148] 도 5의 (A) 내지 (C)에 도시된 트랜지스터(153)에서, 산화물 반도체막(107c)은 산화물 반도체막(107b)을 형성하는 하나 이상의 종류들의 금속 원소들을 포함한다. 그러므로, 계면 상태는 산화물 반도체막(107c) 및 산화물 반도체막(107b) 사이의 계면에서 쉽게 형성되지 않는다. 따라서, 산화물 반도체막(107c)을 제공하는 것은 임계 전압과 같은, 트랜지스터의 전기적 특성들에서의 변형들 또는 변화들을 감소시키는 것을 가능하게 한다.

[0149] <반도체 장치를 제조하기 위한 방법 1>

[0150] 다음으로, 도 1의 (A) 및 (B)에 예시된 트랜지스터(150) 및 트랜지스터(154)를 제조하기 위한 방법은 도 7의 (A) 내지 (D), 도 8의 (A) 내지 (C), 및 도 9의 (A) 내지 (C)를 참조하여 설명될 것이다.

[0151] 트랜지스터(150) 및 트랜지스터(154)에 포함된 막들(즉, 절연막, 산화물 반도체막, 도전막 등)은 스퍼터링 방법, 화학적 기상 증착(CVD) 방법, 진공 증착 방법, 및 펄싱 레이저 증착(PLD) 방법 중 임의의 것에 의해 형성될 수 있다. 대안적으로, 코팅 방법 또는 인쇄 방법이 사용될 수 있다. 스퍼터링 방법 및 플라즈마-강화 화학적 기상 증착(PECVD) 방법이 막 형성 방법의 통상적인 예들이지만, 열적 CVD 방법이 사용될 수 있다. 열적 CVD 방법으로서, 예를 들면, 금속 유기 화학적 기상 증착(MOCVD) 방법 또는 원자 층 증착(ALD) 방법이 사용될 수 있다.

[0152] 열적 DVD 방법에 의한 증착은 챔버에서의 압력이 대기압 또는 감압으로 설정되도록 하는 방식으로 수행될 수 있으며, 소스 가스 및 산화제가 한 번에 챔버에 공급되며 기판의 부근에서 또는 기판 위에서 서로 반응한다. 따라서, 어떤 플라즈마도 증착 시 발생되지 않으며; 그러므로, 열적 CVD 방법은 플라즈마 손상으로 인한 어떤 결함도 야기되지 않는다는 이점을 가진다.

[0153] ALD 방법에 의한 증착은 챔버에서의 압력이 대기압 또는 감압으로 설정되도록 하는 방식으로 수행될 수 있고, 반응을 위한 소스 가스들이 순차적으로 챔버로 도입되며, 그 후 가스 도입의 시퀀스가 반복된다. 예를 들면, 둘 이상의 종류들의 소스 가스들은 각각의 스위칭 밸브들(또한 고속 밸브들로서 언급되는)을 스위칭함으로써 챔버로 순차적으로 공급된다. 예를 들면, 제 1 소스 가스가 도입되고, 불활성 가스(예로서, 아르곤 또는 질소) 등은 소스 가스가 혼합되지 않도록 제 1 소스 가스의 도입과 동시에 또는 그 후 도입되며, 그 후 제 2 소스 가스가 도입된다. 제 1 소스 가스 및 불활성 가스가 한 번에 도입되는 경우에, 불활성 가스는 캐리어 가스로서 작용하며, 불활성 가스는 또한 제 2 소스 가스의 도입과 동시에 도입될 수 있다는 것을 주의하자. 대안적으로, 제 1 소스 가스는 불활성 가스의 도입 대신에 진공 배기에 의해 배출될 수 있으며, 그 후 제 2 소스 가스가 도입될 수 있다. 제 1 소스 가스는 제 1 층을 형성하기 위해 기판의 표면상에서 흡착되며; 그 후 제 2 소스 가스는 상기 제 1 층과 반응하기 위해 도입되고; 그 결과 제 2 층이 상기 제 1 층 위에 적층되어, 박막이 형성되도록 한다.

[0154] 가스 도입의 시퀀스는 원하는 두께가 획득될 때까지 복수 회 반복되며, 그에 의해 우수한 단차 피복을 가진 박막이 형성될 수 있다. 박막의 두께는 가스 도입의 시퀀스의 반복 횟수들의 수에 의해 조정될 수 있으며; 그러므로, ALD 방법은 두께를 정확하게 조정하는 것을 가능하게 하고 따라서 극히 작은 FET를 제조하기에 적합하다.

[0155] 도 7의 (C)에 도시된 바와 같이, 도전막(201)은 기판(102) 위에 형성되며 절연막(104)은 도전막(201) 위에 형성된다.

[0156] 도전막(201)은 다음과 같이 형성된다: 도전막은 스퍼터링 방법, 진공 증착 방법, 펄싱 레이저 증착(PLD) 방법, 열적 CVD 방법 등에 의해 형성되고, 마스크는 리소그래피 공정에 의해 도전막 위에 형성되며, 그 후 에칭 처리가 수행된다.

[0157] 대안적으로, 텅스텐막은 ALD를 이용한 증착 장치를 갖고 도전막(201)에 대해 형성될 수 있다. 상기 경우에, WF_6 가스 및 B_2H_6 가스가 초기 텅스텐막을 형성하기 위해 한 번 이상 순차적으로 도입되며, 그 후 WF_6 가스 및 H_2 가스가 한 번에 도입되어, 텅스텐막이 형성되도록 한다. SiH_4 가스가 B_2H_6 가스 대신에 사용될 수 있다는 것을 주의하자.

[0158] 도전막(201)은 상기 형성 방법 대신에 전해 도금 방법, 인쇄 방법, 잉크젯 방법 등에 의해 형성될 수 있다.

[0159] 절연막(104)은, 스퍼터링 방법, CVD 방법, 증착 방법, 펄싱 레이저 증착(PLD) 방법, 인쇄 방법, 코팅 방법 등에 의해 적절하게 형성될 수 있다. 절연막(104)은 절연막이 기판(102) 위에 형성된 후, 산소가 절연막(104)을 형성하기 위해 절연막에 부가되도록 하는 방식으로 형성될 수 있다. 절연막에 부가되는 산소의 예들은 산소 라디칼, 산소 원자, 산소 원자 이온, 산소 분자 이온 등을 포함한다. 산소를 부가하기 위한 방법으로서, 이온 도핑 방법, 이온 주입 방법, 플라즈마 처리 등이 주어질 수 있다. 대안적으로, 산소의 방출을 억제하는 막이 절연막 위에 형성된 후, 산소가 막을 통해 절연막에 부가될 수 있다.

[0160] 절연막(104)으로서, 그로부터 산소가 열 처리에 의해 방출될 수 있는 산화 실리콘막 또는 산화질화 실리콘막이 다음의 조건들 하에서 형성될 수 있다: 진공-배기되는 플라즈마 CVD 장치의 처리 챔버에 위치된 기판은 180℃ 이상 및 280℃ 이하, 또는 200℃ 이상 및 240℃ 이하의 온도에서 유지되고, 압력은 처리 챔버로의 소스 가스가 도입되는 상태에서 100 Pa 이상 및 250 Pa 이하, 또는 100 Pa 이상 및 200 Pa 이하이며, 0.17 W/㎠ 이상 및 0.5 W/㎠ 이하, 또는 0.25 W/㎠ 이상 및 0.35 W/㎠ 이하의 고-주파수 전력이 처리 챔버에 제공된 전극에 공급된다.

[0161] 여기에서, 산소의 방출을 억제하는 막이 절연막 위에 형성되며 그 후 산소가 막을 통해 절연막에 부가되는 방법이 도 7의 (A) 및 (B)를 참조하여 설명된다.

[0162] 도 7의 (A)에 도시된 바와 같이, 절연막(103)은 기판(102) 및 도전막(201) 위에 형성된다.

[0163] 다음으로, 도 7의 (B)에 도시된 바와 같이, 산소의 방출을 억제하는 막(119)은 절연막(103) 위에 형성된다. 다음으로, 산소(121)는 막(119)을 통해 절연막(103)에 부가된다.

[0164] 산소의 방출을 억제하는 막(119)은 다음의 도전성 재료들 중 임의의 것을 사용하여 형성된다: 알루미늄, 크롬, 탄탈, 티타늄, 몰리브덴, 니켈, 철, 코발트, 및 텅스텐으로부터 선택된 금속 원소; 구성 요소로서 상기 설명된 금속 원소를 포함한 합금; 상기 설명된 금속 원소들 중 임의의 것을 조합하여 포함한 합금; 상기 설명된 금속 원소를 포함한 금속 질화물; 상기 설명된 금속 원소를 포함한 금속 산화물; 상기 설명된 금속 원소를 포함한 질화산화 금속 등.

[0165] 산소의 방출을 억제하는 막(119)의 두께는 1 nm 이상 및 20 nm 이하, 또는 2 nm 이상 및 10 nm 이하일 수 있다.

[0166] 막(119)을 통해 절연막(103)에 산소(121)를 부가하기 위한 방법으로서, 이온 도핑 방법, 이온 주입 방법, 플라즈마 처리 등이 주어진다. 절연막(103) 위에 막(119)이 제공된 상태로 절연막(103)에 산소를 부가함으로써, 막(119)은 절연막(103)으로부터 산소의 방출을 억제하는 보호 막으로서 작용한다. 따라서, 보다 많은 양의 산소가 절연막(103)에 부가될 수 있다.

[0167] 산소가 플라즈마 처리에 의해 부가되는 경우에, 고 밀도 산소 플라즈마를 발생시키기 위해 마이크로파에 의해 산소를 여기시킴으로써, 산화물 절연막(103)에 부가된 산소의 양은 증가될 수 있다.

[0168] 이후, 막(119)이 제거되고; 결과적으로, 산소가 부가되는 절연막(104)이 도 7의 (C)에 도시된 바와 같이 기판(102) 위에 형성될 수 있다. 충분한 양의 산소가 부가되는 절연막(104)이 증착 후 형성될 수 있는 경우, 도 7의 (A) 및 (B)에 도시되는 산소를 부가하기 위한 처리가 반드시 수행되는 것은 아님을 주의하자.

[0169] 다음으로, 도 7의 (D)에 도시된 바와 같이, 산화물 반도체막(106) 및 산화물 반도체막(206)은 절연막(104) 위에 형성된다. 다음으로, 절연막(108)은 절연막(104), 산화물 반도체막(106), 및 산화물 반도체막(206) 위에 형성된다.

[0170] 산화물 반도체막(106) 및 산화물 반도체막(206)을 형성하기 위한 방법들이 이하에서 설명된다. 산화물 반도체막은 스퍼터링 방법, 코팅 방법, 펄싱 레이저 증착 방법, 레이저 연삭 방법, 열적 CVD 방법 등에 의해 절연막(104) 위에 형성된다. 다음으로, 절연막(104)에 포함된 산소는 열 처리에 의해 산화물 반도체막으로 이송된다. 그 후, 마스크가 리소그래피 공정에 의해 산화물 반도체막 위에 형성된 후, 산화물 반도체막은 마스크를 사용하여 부분적으로 에칭된다. 따라서, 산화물 반도체막(106) 및 산화물 반도체막(206)은 도 7의 (D)에 예시된 바와 같이 형성될 수 있다. 그 후, 마스크가 제거된다. 산화물 반도체막(106)이 산화물 반도체막의 부분을 에칭하여 형성된 후, 열 처리가 수행될 수 있다는 것을 주의하자.

[0171] 대안적으로, 산화물 반도체막(106) 및 산화물 반도체막(206)을 형성하기 위한 인쇄 방법을 사용함으로써, 원소 분리의 대상이 되는 산화물 반도체막(106) 및 산화물 반도체막(206)이 바로 형성될 수 있다.

[0172] 스퍼터링 방법에 의해 산화물 반도체막을 형성하는 경우에 플라즈마를 발생시키기 위한 전력 공급 장치로서, RF 전력 공급 장치, AC 전력 공급 장치, DC 전력 공급 장치 등이 적절히 사용될 수 있다. CAAC-OS 막이 AC 전력 공급 장치 또는 DC 전력 공급 장치를 사용하여 형성될 수 있다는 것을 주의하자. 산화물 반도체막을 형성할 때, AC 전력 공급 장치 또는 DC 전력 공급 장치를 사용한 스퍼터링 방법은 산화물 반도체막이 막 두께, 막 조성, 또는 결정도에서 균일할 수 있기 때문에 RF 전력 공급 장치를 사용한 스퍼터링 방법에 선호된다.

[0173] 스퍼터링 가스로서, 희가스(통상적으로 아르곤), 산소 가스, 또는 희가스 및 산소의 혼합 가스가 적절히 사용된다. 희가스 및 산소의 혼합 가스를 사용하는 경우에, 산소 대 희가스의 비율은 바람직하게는 증가된다.

[0174] 더욱이, 타겟은 형성될 산화물 반도체막의 조성에 따라 적절하게 선택될 수 있다.

[0175] 예를 들면, 산화물 반도체막이 150℃ 이상 및 750℃ 이하, 150℃ 이상 및 450℃ 이하, 또는 200℃ 이상 및 350℃ 이하의 기판 온도에서 스퍼터링 방법에 의해 형성되는 경우에, CAAC-OS 막이 형성될 수 있다. 기판 온도가 25℃ 이상 및 150℃ 미만인 경우에, 미결정 산화물 반도체막이 형성될 수 있다.

[0176] 나중에 설명될 CAAC-OS 막의 증착을 위해, 다음의 조건들이 바람직하게는 사용된다.

[0177] 증착 동안 불순물들의 진입을 억제시킴으로써, 결정 상태는 불순물들에 의해 붕괴되는 것이 방지될 수 있다. 예를 들면, 증착 챔버에 존재하는 불순물들(예로서, 수소, 물, 이산화탄소, 또는 질소)의 농도는 감소될 수 있다. 더욱이, 증착 가스에서의 불순물들의 농도는 감소될 수 있다. 구체적으로, 그 이슬점이 -80℃ 이하, 또는 -100℃ 이하인 증착 가스가 사용된다.

[0178] 더욱이, 증착 가스에서의 산소의 비율이 증가되며 전력이 증착시 플라즈마 손상을 감소시키기 위해 최적화되는 것이 바람직하다. 증착 가스에서의 산소의 비율은 30 vol.% 이상, 또는 100 vol.%이다.

[0179] 더욱이, 산화물 반도체막이 형성된 후, 산화물 반도체막이 탈수소화 또는 탈수화되도록 열 처리가 수행될 수 있다. 열 처리는 통상적으로 150℃ 이상 및 기판의 변형점 미만, 250℃ 이상 및 450℃ 이하, 또는 300℃ 이상 및 450℃ 이하의 온도에서 수행된다.

[0180] 열 처리는 질소 또는 헬륨, 네온, 아르곤, 제논, 또는 크립톤과 같은 희가스를 포함한 불활성 가스 분위기하에서 수행된다. 대안적으로, 열 처리는 먼저 불활성 가스 분위기하에서, 및 그 후 산소 분위기하에서 수행될 수 있다. 상기 불활성 가스 분위기 및 상기 산소 분위기는 수소, 물 등을 포함하지 않는 것이 바람직하다. 처리 시간은 3분에서 24시간까지이다.

[0181] 전기로, RTA 장치 등이 열 처리를 위해 사용될 수 있다. RTA 장치의 사용으로, 열 처리는 가열 시간이 짧다면 기판의 변형점 이상의 온도에서 수행될 수 있다. 그러므로, 열 처리 시간은 단축될 수 있다.

[0182] 가열되는 동안 산화물 반도체막을 형성하거나 또는 산화물 반도체막의 형성 후 열 처리를 수행함으로써, SIMS에 의해 측정되는 산화물 반도체막에서의 수소 농도는 5×10^{19} atoms/㎤ 이하, 1×10^{19} atoms/㎤ 이하, 5×10^{18} atoms/㎤ 이하, 1×10^{18} atoms/㎤ 이하, 5×10^{17} atoms/㎤ 이하, 또는 1×10^{16} atoms/㎤ 이하일 수 있다.

[0183] 예를 들면, 산화물 반도체막, 예로서 In-Ga-Zn-O 막이 ALD를 이용한 증착 장치를 사용하여 형성되는 경우에, $In(CH_3)_3$ 가스 및 O_3 가스는 In-O 층을 형성하기 위해 복수 회 순차적으로 도입되고, $Ga(CH_3)_3$ 가스 및 O_3 가스는 Ga-O 층을 형성하기 위해 한 번에 도입되며, 그 후 $Zn(CH_3)_2$ 가스 및 O_3 가스는 Zn-O 층을 형성하기 위해 한 번에 도입된다. 이들 층들의 순서는 이 예에 제한되지 않는다는 것을 주의하자. In-Ga-O 층, In-Zn-O 층, 또는 Ga-Zn-O 층과 같은 혼합 화합물 층은 이들 가스들의 혼합에 의해 형성될 수 있다. Ar과 같은 불활성 가스를 통해 버블링함으로써 획득되는 H_2O 가스가 O_3 가스 대신에 사용될 수 있지만, H를 포함하지 않는 O_3 가스를 사용하는 것이 바람직하다는 것을 주의하자. $In(CH_3)_3$ 가스 대신에, $In(C_2H_5)_3$이 사용될 수 있다. $Ga(CH_3)_3$ 가스 대신에, $Ga(C_2H_5)_3$ 가스가 사용될 수 있다. 더욱이, $Zn(CH_3)_2$ 가스가 사용될 수 있다.

[0184] 여기에서, 35 ㎚의 두께를 가진 산화물 반도체막이 스퍼터링 방법에 의해 형성되며, 그 후 열 처리가, 절연막(104)에 포함된 산소가 산화물 반도체막으로 이동되도록 수행된다. 다음으로, 마스크가 산화물 반도체막 위에 형성되며, 산화물 반도체막의 부분이 선택적으로 에칭된다. 이러한 방식으로, 산화물 반도체막(106) 및 산화물 반도체막(206)이 형성된다.

[0185] 열 처리가 350℃ 초과 650℃ 이하, 또는 450℃ 이상 및 600℃ 이하의 온도에서 수행될 때, CAAC의 비율이 60%

이상 및 100% 미만, 80% 이상 및 100% 미만, 90% 이상 및 100% 미만, 또는 95% 이상 및 98% 이하인 산화물 반도체막을 획득하는 것이 가능하다. CAAC의 비율이 CAAC-OS 막의 회절 패턴이 투과 전자 회절 측정 장치를 사용하여 투과 전자 회절 패턴을 측정함으로써 미리 결정된 영역에서 관찰되는 영역의 비율을 나타낸다는 것을 주의하자. 더욱이, 낮은 함량의 수소, 물 등을 가진 산화물 반도체막을 획득하는 것이 가능하다. 즉, 낮은 불순물 농도 및 낮은 밀도의 결함 상태들을 가진 산화물 반도체막이 형성될 수 있다.

[0186] 절연막(108)은 절연막(104)의 형성 방법에 의해 적절하게 형성될 수 있다.

[0187] 도전막(109)이, 예를 들면, 저-저항 재료를 사용하여 형성되는 경우에, 산화물 반도체막으로의 저-저항 재료의 진입은 트랜지스터의 열악한 전기적 특성들을 야기한다. 본 실시형태에서, 절연막(108)은 도전막(109)이 형성되기 전에 형성되며; 따라서 산화물 반도체막(106) 및 산화물 반도체막(206)의 각각에서의 채널은 도전막(109)과 접촉하지 않는다. 그러므로, 트랜지스터의 전기적 특성들, 통상적으로 임계 전압에서의 변화는 억제될 수 있다.

[0188] 절연막(108)으로서, 산화 실리콘막 또는 산화질화 실리콘막이 CVD 방법에 의해 형성된다. 이 경우에, 실리콘 및 산화 가스를 포함한 증착 가스가 바람직하게는 소스 가스로서 사용된다. 실리콘을 포함한 증착 가스의 통상적인 예들은 실란, 디실란, 트리실란, 및 실란 플루오라이드를 포함한다. 산화 가스로서, 산소, 오존, 일산화이질소, 및 이산화질소가 예들로서 주어질 수 있다.

[0189] 적은 결함들을 가진 산화질화 실리콘막이 산화 가스 대 증착 가스의 비가 20배보다 높으며 100배보다 낮거나, 또는 40배 이상 및 80배 이하이며 처리 챔버에서의 압력이 100 Pa 미만이거나, 또는 50 Pa 이하인 조건들 하에서 CVD 방법에 의해 절연막(108)으로서 형성될 수 있다.

[0190] 밀집한 산화 실리콘막 또는 산화질화 실리콘막은 다음의 조건들 하에서 절연막(108)으로서 형성될 수 있다: 진공-배기되는 플라즈마 CVD 장치의 처리 챔버에 위치된 기판은 280℃ 이상 및 400℃ 이하의 온도에서 유지되고, 처리 챔버에서의 압력은 처리 챔버로 소스 가스가 도입되는 상태에서 20 Pa 이상 및 250 Pa 이하, 바람직하게는 100 Pa 이상 및 250 Pa 이하이며, 고-주파수 전력은 처리 챔버에서 제공된 전극에 공급된다.

[0191] 절연막(108)은 마이크로파를 사용하여 플라즈마 CVD 방법에 의해 형성될 수 있다. 마이크로파는 300 MHz 내지 300 GHz의 주파수 범위의 파를 나타낸다. 마이크로파에서, 전자 온도는 낮으며 전자 에너지는 낮다. 더욱이, 공급된 전력에서, 전자들의 가속화를 위해 사용된 전력의 비율은 낮으며, 그러므로, 전력은 보다 많은 분자들의 분리 및 이온화를 위해 사용될 수 있다. 따라서, 높은 밀도를 가진 플라즈마(고-밀도 플라즈마)가 여기될 수 있다. 그러므로, 산화물 반도체막(106), 산화물 반도체막(206), 절연막(104), 및 증착은 플라즈마에 의해 덜 손상되며, 적은 결함들을 가진 절연막(108)이 형성될 수 있다.

[0192] 대안적으로, 절연막(108)은 유기실란 가스를 사용하여 CVD 방법에 의해 형성될 수 있다. 유기실란 가스로서, 다음의 실리콘-포함 화합물 중 임의의 것이 사용될 수 있다: 테트라에틸 오르도실리케이트(TEOS)(화학식: $Si(OC_2H_5)_4$); 테트라메틸실란(TMS)(화학식: $Si(CH_3)_4$); 테트라메틸시클로테트라실록산(TMCTS); 옥타메틸시클로테트라실록산(OMCTS); 헥사메틸디실라잔(HMDS); 트리에톡시실란($SiH(OC_2H_5)_3$); 트리디메틸아미노실란($SiH(N(CH_3)_2)_3$); 등. 높은 피복율을 가진 절연막(108)이 유기실란 가스를 사용하여 CVD 방법에 의해 형성될 수 있다.

[0193] 산화 갈륨막이 절연막(108)으로서 형성되는 경우에, 금속 유기 화학적 기상 증착(MOCVD) 방법이 사용될 수 있다.

[0194] 산화 하프늄막이 MOCVD 방법 또는 ALD 방법과 같은 열적 CVD 방법에 의해 절연막(108)으로서 형성되는 경우에, 두 개의 종류들의 가스들, 즉 산화제로서 오존(O_3) 및 용제 및 하프늄 전구체 화합물을 포함한 액체(테트라키스(디메틸아미드)하프늄(TDMAH)에 의해 대표되는 하프늄 알콕시드 용액)를 증발시킴으로써 획득되는 소스 가스가 사용된다. 테트라키스(디메틸아미드)하프늄의 화학식은 $Hf[N(CH_3)_2]_4$임을 주의하자. 또 다른 재료 액체의 예들은 테트라키스(에틸메틸아미드)하프늄을 포함한다.

[0195] 산화 알루미늄막이 MOCVD 방법 또는 ALD 방법과 같은 열적 CVD 방법에 의해 절연막(108)으로서 형성되는 경우에, 두 개의 종류들의 가스들, 즉 산화제로서 H_2O 및 용제 및 알루미늄 전구체 화합물을 포함한 액체(예로서, 트리메틸알루미늄(TMA))를 증발시킴으로써 획득되는 소스 가스가 사용된다. 트리메틸알루미늄의 화학식은 $Al(CH_3)_3$임을 주의하자. 또 다른 재료 액체의 예들은 트리스(디메틸아미드)알루미늄, 트리이소부틸알루미늄, 및 알루미늄 트리스(2,2,6,6-테트라메틸-3,5-헵탄디오네이트)를 포함한다. ALD 방법은 절연막(108)이 우

수한 피복율을 가지며 작은 두께를 가질 수 있게 한다는 것을 주의하자.

[0196] 산화 실리콘막이 MOCVD 방법 또는 ALD 방법과 같은 열적 CVD 방법에 의해 절연막(108)으로서 형성되는 경우에, 헥사클로로디실란이 산화물 반도체막(106), 산화물 반도체막(206), 및 절연막(104) 상에 흡착되고, 흡착질에 포함된 염소가 제거되며, 산화 가스(예로서, O_2 또는 일산화이질소)의 라디칼들은 흡착질과 반응하기 위해 공급된다.

[0197] 여기에서, 산화질화 실리콘막은 플라즈마 CVD 방법에 의해 절연막(108)으로서 형성된다.

[0198] 다음으로, 마스크가 리소그래피 공정에 의해 절연막(108) 위에 형성된 후, 절연막(108)의 부분이 에칭되며, 그에 의해 산화물 반도체막(106)의 부분을 노출시키는 개구부(140a) 및 개구부(140b) 및 산화물 반도체막(206)의 부분을 노출시키는 개구부(220a) 및 개구부(220b)가 도 8의 (A)에 도시된 바와 같이 형성된다.

[0199] 절연막(108)을 에칭하기 위한 방법으로서, 습식 에칭 방법 및/또는 건식 에칭 방법이 적절히 이용될 수 있다.

[0200] 다음으로, 도 8의 (B)에 도시된 바와 같이, 도전막(109)이 산화물 반도체막(106), 산화물 반도체막(206), 및 절연막(108) 위에 형성된다.

[0201] 도전막(109)은 도전막(201)의 형성 방법에 의해 적절히 형성될 수 있다.

[0202] 다음으로, 마스크(111)가 리소그래피 공정에 의해 도전막(109) 위에 형성된 후, 도전막(109)은 에칭제 및/또는 에칭 가스(123)에 노출되며, 그에 의해 도전막(110), 도전막(112), 도전막(114), 도전막(210), 도전막(212), 및 도전막(214)이 도 8의 (C)에 도시된 바와 같이 형성된다.

[0203] 도전막(109)을 에칭하기 위한 방법으로서, 습식 에칭 방법 및/또는 건식 에칭 방법이 적절히 이용될 수 있다. 도전막(109)이 에칭된 후, 절연막(108)의 측면상에서의 잔여물을 제거하기 위한 세정 단계가 수행될 수 있다는 것을 주의하자. 그 결과, 게이트 전극으로서 작용하는 도전막(114) 및 산화물 반도체막(106) 사이에서 및 게이트 전극으로서 작용하는 도전막(214) 및 산화물 반도체막(206) 사이에서의 누설 전류가 감소될 수 있다.

[0204] 도전막(110), 도전막(112), 도전막(114), 도전막(210), 도전막(212), 및 도전막(214)은 상기 형성 방법 대신에 전해 도금 방법, 인쇄 방법, 잉크젯 방법 등에 의해 형성될 수 있다는 것을 주의하자.

[0205] 다음으로, 도 9의 (A)에 도시된 바와 같이, 불순물 원소(117)가 마스크(111)가 남겨진 상태에서 산화물 반도체막(106) 및 산화물 반도체막(206)에 부가된다. 그 결과, 불순물 원소는 산화물 반도체막들에서 마스크(111)로 덮이지 않는 영역들에 부가된다. 불순물 원소(117)의 부가에 의해, 산소 결손이 산화물 반도체막(106) 및 산화물 반도체막(206)에 형성된다는 것을 주의하자.

[0206] 불순물 원소(117)를 부가하기 위한 방법으로서, 이온 도핑 방법, 이온 주입 방법, 플라즈마 처리 등이 주어질 수 있다. 플라즈마 처리의 경우에, 플라즈마는 부가될 불순물 원소를 포함한 가스 분위기에서 발생되며 플라즈마 처리가 수행되고, 그에 의해 불순물 원소가 부가될 수 있다. 건식 에칭 장치, 플라즈마 CVD 장치, 고-밀도 플라즈마 CVD 장치 등이 플라즈마를 발생시키기 위해 사용될 수 있다.

[0207] 불순물 원소(117)의 소스 가스로서, B_2H_6, PH_3, CH_4, N_2, NH_3, AlH_3, $AlCl_3$, SiH_4, Si_2H_6, F_2, HF, H_2, 및 희가스 중 하나 이상이 사용될 수 있다는 것을 주의하자. 대안적으로, 희가스로 희석되는 B_2H_6, PH_3, N_2, NH_3, AlH_3, $AlCl_3$, F_2, HF, 및 H_2중 하나 이상이 사용될 수 있다. 희가스로 희석되는 B_2H_6, PH_3, N_2, NH_3, AlH_3, $AlCl_3$, F_2, HF, 및 H_2 중 하나 이상을 사용하여 산화물 반도체막(106) 및 산화물 반도체막(206)에 불순물 원소(117)를 부가함으로써, 희가스, 및 수소, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 및 염소 중 하나 이상이 한 번에 산화물 반도체막(106) 및 산화물 반도체막(206)에 부가될 수 있다.

[0208] 대안적으로, 희가스가 산화물 반도체막(106) 및 산화물 반도체막(206)에 부가된 후, B_2H_6, PH_3, CH_4, N_2, NH_3, AlH_3, $AlCl_3$, SiH_4, Si_2H_6, F_2, HF, H_2 중 하나 이상이 산화물 반도체막(106) 및 산화물 반도체막(206)에 부가될 수 있다.

[0209] 다른 대안으로, B_2H_6, PH_3, CH_4, N_2, NH_3, AlH_3, $AlCl_3$, SiH_4, Si_2H_6, F_2, HF, H_2 중 하나 이상이 산화물 반도체막(106) 및 산화물 반도체막(206)에 부가된 후, 희가스가 산화물 반도체막(106) 및 산화물 반도체막(206)에 부가될 수 있다.

[0210] 불순물 원소(117)의 부가는 가속 전압 및 선량과 같은 주입 조건들을 적절히 설정함으로써 제어된다. 예를 들면, 아르곤이 이온 주입 방법에 의해 부가되는 경우에, 가속 전압은 10 kV로 설정되며 선량은 1×10^{13} ions/㎠ 이상 및 1×10^{16} ions/㎠ 이하, 예로서 1×10^{14} ions/㎠로 설정된다. 인 이온이 이온 주입 방법에 의해 부가되는 경우에, 가속 전압은 30 kV로 설정되며 선량은 1×10^{13} ions/㎠ 이상 및 5×10^{16} ions/㎠ 이하, 예로서 1×10^{15} ions/㎠로 설정된다.

[0211] 도 10의 (A) 내지 (C)는 불순물 원소가 산화물 반도체막(106)에 부가될 때 불순물 원소(117)가 두께 방향으로 부가되는 영역의 개념적 다이어그램들이다. 여기에서, 설명은 통상적인 예로서 트랜지스터(150)에 포함된 산화물 반도체막(106)의 부근의 확대도를 사용하여 이루어진다는 것을 주의하자.

[0212] 도 10의 (A)에 도시된 바와 같이, 불순물 원소(117)가 부가되는 영역은 몇몇 경우들에서 절연막(104), 산화물 반도체막(106), 및 절연막(108)에서 형성된다. 불순물 원소(117)가 부가되는 영역의 단부 부분(135)은 산화물 반도체막(106)이 노출되는 영역의 깊이 방향으로 절연막(104) 내에 위치된다는 것을 주의하자. 깊이 방향은 절연막(108)에서 절연막(104)으로 산화물 반도체막(106)의 두께 방향에 평행하는 방향을 나타낸다는 것을 주의하자.

[0213] 대안적으로, 도 10의 (B)에 도시된 바와 같이, 불순물 원소(117)가 부가되는 영역은 몇몇 경우들에서 산화물 반도체막(106) 및 절연막(108)에 형성된다. 불순물 원소(117)가 부가되는 영역의 단부 부분(136)은 산화물 반도체막(106)이 노출되는 영역의 깊이 방향으로 절연막(104) 및 산화물 반도체막(106) 사이의 계면에 위치된다는 것을 주의하자.

[0214] 다른 대안으로, 도 10의 (C)에 도시된 바와 같이, 불순물 원소(117)가 부가되는 영역은 몇몇 경우들에서 산화물 반도체막(106) 및 절연막(108)에 형성된다. 불순물 원소(117)가 부가되는 영역의 단부 부분(137)은 산화물 반도체막(106)이 노출되는 영역의 깊이 방향으로 산화물 반도체막(106) 내부에 위치된다는 것을 주의하자.

[0215] 그 결과, 저-저항 영역들이 산화물 반도체막(106) 및 산화물 반도체막(206)에 형성될 수 있다. 구체적으로, 도 2에 도시된 영역(106b) 및 영역(106c)이 형성될 수 있다. 불순물 원소가 절연막(108)을 통해 산화물 반도체막(106) 및 산화물 반도체막(206)에 부가되기 때문에 영역(106c)의 불순물 원소 농도는 영역(106b)의 불순물 원소 농도보다 낮다는 것을 주의하자. 그 후, 마스크(111)가 도 9의 (B)에 도시된 바와 같이 제거된다.

[0216] 여기에서, 불순물 원소(117)는 마스크(111)를 사용하여 산화물 반도체막(106) 및 산화물 반도체막(206)에 부가되며; 대안적으로, 불순물 원소(117)는 마스크(111)가 제거된 후 마스크들로서 도전막(110), 도전막(112), 도전막(114), 도전막(210), 도전막(212), 및 도전막(214)에 부가될 수 있다는 것을 주의하자.

[0217] 그 후, 열 처리가 불순물 원소(117)가 부가되는 영역의 도전성을 추가로 증가시키기 위해 수행될 수 있다. 열 처리의 온도는 통상적으로 150℃ 이상 및 기판의 변형점 미만, 250℃ 이상 및 450℃ 이하, 또는 300℃ 이상 및 450℃ 이하이다.

[0218] 다음으로, 도 9의 (C)에 도시된 바와 같이, 절연막(116)은 산화물 반도체막(106), 절연막(108), 도전막(110), 도전막(112), 도전막(114), 산화물 반도체막(206), 도전막(210), 도전막(212), 및 도전막(214) 위에 형성되며, 절연막(118)은 절연막(116) 위에 형성될 수 있다.

[0219] 절연막(116) 및 절연막(118)은 절연막(104) 및 절연막(108)의 형성 방법들을 사용하여 적절하게 형성될 수 있다.

[0220] 산소가 열 처리에 의해 방출될 수 있는 산화 실리콘막 또는 산화질화 실리콘막이 다음의 조건들 하에서 절연막(116)으로서 형성될 수 있다는 것을 주의하자: 진공-배기되는 플라즈마 CVD 장치의 처리 챔버에 위치된 기판은 180℃ 이상 및 280℃ 이하, 또는 200℃ 이상 및 240℃ 이하의 온도에서 유지되고, 압력은 처리 챔버로 소스 가스가 도입되는 상태에서 100 Pa 이상 및 250 Pa 이하, 또는 100 Pa 이상 및 200 Pa 이하이며, 0.17 W/㎠ 이상 및 0.5 W/㎠ 이하, 또는 0.25 W/㎠ 이상 및 0.35 W/㎠ 이하의 고-주파수 전력이 처리 챔버에서 제공된 전극에 공급된다.

[0221] 대안적으로, 알루미늄막 또는 산화 알루미늄막이 산화물 반도체막(106), 도전막(110), 도전막(112), 도전막(114), 산화물 반도체막(206), 도전막(210), 도전막(212), 및 도전막(214) 위에 형성된 후 열 처리가 수행되고, 그에 의해 산화물 반도체막(106) 및 산화물 반도체막(206)에 포함된 산소가 도 2에 도시된 영역(106b)에서 알루미늄막 또는 산화 알루미늄막과 반응하며; 따라서 산화 알루미늄막이 절연막(116)으로서 형성되며, 산소 결손이

도 2에 도시된 영역(106b)에 형성된다. 그 결과, 영역(106b)의 도전성이 추가로 증가될 수 있다.

[0222] 그 후, 열 처리가 불순물 원소(117)가 부가되는 영역의 도전성을 추가로 증가시키기 위해 수행될 수 있다. 열 처리의 온도는 통상적으로 150℃ 이상 및 기판의 변형점 미만, 250℃ 이상 및 450℃ 이하, 또는 300℃ 이상 및 450℃ 이하이다.

[0223] 상기 공정을 통해, 트랜지스터(150) 및 트랜지스터(154)가 제조될 수 있다.

[0224] <반도체 장치를 제조하기 위한 방법 2>

[0225] 도 3의 (A) 내지 (C)에 예시된 트랜지스터(151)를 제조하기 위한 방법이 설명된다. 여기에서, 트랜지스터(151)에서 도전막(110), 도전막(112), 및 도전막(114)에 포함되는 도전막(110c), 도전막(112c), 및 도전막(114c)을 형성하기 위한 단계 및 산화물 반도체막(106)에 불순물 원소(117)를 부가하는 단계가 설명된다는 것을 주의하자.

[0226] 도 7의 (A) 내지 (D) 및 도 8의 (A) 내지 (C)에 도시된 단계들을 통해, 절연막(104), 산화물 반도체막(106), 절연막(108), 도전막(110), 도전막(112), 도전막(114), 및 마스크(111)가 기판(102) 위에 형성된다.

[0227] 다음으로, 도 8의 (C)에 도시된 바와 같이, 불순물 원소(117)가 산화물 반도체막(106)에 부가된다.

[0228] 다음으로, 마스크(111)가 제거된다.

[0229] 다음으로, 각각 도전막(110), 도전막(112), 및 도전막(114)에 포함되는 도전막(110b), 도전막(112b), 및 도전막(114b)은 환원성 분위기에서 발생된 플라즈마에 노출되며, 따라서 도전막(110b), 도전막(112b), 및 도전막(114b)의 표면들 상에서의 산화물이 감소된다. 다음으로, 도전막(110b), 도전막(112b), 및 도전막(114b)은 가열이 200℃ 이상 및 400℃ 이하의 온도에서 수행되는 동안 실란에 노출된다. 다음으로, 도전막(110b), 도전막(112b), 및 도전막(114b)은 암모니아 또는 질소의 분위기와 같은, 질소를 포함한 분위기에서 발생된 플라즈마에 노출되며, 그에 의해 $CuSi_xN_y$(x>0, y>0)가 도전막(110c), 도전막(112c), 및 도전막(114c)으로서 형성될 수 있다.

[0230] 암모니아 또는 질소의 분위기와 같은, 질소를 포함한 분위기에서 발생된 플라즈마로의 노출을 수행할 때, 산화물 반도체막(106)이 암모니아 또는 질소의 분위기와 같은, 질소를 포함한 분위기에서 발생된 플라즈마에 노출된다는 것을 주의하자. 그러므로, 질소 및/또는 수소가 산화물 반도체막(106)에 부가될 수 있다.

[0231] 불순물 원소(117)가 산화물 반도체막(106)에 부가되기 전에, 마스크(111)가 제거될 수 있으며, 도전막(110), 도전막(112), 및 도전막(114)에 포함되는 도전막(110c), 도전막(112c), 및 도전막(114c)이 형성될 수 있다는 것을 주의하자.

[0232] 그 후, 도 9의 (B)에 예시된 단계가 수행된다. 이러한 방식으로, 트랜지스터(151)가 제조될 수 있다.

[0233] 본 실시형태에서 설명된 트랜지스터에서, 소스 전극 및 드레인 전극으로서 작용하는 도전막들은 게이트 전극으로서 작용하는 도전막과 중첩하지 않으며, 따라서 기생 용량이 감소될 수 있으며 온-상태 전류는 높다. 더욱이, 본 실시형태에서 설명된 트랜지스터에서, 저-저항 영역이 안정되게 형성될 수 있으며; 그러므로, 온-상태 전류는 더 높으며 트랜지스터의 전기적 특성들에서의 변화는 종래의 트랜지스터에서보다 더 감소된다.

[0234] 본 실시형태에서 설명된 구조들, 방법들 등은 다른 실시형태들에서 설명된 구조들, 방법들 등 중 임의의 것과 조합하여 적절히 사용될 수 있다.

[0235] (실시형태 2)

[0236] 본 실시형태에서, 반도체 장치 및 상기 반도체 장치를 제조하기 위한 방법의 일 실시형태가 도 12의 (A) 및 (B), 도 13, 도 14의 (A) 내지 (C), 도 15의 (A) 내지 (C), 도 16의 (A) 내지 (C), 도 17의 (A) 및 (B), 도 18의 (A) 및 (B), 도 19의 (A) 내지 (C), 도 20의 (A) 내지 (C), 도 21의 (A) 내지 (C), 및 도 22의 (A) 내지 (C)를 참조하여 설명될 것이다. 본 실시형태 및 실시형태 1 사이에서의 차이는 저-저항 영역을 형성하기 위한 방법에 있다는 것을 주의하자.

[0237] <반도체 장치의 구조 1>

[0238] 도 12의 (A) 및 (B) 및 도 17의 (A) 및 (B)에서, 상부-게이트 구조를 가진 트랜지스터가 반도체 장치에 포함된 트랜지스터의 예로서 도시된다.

[0239] 도 17의 (A) 및 (B)는 구동 회로부에 제공된 트랜지스터(194) 및 화소부에 제공된 트랜지스터(190)의 상면도들이다. 도 12의 (A) 및 (B)는 트랜지스터(194) 및 트랜지스터(190)의 단면도들이다. 도 17의 (A)는 트랜지스터(194)의 상면도이며, 도 17의 (B)는 트랜지스터(190)의 상면도이다. 도 12의 (A)는 도 17의 (A)에서 일점쇄선(X1-X2) 및 도 17의 (B)에서 일점쇄선(X3-X4)을 따른 단면도들을 도시한다. 도 12의 (B)는 도 17의 (A)에서 일점쇄선(Y1-Y2) 및 도 17의 (B)에서 일점쇄선(Y3-Y4)을 따른 단면도들을 도시한다. 도 12의 (A)는 채널 길이 방향으로 트랜지스터(190)의 단면도를 도시하며, 도 12의 (B)는 채널 폭 방향으로 트랜지스터(190)의 단면도를 도시한다.

[0240] 도 12의 (A) 및 (B)에 도시된 트랜지스터(190)는 기판(162) 위에 형성된 절연막(164) 위의 산화물 반도체막(166), 상기 산화물 반도체막(166)과 접하는 절연막(168), 절연막(168)의 개구부(180a)의 부분에서 산화물 반도체막(166)과 접하는 도전막(170), 절연막(168)의 개구부(180b)의 부분에서 산화물 반도체막(166)과 접하는 도전막(172), 및 절연막(168)을 개재하여 산화물 반도체막(166)과 중첩하는 도전막(174)을 포함한다. 절연막(176)은 트랜지스터(190) 위에 제공된다는 것을 주의하자. 더욱이, 절연막(178)은 절연막(176) 위에 제공될 수 있다.

[0241] 도 12의 (A) 및 (B)에 도시된 트랜지스터(194)는 기판(162) 위에 형성된 도전막(221), 상기 도전막(221) 위의 절연막(164), 상기 절연막(164) 위의 산화물 반도체막(226), 상기 산화물 반도체막(226)과 접하는 절연막(168), 상기 절연막(168)의 개구부(240a)의 부분에서 산화물 반도체막(226)과 접하는 도전막(230), 상기 절연막(168)의 개구부(240b)의 부분에서 산화물 반도체막(226)과 접하는 도전막(232), 및 절연막(168)을 개재하여 상기 산화물 반도체막(226)과 중첩한 도전막(234)을 포함한다.

[0242] 트랜지스터(194)는 절연막(164)을 개재하여 산화물 반도체막(226)과 중첩하는 도전막(221)을 포함하는 것을 특징으로 한다. 즉, 도전막(221)은 게이트 전극으로서 작용한다. 더욱이, 트랜지스터(194)는 이중-게이트 구조를 가진 트랜지스터이다.

[0243] 트랜지스터(194)의 임계 전압은 서로 접속되지 않는 도전막(234) 및 도전막(221)에 상이한 전위들을 공급함으로써 제어될 수 있다. 대안적으로, 도 17의 (A)에 도시된 바와 같이, 개구부(183)를 통해 서로 접속되는 도전막(234) 및 도전막(221)에 동일한 전위를 공급함으로써, 초기 특성들에서의 변화들이 감소될 수 있으며, -GBT 응력 테스트 및 상이한 드레인 전압들에서의 온-상태 전류의 상승 전압에서의 변화로 인한 트랜지스터의 열화가 억제될 수 있다. 또한, 캐리어들이 산화물 반도체막(226)에서 흐르는 영역은 막 두께 방향으로 더 커지며, 따라서 캐리어 움직임의 양은 증가된다. 그 결과, 트랜지스터(194)의 온-상태 전류 및 전계-효과 이동도는 증가된다. 트랜지스터(194)의 채널 길이가 2.5 ㎛ 미만, 바람직하게는 1.45 ㎛ 이상 및 2.2 ㎛ 이하로 설정될 때, 온-상태 전류는 추가로 증가될 수 있고, 전계-효과 이동도는 증가될 수 있다.

[0244] 본 실시형태에서 설명된 표시 장치에서, 구동 회로부에서의 트랜지스터 및 화소부에서의 트랜지스터는 상이한 구조들을 가진다. 구동 회로부에 포함된 트랜지스터는 이중-게이트 구조를 가진다. 즉, 구동 회로부에 포함된 트랜지스터의 전계-효과 이동도는 화소부에 포함된 트랜지스터의 것보다 높다.

[0245] 더욱이, 표시 장치에서, 구동 회로부에 포함된 트랜지스터 및 화소부에 포함된 트랜지스터는 상이한 채널 길이들을 가질 수 있다.

[0246] 통상적으로, 구동 회로부에 포함된 트랜지스터(194)의 채널 길이는 2.5 ㎛ 미만, 또는 1.45 ㎛ 이상 및 2.2 ㎛ 이하일 수 있다. 화소부에 포함된 트랜지스터(190)의 채널 길이는 2.5 ㎛ 이상, 또는 2.5 ㎛ 이상 및 20 ㎛ 이하일 수 있다.

[0247] 구동 회로부에 포함된 트랜지스터(194)의 채널 길이가 2.5 ㎛ 미만, 바람직하게는 1.45 ㎛ 이상 및 2.2 ㎛ 이하일 때, 화소부에 포함된 트랜지스터(190)와 비교하여, 전계-효과 이동도는 증가될 수 있고, 온-상태 전류의 양은 증가될 수 있다. 결과적으로, 고속 동작이 가능한 구동 회로부가 형성될 수 있다.

[0248] 구동 회로부에서의 트랜지스터가 높은 전계-효과 이동도를 가질 때, 입력 단자들의 수는 작아질 수 있다. 더욱이, 화소부에 포함된 트랜지스터의 온-상태 전류가 증가될 수 있기 때문에, 화소부에서의 표시 불균일성이 억제될 수 있다.

[0249] 산화물 반도체막(166)에서, 산소 결손을 형성하는 요소가 도전막(170), 도전막(172), 및 도전막(174)과 중첩하지 않는 영역에 포함된다. 산화물 반도체막(226)에서, 산소 결손을 형성하는 요소가 도전막(230), 도전막(232), 및 도전막(234)과 중첩하지 않는 영역에 포함된다. 이후, 산소 결손들을 형성하는 요소들은 불순물 원소들로서 설명된다. 불순물 원소들의 통상적인 예들은 수소, 희가스 원소들 등이다. 희가스 원소들의 통상적인 예들은 헬

륨, 네온, 아르곤, 크립톤, 및 제논이다. 더욱이, 불순물 원소로서, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 염소 등이 산화물 반도체막(166) 및 산화물 반도체막(226)에 포함될 수 있다.

[0250] 절연막(176)은 수소를 포함한 막이며, 질화물 절연막은 그것의 통상적인 예이다. 절연막(176)은 산화물 반도체막(166) 및 산화물 반도체막(226)과 접촉한다. 그러므로, 절연막(176)에 포함된 수소는 산화물 반도체막(166) 및 산화물 반도체막(226)으로 확산된다. 그 결과, 많은 수소가 산화물 반도체막(166) 및 산화물 반도체막(226)에서의 절연막(176)과 접하는 영역에 포함된다.

[0251] 희가스 원소가 불순물 원소로서 산화물 반도체막에 부가될 때, 산화물 반도체막에서 금속 원소 및 산소 사이에서의 결합은 절단되며, 그에 의해 산소 결손이 형성된다. 산화물 반도체막에 포함된 산소 결손 및 수소 사이에서의 상호 작용에 의해, 산화물 반도체막의 도전성이 증가된다. 구체적으로, 수소가 산화물 반도체막에서 산소 결손에 들어가 때, 캐리어로서 작용하는 전자가 발생된다. 그 결과, 도전성이 증가된다.

[0252] 도 13은 산화물 반도체막(166)의 부근의 확대도이다. 설명은 통상적인 예로서 트랜지스터(190)에 포함된 산화물 반도체막(166)의 부근의 확대도를 사용하여 이루어진다는 것을 주의하자. 도 13에 도시된 바와 같이, 산화물 반도체막(166)은 도전막(170) 또는 도전막(172)과 접하는 영역(166a), 절연막(176)과 접하는 영역(166b), 및 절연막(168)과 중첩하는 영역(166c) 및 영역(166d)을 포함한다.

[0253] 영역들(166a)은 소스 영역 및 드레인 영역으로서 작용한다. 실시형태 1에서 설명된 영역들(106a)처럼, 도전막(170) 및 도전막(172)과 접하는 영역들(166a)은 높은 도전성을 가지며 소스 영역 및 드레인 영역으로서 작용한다.

[0254] 영역(166b) 및 영역(166c)은 저-저항 영역들로서 작용한다. 영역(166b) 및 영역(166c)은 불순물 원소들로서 적어도 희가스 및 수소를 포함한다. 영역(166b)의 불순물 원소 농도는 영역(166c)의 불순물 원소 농도보다 높다는 것을 주의하자. 도전막(174)의 측면이 테이퍼링된 형태를 갖는 경우에, 영역(166c)의 부분은 도전막(174)과 중첩할 수 있다.

[0255] 산화물 반도체막(166)이 스퍼터링 방법에 의해 형성되는 경우에, 영역들(166a 내지 166d) 각각은 희가스 원소를 포함한다. 또한, 영역들(166b 및 166c)의 각각의 희가스 원소 농도는 영역들(166a 및 166d)의 각각의 것보다 높다. 이유들은 다음과 같다: 산화물 반도체막(166)이 스퍼터링 방법에 의해 형성되는 경우에, 희가스는 스퍼터링 가스로서 사용되어, 산화물 반도체막(166)이 희가스를 포함하도록 하며; 희가스는 영역들(166b 및 166c)에서 산소 결손들을 형성하기 위해 영역들(166b 및 166c)에 의도적으로 부가된다. 영역들(166a 및 166d)에 부가된 것과 상이한 희가스 원소는 영역들(166b 및 166c)에 부가될 수 있다는 것을 주의하자.

[0256] 영역(166b)은 절연막(176)과 접촉하므로, 영역(166b)에서 수소의 농도는 영역(166a)에서의 수소의 농도 및 영역(166d)에서 수소의 농도보다 높다. 수소가 영역(166b)에서 영역(166c)으로 확산되는 경우에, 영역(166c)에서 수소의 농도는 영역(166a)에서 수소의 농도 및 영역(166d)에서 수소의 농도보다 높다. 영역(166b)에서 수소의 농도는 영역(166c)에서 수소의 농도보다 높다는 것을 주의하자.

[0257] 영역들(166b 및 166c)에서, SIMS에 의해 측정되는 수소의 농도는 8×10^{19} atoms/㎤ 이상, 1×10^{20} atoms/㎤ 이상, 또는 5×10^{20} atoms/㎤ 이상일 수 있다. 영역들(166a 및 166d)에서, SIMS에 의해 측정되는 수소의 농도는 5×10^{19} atoms/㎤ 이하, 1×10^{19} atoms/㎤ 이하, 5×10^{18} atoms/㎤ 이하, 1×10^{18} atoms/㎤ 이하, 5×10^{17} atoms/㎤ 이하, 또는 1×10^{16} atoms/㎤ 이하일 수 있다는 것을 주의하자.

[0258] 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 또는 염소가 불순물 원소로서 산화물 반도체막(166)에 부가되는 경우에, 불순물 원소는 단지 영역들(166b 및 166c)에만 포함된다. 따라서, 영역들(166b 및 166c)의 각각의 불순물 원소 농도는 영역들(166a 및 166d)의 각각의 불순물 원소 농도보다 높다. 영역(166b) 및 영역(166c)에서, SIMS에 의해 측정되는 불순물 원소 농도는 5×10^{18} atoms/㎤ 이상 및 1×10^{22} atoms/㎤ 이하, 1×10^{19} atoms/㎤ 이상 및 1×10^{21} atoms/㎤ 이하, 또는 5×10^{19} atoms/㎤ 이상 및 5×10^{20} atoms/㎤ 이하일 수 있다는 것을 주의하자.

[0259] 영역들(166b 및 166c)은 불순물 원소들의 부가 때문에 영역(166d)보다 높은 수소 농도들을 가지며 영역(166d)보다 더 많은 산소 결손들을 가진다. 그러므로, 영역들(166b 및 166c)은 보다 높은 도전성을 가지며 저-저항 영역들로서 작용한다. 따라서, 영역들(166b 및 166c)의 저항률은 1×10^{-3} Ωcm 이상 및 1×10^{4} Ωcm 미만, 또는 1×

10^{-3} Ωcm 이상 및 1×10^{-1} Ωcm 미만일 수 있다.

[0260] 영역(166b) 및 영역(166c)에서, 수소의 양이 산소 결손의 양보다 작거나 또는 같을 때, 수소는 산소 결손에 의해 쉽게 포획되며 채널로서 작용하는 영역(166d)으로 쉽게 확산되지 않는다는 것을 주의하자. 그 결과, 노멀리-오프 트랜지스터가 제조될 수 있다.

[0261] 더욱이, 산소 결손의 양이 영역(166b) 및 영역(166c)에서의 수소의 양보다 큰 경우에, 영역(166b) 및 영역(166c)의 캐리어 밀도는 수소의 양을 제어함으로써 제어될 수 있다. 대안적으로, 수소의 양이 영역(166b) 및 영역(166c)에서의 산소 결손의 양보다 큰 경우에, 영역(166b) 및 영역(166c)의 캐리어 밀도는 산소 결손의 양을 제어함으로써 제어될 수 있다. 영역(166b) 및 영역(166c)의 캐리어 밀도가 5×10^{18}/㎤ 이상, 1×10^{19}/㎤ 이상, 또는 1×10^{20}/㎤ 이상일 때, 채널, 및 소스 및 드레인 영역들 사이에서의 저항이 작으며 온-상태 전류가 높은 트랜지스터가 형성될 수 있다는 것을 주의하자.

[0262] 영역(166d)은 채널로서 작용한다.

[0263] 절연막(168)에서, 산화물 반도체막(166) 및 도전막(174)과 중첩하는 영역 및 산화물 반도체막(226) 및 도전막(234)과 중첩하는 영역은 게이트 절연막들로서 작용한다. 더욱이, 절연막(168)에서, 산화물 반도체막(166) 및 도전막들(170 및 172)과 중첩하는 영역들 및 산화물 반도체막(226) 및 도전막들(230 및 232)과 중첩하는 영역들은 층간 절연막들로서 작용한다.

[0264] 도전막(170) 및 도전막(172)은 소스 전극 및 드레인 전극으로서 작용하며, 도전막(230) 및 도전막(232)은 소스 전극 및 드레인 전극으로서 작용한다. 도전막(174) 및 도전막(234)은 게이트 전극들로서 작용한다.

[0265] 본 실시형태에서 설명된 트랜지스터들(190 및 194)에서, 저-저항 영역들로서 작용하는 영역들(166b 및 166c)은 채널로서 작용하는 영역(166d) 및 소스 영역 및 드레인 영역으로서 작용하는 영역들(166a) 사이에서 제공된다. 채널 및 소스 영역 및 드레인 영역 사이에서의 저항은 감소될 수 있으며, 트랜지스터(190) 및 트랜지스터(194)는 높은 온-상태 전류 및 높은 전계-효과 이동도를 가진다.

[0266] 트랜지스터(190) 및 트랜지스터(194)를 제조하는 공정에서, 게이트 전극들로서 작용하는 도전막(174) 및 도전막(234) 및 소스 전극 및 드레인 전극으로서 작용하는 도전막들(170 및 172)은 동시에 형성된다. 따라서, 트랜지스터(190)에서, 도전막(174)은 도전막들(170 및 172)과 중첩하지 않으며, 도전막(174) 및 도전막들(170 및 172)의 각각 사이에서의 기생 용량은 감소될 수 있다. 더욱이, 트랜지스터(194)에서, 도전막(234)은 도전막들(230 및 232)과 중첩하지 않으며, 도전막(234) 및 도전막들(230 및 232)의 각각 사이에서의 기생 용량은 감소될 수 있다. 그 결과, 대면적 기판이 기판(162)으로서 사용되는 경우에, 도전막(170), 도전막(172), 도전막(174), 도전막(230), 도전막(232), 및 도전막(234)에서의 신호 지연이 감소될 수 있다.

[0267] 트랜지스터(190)에서, 산소 결손을 포함한 영역은 마스크들로서 도전막(170), 도전막(172), 및 도전막(174)을 사용하여 산화물 반도체막(166)에 희가스 원소를 부가함으로써 형성된다. 더욱이, 트랜지스터(194)에서, 산소 결손을 포함한 영역은 마스크들로서 도전막(230), 도전막(232), 및 도전막(234)을 사용하여 산화물 반도체막(226)에 불순물 원소를 부가함으로써 형성된다. 더욱이, 산소 결손을 포함한 영역이 수소를 포함한 절연막(176)과 접촉하기 때문에, 절연막(176)에 포함된 수소는 산소 결손을 포함한 영역으로 확산되며, 따라서 저-저항 영역이 형성된다. 즉, 저-저항 영역은 자가-정렬 방식으로 형성될 수 있다.

[0268] 본 실시형태에서 설명된 트랜지스터(190) 및 트랜지스터(194)에서, 희가스는 산소 결손을 형성하기 위해 영역(166b) 및 영역(166c)에 부가되며, 뿐만 아니라 수소가 부가된다. 그러므로, 영역(166b) 및 영역(166c)의 도전성은 증가될 수 있으며, 트랜지스터들 사이에서 영역(166b) 및 영역(166c)의 도전성에서의 변화가 감소될 수 있다. 즉, 영역(166b) 및 영역(166c)에 희가스 및 수소를 부가함으로써, 영역(166b) 및 영역(166c)의 도전성이 제어될 수 있다.

[0269] 도 12의 (A) 및 (B)에 도시된 구조가 이하에서 상세히 설명된다.

[0270] 기판(162)으로서, 실시형태 1에 설명된 기판(102)이 적절히 사용될 수 있다.

[0271] 절연막(164)은 실시형태 1에서의 절연막(104)에 대한 재료를 사용하여, 적절히 형성될 수 있다.

[0272] 산화물 반도체막(166) 및 산화물 반도체막(226)은 실시형태 1에서의 산화물 반도체막(106)의 재료 및 구조를 사용하여, 적절히 형성될 수 있다.

[0273] 절연막(168)은 실시형태 1에서의 절연막(108)에 대한 재료를 사용하여 적절히 형성될 수 있다.

[0274] 도전막들(170, 172, 및 174) 및 도전막들(230, 232, 및 234)은 실시형태 1에서의 도전막들(110, 112, 및 114)에 대한 재료를 사용하여 적절히 형성될 수 있다.

[0275] 절연막(176)은 수소를 포함한 막이며, 질화물 절연막은 그것의 통상적인 예이다. 질화물 절연막은 질화 실리콘, 알루미늄 질화물 등을 사용하여 형성될 수 있다.

[0276] 절연막(178)은 실시형태 1에서의 절연막(118)에 대한 재료를 사용하여 적절히 형성될 수 있다.

[0277] <반도체 장치의 구조 2>

[0278] 다음으로, 반도체 장치의 또 다른 구조가 도 14의 (A) 내지 (C)를 참조하여 설명된다. 여기에서, 설명은 화소부에 포함된 트랜지스터(190)의 수정 예로서 트랜지스터(191)를 사용하여 이루어진다. 절연막(164)의 구조 또는 트랜지스터(191)의 도전막(170), 도전막(172), 및 도전막(174)의 구조들은 구동 회로부에서의 트랜지스터(194)를 위해 적절히 사용될 수 있다.

[0279] 도 14의 (A) 내지 (C)는 반도체 장치에 포함된 트랜지스터(191)의 상면도 및 단면도들이다. 도 14의 (A)는 트랜지스터(191)의 상면도이다. 도 14의 (B)는 도 14의 (A)에서 일점쇄선(Y3-Y4)을 따른 단면도이다. 도 14의 (C)는 도 14의 (A)에서 일점쇄선(X3-X4)을 따른 단면도이다.

[0280] 도 14의 (A) 내지 (C)에 도시된 트랜지스터(191)는 도전막(170), 도전막(172), 및 도전막(174) 각각이 3-층 구조를 가진다는 점 및 절연막(164)이 질화물 절연막(164a) 및 산화물 절연막(164b)의 적층 구조를 가진다는 점을 특징으로 한다. 다른 구성요소들은 트랜지스터(190)의 것들과 동일하며, 트랜지스터(190)의 경우에서의 것과 유사한 효과가 획득된다.

[0281] 첫 번째로, 도전막(170), 도전막(172), 및 도전막(174)이 설명된다.

[0282] 도전막(170)에서, 도전막(170a), 도전막(170b), 및 도전막(170c)은 이러한 순서로 적층되며, 도전막(170a) 및 도전막(170c)은 도전막(170b)의 표면들을 덮는다. 즉, 도전막(170a) 및 도전막(170c)은 도전막(170b)의 보호 막들로서 작용한다.

[0283] 도전막(172)에서, 도전막(172a), 도전막(172b), 및 도전막(172c)은 이러한 순서로 적층되며, 도전막(172a) 및 도전막(172c)은 도전막(170)의 것과 유사한 방식으로, 도전막(172b)의 표면들을 덮는다.

[0284] 도전막(174)에서, 도전막(174a), 도전막(174b), 및 도전막(174c)은 이러한 순서로 적층되며, 도전막(174a) 및 도전막(174c)은 도전막(170)의 것과 유사한 방식으로, 도전막(174b)의 표면들을 덮는다.

[0285] 실시형태 1에서의 도전막(110a), 도전막(112a), 및 도전막(114a)처럼, 도전막(170a), 도전막(172a), 및 도전막(174a)은 도전막(170b), 도전막(172b), 및 도전막(174b)에 포함된 금속 원소가 산화물 반도체막(166)으로 확산되는 것을 방지하는 재료를 사용하여 적절히 형성될 수 있다.

[0286] 실시형태 1에서의 도전막(110b), 도전막(112b), 및 도전막(114b)처럼, 도전막(170b), 도전막(172b), 및 도전막(174b)은 저-저항 재료를 사용하여 적절히 형성될 수 있다.

[0287] 실시형태 1에서의 도전막(110c), 도전막(112c), 및 도전막(114c)처럼, 도전막(170c), 도전막(172c), 및 도전막(174c)은 도전막(170b), 도전막(172b), 및 도전막(174b)에 포함된 금속 원소가 패시베이션의 대상이 되는 막을 사용하여 형성될 수 있다. 그 결과, 도전막(170b), 도전막(172b), 및 도전막(174b)에 포함된 금속 원소는 절연막(176)을 형성하는 단계에서 산화물 반도체막(166)으로 이동하는 것이 방지될 수 있다.

[0288] 다음으로, 질화물 절연막(164a) 및 산화물 절연막(164b)이 적층되는 절연막(164)이 설명된다.

[0289] 질화물 절연막(164a) 및 산화물 절연막(164b)은 실시형태 1에서의 질화물 절연막(104a) 및 산화물 절연막(104b)에 대한 재료를 사용하여 적절히 형성될 수 있다.

[0290] <반도체 장치의 구조 3>

[0291] 다음으로, 반도체 장치의 또 다른 구조가 도 15의 (A) 내지 (C) 및 도 16의 (A) 내지 (C)를 참조하여 설명된다. 여기에서, 설명은 화소부에 포함된 트랜지스터(190)의 수정 예들로서 트랜지스터(192) 및 트랜지스터(193)를 사용하여 이루어진다. 트랜지스터(192)에 포함된 산화물 반도체막(166)의 구조 또는 트랜지스터(193)에 포함된 산화물 반도체막(166)의 구조는 구동 회로부에서의 트랜지스터(194)를 위해 적절히 사용될 수 있다.

[0292] 도 15의 (A) 내지 (C)는 반도체 장치에 포함된 트랜지스터(192)의 상면도 및 단면도들이다. 도 15의 (A)는 트랜지스터(192)의 상면도이다. 도 15의 (B)는 도 15의 (A)에서 일점쇄선(Y3-Y4)을 따른 단면도이다. 도 15의 (C)는 도 15의 (A)에서 일점쇄선(X3-X4)을 따른 단면도이다.

[0293] 도 15의 (A) 내지 (C)에 도시된 트랜지스터(192)는 산화물 반도체막(166)이 다층 구조를 갖는다는 점을 특징으로 한다. 구체적으로, 산화물 반도체막(166)은 절연막(164)과 접하는 산화물 반도체막(167a), 상기 산화물 반도체막(167a)과 접하는 산화물 반도체막(167b), 및 상기 산화물 반도체막(167b), 도전막(170), 도전막(172), 절연막(168), 및 절연막(176)과 접하는 산화물 반도체막(167c)을 포함한다. 다른 구성요소들은 트랜지스터(190)의 것들과 동일하며 트랜지스터(190)의 경우에서의 것과 유사한 효과가 획득된다.

[0294] 산화물 반도체막(167a), 산화물 반도체막(167b), 및 산화물 반도체막(167c)은 실시형태 1에서의 산화물 반도체막(107a), 산화물 반도체막(107b), 및 산화물 반도체막(107c)의 재료 및 결정 구조를 사용하여 적절히 형성될 수 있다.

[0295] 그 각각에서 산소 결손들이 산화물 반도체막(167b)에서보다 발생될 가능성이 적은 산화물 반도체막(167a) 및 산화물 반도체막(167c)이 산화물 반도체막(167b)의 상부 표면 및 하부 표면과 접촉하여 제공되며, 그에 의해 산화물 반도체막(167b)에서의 산소 결손들이 감소될 수 있다. 더욱이, 산화물 반도체막(167b)은 산화물 반도체막(167b)을 형성하는 하나 이상의 금속 원소들을 포함하는 산화물 반도체막(167a) 및 산화물 반도체막(167c)과 접촉하기 때문에, 산화물 반도체막(167a) 및 산화물 반도체막(167b) 사이의 계면에서 및 산화물 반도체막(167b) 및 산화물 반도체막(167c) 사이의 계면에서 계면 준위들의 밀도들은 매우 낮다. 따라서, 산화물 반도체막(167b)에서의 산소 결손들은 감소될 수 있다.

[0296] 더욱이, 산화물 반도체막(167a)을 제공하는 것은 임계 전압과 같은, 트랜지스터의 전기적 특성들에서의 변화들을 감소시키는 것을 가능하게 한다.

[0297] 더욱이, 산화물 반도체막(167b)을 형성하는 하나 이상의 종류들의 금속 원소들을 포함한 산화물 반도체막(167c)이 산화물 반도체막(167b)과 접촉하여 제공되기 때문에, 캐리어들의 산란은 산화물 반도체막(167b) 및 산화물 반도체막(167c) 사이의 계면에서 쉽게 발생하지 않으며, 따라서 트랜지스터의 전계-효과 이동도는 증가될 수 있다.

[0298] 더욱이, 산화물 반도체막(167a) 및 산화물 반도체막(167c) 각각은 또한 산화물 반도체막(167b)으로의 절연막들(164 및 168)의 구성 원소 또는 도전막들(170 및 172)의 구성 원소의 진입으로 인한 불순물 상태의 형성을 억제하는 배리어 막으로서 작용한다.

[0299] 상기로부터, 임계 전압과 같은 전기적 특성들에서의 변화가 본 실시형태에서 설명된 트랜지스터에서 감소된다.

[0300] 도 16의 (A) 내지 (C)는 도 15의 (A) 내지 (C)에 도시된 것과 상이한 구조를 가진 트랜지스터를 도시한다.

[0301] 도 16의 (A) 내지 (C)는 반도체 장치에 포함된 트랜지스터(193)의 상면도 및 단면도들이다. 도 16의 (A)는 트랜지스터(193)의 상면도이다. 도 16의 (B)는 도 16의 (A)에서 일점쇄선(Y3-Y4)을 따른 단면도이다. 도 16의 (C)는 도 16의 (A)에서 일점쇄선(X3-X4)을 따른 단면도이다.

[0302] 도 16의 (A) 내지 (C)에 도시된 트랜지스터(193)에서처럼, 산화물 반도체막(166)은 절연막(164)과 접하는 산화물 반도체막(167b) 및 산화물 반도체막(167b) 및 절연막(168)과 접하는 산화물 반도체막(167c)을 포함한 적층 구조를 가질 수 있다. 다른 구성요소들은 트랜지스터(190)의 것들과 동일하며 트랜지스터(190)의 경우에서의 것과 유사한 효과가 획득된다.

[0303] <반도체 장치를 제조하기 위한 방법 1>

[0304] 다음으로, 도 12의 (A) 및 (B)에 예시된 트랜지스터(190) 및 트랜지스터(194)를 제조하기 위한 방법이 도 18의 (A) 및 (B), 도 19의 (A) 내지 (C), 및 도 20의 (A) 내지 (C)를 참조하여 설명될 것이다.

[0305] 도 18의 (A)에 도시된 바와 같이, 도전막(221)은 기판(162) 위에 형성되며, 절연막(164)은 도전막(221) 위에 형성된다.

[0306] 도전막(221)은 실시형태 1에서의 도전막(201)의 형성 방법에 의해 적절히 형성될 수 있다.

[0307] 절연막(164)은 실시형태 1에서의 절연막(104)의 형성 방법에 의해 적절히 형성될 수 있다.

[0308] 다음으로, 산화물 반도체막(166) 및 산화물 반도체막(226)이 도 18의 (B)에 도시된 바와 같이 절연막(164) 위에

형성된다. 다음으로, 절연막(168)은 절연막(164), 산화물 반도체막(166), 및 산화물 반도체막(226) 위에 형성된다. 산화물 반도체막(166), 산화물 반도체막(226), 및 절연막(168)은 실시형태 1에서의 산화물 반도체막(106) 및 절연막(108)의 형성 방법에 의해 적절히 형성될 수 있다.

[0309] 다음으로, 마스크가 리소그래피 공정에 의해 절연막(168) 위에 형성된 후, 절연막(168)의 부분이 에칭되며, 그에 의해 산화물 반도체막(166)의 부분을 노출시키는 개구부(180a) 및 개구부(180b) 및 산화물 반도체막(226)의 부분을 노출시키는 개구부(240a) 및 개구부(240b)가 도 19의 (A)에 도시된 바와 같이 형성된다.

[0310] 다음으로, 도 19의 (B)에 도시된 바와 같이, 도전막(169)은 산화물 반도체막(166), 산화물 반도체막(226), 및 절연막(168) 위에 형성된다.

[0311] 도전막(169)은 실시형태 1에서의 도전막(201)의 형성 방법에 의해 적절히 형성될 수 있다.

[0312] 다음으로, 마스크(111)가 리소그래피 공정에 의해 도전막(169) 위에 형성된 후, 도전막(169)은 에칭제 및/또는 에칭 가스(167)에 노출되며, 그에 의해 도전막(170), 도전막(172), 도전막(174), 도전막(230), 도전막(232), 및 도전막(234)이 도 19의 (C)에 도시된 바와 같이 형성된다.

[0313] 도전막(169)을 에칭하기 위한 방법으로서, 습식 에칭 방법 및/또는 건식 에칭 방법이 적절히 이용될 수 있다.

[0314] 도전막(170), 도전막(172), 도전막(174), 도전막(230), 도전막(232), 및 도전막(234)은 상기 형성 방법 대신에 전해 도금 방법, 인쇄 방법, 잉크젯 방법 등에 의해 형성될 수 있다는 것을 주의하자.

[0315] 다음으로, 도 20의 (A)에 도시된 바와 같이, 마스크(111)가 남겨진 상태에서 갖고 불순물 원소(177)로서 희가스가 산화물 반도체막(166) 및 산화물 반도체막(226)에 부가된다. 그 결과, 불순물 원소는 산화물 반도체막들에서 마스크(111)로 덮이지 않은 영역들에 부가된다. 불순물 원소(177)의 부가에 의해, 산소 결손이 산화물 반도체막에 형성된다는 것을 주의하자.

[0316] 불순물 원소(177)를 부가하기 위한 방법으로서, 실시형태 1에 설명된 불순물 원소(117)를 부가하기 위한 방법이 적절히 사용될 수 있다.

[0317] 도 21의 (A) 내지 (C)는 불순물 원소가 산화물 반도체막(166)에 부가될 때 불순물 원소(177)가 두께 방향으로 부가되는 영역의 개념적 다이어그램들이다. 여기에서, 설명은 통상적인 예로서 트랜지스터(190)에 포함된 산화물 반도체막(166)의 부근의 확대도를 사용하여 이루어진다는 것을 주의하자.

[0318] 도 21의 (A)에 도시된 바와 같이, 불순물 원소(117)가 부가되는 영역은 몇몇 경우들에서 절연막(164), 산화물 반도체막(166), 및 절연막(168)에서 형성된다. 불순물 원소(177)가 부가되는 영역의 단부 부분(195)은 산화물 반도체막(166)이 노출되는 영역의 깊이 방향으로 절연막(164) 내에 위치된다는 것을 주의하자.

[0319] 대안적으로, 도 21의 (B)에 도시된 바와 같이, 불순물 원소(177)가 부가되는 영역은 몇몇 경우들에서 산화물 반도체막(166) 및 절연막(168)에 형성된다. 불순물 원소(177)가 부가되는 영역의 단부 부분(196)은 산화물 반도체막(166)이 노출되는 영역의 깊이 방향으로 절연막(164) 및 산화물 반도체막(166) 사이의 계면에 위치된다는 것을 주의하자.

[0320] 다른 대안으로, 도 21의 (C)에 도시된 바와 같이, 불순물 원소(177)가 부가되는 영역은 몇몇 경우들에서 산화물 반도체막(166) 및 절연막(168)에 형성된다. 불순물 원소(177)가 부가되는 영역의 단부 부분(197)은 산화물 반도체막(166)이 노출되는 영역의 깊이 방향으로 산화물 반도체막(166) 내부에 위치된다는 것을 주의하자.

[0321] 그 후, 마스크(111)가 도 20의 (B)에 도시된 바와 같이 제거된다.

[0322] 여기에서, 불순물 원소(177)는 마스크(111)를 사용하여 산화물 반도체막(166) 및 산화물 반도체막(226)에 부가되며; 대안적으로, 불순물 원소(177)는 마스크(111)가 제거된 후 마스크들로서 도전막(170), 도전막(172), 도전막(174), 도전막(230), 도전막(232), 및 도전막(234)을 사용하여 산화물 반도체막(166) 및 산화물 반도체막(226)에 부가될 수 있다는 것을 주의하자.

[0323] 산화물 반도체막(166) 및 산화물 반도체막(226)이 손상되며 산소 결손이 도전막(169)을 형성하는 단계, 도전막(169)을 에칭하는 단계, 또는 나중에 설명될 절연막(176)을 형성하는 단계에서 형성되는 경우에, 불순물 원소(177)가 반드시 부가되는 것은 아니다.

[0324] 다음으로, 도 20의 (C)에 도시된 바와 같이, 절연막(176)은 산화물 반도체막(166), 절연막(168), 도전막(170), 도전막(172), 도전막(174), 산화물 반도체막(226), 도전막(230), 도전막(232), 및 도전막(234) 위에 형성될 수

있으며, 절연막(178)은 절연막(176) 위에 형성될 수 있다.

[0325] 절연막(176)을 형성하기 위한 방법으로서, 스퍼터링 방법, CVD 방법, 진공 증착 방법, 펄스드 레이저 증착(PLD) 방법 등이 주어진다. 수소를 포함한 질화 실리콘막은 소스 가스로서 실란 및 암모니아를 사용하여 또는 소스 가스로서 실란 및 질소를 사용하여 플라즈마 CVD 방법에 의해 형성될 수 있다는 것을 주의하자. 더욱이, 플라즈마 CVD 방법을 사용함으로써, 산화물 반도체막(166)이 손상될 수 있으며, 산소 결손이 산화물 반도체막(166)에서 형성될 수 있다.

[0326] 수소가 절연막(176)에 포함되므로, 절연막(176)이 불순물 원소가 산화물 반도체막(166) 및 산화물 반도체막(226)에 부가되는 영역과 접촉할 때, 절연막(176)에 포함된 수소는 불순물 원소가 산화물 반도체막에 부가되는 영역으로 이동한다. 산소 결손이 불순물 원소가 부가되는 영역에 포함되므로, 저-저항 영역이 산화물 반도체막(166) 및 산화물 반도체막(226)에서 형성될 수 있다. 구체적으로, 도 13에 도시된 영역(166b) 및 영역(166c)이 형성될 수 있다. 불순물 원소가 절연막(168)을 통해 산화물 반도체막(166) 및 산화물 반도체막(226)에 부가되기 때문에 영역(166c)의 불순물 원소 농도는 영역(166b)의 불순물 원소 농도보다 낮다는 것을 주의하자.

[0327] 가열이 수행되는 동안 절연막(176)을 형성함으로써, 산화물 반도체막에 포함된 수소가 확산된다. 그러나, 수소가 산소 결손으로 이동할 때, 수소는 에너지에 대해 안정되게 되며; 그러므로 수소는 산소 결손으로부터 이동할 가능성이 낮다. 더욱이, 산소 결손 및 수소 사이에서의 상호 작용에 의해, 캐리어로서 작용하는 전자가 생성된다. 따라서, 가열이 수행되는 동안 절연막(176)을 형성함으로써, 도전성에서의 작은 변화를 가진 저-저항 영역이 형성될 수 있다.

[0328] 그 후, 열 처리가 불순물 원소(177)가 부가되는 영역의 도전성을 추가로 증가시키기 위해 수행될 수 있다. 열 처리는 통상적으로 150℃ 이상 및 기판의 변형점 미만, 250℃ 이상 및 450℃ 이하, 또는 300℃ 이상 및 450℃ 이하의 온도에서 수행된다. 그 결과, 저-저항 영역의 도전성은 증가될 수 있으며, 저-저항 영역의 도전성에서의 변화는 감소될 수 있다.

[0329] 절연막(178)은 절연막(164) 및 절연막(168)의 형성 방법들 중 임의의 것에 의해 적절히 형성될 수 있다.

[0330] 절연막(178)으로서, 산소가 열 처리에 의해 방출될 수 있는 산화 실리콘막 또는 산화질화 실리콘막이 다음의 조건들 하에서 형성될 수 있다는 것을 주의하자: 진공-배기되는 플라즈마 CVD 장치의 처리 챔버에 위치된 기판은 180℃ 이상 및 280℃ 이하, 또는 200℃ 이상 및 240℃ 이하의 온도에서 유지되고, 압력은 처리 챔버로 소스 가스가 도입되는 상태에서 100 Pa 이상 및 250 Pa 이하, 또는 100 Pa 이상 및 200 Pa 이하이며, 0.17 W/㎠ 이상 및 0.5 W/㎠ 이하, 또는 0.25 W/㎠ 이상 및 0.35 W/㎠ 이하의 고-주파수 전력이 처리 챔버에서 제공된 전극에 공급된다.

[0331] 상기 설명된 공정을 통해, 트랜지스터가 제조될 수 있다.

[0332] <반도체 장치를 제조하기 위한 방법 2>

[0333] 도 14의 (A) 내지 (C)에 예시된 트랜지스터(191)를 제조하기 위한 방법이 설명된다. 여기에서, 트랜지스터(191)에서의 도전막(170), 도전막(172), 및 도전막(174)에 포함되는 도전막(170c), 도전막(172c), 및 도전막(174c)을 형성하는 단계 및 산화물 반도체막(166)에 불순물 원소(177)를 부가하는 단계가 설명된다는 것을 주의하자.

[0334] 도 18의 (A) 및 (B) 및 도 19의 (A) 내지 (C)에 도시된 단계들을 통해, 절연막(164), 산화물 반도체막(166), 절연막(168), 도전막(170), 도전막(172), 도전막(174), 및 마스크(111)가 기판(162) 위에 형성된다.

[0335] 다음으로, 도 20의 (A)에 도시된 바와 같이, 불순물 원소(177)가 산화물 반도체막(166)에 부가된다.

[0336] 다음으로, 마스크(111)가 제거된다.

[0337] 다음으로, 각각 도전막(170), 도전막(172), 및 도전막(174)에 포함되는 도전막(170b), 도전막(172b), 및 도전막(174b)은 도전막(170b), 도전막(172b), 및 도전막(174b)의 표면들 상에서의 산화물이 감소되도록 환원성 분위기에서 발생된 플라즈마에 노출된다. 다음으로, 도전막(170b), 도전막(172b), 및 도전막(174b)은 가열이 200℃ 이상 및 400℃ 이하의 온도에서 수행되는 동안 실란에 노출된다. 다음으로, 도전막(170b), 도전막(172b), 및 도전막(174b)은 암모니아 또는 질소의 분위기와 같은, 질소를 포함한 분위기에서 발생된 플라즈마에 노출되며, 그에 의해 $CuSi_xN_y$(x>0, y>0)가 도전막(170c), 도전막(172c), 및 도전막(174c)으로서 형성될 수 있다.

[0338] 암모니아 또는 질소의 분위기와 같은, 질소를 포함한 분위기에서 발생된 플라즈마에 대한 노출을 수행할 때, 산

화물 반도체막(166)은 암모니아 또는 질소의 분위기와 같은, 질소를 포함한 분위기에서 발생된 플라즈마에 노출된다는 것을 주의하자. 그러므로, 질소 및/또는 수소는 산화물 반도체막(166)에 부가될 수 있다.

[0339] 불순물 원소(177)가 산화물 반도체막(166)에 부가되기 전에, 마스크(111)는 제거될 수 있으며, 도전막(170), 도전막(172), 및 도전막(174)에 포함되는 도전막(170c), 도전막(172c), 및 도전막(174)이 형성될 수 있다는 것을 주의하자.

[0340] 그 후, 도 20의 (C)에 도시된 단계가 수행되며, 그에 의해 트랜지스터(191)가 제조될 수 있다.

[0341] <반도체 장치를 제조하기 위한 방법 3>

[0342] 도 12의 (A) 및 (B)에 예시된 트랜지스터(190)를 제조하기 위한 또 다른 방법이 설명된다. 여기에서, 불순물 원소를 부가하는 단계 및 절연막(176)을 형성하는 단계가 도 22의 (A) 내지 (C)를 참조하여 설명된다는 것을 주의하자.

[0343] 도 18의 (A) 및 (B) 및 도 19의 (A) 내지 (C)에 도시된 단계들을 통해, 절연막(164), 산화물 반도체막(166), 절연막(168), 도전막(170), 도전막(172), 도전막(174), 및 마스크(111)가 기판(162) 위에 형성된다. 그 후, 마스크(111)는 도 22의 (A)에 도시된 바와 같이 제거된다.

[0344] 다음으로, 도 22의 (B)에 도시된 바와 같이, 절연막(176)이 산화물 반도체막(166), 절연막(168), 도전막(170), 도전막(172), 및 도전막(174) 위에 형성된 후, 불순물 원소(177)가 마스크들로서 도전막(170), 도전막(172), 및 도전막(174)을 사용하여 절연막(176)을 통해 산화물 반도체막(166)에 부가된다.

[0345] 다음으로, 절연막(178)은 도 22의 (C)에 도시된 바와 같이 형성될 수 있다. 상기 설명된 공정을 통해, 트랜지스터(190)가 제조될 수 있다.

[0346] 본 실시형태에서 설명된 트랜지스터에서, 소스 전극 및 드레인 전극으로서 작용하는 도전막들은 게이트 전극으로서 작용하는 도전막과 중첩하지 않으며, 따라서 기생 용량이 감소될 수 있으며 온-상태 전류는 높다. 더욱이, 본 실시형태에서 설명된 트랜지스터에서, 저-저항 영역이 안정되게 형성될 수 있으며; 그러므로, 온-상태 전류는 더 높고 트랜지스터의 전기적 특성들에서의 변화는 종래의 트랜지스터에서보다 더 감소된다.

[0347] 본 실시형태에서 설명된 구조들, 방법들 등은 다른 실시형태들에서 설명된 구조들, 방법들 등 중 임의의 것과 조합하여 적절히 사용될 수 있다.

[0348] (실시형태 3)

[0349] 본 실시형태에서, 반도체 장치 및 그것의 제조 방법의 일 실시형태가 도 23의 (A) 및 (B), 도 24의 (A) 및 (B), 도 25의 (A) 내지 (C), 도 26의 (A) 내지 (C), 도 27의 (A) 내지 (C), 도 28의 (A) 및 (B), 도 29의 (A) 및 (B), 도 30의 (A) 내지 (D), 도 31의 (A) 내지 (C), 도 32의 (A) 내지 (C), 도 33의 (A) 및 (B), 도 34의 (A) 내지 (D), 및 도 35의 (A) 내지 (C)를 참조하여 설명될 것이다. 본 실시형태는 게이트 전극으로서 작용하는 도전막을 형성하기 위한 방법이 소스 전극으로서 작용하는 도전막 및 드레인 전극으로서 작용하는 도전막을 형성하기 위한 방법과 상이하다는 점에서 실시형태 1과 상이하다는 것을 주의하자. 더욱이, 트랜지스터에 포함된 저-저항 영역을 형성하기 위한 방법으로서, 실시형태 2에서의 방법이 사용된다.

[0350] <반도체 장치의 구조 1>

[0351] 도 23의 (A) 및 (B)에서, 상부-게이트 구조를 가진 트랜지스터가 반도체 장치에 포함된 트랜지스터의 예로서 도시된다.

[0352] 도 28의 (A) 및 (B)는 구동 회로부에서 제공된 트랜지스터(394) 및 화소부에서 제공된 트랜지스터(390)의 상면도들이다. 도 23의 (A) 및 (B)는 트랜지스터(394) 및 트랜지스터(390)의 단면도들이다. 도 28의 (A)는 트랜지스터(394)의 상면도이며, 도 28의 (B)는 트랜지스터(390)의 상면도이다. 도 23의 (A)는 도 28의 (A)에서 일점쇄선(X1-X2) 및 도 28의 (B)에서 일점쇄선(X3-X4)을 따른 단면도들을 도시한다. 도 23의 (B)는 도 28의 (A)에서 일점쇄선(Y1-Y2) 및 도 28의 (B)에서 일점쇄선(Y3-Y4)을 따른 단면도들을 도시한다. 도 23의 (A)는 채널 길이 방향으로 트랜지스터(390)의 단면도를 도시하며, 도 23의 (B)는 채널 폭 방향으로 트랜지스터(390)의 단면도를 도시한다.

[0353] 도 23의 (A) 및 (B)에 도시된 트랜지스터(390)는 기판(362) 위에 형성된 절연막(364) 위의 산화물 반도체막(366); 산화물 반도체막(366)과 접하는 도전막(368), 도전막(370), 및 절연막(372); 및 절연막(372)을 개재하여

산화물 반도체막(366)과 중첩하는 도전막(374)을 포함한다. 절연막(376)은 트랜지스터(390) 위에 제공된다는 것을 주의하자.

[0354] 도 23의 (A) 및 (B)에 도시된 트랜지스터(394)는 기판(362) 위에 형성된 절연막(364) 위의 산화물 반도체막(266); 산화물 반도체막(266)과 접하는 도전막(268), 도전막(270), 및 절연막(272); 및 절연막(272)을 개재하여 산화물 반도체막(266)과 중첩하는 도전막(274)을 포함한다.

[0355] 트랜지스터(394)는 도전막(261)이 절연막(364)을 개재하여 산화물 반도체막(266)과 중첩하도록 제공된다는 점을 특징으로 한다. 즉, 도전막(261)은 게이트 전극으로서 작용한다. 더욱이, 트랜지스터(394)는 이중-게이트 구조를 가진 트랜지스터이다. 다른 구성요소들은 트랜지스터(390)의 것들과 동일하며 트랜지스터(390)의 경우에서의 것과 유사한 효과가 획득된다.

[0356] 서로 접속되지 않은 도전막(274) 및 도전막(261)에 상이한 전위들을 공급함으로써, 트랜지스터(394)의 임계 전압이 제어될 수 있다. 대안적으로, 도 23의 (B)에 도시된 바와 같이, 서로 접속되는 도전막(274) 및 도전막(261)에 동일한 전위를 공급함으로써, 초기 특성들에서의 변화들이 감소될 수 있으며, -GBT 응력 테스트 및 상이한 드레인 전압들에서 온-상태 전류의 상승 전압에서의 변화로 인한 트랜지스터의 열화가 억제될 수 있다. 또한, 캐리어들이 산화물 반도체막(266)에서 흐르는 영역은 막 두께 방향으로 더 커지게 되며, 따라서 캐리어 움직임의 양이 증가된다. 그 결과, 트랜지스터(394)의 온-상태 전류 및 전계-효과 이동도가 증가된다. 트랜지스터의 채널 길이가 2.5 ㎛ 미만, 바람직하게는 1.45 ㎛ 이상 및 2.2 ㎛ 이하일 때, 온-상태 전류는 추가로 증가될 수 있으며 전계-효과 이동도가 증가될 수 있다.

[0357] 본 실시형태에서 설명된 표시 장치에서, 구동 회로부에서의 트랜지스터 및 화소부에서의 트랜지스터는 상이한 구조들을 가진다. 구동 회로부에 포함된 트랜지스터는 이중-게이트 구조를 가진다. 즉, 구동 회로부에 포함된 트랜지스터의 전계-효과 이동도는 화소부에 포함된 트랜지스터의 것보다 더 높다.

[0358] 더욱이, 표시 장치에서, 구동 회로부에 포함된 트랜지스터 및 화소부에 포함된 트랜지스터는 상이한 채널 길이들을 가질 수 있다.

[0359] 통상적으로, 구동 회로부에 포함된 트랜지스터(394)의 채널 길이는 2.5 ㎛ 미만, 또는 1.45 ㎛ 이상 및 2.2 ㎛ 이하일 수 있다. 화소부에 포함된 트랜지스터(390)의 채널 길이는 2.5 ㎛ 이상, 또는 2.5 ㎛ 이상 및 20 ㎛ 이하일 수 있다.

[0360] 구동 회로부에 포함된 트랜지스터(394)의 채널 길이가 2.5 ㎛ 미만, 바람직하게는 1.45 ㎛ 이상 및 2.2 ㎛ 이하일 때, 화소부에 포함된 트랜지스터(390)와 비교하여, 전계-효과 이동도가 증가될 수 있으며, 온-상태 전류의 양은 증가될 수 있다. 결과적으로, 고속 동작이 가능한 구동 회로부가 형성될 수 있다. 더욱이, 화소부에 포함된 트랜지스터의 온-상태 전류가 증가될 수 있기 때문에, 화소부에서의 표시 불균일성이 억제될 수 있다.

[0361] 구동 회로부에서의 트랜지스터가 높은 전계-효과 이동도를 가질 때, 입력 단자들의 수는 작아질 수 있다.

[0362] 산화물 반도체막(366)에서, 산소 결손을 형성하는 요소는 도전막(368), 도전막(370), 및 도전막(374)과 중첩하지 않는 영역에 포함된다. 산화물 반도체막(266)에서, 산소 결손을 형성하는 요소는 도전막(268), 도전막(270), 및 도전막(274)과 중첩하지 않는 영역에 포함된다. 이후, 산소 결손들을 형성하는 요소들은 불순물 원소들로서 설명된다. 불순물 원소들의 통상적인 예들은 수소, 희가스 원소들 등이다. 희가스 원소들의 통상적인 예들은 헬륨, 네온, 아르곤, 크립톤, 및 제논이다. 더욱이, 불순물 원소로서, 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 염소 등이 산화물 반도체막(366) 및 산화물 반도체막(266)에 포함될 수 있다.

[0363] 절연막(376)은 수소를 포함한 막이며, 질화물 절연막은 그것의 통상적인 예이다. 절연막(376)은 산화물 반도체막(366) 및 산화물 반도체막(226)과 접촉한다. 그러므로, 절연막(376)에 포함된 수소는 산화물 반도체막(366) 및 산화물 반도체막(226)으로 확산된다. 그 결과, 많은 수소가 산화물 반도체막(366) 및 산화물 반도체막(226)에서의 절연막(376)과 접하는 영역에 포함된다.

[0364] 희가스 원소가 불순물 원소로서 산화물 반도체막에 부가될 때, 산화물 반도체막에서 금속 원소 및 산소 사이에서의 결합은 절단되며, 그에 의해 산소 결손이 형성된다. 산화물 반도체막에 포함된 산소 결손 및 수소 사이에서의 상호 작용에 의해, 산화물 반도체막의 도전성이 증가된다. 구체적으로, 수소가 산화물 반도체막에서 산소 결손에 들어가 때, 캐리어로서 작용하는 전자가 발생된다. 그 결과, 도전성이 증가된다.

[0365] 도 24의 (A) 및 (B)는 산화물 반도체막(366)의 부근의 확대도들이다. 설명은 통상적인 예로서 트랜지스터(390)에 포함된 산화물 반도체막(366)의 부근의 확대도를 사용하여 이루어진다는 것을 주의하자. 도 24의 (A) 및

(B)에 도시된 바와 같이, 산화물 반도체막(366)은 도전막(368) 또는 도전막(370)과 접하는 영역(366a), 절연막(376)과 접하는 영역(366b), 및 절연막(372)과 접하는 영역(366d)을 포함한다. 도전막(374)의 측면이 테이퍼링된 형태를 갖는 경우에, 도전막(374)의 테이퍼링된 부분과 중첩하는 영역(366c)이 제공될 수 있다는 것을 주의하자.

[0366] 영역(366a)은 소스 영역 및 드레인 영역으로서 작용한다. 실시형태 1에서 설명된 영역들(106a)처럼, 도전막(368) 및 도전막(370)과 접하는 영역들(366a)은 높은 도전성을 가지며 소스 영역 및 드레인 영역으로서 작용한다.

[0367] 영역(366b)은 저-저항 영역으로서 작용한다. 영역(366b)은 불순물 원소들로서 적어도 희가스 및 수소를 포함한다. 도전막(374)의 측면이 테이퍼링된 형태를 갖는 경우에, 불순물 원소는 도전막(374)의 테이퍼링된 부분을 통해 영역(366c)에 부가된다는 것을 주의하자. 그러므로, 영역(366c)은 영역(366b)보다 불순물 원소의 예로서 보다 낮은 농도의 희가스 원소들을 갖지만, 불순물 원소가 포함된다. 영역(366c)을 제공함으로써, 트랜지스터의 소스-드레인 항복 전압이 증가될 수 있다.

[0368] 산화물 반도체막(366)이 스퍼터링 방법에 의해 형성되는 경우에, 영역들(366a 내지 366d) 각각은 희가스 원소를 포함한다. 또한, 상기 영역들(366b 및 366c)의 각각의 희가스 원소 농도는 상기 영역들(366a 및 366d)의 각각의 것보다 높다. 이유들은 다음과 같다: 상기 산화물 반도체막(366)이 스퍼터링 방법에 의해 형성되는 경우에, 희가스는 스퍼터링 가스로서 사용되어, 상기 산화물 반도체막(366)이 희가스를 포함하도록 하며; 희가스는 영역들(366b 및 366c)에 산소 결손들을 형성하기 위해 영역들(366b 및 366c)에 의도적으로 부가된다. 영역들(366a 및 366d)에 부가된 것과 상이한 희가스 원소가 영역들(366b 및 366c)에 부가될 수 있다는 것을 주의하자.

[0369] 영역(366b)이 절연막(376)과 접촉하므로, 영역(366b)에서 수소의 농도는 영역(366a)에서의 수소의 농도 및 영역(366d)에서의 수소의 농도보다 높다. 수소가 영역(366b)에서 영역(366c)으로 확산되는 경우에, 영역(366c)에서의 수소의 농도는 영역(366a)에서의 수소의 농도 및 영역(366d)에서의 수소의 농도보다 높다. 영역(366b)에서의 수소의 농도는 영역(366c)에서의 수소의 농도보다 높다는 것을 주의하자.

[0370] 영역들(366b 및 366c)에서, SIMS에 의해 측정되는 수소의 농도는 8×10^{19} atoms/㎤ 이상, 1×10^{20} atoms/㎤ 이상, 또는 5×10^{20} atoms/㎤ 이상일 수 있다. 영역들(366a 및 366d)에서, SIMS에 의해 측정되는 수소의 농도는 5×10^{19} atoms/㎤ 이하, 1×10^{19} atoms/㎤ 이하, 5×10^{18} atoms/㎤ 이하, 1×10^{18} atoms/㎤ 이하, 5×10^{17} atoms/㎤ 이하, 또는 1×10^{16} atoms/㎤ 이하일 수 있다는 것을 주의하자.

[0371] 붕소, 탄소, 질소, 불소, 알루미늄, 실리콘, 인, 또는 염소가 불순물 원소로서 산화물 반도체막(366)에 부가되는 경우에, 불순물 원소는 단지 영역들(366b 및 366c)에만 포함된다. 따라서, 영역들(366b 및 366c)의 각각의 불순물 원소 농도는 영역들(366a 및 366d)의 각각의 불순물 원소 농도보다 높다. 영역(366b) 및 영역(366c)에서, SIMS에 의해 측정되는 불순물 원소 농도는 1×10^{18} atoms/㎤ 이상 및 1×10^{22} atoms/㎤ 이하, 1×10^{19} atoms/㎤ 이상 및 1×10^{21} atoms/㎤ 이하, 또는 5×10^{19} atoms/㎤ 이상 및 5×10^{20} atoms/㎤ 이하일 수 있다는 것을 주의하자.

[0372] 영역들(366b 및 366c)은 불순물 원소들의 부가 때문에 영역(366d)보다 높은 수소 농도들을 가지며 영역(366d)보다 더 많은 산소 결손들을 가진다. 그러므로, 영역들(366b 및 366c)은 보다 높은 도전성을 가지며 저-저항 영역들로서 작용한다. 따라서, 영역들(366b 및 366c)의 저항률은 1×10^{-3} Ωcm 이상 및 1×10^{4} Ωcm 미만, 또는 1×10^{-3} Ωcm 이상 및 1×10^{-1} Ωcm 미만일 수 있다.

[0373] 영역(366b) 및 영역(366c)에서, 수소의 양이 산소 결손의 양보다 작거나 또는 같을 때, 수소는 산소 결손에 의해 쉽게 포획되며 채널로서 작용하는 영역(366d)으로 쉽게 확산되지 않는다는 것을 주의하자. 그 결과, 노멀리-오프 트랜지스터가 제조될 수 있다.

[0374] 영역(366d)은 채널로서 작용한다.

[0375] 더욱이, 불순물 원소가 마스크들로서 도전막(368), 도전막(370), 및 도전막(374)을 사용하여 산화물 반도체막(366)에 부가된 후, 도전막(368), 도전막(370), 및 도전막(374)의 각각의 상부 표면 형태의 영역은 다음의 방식으로 감소될 수 있다. 슬리밍(slimming) 공정이 극소 구조를 가진 마스크를 획득하기 위해 도전막(368), 도전막(370), 및 도전막(374)을 형성하는 단계에서 도전막(368), 도전막(370), 및 도전막(374) 위의 마스크 상에서 수

행된다. 그 후, 도전막(368), 도전막(370), 및 도전막(374)은 마스크를 사용하여 에칭되며, 그에 의해 도 24의 (B)에서 도전막(368d), 도전막(370d), 및 도전막(374d)이 형성될 수 있다. 슬리밍 공정로서, 예를 들면, 산소 라디칼 등을 사용한 애싱(ashing) 공정이 이용될 수 있다.

[0376] 그 결과, 산화물 반도체막(366)에서, 오프셋 영역(366e)이 영역(366c) 및 채널로서 작용하는 영역(366d) 사이에 형성된다. 트랜지스터의 온-상태 전류에서의 감소는 채널 길이 방향으로 오프셋 영역(366e)의 길이가 0.1 ㎛ 미만일 때 억제될 수 있다는 것을 주의하자.

[0377] 절연막(372) 및 절연막(272)은 게이트 절연막들로서 작용한다.

[0378] 도전막(368) 및 도전막(370)은 소스 전극 및 드레인 전극으로서 작용하며, 도전막(268) 및 도전막(270)은 소스 전극 및 드레인 전극으로서 작용한다.

[0379] 도전막(374) 및 도전막(274)은 게이트 전극들로서 작용한다.

[0380] 본 실시형태에서 설명된 트랜지스터들(390 및 394)에서, 저-저항 영역으로서 작용하는 영역(366b) 및/또는 영역(366c)은 채널로서 작용하는 영역(366d) 및 소스 영역 및 드레인 영역으로서 작용하는 영역들(366a) 사이에 제공된다. 채널 및 소스 영역 및 드레인 영역 사이에서의 저항이 감소될 수 있으며, 트랜지스터(390) 및 트랜지스터(394)는 높은 온-상태 전류 및 높은 전계-효과 이동도를 가진다.

[0381] 트랜지스터(390)에서, 도전막(374)은 도전막들(368 및 370)과 중첩하지 않으며, 도전막(374) 및 도전막들(368 및 370)의 각각 사이에서의 기생 용량은 감소될 수 있다. 더욱이, 트랜지스터(394)에서, 도전막(274)은 도전막들(268 및 270)과 중첩하지 않으며, 도전막(274) 및 도전막들(268 및 270)의 각각 사이에서의 기생 용량은 감소될 수 있다. 그 결과, 대면적 기판이 기판(362)으로서 사용되는 경우에, 도전막(368), 도전막(370), 도전막(374), 도전막(268), 도전막(270), 및 도전막(274)에서의 신호 지연이 감소될 수 있다.

[0382] 트랜지스터(390)에서, 산소 결손을 포함한 영역은 마스크들로서 도전막(368), 도전막(370), 및 도전막(374)을 사용하여 산화물 반도체막(366)에 희가스 원소를 부가함으로써 형성된다. 더욱이, 트랜지스터(394)에서, 산소 결손을 포함한 영역은 마스크들로서 도전막(368), 도전막(370), 및 도전막(374)을 사용하여 산화물 반도체막(266)에 불순물 원소를 부가함으로써 형성된다. 더욱이, 산소 결손을 포함한 영역이 수소를 포함한 절연막(376)과 접촉하기 때문에, 절연막(376)에 포함된 수소는 산소 결손을 포함한 영역으로 확산되며, 따라서 저-저항 영역이 형성된다. 즉, 저-저항 영역은 자가-정렬 방식으로 형성될 수 있다.

[0383] 본 실시형태에서 설명된 트랜지스터(390) 및 트랜지스터(394)에서, 희가스는 산소 결손을 형성하기 위해 영역(366b)에 부가되며, 뿐만 아니라 수소가 부가된다. 그러므로, 영역(366b)의 도전성은 증가될 수 있으며, 트랜지스터들 사이에서의 영역(366b)의 도전성에서의 변화가 감소될 수 있다. 즉, 영역(366b)에 희가스 및 수소를 부가함으로써, 영역(366b)의 도전성이 제어될 수 있다.

[0384] 도 23의 (A) 및 (B)에 도시된 구조는 이하에서 상세히 설명된다.

[0385] 기판(362)으로서, 실시형태 1에 설명된 기판(102)이 적절히 사용될 수 있다.

[0386] 절연막(364)은 실시형태 1에서의 절연막(104)에 대한 재료를 사용하여 적절히 형성될 수 있다.

[0387] 산화물 반도체막(366) 및 산화물 반도체막(266)은 실시형태 1에서의 산화물 반도체막(106)의 재료 및 구조를 사용하여 적절히 형성될 수 있다.

[0388] 절연막(372) 및 절연막(272)은 실시형태 1에서의 절연막(108)에 대한 재료를 사용하여 적절히 형성될 수 있다.

[0389] 도전막들(368, 370, 및 374) 및 도전막들(261, 268, 270, 및 274)은 실시형태 1에서의 도전막들(110, 112, 및 114)에 대한 재료를 사용하여 적절히 형성될 수 있다.

[0390] 절연막(376)은 수소를 포함한 막이며, 질화물 절연막은 그것의 통상적인 예이다. 질화물 절연막은 질화 실리콘, 질화 알루미늄을 사용하여 형성될 수 있다.

[0391] <반도체 장치의 구조 2>

[0392] 다음으로, 반도체 장치의 또 다른 구조가 도 25의 (A) 내지 (C)를 참조하여 설명된다. 여기에서, 설명은 화소부에 포함된 트랜지스터(390)의 수정 예로서 트랜지스터(391)를 사용하여 이루어진다. 트랜지스터(391)의 절연막(365)의 구조 또는 도전막(368), 도전막(370), 및 도전막(374)의 구조들은 구동 회로부에서의 트랜지스터(394)

를 위해 적절히 사용될 수 있다.

[0393] 도 25의 (A) 내지 (C)는 반도체 장치에 포함된 트랜지스터(391)의 상면도 및 단면도들이다. 도 25의 (A)는 트랜지스터(391)의 상면도이다. 도 25의 (B)는 도 25의 (A)에서 일점쇄선(Y3-Y4)을 따른 단면도이다. 도 25의 (C)는 도 25의 (A)에서 일점쇄선(X3-X4)을 따른 단면도이다.

[0394] 도 25의 (A) 내지 (C)에 도시된 트랜지스터(391)는 도전막(368), 도전막(370), 및 도전막(374) 각각이 3-층 구조를 갖는다는 점 및 절연막(364)이 질화물 절연막(364a) 및 산화물 절연막(364b)의 적층 구조를 갖는다는 점을 특징으로 한다. 다른 구성요소들은 트랜지스터(390)의 것들과 동일하며, 트랜지스터(390)의 경우에서의 것과 유사한 효과가 획득된다.

[0395] 첫 번째로, 도전막(368), 도전막(370), 및 도전막(374)이 설명된다.

[0396] 도전막(368)에서, 도전막(368a), 도전막(368b), 및 도전막(368c)은 이러한 순서로 적층되며, 도전막(368a) 및 도전막(368c)은 도전막(368b)의 표면들을 덮는다. 즉, 도전막(368a) 및 도전막(368c)은 도전막(368b)의 보호 막들로서 작용한다.

[0397] 도전막(370)에서, 도전막(370a), 도전막(370b), 및 도전막(370c)은 이러한 순서로 적층되며, 도전막(370a) 및 도전막(370c)은 도전막(368)의 것과 유사한 방식으로, 도전막(370b)의 표면들을 덮는다.

[0398] 도전막(374)에서, 도전막(374a) 및 도전막(374b)은 이러한 순서로 적층된다.

[0399] 실시형태 1에서의 도전막(110a), 도전막(112a), 및 도전막(114a)처럼, 도전막(368a), 도전막(370a), 및 도전막(374a)은 도전막(368b), 도전막(370b), 및 도전막(374b)에 포함된 금속 원소가 산화물 반도체막(366)으로 확산되는 것을 방지하는 재료를 사용하여 적절히 형성될 수 있다.

[0400] 실시형태 1에서의 도전막(110b), 도전막(112b), 및 도전막(114b)처럼, 도전막(368b), 도전막(370b), 및 도전막(374b)은 저-저항 재료를 사용하여 적절히 형성될 수 있다.

[0401] 실시형태 1에서의 도전막(110c), 도전막(112c), 및 도전막(114c)처럼, 도전막(368c) 및 도전막(370c)은 도전막(368b) 및 도전막(370b)에 포함된 금속 원소가 패시베이션의 대상이 되는 막을 사용하여 형성될 수 있다. 그 결과, 도전막(368b) 및 도전막(370b)에 포함된 금속 원소는 절연막(376)을 형성하는 단계에서 산화물 반도체막(366)으로 이동되는 것이 방지될 수 있다.

[0402] 다음으로, 질화물 절연막(364a) 및 산화물 절연막(364b)이 적층되는 절연막(364)이 설명된다.

[0403] 질화물 절연막(364a) 및 산화물 절연막(364b)은 실시형태 1에서의 질화물 절연막(104a) 및 산화물 절연막(104b)에 대한 재료를 사용하여 적절히 형성될 수 있다.

[0404] <반도체 장치의 구조 3>

[0405] 다음으로, 반도체 장치의 또 다른 구조는 도 26의 (A) 내지 (C) 및 도 27의 (A) 내지 (C)를 참조하여 설명된다. 여기에서, 설명은 화소부에 포함된 트랜지스터(390)의 수정 예들로서 트랜지스터(392) 및 트랜지스터(393)를 사용하여 이루어진다. 트랜지스터(392)에 포함된 산화물 반도체막(366)의 구조 또는 트랜지스터(393)에 포함된 산화물 반도체막(366)의 구조는 구동 회로부에서의 트랜지스터(394)를 위해 적절히 사용될 수 있다.

[0406] 도 26의 (A) 내지 (C)는 반도체 장치에 포함된 트랜지스터(392)의 상면도 및 단면도들이다. 도 26의 (A)는 트랜지스터(392)의 상면도이다. 도 26의 (B)는 도 26의 (A)에서 일점쇄선(Y3-Y4)을 따른 단면도이다. 도 26의 (C)는 도 26의 (A)에서 일점쇄선(X3-X4)을 따른 단면도이다.

[0407] 도 26의 (A) 내지 (C)에 도시된 트랜지스터(392)는 산화물 반도체막(366)이 다층 구조를 갖는다는 점을 특징으로 한다. 구체적으로, 산화물 반도체막(366)은 절연막(364)과 접하는 산화물 반도체막(367a), 산화물 반도체막(367a)과 접하는 산화물 반도체막(367b), 및 산화물 반도체막(367b), 도전막(368), 도전막(370), 절연막(372), 및 절연막(376)과 접하는 산화물 반도체막(367c)을 포함한다. 다른 구성요소들은 트랜지스터(390)의 것들과 동일하며 트랜지스터(390)의 경우에서의 것과 유사한 효과가 획득된다.

[0408] 산화물 반도체막(367a), 산화물 반도체막(367b), 및 산화물 반도체막(367c)은 실시형태 1에서의 산화물 반도체막(107a), 산화물 반도체막(107b), 및 산화물 반도체막(107c)의 재료 및 결정 구조를 사용하여 적절히 형성될 수 있다.

[0409] 그 각각에서 산소 결손들이 산화물 반도체막(367b)에서보다 발생될 가능성이 적은 산화물 반도체막(367a) 및 산

화물 반도체막(367c)이 산화물 반도체막(367b)의 상부 표면 및 하부 표면과 접촉하여 제공되며, 그에 의해 산화물 반도체막(367b)에서의 산소 결손들이 감소될 수 있다. 더욱이, 산화물 반도체막(367b)이 산화물 반도체막(367b)을 형성하는 하나 이상의 금속 원소들을 포함하는 산화물 반도체막(367a) 및 산화물 반도체막(367c)과 접촉하기 때문에, 산화물 반도체막(367a) 및 산화물 반도체막(367b) 사이의 계면에서 및 산화물 반도체막(367b) 및 산화물 반도체막(367c) 사이의 계면에서의 계면 준위들의 밀도는 매우 낮다. 따라서, 산화물 반도체막(367b)에서의 산소 결손들이 감소될 수 있다.

[0410] 따라서, 산화물 반도체막(367a)을 제공하는 것은, 임계 전압과 같은, 트랜지스터의 전기적 특성들에서의 변형들 또는 변화들을 감소시키는 것을 가능하게 한다.

[0411] 산화물 반도체막(367b)을 형성하는 하나 이상의 종류들의 금속 원소들을 포함한 산화물 반도체막(367c)이 산화물 반도체막(367b)과 접촉하여 제공되기 때문에, 캐리어들의 산란은 산화물 반도체막(367b) 및 산화물 반도체막(367c) 사이의 계면에서 쉽게 발생하지 않으며, 따라서 트랜지스터의 전계-효과 이동도는 증가될 수 있다.

[0412] 더욱이, 산화물 반도체막(367a) 및 산화물 반도체막(367c) 각각은 또한 산화물 반도체막(367b)으로의 절연막들(364 및 372)의 구성 원소의 진입으로 인한 불순물 상태의 형성을 억제하는 배리어 막으로서 작용한다.

[0413] 상기로부터, 임계 전압과 같은 전기적 특성들에서의 변화가 본 실시형태에서 설명된 트랜지스터에서 감소된다.

[0414] 도 27의 (A) 내지 (C)는 도 26의 (A) 내지 (C)에 도시된 것과 상이한 구조를 가진 트랜지스터를 도시한다.

[0415] 도 27의 (A) 내지 (C)는 반도체 장치에 포함된 트랜지스터(393)의 상면도 및 단면도들이다. 도 27의 (A)는 트랜지스터(393)의 상면도이다. 도 27의 (B)는 도 27의 (A)에서 일점쇄선(Y3-Y4)을 따른 단면도이다. 도 27의 (C)는 도 27의 (A)에서 일점쇄선(X3-X4)을 따른 단면도이다. 도 27의 (A)에서, 기판(362), 절연막(364), 절연막(372), 절연막(376) 등은 단순화를 위해 예시되지 않는다는 것을 주의하자. 도 27의 (B)는 채널 폭 방향으로 트랜지스터(393)의 단면도를 도시하며, 도 27의 (C)는 채널 길이 방향으로 트랜지스터(393)의 단면도를 도시한다.

[0416] 도 27의 (A) 내지 (C)에 도시된 트랜지스터(393)에서처럼, 산화물 반도체막(366)은 절연막(364)과 접하는 산화물 반도체막(367b) 및 산화물 반도체막(367b) 및 절연막(372)과 접하는 산화물 반도체막(367c)을 포함한 적층 구조를 가질 수 있다.

[0417] <반도체 장치의 구조 4>

[0418] 다음으로, 반도체 장치의 또 다른 구조가 도 36을 참조하여 설명된다. 여기에서, 실시형태 1에서 설명된 방법에 의해 저-저항 영역이 형성되는 트랜지스터가 설명된다.

[0419] 도 36에 도시된 트랜지스터(350)는 기판(362) 위에 형성된 절연막(364) 위의 산화물 반도체막(306); 산화물 반도체막(306)과 접하는 도전막(368), 도전막(370), 및 절연막(312); 및 절연막(312)을 개재하여 산화물 반도체막(306)과 중첩하는 도전막(374)을 포함한다. 절연막(376)은 트랜지스터(350) 위에 제공된다는 것을 주의하자.

[0420] 도 36에 도시된 트랜지스터(354)는 기판(362) 위에 형성된 도전막(261); 도전막(261) 위의 절연막(364); 절연막(364) 위의 산화물 반도체막(206); 산화물 반도체막(206)과 접하는 도전막(268), 도전막(270), 및 절연막(312); 및 절연막(312)을 개재하여 산화물 반도체막(206)과 중첩하는 도전막(274)을 포함한다.

[0421] 트랜지스터(354)는 절연막(364)을 개재하여 산화물 반도체막(206)과 중첩하는 도전막(261)을 포함하는 것을 특징으로 한다. 즉, 도전막(261)은 게이트 전극으로서 작용한다. 더욱이, 트랜지스터(354)는 이중-게이트 구조를 가진 트랜지스터이다. 다른 구성요소들은 트랜지스터(350)의 것들과 동일하며 트랜지스터(350)의 경우에서의 것과 유사한 효과가 획득된다.

[0422] 트랜지스터(350) 및 트랜지스터(354)에서, 절연막(312)은 게이트 절연막으로서 작용한다. 산화물 반도체막(306), 산화물 반도체막(206), 및 산화물 반도체막(306) 및 산화물 반도체막(206)에 포함된 저-저항 영역들은, 실시형태 1에 설명된, 산화물 반도체막(306), 산화물 반도체막(206), 및 산화물 반도체막(306) 및 산화물 반도체막(206)에 각각 포함된 저-저항 영역들의 것들과 유사한 방식들로 형성될 수 있다.

[0423] <반도체 장치의 구조 5>

[0424] 다음으로, 반도체 장치의 또 다른 구조가 도 53의 (A) 및 (B)를 참조하여 설명된다.

[0425] 도 53의 (A)는 반도체 장치의 트랜지스터(390a)의 단면도이다. 도 53의 (B)는 불순물 원소가 산화물 반도체막(366)에 부가되는 경우, 두께 방향에서의 개념적 다이어그램이다. 도 53의 (A)에 도시된 트랜지스터(390a)의 채

널 폭 방향으로의 상면도 및 단면도는 각각, 도 28의 (B)에 도시된 상면도 및 도 23의 (A)에 도시된 단면도와 유사하며; 따라서, 그것들은 여기에서 설명되지 않는다는 것을 주의하자.

[0426] 도 53의 (A)에 도시된 트랜지스터(390a)는 도 23의 (A)에 도시된 트랜지스터(390)의 수정 예이다. 도 53의 (A)에 도시된 트랜지스터(390a)는 도전막(374)의 구조에서 및 절연막(372) 및 절연막(376)의 단면 형태에서 도 23의 (A)에 도시된 트랜지스터(390)와 상이하다. 도 53의 (A)에 도시된 트랜지스터(390a)에서, 도전막(374)은 2-층 구조를 가지며, 절연막(372) 및 절연막(376)의 에지부들의 형태들은 부분적으로 곡률을 가진다. 다른 구성요소들은 트랜지스터(390)의 것들과 동일하며 트랜지스터(390)의 경우에서의 것과 유사한 효과가 획득될 수 있다.

[0427] 도전막(374)은 도전막(374d) 및 도전막(374e)의 적층 구조를 가진다. 도전막(374d)은 예를 들면, 탄탈 질화물, 티타늄 질화물, 몰리브덴 질화물, 또는 텅스텐 질화물의 금속 질화물막을 사용하여 형성될 수 있다.

[0428] 도전막(374e)은 상기 설명된 저-저항 금속 재료를 사용하여 형성될 수 있다. 저-저항 금속 재료의 예들은 알루미늄, 구리, 은, 및 텅스텐을 포함한다.

[0429] 더욱이, 도전막(374)에서, 도전막(374d)의 측 에지부는 도전막(374e)에서 돌출된다. 도전막(374)을 하부 도전막이 상부 도전막에서 돌출되는 이러한 2-층 구조를 갖게 함으로써, 도전막은 모자(hat)-형 형태를 가질 수 있다. 도전막이 모자-형 형태를 가질 때, 하부 도전막은 몇몇 경우들에서, 불순물 원소를 부가할 때 불순물의 통과를 억제할 수 있다.

[0430] 도전막(374)을 프로세싱하기 위한 방법의 예들은 건식 에칭 방법을 포함한다. 도전막(374)이 건식 에칭 방법에 의해 프로세싱될 때, 절연막(372)의 측 에지부의 부분이 감소되며, 따라서 측 에지부는 몇몇 경우들에서 곡률을 가진 형태를 가진다. 절연막(372)의 측 에지부가 곡률을 가진 형태를 갖는 경우에, 절연막(372) 위에 형성된 절연막(376)의 측 에지부의 부분은 또한 절연막(372)의 효과 때문에 몇몇 경우들에서 곡률을 가진다.

[0431] 불순물 원소가 도 53의 (A)에 도시된 트랜지스터(390a)의 산화물 반도체막(366)에 부가되는 경우에서 두께 방향으로의 개념적 다이어그램이 도 53의 (B)를 참조하여 이하에서 설명된다.

[0432] 도 53의 (B)에서, 산화물 반도체막(366)은 영역(366x) 및 영역(366y)을 포함한다. 산화물 반도체막(366)이 예를 들면, 결정성 산화물 반도체막인 경우에, 영역(366y)의 결정도는 영역(366x)의 것보다 높다. 결정도에서의 차이는 불순물 원소가 부가될 때 손상되는 영역(366x)의 결정도에서의 감소에 기인한다.

[0433] <반도체 장치를 제조하기 위한 방법 1>

[0434] 다음으로, 도 23의 (A) 및 (B)에 예시된 트랜지스터(390) 및 트랜지스터(394)를 제조하기 위한 방법이 도 29의 (A) 및 (B), 도 30의 (A) 내지 (D), 및 도 31의 (A) 내지 (C)를 참조하여 설명될 것이다.

[0435] 도 29의 (A)에 도시된 바와 같이, 도전막(261)은 기판(362) 위에 형성되며, 절연막(364)은 도전막(261) 위에 형성된다.

[0436] 도전막(261)은 실시형태 1에서의 도전막(201)의 형성 방법에 의해 적절히 형성될 수 있다.

[0437] 절연막(364)은 실시형태 1에서의 절연막(104)의 형성 방법에 의해 적절히 형성될 수 있다.

[0438] 다음으로, 산화물 반도체막(366) 및 산화물 반도체막(266)은 도 29의 (B)에 도시된 바와 같이 절연막(364) 위에 형성된다. 산화물 반도체막(366) 및 산화물 반도체막(266)은 실시형태 1에서의 산화물 반도체막(106)의 형성 방법에 의해 적절히 형성될 수 있다.

[0439] 다음으로, 도 30의 (A)에 도시된 바와 같이, 도전막(367)은 절연막(364), 산화물 반도체막(366), 및 산화물 반도체막(266) 위에 형성된다.

[0440] 도전막(367)은 실시형태 1에서의 도전막(201)의 형성 방법에 의해 적절히 형성될 수 있다.

[0441] 다음으로, 도 30의 (B)에 도시된 바와 같이, 마스크가 리소그래피 공정에 의해 도전막(367) 위에 형성된 후, 도전막(367)은 에칭제 및/또는 에칭 가스에 노출되며, 그에 의해 도전막(368) 및 도전막(370), 및 도전막(268) 및 도전막(270)이 형성된다.

[0442] 도전막(367)을 에칭하기 위한 방법으로서, 습식 에칭 방법 및/또는 건식 에칭 방법이 적절히 이용될 수 있다.

[0443] 도전막(368), 도전막(370), 도전막(268) 및 도전막(270)은 형성 방법 대신에 전해 도금 방법, 인쇄 방법, 잉크젯 방법 등에 의해 형성될 수 있다는 것을 주의하자.

[0444] 다음으로, 도 30의 (C)에 도시된 바와 같이, 절연막(372)은 절연막(364), 산화물 반도체막(366), 도전막(368), 도전막(370), 산화물 반도체막(266), 도전막(268), 및 도전막(270) 위에 형성된다. 절연막(372)은 실시형태 1에서의 절연막(108)의 형성 방법에 의해 적절히 형성될 수 있다.

[0445] 다음으로, 도 30의 (D)에 도시된 바와 같이, 도전막(373)은 절연막(372) 위에 형성된다.

[0446] 도전막(373)은 실시형태 1에서의 도전막(201)의 형성 방법에 의해 적절히 형성될 수 있다.

[0447] 다음으로, 도 31의 (A)에 도시된 바와 같이, 마스크가 리소그래피 공정에 의해 도전막(373) 위에 형성된 후, 도전막(373)은 에칭제 및/또는 에칭 가스에 노출되며, 그에 의해 절연막(372) 및 도전막(374), 및 절연막(272) 및 도전막(274)이 형성된다.

[0448] 도전막(373)을 에칭하기 위한 방법으로서, 습식 에칭 방법 및/또는 건식 에칭 방법이 적절히 이용될 수 있다.

[0449] 도전막(374) 및 도전막(274)은 상기 형성 방법 대신에 전해 도금 방법, 인쇄 방법, 잉크젯 방법 등에 의해 형성될 수 있다는 것을 주의하자.

[0450] 다음으로, 도 31의 (B)에 도시된 바와 같이, 마스크가 제거된 후, 희가스가 불순물 원소(377)로서 산화물 반도체막(366) 및 산화물 반도체막(266)에 부가된다. 그 결과, 불순물 원소는 산화물 반도체막(366)에서 도전막(368), 도전막(370), 및 도전막(374)과 중첩하지 않는 영역에 부가된다. 더욱이, 불순물 원소는 산화물 반도체막(266)에서 도전막(268), 도전막(270), 및 도전막(274)과 중첩하지 않는 영역에 부가된다. 불순물 원소(377)의 부가에 의해, 산소 결손이 산화물 반도체막(366) 및 산화물 반도체막(266)에서 형성된다는 것을 주의하자.

[0451] 불순물 원소(377)를 부가하기 위한 방법으로서, 실시형태 1에 설명된 불순물 원소(117)를 부가하기 위한 방법이 적절히 사용될 수 있다.

[0452] 도 32의 (A) 내지 (C)는 불순물 원소가 산화물 반도체막(366)에 부가될 때 불순물 원소(377)가 두께 방향으로 부가되는 영역의 개념적 다이어그램들이다. 여기에서, 설명은 통상적인 예로서 트랜지스터(390)에 포함된 산화물 반도체막(366)의 부근의 확대도를 사용하여 이루어진다는 것을 주의하자.

[0453] 도 32의 (A)에 도시된 바와 같이, 불순물 원소(377)가 부가되는 영역은 몇몇 경우들에서, 절연막(364), 산화물 반도체막(366), 및 절연막(372)에서 형성된다. 불순물 원소(377)가 부가되는 영역의 단부 부분(385)은 산화물 반도체막(366)이 노출되는 영역의 깊이 방향으로 절연막(364) 내부에 위치된다는 것을 주의하자.

[0454] 대안적으로, 도 32의 (B)에 도시된 바와 같이, 불순물 원소(377)가 부가되는 영역은 몇몇 경우들에서 산화물 반도체막(366) 및 절연막(372)에 형성된다. 불순물 원소(377)가 부가되는 영역의 단부 부분(386)은 산화물 반도체막(366)이 노출되는 영역의 깊이 방향으로 절연막(364) 및 산화물 반도체막(366) 사이의 계면에 위치된다는 것을 주의하자.

[0455] 다른 대안으로, 도 32의 (C)에 도시된 바와 같이, 불순물 원소(377)가 부가되는 영역은 몇몇 경우들에서 산화물 반도체막(366) 및 절연막(372)에 형성된다. 불순물 원소(377)가 부가되는 영역의 단부 부분(387)은 산화물 반도체막(366)이 노출되는 영역의 깊이 방향으로 산화물 반도체막(366) 내부에 위치된다는 것을 주의하자.

[0456] 불순물 원소(377)가 여기에서 마스크들로서 도전막(368), 도전막(370), 및 도전막(374)을 사용하여 산화물 반도체막(366)에 부가되지만, 불순물 원소(377)는 도전막(368), 도전막(370), 및 도전막(374)을 형성하기 위한 마스크가 제거되기 전에 산화물 반도체막(366)에 부가될 수 있다는 것을 주의하자.

[0457] 다음으로, 도 31의 (C)에 도시된 바와 같이, 절연막(376)은 산화물 반도체막(366), 절연막(372), 도전막(368), 도전막들(370 및 374), 산화물 반도체막(266), 절연막(272), 도전막(268), 및 도전막들(270 및 274) 위에 형성된다.

[0458] 절연막(376)은 실시형태 2에서의 절연막(176)의 형성 방법에 의해 적절히 형성될 수 있다.

[0459] 수소가 절연막(376)에 포함되므로, 절연막(376)이 산화물 반도체막(366) 및 산화물 반도체막(266)에서 불순물 원소가 부가되는 영역과 접촉할 때, 절연막(376)에 포함된 수소는 산화물 반도체막에서 불순물 원소가 부가되는 영역으로 이동한다. 산소 결손이 불순물 원소가 부가되는 영역에 포함되므로, 저-저항 영역이 산화물 반도체막(366) 및 산화물 반도체막(266)에 형성될 수 있다. 구체적으로, 도 24의 (A) 및 (B)에 도시된 영역(366b) 및 영역(366c)이 형성될 수 있다. 도전막(374)의 측면이 테이퍼링된 형태를 갖는 경우에, 불순물 원소는 도전막(374)의 테이퍼링된 부분을 통해 영역(366c)에 부가된다는 것을 주의하자. 그러므로, 영역(366c)은 불순물 원소의

예로서 영역(366b)보다 낮은 농도의 희가스 원소들을 가진다.

[0460] 이후, 열 처리가 불순물 원소(377)가 부가되는 영역의 도전성을 추가로 증가시키기 위해 수행될 수 있다. 열 처리의 온도는 통상적으로 150℃ 이상 및 기판의 변형점 미만, 250℃ 이상 및 450℃ 이하, 또는 300℃ 이상 및 450℃ 이하이다. 열 처리에 의해, 영역(366b)에 포함된 수소가 영역(366c)으로 확산된다. 그 결과, 영역(366c)의 도전성은 증가된다.

[0461] 상기 설명된 공정을 통해, 트랜지스터가 제조될 수 있다.

[0462] <반도체 장치를 제조하기 위한 방법 2>

[0463] 도 25의 (A) 내지 (C)에 예시된 트랜지스터(391)를 제조하기 위한 방법이 설명된다. 여기에서, 트랜지스터(391)에서의 도전막(368) 및 도전막(370)에 포함되는 도전막(368c) 및 도전막(370c)을 형성하는 단계 및 산화물 반도체막(366)에 불순물 원소(377)를 부가하는 단계가 설명된다는 것을 주의하자.

[0464] 도 29의 (A) 및 (B) 및 도 30의 (A) 및 (B)에 도시된 단계들을 통해, 절연막(364), 산화물 반도체막(366), 도전막(368), 및 도전막(370)이 기판(362) 위에 형성된다.

[0465] 다음으로, 각각 도전막(368) 및 도전막(370)에 포함되는 도전막(368b) 및 도전막(370b)은 도전막(368b) 및 도전막(370b)의 표면들 상에서의 산화물이 감소되도록 환원성 분위기에서 발생된 플라즈마에 노출된다. 다음으로, 도전막(368b) 및 도전막(370b)은 가열이 200℃ 이상 및 400℃ 이하의 온도에서 수행되는 동안 실란에 노출된다. 다음으로, 도전막(368b) 및 도전막(370b)은 암모니아 또는 질소의 분위기와 같은, 질소를 포함한 분위기에서 발생된 플라즈마에 노출되며, 그에 의해 $CuSi_xN_y$(x>0, y>0)가 도전막(368c) 및 도전막(370c)으로서 형성될 수 있다.

[0466] 그 후, 도 30의 (C), (D), 및 도 31의 (A) 내지 (C)에 예시된 단계들이 수행된다. 이러한 방식으로, 트랜지스터(391)가 제조될 수 있다.

[0467] <반도체 장치를 제조하기 위한 방법 3>

[0468] 도 23의 (A) 및 (B)에 예시된 트랜지스터(390)를 제조하기 위한 또 다른 방법이 설명된다. 여기에서, 불순물 원소를 부가하는 단계 및 절연막(376)을 형성하는 방법이 도 33의 (A) 및 (B)를 참조하여 설명된다는 것을 주의하자.

[0469] 도 29의 (A) 및 (B), 도 30의 (A) 내지 (D), 및 도 31의 (A)에 도시된 단계들을 통해, 절연막(364), 산화물 반도체막(366), 도전막(368), 도전막(370), 절연막(372), 및 도전막(374)이 기판(362) 위에 형성된다.

[0470] 다음으로, 절연막(376)이 도 33의 (A)에 도시된 바와 같이, 산화물 반도체막(366), 도전막(368), 도전막(370), 절연막(372), 및 도전막(374) 위에 형성되며, 그 후 불순물 원소(377)가 도 33의 (B)에 도시된 바와 같이 마스크들로서 도전막(368), 도전막(370), 절연막(372), 및 도전막(374)을 사용하여 산화물 반도체막(366)에 부가된다.

[0471] 상기 설명된 공정을 통해, 트랜지스터(390)가 제조될 수 있다.

[0472] <반도체 장치를 제조하기 위한 방법 4>

[0473] 측벽 절연막을 포함한 트랜지스터를 제조하기 위한 방법이 도 34의 (A) 내지 (D) 및 도 35의 (A) 내지 (C)를 참조하여 설명된다.

[0474] 도 29의 (A) 및 (B), 도 30의 (A) 내지 (D), 및 도 31의 (A)에 도시된 단계들을 통해, 절연막(364), 산화물 반도체막(366), 도전막(368), 도전막(370), 절연막(372), 및 도전막(374)이 기판(362) 위에 형성된다. 여기에서, 절연막(372)은 에칭되지 않고 전체 표면 위에 형성된다는 것을 주의하자.

[0475] 다음으로, 도 34의 (B)에 도시된 바와 같이, 불순물 원소(377)가 마스크들로서 도전막(368), 도전막(370), 및 도전막(374)을 사용하여 산화물 반도체막(366)에 부가된다.

[0476] 다음으로, 도 34의 (C)에 도시된 바와 같이, 절연막(375)이 절연막(372) 및 도전막(374) 위에 형성된다.

[0477] 절연막(375)은 측벽 절연막들이 될 막이다. 절연막(375)은 실시형태 1에서의 절연막(104)의 재료 및 형성 방법을 사용하여 적절히 형성될 수 있다.

[0478] 다음으로, 절연막(375)은 반응성 이온 에칭(RIE) 방법과 같은 이방성 에칭에 의해 가공되며, 그에 의해 도전막

(374)의 측면들과 접하는 측벽 절연막(331a) 및 측벽 절연막(331b)이 도 34의 (D)에 도시된 바와 같이 자가-정렬 방식으로 형성될 수 있다.

[0479] 다음으로, 도 35의 (A)에 도시된 바와 같이, 절연막(372)은 마스크들로서 측벽 절연막(331a) 및 측벽 절연막(331b)을 사용하여 에칭되며, 따라서 산화물 반도체막(366)의 부분이 노출된다.

[0480] 다음으로, 도 35의 (B)에 도시된 바와 같이, 절연막(376)은 산화물 반도체막(366), 도전막(368), 도전막(370), 및 도전막(374) 위에 형성된다. 절연막(376)이 수소를 포함한 막이므로, 수소는 산화물 반도체막(366)에서 절연막(376)과 접하는 영역으로 이동한다.

[0481] 도 35의 (C)는 도 35의 (B)에서의 산화물 반도체막(366)의 부근의 확대도이다. 산화물 반도체막(366)은 도전막(368) 또는 도전막(370)과 접하는 영역(366a), 절연막(376)과 접하는 영역(366b), 및 절연막(372)과 접하는 영역(366d)을 포함한다. 더욱이, 절연막(372)을 개재하여 측벽 절연막들(331a 및 331b)과 중첩하는 영역(366c)이 포함된다. 도전막(374)의 측면이 테이퍼링된 형태를 갖는 경우에, 영역(366c)은 도전막(374)의 테이퍼링된 부분과 중첩할 수 있다는 것을 주의하자.

[0482] 영역(366b) 및 영역(366c)은 저-저항 영역들로서 작용한다. 영역(366b)은 불순물 원소들로서 적어도 희가스 및 수소를 포함한다. 더욱이, 영역(366c)은 불순물 원소로서 적어도 희가스 원소를 포함한다. 수소가 영역(366b)으로부터 확산되는 경우에, 수소는 영역(366c)에 포함되지만, 영역(366c)의 불순물 원소 농도는 영역(366b)의 불순물 원소 농도보다 낮다. 영역(366c)을 제공함으로써, 트랜지스터의 소스-드레인 항복 전압은 증가될 수 있다.

[0483] 본 실시형태에서 설명된 트랜지스터에서, 소스 전극 및 드레인 전극으로서 작용하는 도전막들은 게이트 전극으로서 작용하는 도전막과 중첩하지 않으며, 따라서 기생 용량은 감소될 수 있으며 온-상태 전류는 높다. 더욱이, 본 실시형태에서 설명된 트랜지스터에서, 저-저항 영역이 안정되게 형성될 수 있으며; 그러므로, 온-상태 전류는 더 높고 트랜지스터의 전기적 특성들에서의 변화는 종래의 트랜지스터에서보다 더 감소된다.

[0484] 본 실시형태에서 설명된 구조들, 방법들 등은 다른 실시형태들에서 설명된 구조들, 방법들 등 중 임의의 것과 조합하여 적절히 사용될 수 있다.

[0485] (실시형태 4)

[0486] 본 실시형태에서, 반도체 장치 및 그것의 제조 방법의 일 실시형태가 도 50의 (A) 및 (B), 도 51의 (A) 및 (B), 및 도 52의 (A) 내지 (D)를 참조하여 설명될 것이다. 본 실시형태는 구동 회로부의 트랜지스터에 포함된 산화물 반도체막의 구조에서 실시형태 1과 상이하다는 것을 주의하자. 더욱이, 트랜지스터에 포함된 저-저항 영역을 형성하기 위한 방법으로서, 실시형태 3에 주어진 방법이 사용된다.

[0487] <반도체 장치의 구조>

[0488] 도 50의 (A) 및 (B)에서, 상부-게이트 구조를 가진 트랜지스터가 반도체 장치에 포함된 트랜지스터의 예로서 도시된다.

[0489] 도 50의 (A)는 트랜지스터(390) 및 트랜지스터(395a)의 단면도들을 도시한다. 도 50의 (B)는 트랜지스터(390) 및 트랜지스터(395b)의 단면도들을 도시한다. 도 50의 (A) 및 (B), 도 51의 (A) 및 (B), 및 도 52의 (A) 내지 (D)에서, X1-X2는 구동 회로부에서 제공된 트랜지스터의 단면도에 대응하며, X3-X4는 화소부에서 제공된 트랜지스터의 단면도에 대응한다는 것을 주의하자.

[0490] 도 50의 (A) 및 (B)는 구동 회로부에서 제공된 트랜지스터가 산화물 반도체막의 구조에서 화소부에서 제공된 트랜지스터와 상이하다는 점을 특징으로 한다.

[0491] 실시형태 3에서의 트랜지스터(390)처럼, 도 50의 (A)에 도시된 트랜지스터(390)는 단층 구조를 가진 산화물 반도체막(366)을 포함한다.

[0492] 도 50의 (A)에 도시된 트랜지스터(395a)는 산화물 반도체막(267a) 및 산화물 반도체막(267b)이 적층되는 산화물 반도체막(266)을 포함하는 것을 특징으로 한다. 상부 표면 형태에서, 산화물 반도체막(267b)의 에지부는 산화물 반도체막(267a)의 에지부 바깥쪽에 위치된다는 것을 주의하자. 즉, 산화물 반도체막(267b)은 산화물 반도체막(267a)의 상부 표면 및 측면을 덮는다. 더욱이, 산화물 반도체막(267a)은 절연막(364)과 접촉하며, 산화물 반도체막(267b)은 산화물 반도체막(267a) 및 절연막(272)과 접촉한다.

[0493] 도 50의 (B)에 도시된 트랜지스터(395b)는 산화물 반도체막(267a), 산화물 반도체막(267b), 및 산화물 반도체막

(267c)이 적층되는 산화물 반도체막(266)을 포함하는 것을 특징으로 한다. 상부 표면 형태에서, 산화물 반도체막(267b)의 에지부는 산화물 반도체막(267a) 및 산화물 반도체막(267c)의 에지부들 바깥쪽에 위치된다는 것을 주의하자. 즉, 산화물 반도체막(267b)은 산화물 반도체막(267a)의 상부 표면 및 측면 및 산화물 반도체막(267c)의 측면을 덮는다. 더욱이, 산화물 반도체막(267c)은 절연막(364)과 접촉하고, 산화물 반도체막(267b)은 절연막(272)과 접촉하며, 산화물 반도체막(267a)은 산화물 반도체막(267b) 및 산화물 반도체막(267c)과 접촉한다.

[0494] 트랜지스터(395a), 트랜지스터(395b), 및 트랜지스터(390)에서, 산화물 반도체막(267a) 및 산화물 반도체막(267b)은 상이한 구성요소들을 갖는 반면, 산화물 반도체막(267b) 및 산화물 반도체막(366)은 동일한 조성을 가진다. 즉, 산화물 반도체막(267a)은 산화물 반도체막(267b) 및 산화물 반도체막(366)을 형성하는 단계와 상이한 단계에서 형성되며, 또한, 산화물 반도체막(267b) 및 산화물 반도체막(366)은 동일한 단계에서 형성된다.

[0495] 트랜지스터(395a) 및 트랜지스터(395b)에서, 채널은 산화물 반도체막(267a)에 형성된다. 그러므로, 산화물 반도체막(267a)의 두께는 바람직하게는 산화물 반도체막(267b)의 것보다 크다.

[0496] 산화물 반도체막(267a)의 두께는 3 nm 이상 및 200 nm 이하, 10 nm 이상 및 50 nm 이하, 또는 20 nm 이상 및 35 nm 이하이다. 산화물 반도체막들(267b 및 366)의 각각의 두께는 3 nm 이상 및 200 nm 이하, 3 nm 이상 또는 100 nm 이하, 10 nm 이상 및 100 nm 이하, 또는 30 nm 이상 및 50 nm 이하이다.

[0497] 산화물 반도체막(267a), 산화물 반도체막(267b), 및 산화물 반도체막(366)은 각각 적어도 In을 포함한 금속 산화물을 사용하여 형성되며, 통상적으로 In-Ga 산화물막, In-M-Zn 산화물막(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다) 등을 사용하여 형성된다.

[0498] 산화물 반도체막(267a)에서, In 원자들의 비율은 M(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다) 원자들의 것보다 높다. 산화물 반도체막(367a)이 In-M-Zn 산화물막(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다)을 포함하며, In:M:Zn = x_3:y_3:z_3의 금속 원소들의 원자 비를 가진 타겟이 산화물 반도체막(367a)을 형성하기 위해 사용되는 경우에, x_3/y_3은 바람직하게는 1보다 크며 6보다 작거나 같다. 타겟의 금속 원소들의 원자 비의 통상적인 예들은 In:M:Zn = 2:1:1.5, In:M:Zn = 2:1:2.3, In:M:Zn = 2:1:3, In:M:Zn = 3:1:2, In:M:Zn = 3:1:3, 및 In:M:Zn = 3:1:4이다.

[0499] 산화물 반도체막(267b) 및 산화물 반도체막(366)에서, In 원자들의 비율은 M(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다) 원자들의 것보다 낮거나 같다. 산화물 반도체막(267b) 및 산화물 반도체막(366)이 In-M-Zn 산화물막(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다)이며 In:M:Zn = x_4:y_4:z_4의 금속 원소들의 원자 비를 가진 타겟이 산화물 반도체막(267b) 및 산화물 반도체막(366)을 형성하기 위해 사용되는 경우에, x_4/y_4는 바람직하게는 1/6 이상 및 1 이하이며, z_4/y_4는 바람직하게는 1/3 이상 및 6 이하, 추가로 바람직하게는 1 이상 6 이하이다. z_4/y_4가 1 이상 및 6 이하일 때, 산화물 반도체막(267b) 및 산화물 반도체막(366)으로서 CAAC-OS 막이 쉽게 형성된다는 것을 주의하자. 타겟의 금속 원소들의 원자 비의 통상적인 예들은 In:M:Zn = 1:1:1, In:M:Zn = 1:1:1.2, In:M:Zn = 1:3:2, In:M:Zn = 1:3:4, In:M:Zn = 1:3:6, In:M:Zn = 1:3:8, In:M:Zn = 1:4:4, In:M:Zn = 1:4:5, In:M:Zn = 1:4:6, In:M:Zn = 1:4:7, In:M:Zn = 1:4:8, In:M:Zn = 1:5:5, In:M:Zn = 1:5:6, In:M:Zn = 1:5:7, In:M:Zn = 1:5:8, 및 In:M:Zn = 1:6:8이다.

[0500] 트랜지스터(395a) 및 트랜지스터(395b)는 채널이 In 원자들의 비율이 M(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다) 원자들의 것보다 높은 산화물 반도체막(267a)에서 형성되기 때문에 높은 전계-효과 이동도를 가진다. 트랜지스터(395a) 및 트랜지스터(395b)는 10 ㎠/Vs 이상 및 60 ㎠/Vs 미만, 바람직하게는 15 ㎠/Vs 이상 및 50 ㎠/Vs 미만의 전계-효과 이동도를 가진 트랜지스터들이다. 그러나, 광이 방출될 때, 오프 상태에서의 전류는 증가된다. 그러므로, 구동 회로부에서 광-차단 막을 제공함으로써, 전계-효과 이동도가 높으며 오프 상태에서의 전류가 낮은 트랜지스터가 획득된다. 그 결과, 고속 동작이 가능한 구동 회로부가 형성될 수 있다.

[0501] 대안적으로, 도 51의 (A)에 도시된 트랜지스터(397a) 및 도 51의 (B)에 도시된 트랜지스터(397b)에서처럼, 광-차단 막으로서 작용하는 도전막(261)이 제공될 수 있다. 더욱이, 도전막(261) 및 도전막(274)을 접속함으로써, 트랜지스터(397a) 및 트랜지스터(397b)의 온-상태 전류는 추가로 증가될 수 있으며, 전계-효과 이동도는 증가될 수 있다.

[0502] 트랜지스터(390)에서, 채널은 In 원자들이 비율이 M(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다) 원자들의 것보다 낮거나 같은 산화물 반도체막에서 형성된다. 따라서, 광이 산화물 반도체막으로 방출될 때조차, 오프-상태 전류에서의 증가의 양은 작다. 그러므로, In 원자들의 비율이 M(M은 Mg, Al, Ti, Ga, Y, Zr, La,

Ce, Nd, 또는 Hf이다) 원자들의 것보다 낮거나 같은 산화물 반도체막을 포함한 트랜지스터를 화소부에 제공함으로써, 광 조사로 인해 거의 악화되지 않으며 높은 표시 품질을 제공하는 화소부가 획득될 수 있다.

[0503] 산화물 반도체막(267c)에서, In 원자들의 비율은 M(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다) 원자들의 것보다 낮다. 산화물 반도체막(267c)이 In-M-Zn 산화물막(M은 Mg, Al, Ti, Ga, Y, Zr, La, Ce, Nd, 또는 Hf이다)이며 In:M:Zn = x_5:y_5:z_5의 금속 원소들의 원자 비를 가진 타겟이 산화물 반도체막(267c)을 형성하기 위해 사용되는 경우에, x_5/y_5는 바람직하게는 1/6 이상 및 1 미만이며, z_5/y_5는 바람직하게는 1/3 이상 및 6 이하, 추가로 바람직하게는 1 이상 6 이하이다. z_5/y_5가 1 이상 및 6 이하일 때, 산화물 반도체막(267c)으로서 CAAC-OS 막이 쉽게 형성된다는 것을 주의하자. 타겟의 금속 원소들의 원자 비의 통상적인 예들은 In:M:Zn = 1:3:2, In:M:Zn = 1:3:4, In:M:Zn = 1:3:6, In:M:Zn = 1:3:8, In:M:Zn = 1:4:4, In:M:Zn = 1:4:5, In:M:Zn = 1:4:6, In:M:Zn = 1:4:7, In:M:Zn = 1:4:8, In:M:Zn = 1:5:5, In:M:Zn = 1:5:6, In:M:Zn = 1:5:7, In:M:Zn = 1:5:8, 및 In:M:Zn = 1:6:8이다.

[0504] 산화물 반도체막(267c)이 In-Ga 산화물막인 경우에, 산화물 반도체막(267c)은 In-Ga 금속 산화물 타겟(In:Ga = 7:93)을 사용하여 스퍼터링 방법에 의해 형성될 수 있다. 산화물 반도체막(267c)을 형성하기 위해 DC 방전을 사용하여 스퍼터링 방법에 의해 In-Ga 산화물막을 증착시키기 위해, In:Ga의 원자비가 x:y일 때, y/(x+y)는 0.96 이하, 추가로 바람직하게는 0.95 이하, 예를 들면, 0.93인 것이 바람직하다.

[0505] 도 50의 (B)에 도시된 트랜지스터(395b) 및 도 51의 (B)에 도시된 트랜지스터(397b)에서 제공된 산화물 반도체막들(267c)의 두께는 각각 산화물 반도체막(267a)의 두께보다 작으며 2 nm 이상 및 100 nm 이하, 바람직하게는 2 nm 이상 및 50 nm 이하, 추가로 바람직하게는 3 nm 이상 및 15 nm 이하이다. 게이트 절연막으로서 작용하는 절연막(364) 및 산화물 반도체막(267a) 사이에 산화물 반도체막(267c)을 제공함으로써, 트랜지스터의 임계 전압에서의 변화는 감소될 수 있다.

[0506] <반도체 장치를 제조하기 위한 방법>

[0507] 다음으로, 도 51의 (A)에 예시된 트랜지스터(390) 및 트랜지스터(397a)를 제조하기 위한 방법이 도 52의 (A) 내지 (D)를 참조하여 설명될 것이다.

[0508] 도 52의 (A)에 예시된 바와 같이, 도전막(261)은 기판(362) 위에 형성된다. 다음으로, 절연막(364)은 기판(362) 및 도전막(261) 위에 형성된다. 다음으로, 산화물 반도체막(265a)은 절연막(364) 위에 형성된다.

[0509] 다음으로, 도 52의 (B)에 도시된 바와 같이, 마스크가 포토리소그래피 공정에 의해 산화물 반도체막(265a) 위에 형성된 후, 산화물 반도체막(265a)은 구동 회로부에 산화물 반도체막(267a)을 형성하기 위해 에칭된다.

[0510] 다음으로, 도 52의 (C)에 도시된 바와 같이, 산화물 반도체막(265b)은 절연막(364) 및 산화물 반도체막(267a) 위에 형성된다.

[0511] 다음으로, 도 52의 (D)에 도시된 바와 같이, 마스크가 포토리소그래피 공정에 의해 산화물 반도체막(265b) 위에 형성된 후, 산화물 반도체막(265b)은 구동 회로부에서 산화물 반도체막(267a)을 덮는 산화물 반도체막(267b)을 형성하기 위해, 그리고 화소부에서 산화물 반도체막(366)을 형성하기 위해 에칭된다.

[0512] 이 단계에서, 산화물 반도체막(267b)은 산화물 반도체막(267a)의 상부 표면 및 측면을 덮기 위해, 산화물 반도체막(267a)이 소스 전극 및 드레인 전극으로서 작용하는 도전막들을 형성하는 나중 단계에서 에칭되는 것을 방지하기 위해 형성된다는 것을 주의하자. 이것은 트랜지스터의 채널 폭 방향으로 산화물 반도체막(267a)의 길이에서의 변화들이 감소될 수 있기 때문에 바람직하다.

[0513] 그 후, 도 30의 (A) 내지 (D) 및 도 31의 (A) 내지 (C)에 예시된 단계들이 수행되며, 그에 의해 트랜지스터(390) 및 트랜지스터(397a)가 제조될 수 있다.

[0514] 본 실시형태에서 설명된 구조, 방법 등은 다른 실시형태들에서 설명된 구조들, 방법들 등 중 임의의 것과 조합하여 적절히 사용될 수 있다.

[0515] (실시형태 5)

[0516] 본 실시형태에서, 반도체 장치의 일 실시형태가 도 37의 (A) 및 (B), 도 38의 (A) 및 (B), 및 도 39의 (A) 및 (B)를 참조하여 설명된다. 여기에서, 표시 장치는 반도체 장치의 예로서 설명된다. 표시 장치의 화소부는 복수의 화소들을 포함한다. 여기에서, 하나의 화소에 포함된 트랜지스터 및 상기 트랜지스터에 접속된 용량소자의

구조들이 설명된다.

[0517] <반도체 장치의 구조 1>

[0518] 도 37의 (A) 및 (B)는 화소에 포함된 트랜지스터(150) 및 상기 트랜지스터(150)에 접속된 용량소자(159)의 구조들을 예시한다.

[0519] 도 37의 (A) 및 (B)는 트랜지스터(150) 및 용량소자(159)의 상면도들 및 단면도들이다. 도 37의 (A)는 트랜지스터(150) 및 용량소자(159)의 상면도들을 도시한다. 도 37의 (B)는 도 37의 (A)에서 일점쇄선(X3-X4) 및 일점쇄선(X5-X6)을 따른 단면도들을 도시한다.

[0520] 도 37의 (A) 및 (B)에 예시된 트랜지스터(150)는 실시형태 1에서의 트랜지스터(150)의 것과 유사한 구조를 가진다.

[0521] 용량소자(159)는 절연막(104) 위의 산화물 반도체막(156), 상기 산화물 반도체막(156)과 접하는 절연막(118), 및 절연막(118) 위의 도전막(124)을 포함한다.

[0522] 절연막(122)은 절연막(118) 위에 형성된다. 도전막(124)은 절연막(116), 절연막(118), 및 절연막(122)의 개구부(142a)에서 도전막(112)과 접촉한다. 도전막(124)은 절연막(108), 절연막(116), 및 절연막(122)의 개구부(142b) 내에서 절연막(118)과 접촉한다.

[0523] 절연막(122)으로서, 예를 들면, 폴리이미드, 아크릴, 폴리아미드, 또는 에폭시의 유기 수지막이 사용될 수 있다. 절연막(122)은 바람직하게는 500 ㎚ 이상 및 10 ㎛ 이하의 두께를 가진다.

[0524] 도전막(124)은 인듐 주석 산화물, 텅스텐 산화물을 포함한 인듐 산화물, 텅스텐 산화물을 포함한 인듐 주석 산화물, 티타늄 산화물을 포함한 인듐 산화물, 티타늄 산화물을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 또는 실리콘 산화물을 포함한 인듐 주석 산화물과 같은 광-투과 도전성 재료를 사용하여 형성될 수 있다.

[0525] 도전막(124)은 은, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 또는 텅스텐과 같은, 광을 반사하는 금속 원소를 사용하여 형성될 수 있다. 더욱이, 광을 반사하는 금속 원소를 사용하여 형성된 막 및 상기 광-투과 도전성 재료를 사용하여 형성된 막이 적층될 수 있다.

[0526] 산화물 반도체막(156)은 산화물 반도체막(106)과 동시에 형성되기 때문에 광-투과 특성을 가진다. 더욱이, 불순물 원소는 산화물 반도체막(106)에 포함된 영역(106b)의 것과 유사한 방식으로 산화물 반도체막(156)에 부가된다. 따라서, 산화물 반도체막(156)은 도전성을 가진다.

[0527] 도전막(124)이 광-투과 도전성 재료를 사용하여 형성되는 경우에, 용량소자(159)는 광-투과 특성을 가진다. 따라서, 표시 장치의 화소에 용량소자(159)를 제공함으로써, 화소에서의 개구율이 증가될 수 있다.

[0528] <반도체 장치의 구조 2>

[0529] 도 38의 (A) 및 (B)는 화소에 포함된 트랜지스터(190) 및 상기 트랜지스터(190)에 접속된 용량소자(199)의 구조들을 예시한다.

[0530] 도 38의 (A) 및 (B)는 트랜지스터(190) 및 용량소자(199)의 상면도들 및 단면도들이다. 도 38의 (A)는 트랜지스터(190) 및 용량소자(199)의 상면도들을 도시한다. 도 38의 (B)는 도 38의 (A)에서 일점쇄선(X3-X4) 및 일점쇄선(X5-X6)을 따른 단면도들을 도시한다.

[0531] 도 38의 (A) 및 (B)에 예시된 트랜지스터(190)는 실시형태 2에서의 트랜지스터(190)의 것과 유사한 구조를 가진다.

[0532] 용량소자(199)는 절연막(164) 위의 산화물 반도체막(198), 상기 산화물 반도체막(198)과 접하는 절연막(176), 및 절연막(176) 위의 도전막(184)을 포함한다.

[0533] 절연막(182)은 절연막(178) 위에 형성된다. 도전막(184)은 절연막(176), 절연막(178), 및 절연막(182)의 개구부(182a) 내에서 도전막(172)과 접촉한다. 도전막(184)은 절연막(168), 절연막(178), 및 절연막(182)의 개구부(182b) 내에서 절연막(176)과 접촉한다.

[0534] 절연막(182)은 도 37의 (B)에 예시된 절연막(122)에 대한 재료를 사용하여 적절히 형성될 수 있다.

[0535] 도전막(184)은 도 37의 (B)에 예시된 도전막(124)에 대한 재료를 사용하여 적절히 형성될 수 있다.

[0536] 산화물 반도체막(198)은 산화물 반도체막(166)과 동시에 형성되기 때문에 광-투과 특성을 가진다. 더욱이, 불순물 원소는 산화물 반도체막(166)에 포함된 영역(166)의 것과 유사한 방식으로 산화물 반도체막(198)에 부가된다. 따라서, 산화물 반도체막(198)은 도전성을 가진다.

[0537] 도전막(184)이 광-투과 도전성 재료를 사용하여 형성되는 경우에, 용량소자(199)는 광-투과 특성을 가진다. 따라서, 표시 장치의 화소에 이러한 용량소자(199)를 제공함으로써, 화소에서의 개구율은 증가될 수 있다.

[0538] 더욱이, 용량소자의 일 전극으로서, 도전성을 가진 산화물 반도체막은 트랜지스터에 포함된 산화물 반도체막과 동시에 형성될 수 있다. 그러므로, 트랜지스터 및 용량소자는 마스크들의 수를 증가시키지 않고 동시에 형성될 수 있다.

[0539] <반도체 장치의 구조 3>

[0540] 도 39의 (A) 및 (B)는 화소에 포함된 트랜지스터(390) 및 상기 트랜지스터(390)에 접속된 용량소자(399)를 예시한다.

[0541] 도 39의 (A) 및 (B)는 트랜지스터(390) 및 용량소자(399)의 상면도들 및 단면도들이다. 도 39의 (A)는 트랜지스터(390) 및 용량소자(399)의 상면도들을 도시한다. 도 39의 (B)는 도 39의 (A)에서 일점쇄선(X3-X4) 및 일점쇄선(X5-X6)을 따른 단면도들을 도시한다.

[0542] 도 39의 (A) 및 (B)에 예시된 트랜지스터(390)는 실시형태 3에서의 트랜지스터(390)의 것과 유사한 구조를 가진다.

[0543] 용량소자(399)는 절연막(364) 위의 산화물 반도체막(396), 산화물 반도체막(396)과 접하는 절연막(376), 및 절연막(376) 위의 도전막(384)을 포함한다.

[0544] 절연막(382)은 절연막(376) 위에 형성된다. 도전막(384)은 절연막(376) 및 절연막(382)의 개구부(388a) 내에서 도전막(370)과 접촉한다. 도전막(384)은 절연막(382)의 개구부(338b) 내에서 절연막(376)과 접촉한다.

[0545] 절연막(382)은 도 37의 (B)에 예시된 절연막(122)에 대한 재료를 사용하여 적절히 형성될 수 있다.

[0546] 도전막(384)은 도 37의 (B)에 예시된 도전막(124)에 대한 재료를 사용하여 적절히 형성될 수 있다.

[0547] 산화물 반도체막(396)은 산화물 반도체막(366)과 동시에 형성되기 때문에 광-투과 특성을 가진다. 더욱이, 불순물 원소는 산화물 반도체막(366)에 포함된 영역(366b)의 것과 유사한 방식으로 산화물 반도체막(396)에 부가된다. 따라서, 산화물 반도체막(396)은 도전성을 가진다.

[0548] 도전막(384)이 광-투과 도전성 재료를 사용하여 형성되는 경우에, 용량소자(399)는 광-투과 특성을 가진다. 따라서, 표시 장치의 화소에 이러한 용량소자(399)를 제공함으로써, 화소에서의 개구율이 증가될 수 있다.

[0549] 더욱이, 용량소자의 일 전극으로서, 도전성을 가진 산화물 반도체막은 트랜지스터에 포함된 산화물 반도체막과 동시에 형성될 수 있다. 그러므로, 트랜지스터 및 용량소자는 마스크들의 수를 증가시키지 않고 동시에 형성될 수 있다.

[0550] 본 실시형태에서 설명된 구조들, 방법들 등은 다른 실시형태들에서 설명된 구조들, 방법들 등 중 임의의 것과 조합하여 적절히 사용될 수 있다.

[0551] (실시형태 6)

[0552] 본 실시형태에서, 본 발명의 일 실시형태의 반도체 장치에 포함된 산화물 반도체막의 구조가 이하에서 상세히 설명된다.

[0553] <산화물 반도체의 구조>

[0554] 산화물 반도체의 구조가 이하에서 설명된다.

[0555] 산화물 반도체는 단결정 산화물 반도체 및 비-단결정 산화물 반도체로 분류된다. 비-단일-결정 산화물 반도체의 예들은 c-축 정렬 결정성 산화물 반도체(CAAC-OS), 다결정 산화물 반도체, 미결정 산화물 반도체, 및 비정질 산화물 반도체를 포함한다.

[0556] 또 다른 관점으로부터, 산화물 반도체는 비정질 산화물 반도체 및 결정성 산화물 반도체로 분류된다. 결정성 산화물 반도체의 예들은 단결정 산화물 반도체, CAAC-OS, 다결정 산화물 반도체, 및 미결정 산화물 반도체를 포함

한다.

[0557] <CAAC-OS>

[0558] 첫 번째로, CAAC-OS가 설명된다. CAAC-OS는 c-축 정렬된 나노결정들(CANC)을 포함한 산화물 반도체로서 언급될 수 있다.

[0559] CAAC-OS는 복수의 c-축 정렬 결정 부분들(또한 펠릿들로서 언급되는)을 가진 산화물 반도체들 중 하나이다.

[0560] 투과 전자 현미경(TEM)을 사용하여 획득되는, CAAC-OS의 회절 패턴 및 명시야 이미지의 조합된 분석 이미지(또한 고-분해능 TEM 이미지로서 언급되는)에서, 복수의 펠릿들이 관찰될 수 있다. 그러나, 고-분해능 TEM 이미지에서, 펠릿들 사이에서의 경계, 즉 결정립계는 명확하게 관찰되지 않는다. 따라서, CAAC-OS에서, 결정립계로 인한 전자 이동도에서의 감소가 발생할 가능성은 적다.

[0561] TEM에 의해 관찰된 CAAC-OS가 이하에서 설명된다. 도 47의 (A)는 샘플 표면에 실질적으로 평행하는 방향으로부터 관찰되는 CAAC-OS의 단면의 고-분해능 TEM 이미지를 도시한다. 구면 수차 보정 기능에 의해 획득된 고-분해능 TEM 이미지는 특히 Cs-보정 고-분해능 TEM 이미지로서 언급된다. Cs-보정 고-분해능 TEM 이미지는 예를 들면, JEOL Ltd에 의해 제조된 원자 분해능 분석적 전자 현미경(JEM-ARM200F)에 의해 획득될 수 있다.

[0562] 도 47의 (B)는 도 47의 (A)에서 영역(1)의 확대된 Cs-보정 고-분해능 TEM 이미지이다. 도 47의 (B)는 금속 원자들이 펠릿에서 계층화된 방식으로 배열됨을 도시한다. 각각의 금속 원자 층은 CAAC-OS가 형성되는 표면(이후, 표면은 형성 표면으로 언급된다) 또는 CAAC-OS의 상부 표면의 불균일성을 반영한 구성을 가지며, CAAC-OS의 형성 표면 또는 상부 표면에 평행하게 배열된다.

[0563] 도 47의 (B)에 도시된 바와 같이, CAAC-OS는 특성적 원자 배열을 가진다. 특성적 원자 배열은 도 47의 (C)에서의 보조 라인에 의해 표시된다. 도 47의 (B) 및 (C)는 펠릿의 크기가 대략 1 nm 내지 3 nm이며, 펠릿들의 기울기에 의해 야기된 공간의 크기는 대략 0.8 nm임을 증명한다. 그러므로, 펠릿은 또한 나노결정(nc)으로서 언급될 수 있다.

[0564] 여기에서, Cs-보정 고-분해능 TEM 이미지들에 따라, 기판(5120) 위에서 CAAC-OS의 펠릿들(5100)의 개략적인 배열은 벽돌(brick)들 또는 블록들이 적층되는 이러한 구조에 의해 예시된다(도 47의 (D) 참조). 도 47의 (C)에 관찰된 바와 같이 펠릿들이 경사진 부분은 도 47의 (D)에 도시된 영역(5161)에 대응한다.

[0565] 도 48의 (A)는 샘플 표면에 실질적으로 수직인 방향으로부터 관찰된 CAAC-OS의 평면의 Cs-보정 고-분해능 TEM 이미지를 도시한다. 도 48의 (B), (C), 및 (D)는 각각 도 48의 (A)에서의 영역들((1), (2), 및 (3))의 확대된 Cs-보정된 고-분해능 TEM 이미지들이다. 도 48의 (B), (C), 및 (D)는 금속 원자들이 펠릿에서 삼각형, 사각형, 또는 6각형 구성으로 배열됨을 표시한다. 그러나, 상이한 펠릿들 사이에서 금속 원자들의 배열의 규칙성은 없다.

[0566] 다음으로, X-선 회절(XRD)에 의해 분석된 CAAC-OS가 설명된다. 예를 들면, $InGaZnO_4$ 결정을 포함한 CAAC-OS의 구조가 out-of-plane 방법에 의해 분석될 때, 피크는 도 49의 (A)에 도시된 바와 같이 약 31° 의 회절 각(2θ)에서 나타난다. 이러한 피크는 $InGaZnO_4$ 결정의 (009) 평면으로부터 도출되며, 이것은 CAAC-OS에서의 결정들이 c-축 정렬을 가지며, c-축들이 CAAC-OS의 형성 표면 또는 상부 표면에 실질적으로 수직인 방향으로 정렬됨을 표시한다.

[0567] out-of-plane 방법에 의한 CAAC-OS의 구조적 분석에서, 또 다른 피크는, 약 31° 의 2θ에서의 피크 외에, 2θ가 대략 36° 일 때 나타날 수 있음을 주의하자. 약 36° 의 2θ에서의 피크는 c-축 정렬을 갖지 않는 결정이 CAAC-OS의 부분에 포함됨을 표시한다. out-of-plane 방법에 의해 분석된 CAAC-OS에서, 피크는 2θ가 약 31° 일 때 나타나며 피크는 2θ가 약 36° 일 때 나타나지 않는 것이 바람직하다.

[0568] 다른 한편으로, X-선이 c-축에 실질적으로 수직인 방향으로 샘플 상에 입사되는 in-plane 방법에 의한 CAAC-OS의 구조적 분석에서, 피크는 2θ가 약 56° 일 때 나타난다. 이러한 피크는 $InGaZnO_4$ 결정의 (110) 평면으로부터 도출된다. CAAC-OS의 경우에, 도 49의 (B)에 도시된 바와 같이, 분석(φ 스캔)이 2θ가 약 56° 에 고정되고, 샘플 표면의 법선 벡터를 축(φ 축)으로 사용하여 샘플이 회전되는 상태에서 수행될 때, 피크는 명확하게 관찰되지 않는다. 반대로, $InGaZnO_4$의 단결정 산화물 반도체의 경우에, 도 49의 (C)에 도시된 바와 같이, φ 스캔이 2θ가 약 56° 에 고정된 상태로 수행될 때, (110) 평면과 등가의 결정 평면들로부터 도출되는 6개의 피크들이

관찰된다. 따라서, XRD를 사용한 구조적 분석은 a-축들 및 b-축들의 방향들이 CAAC-OS에서 상이함을 도시한다.

[0569] 다음으로, 전자 회절에 의해 분석된 CAAC-OS가 설명된다. 예를 들면, 300 nm의 프로브 직경을 가진 전자 빔이 $InGaZnO_4$ 결정을 포함한 CAAC-OS 상에 샘플 표면에 평행한 방향으로 입사될 때, 도 55의 (A)에 도시된 회절 패턴(또한 제한시야 투과 전자 회절 패턴으로서 언급되는)이 획득될 수 있다. 이러한 회절 패턴에서, $InGaZnO_4$ 결정의 (009) 평면으로부터 도출된 스팟들이 포함된다. 따라서, 전자 회절은 또한 CAAC-OS에 포함된 펠릿들이 c-축 정렬을 가지며 c-축들은 CAAC-OS의 형성 표면 또는 상부 표면에 실질적으로 수직인 방향으로 정렬됨을 표시한다. 한편, 도 55의 (B)는 300 nm의 프로브 직경을 가진 전자 빔이 샘플 표면에 수직인 방향으로 동일한 샘플 상에 입사되도록 하는 방식으로 획득된 회절 패턴을 도시한다. 도 55의 (B)에서처럼, 링-형 회절 패턴이 관찰된다. 따라서, 전자 회절은 또한 CAAC-OS에 포함된 펠릿들의 a-축들 및 b-축들이 규칙적인 배향을 갖지 않음을 표시한다. 도 55의 (B)에서의 제 1 링은 $InGaZnO_4$ 결정의 (010) 평면, (100) 평면 등으로부터 도출되는 것으로 고려된다. 도 55의 (B)에서의 제 2 링은 (110) 평면 등으로부터 도출되는 것으로 고려된다.

[0570] 게다가, CAAC-OS는 낮은 밀도의 결함 상태들을 가진 산화물 반도체이다. 산화물 반도체에서의 결함들은, 예를 들면, 불순물 및 산소 결손으로 인한 결함이다. 그러므로, CAAC-OS는 낮은 불순물 농도를 가진 산화물 반도체, 또는 작은 양의 산소 결손을 가진 산화물 반도체로서 간주될 수 있다.

[0571] 산화물 반도체에 포함된 불순물은 캐리어 트랩으로서 작용하거나 또는 캐리어 발생원으로서 작용할 수 있다. 더욱이, 산화물 반도체에서의 산소 결손은 수소가 그 안에 포획될 때 캐리어 트랩으로서 작용하거나 또는 캐리어 발생원으로서 작용한다.

[0572] 불순물은 수소, 탄소, 실리콘, 또는 전이 금속 원소와 같은, 산화물 반도체의 주 성분들이 아닌 원소를 의미한다는 것을 주의하자. 예를 들면, 산화물 반도체에 포함된 금속 원소보다 산소에 대한 더 높은 강도의 결합을 가진 원소(구체적으로, 실리콘 등)가 산화물 반도체로부터 산소를 추출하며, 이것은 산화물 반도체의 원자 배열의 무질서 및 감소된 결정도를 야기한다. 철 또는 니켈과 같은 중금속, 아르곤, 이산화탄소 등은 큰 원자 반경(또는 분자 반경)을 가지며, 따라서 산화물 반도체의 원자 배열을 방해하며 결정도를 감소시킨다.

[0573] 낮은 밀도의 결함 상태들(작은 양의 산소 결손)을 가진 산화물 반도체는 낮은 캐리어 밀도를 가질 수 있다. 이러한 산화물 반도체는 고순도 진성 또는 실질적으로 고순도 진성 산화물 반도체로서 언급된다. CAAC-OS는 낮은 불순물 농도 및 낮은 밀도의 결함 상태들을 가진다. 즉, CAAC-OS는 고순도 진성 또는 실질적으로 고순도 진성 산화물 반도체일 가능성이 있다. 따라서, CAAC-OS를 포함한 트랜지스터는 드물게 음의 임계 전압(드물게 노멀리 온인)을 가진다. 고순도 진성 또는 실질적으로 고순도 진성 산화물 반도체는 적은 캐리어 트랩들을 가진다. 산화물 반도체에서 캐리어 트랩들에 의해 포획된 전하는 방출되는데 긴 시간이 걸린다. 포획된 전하는 고정된 전하처럼 거동할 수 있다. 따라서, 높은 불순물 농도 및 높은 밀도의 결함 상태들을 가진 산화물 반도체를 포함하는 트랜지스터는 안정되지 않은 전기적 특성들을 가질 수 있다. 그러나, CAAC-OS를 포함한 트랜지스터는 전기적 특성들에서의 작은 변화 및 높은 신뢰성을 가진다.

[0574] CAAC-OS는 낮은 밀도의 결함 상태들을 가지므로, 광 조사 등에 의해 발생된 캐리어들은 결함 상태들에서 포획될 가능성이 적다. 그러므로, CAAC-OS를 사용한 트랜지스터에서, 가시광선 또는 자외선의 조사로 인한 전기적 특성들에서의 변화는 작다.

[0575] <미결정 산화물 반도체>

[0576] 다음으로, 미결정 산화물 반도체가 설명된다.

[0577] 미결정 산화물 반도체는 결정 부분이 관찰되는 영역 및 결정 부분이 고-분해능 TEM 이미지에서 명확하게 관찰되지 않은 영역을 가진다. 대부분의 경우들에서, 미결정 산화물 반도체에 포함된 결정 부분의 크기는 1 nm 이상 및 100 nm 이하, 또는 1 nm 이상 및 10 nm 이하이다. 1 nm 이상 및 10 nm 이하, 또는 1 nm 이상 및 3 nm 이하의 크기를 가진 미세 결정인 나노결정을 포함한 산화물 반도체는 구체적으로 나노결정 산화물 반도체(nc-OS)로서 언급된다. 예를 들면, nc-OS의 고-분해능 TEM 이미지에서, 결정립계는 몇몇 경우들에서 명확하게 관찰되지 않는다. 나노결정의 기원이 CAAC-OS에서의 펠릿의 것과 동일할 가능성이 있다는 것을 주의하자. 그러므로, nc-OS의 결정 부분은 다음의 설명에서 펠릿으로서 언급될 수 있다.

[0578] nc-OS에서, 미시적 영역(예를 들면, 1 nm 이상 및 10 nm 이하의 크기를 가진 영역, 특히, 1 nm 이상 및 3 nm 이하의 크기를 가진 영역)은 주기적 원자 배열을 가진다. nc-OS에서의 상이한 펠릿들 사이에서 결정 배향의 규칙성은 전혀 없다. 따라서, 전체 막의 배향은 정돈되지 않는다. 따라서, nc-OS는 분석 방법에 의존하여, 비정질

산화물 반도체로부터 구별될 수 없다. 예를 들면, nc-OS가 펠릿의 크기보다 큰 직경을 가진 X-선을 사용하여 XRD 장치를 갖고 out-of-plane 방법에 의한 구조적 분석의 대상이 될 때, 결정 평면을 도시하는 피크는 나타나지 않는다. 더욱이, 할로 패턴과 같은 회전 패턴은 nc-OS가 펠릿의 크기보다 큰 프로브 직경(예로서, 50 nm 이상)을 가진 전자 빔을 사용한 전자 회절(전자 회절은 또한 제한시야 전자 회절로서 언급된다)의 대상이 될 때 관찰된다. 한편, 스팟들은 펠릿의 크기에 가깝거나 또는 그보다 작은 프로브 직경을 가진 전자 빔이 인가될 때 nc-OS의 나노빔 전자 회절 패턴에서 나타난다. 게다가, nc-OS의 나노빔 전자 회절 패턴에서, 원형(링) 패턴에서의 높은 휘도를 가진 영역들이 몇몇 경우들에서 도시된다. 또한 nc-OS의 나노빔 전자 회절 패턴에서, 복수의 스팟들이 몇몇 경우들에서 링-형 영역에 도시된다.

[0579] 상기 언급된 바와 같이, 펠릿들(나노결정들) 사이에 결정 배향의 규칙성이 전혀 없으므로, nc-OS는 또한 랜덤 정렬 나노결정들(RANC)을 포함한 산화물 반도체 또는 비-정렬 나노결정들(NANC)을 포함한 산화물 반도체로서 언급될 수 있다.

[0580] nc-OS는 비정질 산화물 반도체와 비교하여 높은 규칙성을 가진 산화물 반도체이다. 그러므로, nc-OS는 비정질 산화물 반도체보다 낮은 밀도의 결함 상태들을 가질 가능성이 크다. nc-OS에서 상이한 펠릿들 사이에 결정 배향의 규칙성이 전혀 없음을 주의하자. 그러므로, nc-OS는 CAAC-OS보다 높은 밀도의 결함 상태들을 가진다.

[0581] <비정질 산화물 반도체>

[0582] 다음으로, 비정질 산화물 반도체가 설명된다.

[0583] 비정질 산화물 반도체는 무질서한 원자 배열을 가지며 어떤 결정 부분도 갖지 않고 석영으로서 비정질 상태에 존재하는 산화물 반도체에 의해 대표되는 산화물 반도체이다.

[0584] 비정질 산화물 반도체의 고-분해능 TEM 이미지에서, 결정 부분들은 발견될 수 없다.

[0585] 비정질 산화물 반도체가 XRD 장치를 갖고 out-of-plane 방법에 의한 구조적 분석의 대상이 될 때, 결정 평면을 보여주는 피크는 나타나지 않는다. 할로(halo) 패턴은 비정질 산화물 반도체가 전자 회절의 대상이 될 때 관찰된다. 더욱이, 스팟은 관찰되지 않으며 단지 할로 패턴만이 비정질 산화물 반도체가 나노빔 전자 회절의 대상이 될 때 나타난다.

[0586] 비정질 구조에 대한 다양한 이해들이 있다. 예를 들면, 그것의 원자 배열이 전혀 질서를 갖지 않는 구조는 완전 비정질 구조로 언급된다. 한편, 가장 가까운 이웃 원자 거리 또는 두 번째로 가까운 이웃 원자 거리까지 질서를 갖지만 장거리 질서를 갖지 않는 구조는 또한 비정질 구조로 언급된다. 그러므로, 가장 엄격한 정의는 심지어 무시해도 될 정도의 질서가 원자 배열에 존재하는 한 산화물 반도체가 비정질 산화물 반도체로 불리우도록 허용하지 않는다. 적어도 장거리 질서를 가진 산화물 반도체는 비정질 산화물 반도체로 언급될 수 없다. 따라서, 예를 들면, 결정 부분의 존재 때문에, CAAC-OS 및 nc-OS는 비정질 산화물 반도체 또는 완전 비정질 산화물 반도체로 언급될 수 없다.

[0587] <비정질-유사 산화물 반도체>

[0588] 산화물 반도체는 nc-OS 및 비정질 산화물 반도체 사이에서 중간의 구조를 가질 수 있다는 것을 주의하자. 이러한 구조를 가진 산화물 반도체는 구체적으로 비정질-유사 산화물 반도체(a-like OS)로서 언급된다.

[0589] a-like OS의 고-분해능 TEM 이미지에서, 보이드가 관찰될 수 있다. 더욱이, 고-분해능 TEM 이미지에서, 결정 부분이 명확하게 관찰되는 영역 및 결정 부분이 관찰되지 않는 영역이 있다.

[0590] a-like OS는 그것이 보이드를 포함하기 때문에 안정되지 않은 구조를 가진다. a-like OS가 CAAC-OS 및 nc-OS와 비교하여 안정되지 않은 구조를 가진다는 것을 증명하기 위해, 전자 조사에 의해 야기된 구조에서의 변화가 이하에서 설명된다.

[0591] a-like OS(샘플 A로 언급되는), nc-OS(샘플 B로 언급되는), 및 CAAC-OS(샘플 C로 언급되는)는 전자 조사의 대상이 되는 샘플들로서 준비된다. 샘플들의 각각은 In-Ga-Zn 산화물이다.

[0592] 첫 번째로, 각각의 샘플의 고-분해능 단면 TEM 이미지가 획득된다. 고-분해능 단면 TEM 이미지들은 샘플들 모두가 결정 부분들을 가진다는 것을 보여준다.

[0593] 어떤 부분이 결정 부분으로서 간주되는지가 다음과 같이 결정된다는 것을 주의하자. $InGaZnO_4$ 결정의 단위 셀은 3개의 In-O 층들 및 6개의 Ga-Zn-O 층들을 포함한 9개의 층들이 c-축 방향으로 적층되는 구조를 가진다는 것이

알려져 있다. 인접한 층들 사이에서의 거리는 (009) 평면 상에서 격자 간격(또한 d 값으로서 언급되는)과 같다. 이 값은 결정 구조 분석으로부터 0.29 nm인 것으로 산출된다. 따라서, 격자 프린지들 사이에서의 격자 간격이 0.28 nm 이상 또는 0.30 nm 이하인 부분은 $InGaZnO_4$의 결정 부분으로서 간주된다. 격자 프린지들의 각각은 $InGaZnO_4$ 결정의 a-b 평면에 대응한다.

[0594] 도 56은 각각의 샘플에서 결정 부분들(22개의 포인트들 내지 45개의 포인트들에서)의 평균 크기에서의 변화를 도시한다. 결정 부분 크기는 격자 프린지의 길이에 대응한다는 것을 주의하자. 도 56은 a-like OS에서의 결정 부분 크기가 누적 전자 조사량에서의 증가에 따라 증가함을 나타낸다. 구체적으로, 도 56에서 (1)에 의해 도시된 바와 같이, TEM 관찰의 시작에서 대략 1.2 nm의 결정 부분(결정 부분은 또한 초기 핵으로 언급된다)은 4.2×10^8 e^-/cm^2의 누적 전자 조사량에서 대략 2.6 nm의 크기로 성장한다. 반대로, nc-OS 및 CAAC-OS에서의 결정 부분 크기는 전자 조사의 시작으로부터 4.2×10^8 e^-/cm^2의 누적 전자 조사량까지 적은 변화를 도시한다. 구체적으로, 도 56에서 (2) 및 (3)에 의해 도시된 바와 같이, nc-OS 및 CAAC-OS에서의 평균 결정 크기들은, 누적 전자 조사량에 관계없이, 각각 대략 1.4 nm 및 대략 2.1 nm이다.

[0595] 이러한 방식으로, a-like OS에서의 결정 부분의 성장은 전자 조사에 의해 유도된다. 반대로, nc-OS 및 CAAC-OS에서, 결정 부분의 성장은 전자 조사에 의해 거의 유도되지 않는다. 그러므로, a-like OS는 nc-OS 및 CAAC-OS와 비교하여 안정되지 않은 구조를 가진다.

[0596] a-like OS는 그것이 보이드를 포함하기 때문에 nc-OS 및 CAAC-OS보다 낮은 밀도를 가진다. 구체적으로, a-like OS의 밀도는 동일한 조성을 가진 단결정 산화물 반도체의 밀도의 78.6% 이상 및 92.3% 미만이다. nc-OS 및 CAAC-OS의 각각의 밀도는 동일한 조성을 가진 단결정 산화물 반도체의 밀도의 92.3% 이상 및 100% 미만이다. 단결정 산화물 반도체의 밀도의 78% 미만의 밀도를 가진 산화물 반도체를 증착시키는 것은 어렵다는 것을 주의하자.

[0597] 예를 들면, In:Ga:Zn = 1:1:1의 원자비를 가진 산화물 반도체의 경우에, 능면체 결정 구조를 가진 단결정 $InGaZnO_4$의 밀도는 6.357 g/cm^3이다. 따라서, In:Ga:Zn = 1:1:1의 원자비를 가진 산화물 반도체의 경우에, a-like OS의 밀도는 5.0 g/cm^3 이상 및 5.9 g/cm^3 미만이다. 예를 들면, In:Ga:Zn = 1:1:1의 원자비를 가진 산화물 반도체의 경우에, nc-OS 및 CAAC-OS의 각각의 밀도는 5.9 g/cm^3 이상 및 6.3 g/cm^3 미만이다.

[0598] 특정한 조성을 가진 산화물 반도체가 단결정 구조로 존재할 가능성이 있다는 것을 주의하자. 상기 경우에, 상이한 조성들을 가진 단결정 산화물 반도체들은 적절한 비로 조합되며, 이것은 원하는 조성을 가진 단결정 산화물 반도체의 것과 등가의 밀도를 산출하는 것을 가능하게 한다. 원하는 조성을 가진 단결정 산화물 반도체의 밀도는 상이한 조성들을 가진 단결정 산화물 반도체들의 조합 비에 따라 가중 평균을 사용하여 산출될 수 있다. 밀도를 산출하기 위하여 가능한 한 적은 종류들의 단결정 산화물 반도체들을 사용하는 것이 바람직하다는 것을 주의하자.

[0599] 상기 설명된 바와 같이, 산화물 반도체들은 다양한 구조들 및 다양한 특성들을 가진다. 산화물 반도체는 예를 들면, 비정질 산화물 반도체, a-like OS, 미결정 산화물 반도체, 및 CAAC-OS의 둘 이상의 막들을 포함한 적층일 수 있다는 것을 주의하자.

[0600] <증착 모델>

[0601] CAAC-OS 및 nc-OS의 증착 모델들의 예들이 이하에서 설명된다.

[0602] 도 57의 (A)는 CAAC-OS가 스퍼터링 방법에 의해 증착되는 증착 챔버의 내부의 개략적인 도면이다.

[0603] 타겟(5130)은 후면 판에 부착된다. 복수의 자석들이 후면 판을 개재하여 타겟(5130)을 향하도록 제공된다. 복수의 자석들은 자기장을 발생시킨다. 증착 속도가 자석들의 자기장을 이용함으로써 증가되는 스퍼터링 방법은 마그네트론 스퍼터링 방법으로서 언급된다.

[0604] 기판(5120)은 타겟(5130)을 향하도록 위치되며, 거리(d)(또한 타겟-기판 거리(T-S 거리)로서 언급되는)는 0.01 m 이상 및 1 m 이하, 바람직하게는 0.02 m 이상 및 0.5 m 이하이다. 증착 챔버는 대부분 증착 가스(예로서, 산소 가스, 아르곤 가스, 또는 5 vol% 이상의 산소를 포함한 혼합 가스)로 채워지며 증착 챔버에서의 압력은 0.01 Pa 이상 및 100 Pa 이하, 바람직하게는 0.1 Pa 이상 및 10 Pa 이하이도록 제어된다. 여기에서, 방전은 타겟(5130)으로의 특정한 값 이상의 전압의 인가에 의해 시작되며, 플라즈마가 관찰된다. 자기장은 타겟(5130)의 부근에서 고-밀도 플라즈마 영역을 형성한다. 고-밀도 플라즈마 영역에서, 증착 가스는 이온화되며, 따라서 이온

(5101)이 발생된다. 이온(5101)의 예들은 산소 양이온(O^+) 및 아르곤 양이온(Ar^+)을 포함한다.

[0605] 여기에서, 타겟(5130)은 복수의 결정 입자들을 포함하며 벽개면이 적어도 하나의 결정 입자에 존재하는 다결정 구조를 가진다. 도 58의 (A)는 예로서 타겟(5130)에 포함된 $InGaZnO_4$ 결정의 구조를 도시한다. 도 58의 (A)는 $InGaZnO_4$ 결정이 b-축에 평행한 방향으로부터 관찰되는 경우의 구조를 도시한다는 것을 주의하자. 도 58의 (A)는 Ga-Zn-O 층에서의 산소 원자들이 인접한 Ga-Zn-O 층에서의 것들에 가깝게 위치됨을 표시한다. 산소 원자들은 음의 전하를 가지며, 그에 의해 척력이 두 개의 Ga-Zn-O 층들 사이에서 발생된다. 그 결과, $InGaZnO_4$ 결정은 두 개의 인접한 Ga-Zn-O 층들 사이에 벽개면을 가진다.

[0606] 고-밀도 플라즈마 영역에서 발생된 이온(5101)은 전기장에 의해 타겟(5130) 측을 향해 가속화되며, 그 후 타겟(5130)과 충돌한다. 이때, 평판-형(펠릿-형) 스퍼터된 입자들인 펠릿(5100a) 및 펠릿(5100b)은 분리되며 벽개면으로부터 스퍼터링된다. 펠릿(5100a) 및 펠릿(5100b)의 구조들은 이온(5101)의 충돌에 의해 왜곡될 수 있다는 것을 주의하자.

[0607] 펠릿(5100a)은 삼각형 평면, 예로서 정삼각형 평면을 가진 평판-형(펠릿-형) 스퍼터된 입자이다. 펠릿(5100b)은 6각형 평면, 예로서 정육각형 평면을 가진 평판-형(펠릿-형) 스퍼터된 입자이다. 펠릿(5100a) 및 펠릿(5100b)과 같은 평판-형(펠릿-형) 스퍼터된 입자들은 총괄하여 펠릿들(5100)로서 언급된다는 것을 주의하자. 펠릿(5100)의 평면의 형태는 삼각형 또는 6각형에 제한되지 않는다. 예를 들면, 평면은 둘 이상의 삼각형들을 조합함으로써 형성된 형태를 가질 수 있다. 예를 들면, 사각형(예로서, 마름모)은 두 개의 삼각형들(예로서, 정삼각형들)을 조합함으로써 형성될 수 있다.

[0608] 펠릿(5100)의 두께는 증착 가스 등의 종류에 의존하여 결정된다. 펠릿들(5100)의 두께는 바람직하게는 일정하며. 이에 대한 이유는 나중에 설명된다. 또한, 스퍼터된 입자는 바람직하게는 큰 두께를 가진 주사위 형태와 비교하여 작은 두께를 가진 펠릿 형태를 가진다. 예를 들면, 펠릿(5100)의 두께는 0.4 nm 이상 및 1 nm 이하, 바람직하게는 0.6 nm 이상 및 0.8 nm 이하이다. 또한, 예를 들면, 펠릿(5100)의 폭은 1 nm 이상 및 3 nm 이하, 바람직하게는 1.2 nm 이상 및 2.5 nm 이하이다. 펠릿(5100)은 도 56에서의 (1)의 설명에서 초기 핵에 대응한다. 예를 들면, 이온(5101)이 In-Ga-Zn 산화물을 포함한 타겟(5130)과 충돌할 때, 도 58의 (B)에 도시된 바와 같이 Ga-Zn-O 층, In-O 층, 및 Ga-Zn-O 층의 3개의 층들을 포함하는 펠릿(5100)이 분리된다. 도 58의 (C)는 c-축에 평행한 방향으로부터 관찰되는 분리된 펠릿(5100)의 구조를 도시한다는 것을 주의하자. 펠릿(5100)은 두 개의 Ga-Zn-O 층들 및 하나의 In-O 층을 포함한 나노미터-크기 샌드위치 구조를 가진다.

[0609] 펠릿(5100)은 플라즈마를 통과할 때 전하를 수신할 수 있으며, 따라서, 그것의 측면들은 음으로 또는 양으로 대전된다. 예를 들면, 펠릿(5100)에서, 그것의 측면상에 위치된 산소 원자는 음으로 대전될 수 있다. 측면들이 동일한 극성을 갖고 대전될 때, 전하들은 서로 밀어내며, 따라서, 펠릿(5100)은 평판 형태를 유지할 수 있다. CAAC-OS가 In-Ga-Zn 산화물인 경우에, 인듐 원자에 결합된 산소 원자가 음으로 대전될 가능성이 있다. 인듐 원자, 갈륨 원자, 또는 아연 원자에 결합된 산소 원자가 음으로 대전될 또 다른 가능성이 있다. 또한, 펠릿(5100)은 플라즈마를 통과할 때 인듐 원자, 갈륨 원자, 아연 원자, 산소 원자 등과 결합됨으로써 성장할 수 있다. 도 56에서 (2) 및 (1) 사이에서의 크기의 차이는 플라즈마 내에서 성장의 양에 대응한다. 여기에서, 기판(5120)의 온도가 대략 실온인 경우에, 기판(5120) 상에서의 펠릿(5100)은 거의 성장하지 않으며; 따라서 nc-OS가 형성된다(도 57의 (B) 참조). nc-OS는 nc-OS의 증착이 실온에서 실행될 수 있기 때문에 기판(5120)이 큰 크기를 가질 때 증착될 수 있다. 펠릿(5100)이 플라즈마 내에서 성장하기 위해, 스퍼터링 시 증착 전력을 증가시키는 것이 효과적이라는 것을 주의하자. 높은 증착 전력은 펠릿(5100)의 구조를 안정화시킬 수 있다.

[0610] 도 57의 (A) 및 (B)에 도시된 바와 같이, 펠릿(5100)은 플라즈마에서 연처럼 날며 기판(5120)까지 팔랑거리며 난다. 펠릿들(5100)이 대전되므로, 펠릿(5100)이 또 다른 펠릿(5100)이 이미 증착된 영역에 다가갈 때, 반발이 발생된다. 여기에서, 기판(5120) 위에서, 기판(5120)의 상부 표면에 평행한 방향에서의 자기장(또한 수평 자기장으로서 언급되는)이 발생된다. 기판(5120) 및 타겟(5130) 사이에서 전위 차가 주어지며, 따라서 전류는 기판(5120)으로부터 타겟(5130)을 향해 흐른다. 따라서, 펠릿(5100)은 자기장 및 전류의 효과에 의해 기판(5120)의 상부 표면상에 힘(로런츠 힘)을 제공받는다. 이것은 플레밍의 왼손 법칙을 갖고 설명 가능하다.

[0611] 펠릿(5100)의 질량은 원자의 것보다 크다. 그러므로, 기판(5120)의 상부 표면 위에서 펠릿(5100)을 이동시키기 위해, 바깥쪽으로부터 펠릿(5100)으로 상당한 힘을 인가하는 것이 중요하다. 한 종류의 힘은 자기장 및 전류의 작용에 의해 발생되는 힘일 수 있다. 펠릿(5100)이 기판(5120)의 상부 표면 위에서 이동하도록 펠릿(5100)에 충분한 힘을 인가하기 위해, 상부 표면상에서, 기판(5120)의 상부 표면에 평행한 방향에서의 자기장이 10 G 이상,

바람직하게는 20 G 이상, 더 바람직하게는 30 G 이상, 더더욱 바람직하게는 50 G 이상인 영역을 제공하는 것이 바람직하다. 대안적으로, 상부 표면상에서, 기판(5120)의 상부 표면에 평행한 방향에서의 자기장이 기판(5120)의 상부 표면에 수직인 방향에서의 자기장의 1.5배 이상, 바람직하게는 2배 이상, 더 바람직하게는 3배 이상, 더더욱 바람직하게는 5배 이상 높은 영역을 제공하는 것이 바람직하다.

[0612] 이때, 자석들 및 기판(5120)은 상대적으로 이동되거나 또는 회전되며, 그에 의해 기판(5120)의 상부 표면상에서의 수평 자기장의 방향은 계속해서 변한다. 그러므로, 펠릿(5100)은 다양한 방향들의 힘들을 수용함으로써 기판(5120)의 상부 표면상에서 다양한 방향들로 이동될 수 있다.

[0613] 더욱이, 도 57의 (A)에 도시된 바와 같이, 기판(5120)이 가열될 때, 마찰 등으로 인한 펠릿(5100) 및 기판(5120) 사이에서의 저항은 낮다. 그 결과, 펠릿(5100)은 기판(5120)의 상부 표면 위를 미끄러지듯 움직인다. 펠릿(5100)의 미끄러짐은 그것의 평면이 기판(5120)에 면하는 상태에서 야기된다. 그 후, 펠릿(5100)이 이미 증착된 또 다른 펠릿(5100)의 측면에 도달할 때, 펠릿들(5100)의 측면들은 결합된다. 이때, 펠릿(5100)의 측면상에서의 산소 원자가 방출된다. 방출된 산소 원자에 의해, CAAC-OS에서의 산소 결손들이 채워질 수 있으며; 따라서, CAAC-OS는 낮은 밀도의 결함 상태들을 가진다. 기판(5120)의 상부 표면의 온도는 예를 들면, 100℃ 이상 및 500℃ 미만, 150℃ 이상 및 450℃ 미만, 또는 170℃ 이상 및 400℃ 미만임을 주의하자. 그러므로, 기판(5120)이 큰 크기를 가질 때조차, CAAC-OS를 증착시키는 것이 가능하다.

[0614] 더욱이, 펠릿(5100)은 기판(5120) 상에서 가열되며, 그에 의해 원자들이 재배열되며, 이온(5101)의 충돌에 의해 야기된 구조 왜곡은 감소될 수 있다. 그것의 구조 왜곡이 감소되는 펠릿(5100)은 실질적으로 단결정이다. 펠릿들(5100)이 결합된 후 가열될 때조차, 펠릿(5100) 자체의 팽창 및 수축은 거의 발생하지 않으며, 이것은 펠릿(5100)이 실질적으로 단결정이 됨으로써 야기된다. 따라서, 펠릿들(5100) 사이에서의 공간의 팽창으로 인한 결정립계와 같은 결함들의 형성이 방지될 수 있으며, 따라서 균열들의 생성이 방지될 수 있다.

[0615] CAAC-OS는 단결정 산화물 반도체의 판과 같은 구조를 갖지 않지만 적층된 벽돌들 또는 블록들처럼 펠릿들(5100)(나노결정들)의 그룹에 의한 배열을 가진다. 더욱이, 결정립계는 펠릿들(5100) 사이에 존재하지 않는다. 그러므로, 수축과 같은 변형이 증착 동안의 가열, 증착 후의 가열 또는 굽힘으로 인해 CAAC-OS에서 발생할 때조차, 국부 응력 또는 방출 왜곡을 완화시키는 것이 가능하다. 그러므로, 이러한 구조는 가요성 반도체 장치에 적합하다. nc-OS는 펠릿들(5100)(나노결정들)이 랜덤하게 적층되는 배열을 가진다는 것을 주의하자.

[0616] 타겟(5130)이 이온(5101)에 의해 스퍼터링될 때, 펠릿들(5100) 외에, 아연 산화물 등이 분리될 수 있다. 아연 산화물은 펠릿보다 더 가벼우며 따라서 펠릿 전에 기판(5120)의 상부 표면에 도달한다. 그 결과, 아연 산화물은 0.1 nm 이상 및 10 nm 이하, 0.2 nm 이상 및 5 nm 이하, 또는 0.5 nm 이상 및 2 nm 이하의 두께를 갖는 아연 산화물 층(5102)을 형성한다. 도 59의 (A) 내지 (D)는 단면 개략도들이다.

[0617] 도 59의 (A)에 예시된 바와 같이, 펠릿(5105a) 및 펠릿(5105b)은 아연 산화물 층(5102) 위에 증착된다. 여기에서, 펠릿(5105a) 및 펠릿(5105b)의 측면들은 서로 접촉한다. 또한, 펠릿(5105c)은 펠릿(5105b) 위에 증착되며, 그 후 펠릿(5105b) 위를 미끄러지듯 움직인다. 더욱이, 아연 산화물과 함께 타겟으로부터 분리된 복수의 입자들(5103)은 기판(5120)으로부터의 가열에 의해 결정화되어, 펠릿(5105a)의 또 다른 측면상에 영역(5105a1)을 형성한다. 복수의 입자들(5103)은 산소, 아연, 인듐, 갈륨 등을 포함할 수 있다는 것을 주의하자.

[0618] 그 후, 도 59의 (B)에 예시된 바와 같이, 영역(5101a1)은 펠릿(5105a2)을 형성하기 위해 펠릿(5105a)의 부분으로 성장한다. 또한, 펠릿(5105c)의 측면은 펠릿(5105b)의 또 다른 측면과 접촉한다.

[0619] 다음으로, 도 59의 (C)에 예시된 바와 같이, 펠릿(5105d)은 펠릿(5105a2) 및 펠릿(5105b) 위에 증착되며, 그 후 펠릿(5105a2) 및 펠릿(5105b) 위를 미끄러지듯 움직인다. 더욱이, 펠릿(5105e)은 아연 산화물 층(5102) 위에서 펠릿(5105c)의 또 다른 측면을 향해 미끄러지듯 움직인다.

[0620] 그 후, 도 59의 (D)에 예시된 바와 같이, 펠릿(5105d)은 펠릿(5105d)의 측면이 펠릿(5105a2)의 측면과 접촉하도록 위치된다. 더욱이, 펠릿(5105e)의 측면은 펠릿(5105c)의 또 다른 측면과 접촉한다. 아연 산화물과 함께 타겟(5130)으로부터 분리된 복수의 입자들(5103)은 기판(5120)으로부터의 가열에 의해 결정화되어, 펠릿(5105d)의 또 다른 측면상에 영역(5105d1)을 형성한다.

[0621] 상기 설명된 바와 같이, 증착된 펠릿들은 서로 접촉하도록 위치되며 그 후 성장이 펠릿들의 측면들에서 야기되고, 그에 의해 CAAC-OS가 기판(5120) 위에 형성된다. 그러므로, CAAC-OS의 각각의 펠릿은 nc-OS의 것보다 크다. 도 56에서 (3) 및 (2) 사이에서의 크기의 차이는 증착 후 성장의 양에 대응한다.

[0622] 펠릿들 사이에서의 공간들이 매우 작을 때, 펠릿들은 큰 펠릿을 형성할 수 있다. 큰 펠릿은 단결정 구조를 가진다. 예를 들면, 펠릿의 크기는 위로부터 보았을 때, 10 nm 이상 및 200 nm 이하, 15 nm 이상 및 100 nm 이하, 또는 20 nm 이상 및 50 nm 이하일 수 있다. 이 경우에, 매우 작은 트랜지스터를 위해 사용된 산화물 반도체에서, 채널 형성 영역은 큰 펠릿 내부에 들어갈 수 있다. 즉, 단결정 구조를 가진 영역은 채널 형성 영역으로서 사용될 수 있다. 더욱이, 펠릿의 크기가 증가될 때, 단결정 구조를 가진 영역은 트랜지스터의 채널 형성 영역, 소스 영역, 및 드레인 영역으로서 사용될 수 있다.

[0623] 이러한 방식으로, 트랜지스터의 채널 형성 영역 등이 단결정 구조를 가진 영역에서 형성될 때, 트랜지스터의 주파수 특성들은 몇몇 경우들에서 증가될 수 있다.

[0624] 이러한 모델에서 도시된 바와 같이, 펠릿들(5100)은 기판(5120) 상에 증착되는 것으로 고려된다. 따라서, CAAC-OS는 형성 표면이 결정 구조를 갖지 않을 때조차 증착될 수 있으며; 그러므로, 이 경우에 성장 메커니즘은 에피택셜 성장과 상이하다. 또한, 레이저 결정화는 CAAC-OS의 형성을 위해 요구되지 않으며, 균일한 막이 심지어 대형 유리 기판 등 위에서 형성될 수 있다. 예를 들면, 기판(5120)의 상부 표면(형성 표면)이 비정질 구조를 가질 때조차(예로서, 상부 표면은 비정질 실리콘 산화물로 형성된다), CAAC-OS가 형성될 수 있다.

[0625] 또한, CAAC-OS의 형성 시, 펠릿들(5100)은 형성 표면이 불균일성을 가질 때조차 형성 표면인 기판(5120)의 상부 표면 형태에 따라 배열된다는 것을 알 수 있다. 예를 들면, 기판(5120)의 상부 표면이 원자 준위에서 편평한 경우에, 펠릿들(5100)은 a-b 평면에 평행한 평면들이 아래쪽으로 향하도록 배열된다. 펠릿들(5100)의 두께들이 균일한 경우에, 균일한 두께, 편평도, 및 높은 결정도를 가진 층이 형성된다. n개의 층들(n은 자연수이다)을 적층시킴으로써, CAAC-OS가 획득될 수 있다.

[0626] 기판(5120)의 상부 표면이 불균일성을 갖는 경우에, 그 각각에서 펠릿들(5100)이 불균일성을 따라 배열되는 n개의 층들(n은 자연수이다)이 적층되는 CAAC-OS가 형성된다. 기판(5120)이 불균일성을 가지므로, 갭은 몇몇 경우들에서 CAAC-OS에서 펠릿들(5100) 사이에서 쉽게 발생된다. 이러한 경우에서조차, 분자간 힘으로 인해, 펠릿들(5100)은 펠릿들 사이에서의 갭이 불균일성 표면상에서조차 가능한 한 작도록 배열된다는 것을 주의하자. 그러므로, 막 형성 표면이 불균일성을 가질 때조차, 높은 결정도를 가진 CAAC-OS가 획득될 수 있다.

[0627] CAAC-OS가 이러한 모델에 따라 증착되므로, 스퍼터된 입자는 바람직하게는 작은 두께를 가진 펠릿 형태를 가진다. 스퍼터된 입자들이 큰 두께를 가진 주사위 형태를 가질 때, 기판(5120)을 향하는 평면들은 변하며; 따라서 결정들의 두께들 및 배향들은 몇몇 경우들에서 균일할 수 없다는 것을 주의하자.

[0628] 상기 설명된 증착 모델에 따라, 높은 결정도를 가진 CAAC-OS가 비정질 구조를 가진 막 형성 표면상에서조차 형성될 수 있다.

[0629] 본 실시형태에서 설명된 구조 및 방법은 다른 실시형태들에서 설명된 다른 구조들 및 방법들 중 임의의 것과 적절히 조합됨으로써 구현될 수 있다.

[0630] (실시형태 7)

[0631] 본 실시형태에서, 상기 설명된 트랜지스터를 포함하며 표시 기능을 가진 표시 장치의 예가 도 40의 (A) 및 (B), 도 41, 및 도 42를 참조하여 이하에서 설명된다.

[0632] 도 40의 (A)는 표시 장치의 예의 상면도이다. 도 40의 (A)에 예시된 표시 장치(700)는 제 1 기판(701) 위에 제공된 화소부(702); 구동 회로부이며 상기 제 1 기판(701) 위에 제공되는 소스 구동 회로부(704) 및 게이트 구동 회로부(706); 상기 화소부(702), 상기 소스 구동 회로부(704), 및 상기 게이트 구동 회로부(706)를 둘러싸기 위해 제공된 밀봉재(712); 및 상기 제 1 기판(701)을 향하도록 제공된 제 2 기판(705)을 포함한다. 상기 제 1 기판(701) 및 상기 제 2 기판(705)은 밀봉재(712)에 의해 밀봉된다. 즉, 화소부(702), 소스 구동 회로부(704), 및 게이트 구동 회로부(706)는 제 1 기판(701), 밀봉재(712), 및 제 2 기판(705)에 의해 밀봉된다. 도 40의 (A)에 예시되지 않지만, 표시 소자는 제 1 기판(701) 및 제 2 기판(705) 사이에 제공된다.

[0633] 표시 장치(700)에서, 화소부(702), 소스 구동 회로부(704), 및 게이트 구동 회로부(706)에 전기적으로 접속된 가요성 인쇄 회로(FPC) 단자부(708)가 밀봉재(712)에 의해 둘러싸여지며 제 1 기판(701) 위에 위치된 영역과 상이한 영역에 제공된다. 더욱이, FPC(716)는 FPC 단자부(708)에 접속되며, 다양한 신호들 등이 FPC(716)를 통해 화소부(702), 소스 구동 회로부(704), 및 게이트 구동 회로부(706)에 공급된다. 더욱이, 신호 라인(710a)은 화소부(702), 소스 구동 회로부(704), 게이트 구동 회로부(706), 및 FPC 단자부(708)에 접속된다. 다양한 신호들 등이 FPC(716)로부터 신호 라인(710a)을 통해 화소부(702), 소스 구동 회로부(704), 게이트 구동 회로부(706),

및 FPC 단자부(708)에 인가된다.

[0634] 도 40의 (B)는 표시 장치의 예의 상면도이다. 도 40의 (B)에 예시된 표시 장치(800)에서, 화소부(802)는 도 40의 (A)에 도시된 표시 장치(700)의 화소부(702) 대신에 사용되며, 신호 라인(710b)은 신호 라인(710a) 대신에 사용된다.

[0635] 복수의 게이트 구동 회로부들(706)이 표시 장치들(700 및 800)의 각각에 제공될 수 있다. 소스 구동 회로부(704) 및 게이트 구동 회로부(706)가, 화소부(702 또는 802)가 또한 표시 장치들(700 및 800)에 형성되는 제 1 기판(701) 위에 형성되는 예가 설명되지만; 본 발명의 일 실시형태는 상기 구조에 제한되지 않는다. 예를 들면, 단지 게이트 구동 회로부(706)만이 제 1 기판(701) 위에 형성될 수 있거나 또는 단지 소스 구동 회로부(704)만이 제 1 기판(701) 위에 형성될 수 있다. 이 경우에, 소스 구동 회로, 게이트 구동 회로 등이 형성되는 기판(예로서, 단결정 반도체막 또는 다결정 반도체막을 사용하여 형성된 구동 회로 기판)은 제 1 기판(701) 상에 장착될 수 있다.

[0636] 별도로 형성된 구동 회로 기판의 접속 방법에 대한 특정한 제한은 없으며; 칩 온 글라스(COG) 방법, 와이어 접합 방법 등이 사용될 수 있다. 본 명세서에서 표시 장치는 이미지 표시 장치, 표시 장치, 또는 광원(조명 장치 등을 포함한)을 의미한다는 것을 주의하자. 더욱이, 표시 장치는 또한 그것의 카테고리에 다음의 모듈들을 포함한다: FPC 또는 테이프 캐리어 패키지(TCP)와 같은 커넥터가 부착되는 모듈; 그것의 팁에 인쇄 배선 보드가 제공되는 TCP를 가진 모듈; 및 구동 회로 기판 또는 집적 회로(IC)가 COG 방법에 의해 표시 소자상에 바로 장착되는 모듈.

[0637] 표시 장치들(700 및 800)에 포함된 화소부들(702 및 802), 소스 구동 회로부(704), 및 게이트 구동 회로부(706)는 복수의 트랜지스터들을 포함한다. 복수의 트랜지스터들로서, 본 발명의 실시형태들의 반도체 장치들인 트랜지스터들 중 임의의 것이 사용될 수 있다.

[0638] 표시 장치(700)은 표시 소자로서 액정 소자를 포함하며, 표시 장치(800)는 표시 소자로서 발광 소자를 포함한다는 것을 주의하자.

[0639] 표시 소자, 표시 소자를 포함한 장치인 표시 장치, 발광 소자, 및 발광 소자를 포함한 장치인 발광 장치는 다양한 모드들을 이용할 수 있으며 다양한 소자들을 포함할 수 있다는 것을 주의하자. 표시 소자, 표시 장치, 발광 소자, 또는 발광 장치의 예들은, 전계 발광(EL) 소자(예로서, 유기 및 무기 재료들을 포함한 EL 소자, 유기 EL 소자, 또는 무기 EL 소자), LED(예로서, 백색 LED, 적색 LED, 녹색 LED, 또는 청색 LED), 트랜지스터(전류에 의존하여 광을 방출하는 트랜지스터), 전자 방출기, 액정 소자, 전자 잉크, 전기영동 소자, 격자 광 밸브(grating light valve, GLV), 플라즈마 표시 패널(PDP), 미세 전자 기계 시스템(MEMS)을 사용한 표시 소자, 디지털 마이크로미러 장치(DMD), 디지털 마이크로 셔터(DMS), MIRASOL(등록된 상표), 간섭 측정 변조기 표시(IMOD) 소자, MEMS 셔터 표시 소자, 광학-간섭-형 MEMS 표시 소자, 전기 습윤 소자, 압전 세라믹 표시장치, 또는 탄소 나노튜브와 같이, 콘트라스트, 휘도, 반사율, 투과율 등이 전자기 동작에 의해 변경되는 표시 매체를 포함한다. EL 소자들을 포함한 표시 장치들의 예들은 EL 디스플레이를 포함한다. 전자 방출기들을 포함한 표시 장치들의 예들은 전계 방출 디스플레이(FED) 및 SED-형 플랫 패널 디스플레이(SED: 표면-전도 전자-방출기 디스플레이)이다. 액정 소자들을 포함한 표시 장치들의 예들은 액정 디스플레이(예로서, 투과성 액정 디스플레이, 반투과성 액정 디스플레이, 반사성 액정 디스플레이, 직접-뷰 액정 디스플레이, 또는 투사형 액정 디스플레이)를 포함한다. 전자 잉크 또는 전기영동 소자들을 포함한 표시 장치의 예는 전자 종이이다. 반투과성 액정 디스플레이 또는 반사성 액정 디스플레이의 경우에, 화소 전극들 중 일부 또는 모두는 반사성 전극들로서 기능한다. 예를 들면, 화소 전극들 중 일부 또는 모두는 알루미늄, 은 등을 포함하도록 형성된다. 이러한 경우에, SRAM과 같은 메모리 회로는 반사성 전극들 하에서 제공될 수 있으며, 보다 낮은 소비 전력을 이끈다.

[0640] 표시 장치(700) 및 표시 장치(800)는 도 41, 도 42, 및 도 43을 참조하여 상세히 설명된다. 표시 장치(700) 및 표시 장치(800) 사이에서의 공통 부분들이 먼저 설명되며, 그 후 상이한 부분들이 설명된다.

[0641] <표시 장치들에서의 공통 부분들>

[0642] 도 41은 도 40의 (A)에서 일점쇄선(Q-R)을 따라 취해진 단면도이다. 도 42는 도 40의 (B)에서 일점쇄선(V-W)을 따라 취해진 단면도이다.

[0643] 도 41 및 도 42에 예시된 표시 장치들(700 및 800)은 리드 배선부(711), 화소부(702 또는 802), 소스 구동 회로부(704), 및 FPC 단자부(708)를 포함한다. 리드 배선부(711)가 신호 라인(710a) 또는 신호 라인(710b)을 포함한

다는 것을 주의하자.

[0644] 리드 배선부(711)에 포함된 신호 라인(710a)은 트랜지스터(750 또는 752)의 소스 전극 및 드레인 전극으로서 작용하는 도전막들과 동일한 공정에서 형성된다. 리드 배선부(711)에 포함된 신호 라인(710b)은 트랜지스터(750 또는 752)의 게이트 전극, 소스 전극, 및 드레인 전극을 형성하기 위한 공정와 상이한 공정에서 형성된다. 신호 라인(710a 또는 710b)은 트랜지스터(750 또는 752)의 게이트 전극으로서 기능하는 도전막과 동일한 공정에서 형성되는 도전막 또는 게이트 전극, 소스 전극, 또는 드레인 전극을 형성하기 위한 공정와 상이한 공정에서 형성되는 도전막을 사용하여 형성될 수 있다.

[0645] FPC 단자부(708)는 접속 전극(760), 이방성 도전막(780), 및 FPC(716)를 포함한다. 접속 전극(760)은 트랜지스터(750)의 소스 전극 층 및 드레인 전극 층으로서 기능하는 도전막들과 동일한 공정에서 형성된다는 것을 주의하자. 접속 전극(760)은 이방성 도전막(780)을 통해 FPC(716)에 포함된 단자에 전기적으로 접속된다.

[0646] 도 41 및 도 42에 예시된 표시 장치들(700 및 800)은 트랜지스터(750)가 화소부(702 또는 802)에 제공되며, 트랜지스터(752)가 소스 구동 회로부(704)에 제공되는 예들이다. 트랜지스터(750)는 실시형태 3에서의 트랜지스터(390)와 동일한 구조를 가지며, 트랜지스터(752)는 실시형태 3에서의 트랜지스터(394)와 동일한 구조를 가진다. 트랜지스터들(750 및 752)의 구조들은 트랜지스터들(390 및 394)의 구조들에 제한되지 않으며, 트랜지스터들의 다른 구조들 중 임의의 것이 적절하게 사용될 수 있다는 것을 주의하자.

[0647] 고도로 정제되며 산소 결손의 형성이 억제되는 산화물 반도체막을 포함하는, 본 실시형태에서 사용된 트랜지스터에서, 오프 상태에서의 전류(오프-상태 전류)는 낮아질 수 있다. 따라서, 이미지 신호와 같은 전기 신호는 보다 긴 기간 동안 유지될 수 있으며, 기록 간격은 온 상태에서 더 길게 설정될 수 있다. 따라서, 리프레시 동작의 빈도는 감소될 수 있으며, 이것은 소비 전력을 억제하는 효과로 이어진다.

[0648] 고도로 정제되며 산소 결손의 형성이 억제되는 산화물 반도체막을 포함하는, 본 실시형태에서 사용된 트랜지스터는 비교적 높은 전계-효과 이동도를 가질 수 있으며 따라서 고속으로 동작할 수 있다. 예를 들면, 액정 표시 장치를 위해 사용된 고속으로 동작할 수 있는 이러한 트랜지스터에 의해, 화소부에서의 스위칭 트랜지스터 및 구동 회로부에서의 구동기 트랜지스터가 하나의 기판 위에 형성될 수 있다. 즉, 실리콘 웨이퍼 등을 사용하여 형성된 반도체 장치는 구동 회로로서 부가적으로 요구되지 않으며, 그에 의해 반도체 장치의 구성요소들의 수는 감소될 수 있다. 또한, 고속으로 동작할 수 있는 트랜지스터는 또한 화소부에서 사용될 수 있으며, 그에 의해 고-품질 이미지가 제공될 수 있다.

[0649] 구리 원소를 포함한 배선은 화소부에서의 트랜지스터 및 구동 회로부에서의 트랜지스터에 접속된 신호 라인을 위해 사용될 수 있다. 그러므로, 본 발명의 일 실시형태의 표시 장치에서, 배선 저항으로 인한 신호 지연 등이 감소되며, 이것은 대형 스크린상에서의 표시를 가능하게 한다.

[0650] 본 실시형태에서, 화소부(702 또는 802)에 포함된 트랜지스터(750) 및 소스 구동 회로부(704)에 포함된 트랜지스터(752)는 동일한 크기에서 갖지만; 본 실시형태는 이에 제한되지 않는다는 것을 주의하자. 화소부(702) 및 소스 구동 회로부(704)에서 사용된 트랜지스터들의 크기들(L/W) 또는 수는 적절하게 달라질 수 있다. 게이트 구동 회로부(706)는 도 41 및 도 42에서 예시되지 않지만; 게이트 구동 회로부(706)는 게이트 구동 회로부(706)가 접속되는 부분, 접속 방법 등을 변경함으로써 소스 구동 회로부(704)의 것과 유사한 구조를 가질 수 있다.

[0651] 더욱이, 도 41 및 도 42에서, 평탄화 절연막(770)이 트랜지스터(750) 및 트랜지스터(752)에 포함된 절연막들(764 및 766) 위에 제공된다.

[0652] 절연막(766)은 상기 실시형태들에서 설명된 절연막(376)의 것들과 유사한 재료 및 방법을 사용하여 형성될 수 있다.

[0653] 평탄화 절연막(770)은 폴리이미드 수지, 아크릴 수지, 폴리이미드 아미드 수지, 벤조사이클로부텐 수지, 폴리아미드 수지, 또는 에폭시 수지와 같은, 내열성 유기 재료를 사용하여 형성될 수 있다. 평탄화 절연막(770)은 이들 재료들을 사용하여 형성된 복수의 절연막들을 적층시킴으로써 형성될 수 있다는 것을 주의하자. 대안적으로, 평탄화 절연막(770)이 없는 구조가 이용될 수 있다.

[0654] 도전막(772) 또는 도전막(844)은 트랜지스터(750)에 포함된 소스 전극 및 드레인 전극으로서 기능하는 도전막들 중 하나에 접속된다. 도전막들(772 및 844)은 각각 화소 전극, 즉 표시부의 일 전극으로서 작용하기 위해 평탄화 절연막(770) 위에 형성된다. 도전막(772)으로서, 가시광선을 투과하는 도전막이 바람직하게는 사용된다. 예를 들면, 도전막은 바람직하게는 인듐(In), 아연(Zn), 및 주석(Sn) 중 하나를 포함한 재료를 사용하여

형성된다. 도전막(844)으로서, 반사성 도전막이 바람직하게는 사용된다.

[0655] <표시 소자로서 액정 소자를 사용한 표시 장치의 구조 예 1>

[0656] 도 41에 예시된 표시 장치(700)는 액정 소자(775)를 포함한다. 액정 소자(775)는 도전막(772), 도전막(774), 및 액정 층(776)을 포함한다. 도전막(774)은 제 2 기판(705) 측 상에 제공되며 상대 전극으로서 기능한다. 도 41에서의 표시 장치(700)는 투과 또는 비-투과가 도전막(772) 및 도전막(774)에 인가된 전압에 의존하여 액정 층(776)의 정렬 상태에서의 변화에 의해 제어되도록 하는 방식으로 이미지를 표시할 수 있다.

[0657] 도 41에 예시되지 않지만, 배향 막은 액정 층(776)과 접하는 도전막(772)의 측 상에 및 액정 층(776)과 접하는 도전막(774)의 측 상에 제공될 수 있다.

[0658] 표시 장치(700)는 제 2 기판(705) 측 상에 광-차단 막(738), 절연막(734), 및 착색막(736)을 포함한다. 착색막(736)은 액정 소자(775)와 중첩시키기 위해 제공되며, 광-차단 막(738)은 리드 배선부(711) 및 소스 구동 회로부(704)에 제공된다. 착색막(736) 및 광-차단 막(738)은 절연막(734)으로 덮인다. 구동 회로부에서의 트랜지스터(752) 및 화소부에서의 트랜지스터(750)는 광-차단 막(738)과 중첩하며; 그러므로, 트랜지스터들은 외부 광으로 조사되는 것이 방지될 수 있다. 착색막은 광-차단 막(738) 대신에 제공될 수 있다는 것을 주의하자.

[0659] 도 41에 예시되지 않지만, 편광 부재, 위상차 부재, 또는 반사-방지 부재와 같은 광학 부재(광학 기판) 등이 적절히 제공될 수 있다. 예를 들면, 원형 편광은 편광 기판 및 위상차 기판을 사용함으로써 이용될 수 있다. 또한, 백라이트, 사이트라이트 등이 광원으로서 사용될 수 있다.

[0660] 예를 들면, 유리 기판은 제 1 기판(701) 및 제 2 기판(705)으로서 사용될 수 있다. 제 1 기판(701) 및 제 2 기판(705)으로서, 가요성 기판이 사용될 수 있다. 가요성 기판의 예들은 플라스틱 기판을 포함한다.

[0661] 스페이서(778)가 제 1 기판(701) 및 제 2 기판(705) 사이에 제공된다. 스페이서(778)는 절연막의 선택적 에칭에 의해 획득된 주상형 스페이서이며 액정 층(776)의 두께(셀 갭)를 제어하기 위해 제공된다. 구형 스페이서가 스페이서(778)로서 사용될 수 있다는 것을 주의하자.

[0662] 액정 소자가 표시 소자로서 사용되는 경우에, 열방성 액정, 저-분자 액정, 고-분자 액정, 고분자 분산형 액정, 강유전성 액정, 반-강유전성 액정 등이 사용될 수 있다. 이러한 액정 재료는 상태들에 의존하여 콜레스테릭 상, 스멕틱 상, 입방체 상, 키랄 네마틱 상, 등방성 상 등을 보인다.

[0663] 대안적으로, 수평 전기장 모드를 이용하는 경우에, 배향 막이 불필요한 청색 상을 보이는 액정이 사용될 수 있다. 청색 상은 액정 상들 중 하나이며, 이것은 콜레스테릭 액정의 온도가 증가되는 동안 콜레스테릭 상이 등방성 상으로 변경되기 직전 생성된다. 청색 상이 단지 좁은 온도 범위에서만 나타나므로, 수 가중 퍼센트 이상의 키랄 재료가 혼합되는 액정 조성이 온도 범위를 개선하기 위해 액정 층을 위해 사용된다. 청색 상 및 키랄 재료를 보이는 액정을 포함하는 액정 조성은 짧은 응답 시간을 가지며 광학 등방성을 가진다. 또한, 청색 상을 보이는 액정을 포함하는 액정 조성은 배향 처리를 요구하지 않으며 작은 뷰잉 각 의존성을 가진다. 배향 막은 제공될 필요가 없으며 마찰 처리가 그에 따라 필요하지 않고; 따라서, 마찰 처리에 의해 야기된 정전 방전 손상이 방지될 수 있으며 제조 공정에서 액정 표시 장치의 결함들 및 손상이 감소될 수 있다.

[0664] 액정 소자가 표시 소자로서 사용되는 경우에, 트위스티드 네마틱(TN) 모드, 인-플레인-스위칭(IPS) 모드, 프린지 필드 스위칭(FFS) 모드, 축 대칭 정렬 마이크로-셀(ASM) 모드, 광학 보상 복굴절(OCB) 모드, 강유전성 액정(FLC) 모드, 반강유전성 액정(AFLC) 모드 등이 사용될 수 있다.

[0665] 수직 배향(VA) 모드를 이용한 투과성 액정 표시 장치와 같은 노멀리 블랙 액정 표시 장치가 사용될 수 있다. 수직 배향 모드의 몇몇 예들이 있다; 예를 들면, 다중-도메인 수직 배향(MVA) 모드, 패터닝된 수직 배향(PVA) 모드, ASV 모드 등이 이용될 수 있다.

[0666] 화소부(702)에서의 표시 방법으로서, 순차 방법, 비월 방법 등이 이용될 수 있다. 더욱이, 컬러 디스플레이 시 화소에서 제어된 컬러 소자들은 3개의 컬러들에 제한되지 않는다: R, G, 및 B(R, G, 및 B는 각각 적색, 녹색, 및 청색에 대응한다). 예를 들면, R 화소, G 화소, B 화소, 및 W(백색) 화소의 4개의 화소들이 포함될 수 있다. 대안적으로, 컬러 소자는 PenTile 레이아웃에서처럼 R, G, 및 B 중에서 두 개의 컬러들로 구성될 수 있다. 두 개의 컬러들은 컬러 소자들 중에서 상이할 수 있다. 대안적으로, 황색, 청록색, 자홍색 등 중 하나 이상의 컬러들이 RGB에 부가될 수 있다. 디스플레이 영역들의 크기들은 컬러 소자들의 각각의 점들 사이에서 상이할 수 있다는 것을 주의하자. 개시된 발명의 실시형태들은 컬러 디스플레이를 위한 표시 장치에 제한되지 않으며; 개시

된 발명은 또한 흑백 디스플레이를 위한 표시 장치에 적용될 수 있다.

[0667] <표시 소자로서 발광 소자를 사용한 표시 장치>

[0668] 도 42에 예시된 표시 장치(800)는 발광 소자(880)를 포함한다. 발광 소자(880)는 도전막(844), EL 층(846), 및 도전막(848)을 포함한다. 표시 장치(800)는 발광 소자(880)에 포함된 EL 층(846)으로부터의 광 방출에 의해 이미지를 표시할 수 있다.

[0669] 도 42에 예시된 표시 장치(800)에서, 절연막(830)은 평탄화 절연막(770) 및 도전막(844) 위에 제공된다. 절연막(830)은 도전막(844)의 부분을 덮는다. 발광 소자(880)는 상부 방출 구조를 가진다는 것을 주의하자. 그러므로, 도전막(848)은 광-투과 특성을 가지며 EL 층(846)으로부터 방출된 광을 투과시킨다. 상부-방출 구조가 본 실시형태에서 예로서 설명되지만, 본 발명의 일 실시형태는 이에 제한되지 않는다. 광이 도전막(844) 측으로 방출되는 하부-방출 구조, 또는 광이 도전막(844) 측 및 도전막(848) 측 양쪽 모두로 방출되는 이중-방출 구조가 이용될 수 있다.

[0670] 착색막(836)은 발광 소자(880)와 중첩하도록 제공되며 광-차단 막(838)은 절연막(830)과 중첩하도록 및 리드 배선부(711)에 및 소스 구동 회로부(704)에 포함되도록 제공된다. 착색막(836) 및 광-차단 막(838)은 절연막(834)으로 덮인다. 발광 소자(880) 및 절연막(834) 사이에서의 공간은 밀봉 막(832)으로 채워진다. 착색막(836)을 가진 표시 장치(800)의 구조가 본 실시형태에서 설명되지만, 본 발명의 일 실시형태는 이에 제한되지 않는다. 예를 들면, 착색막(836)이 없는 구조는 EL 층(846)이 별개의 착색에 의해 형성되는 경우에 이용될 수 있다.

[0671] 다음으로, 도 41에 예시된 표시 장치(700)의 수정 예인 표시 장치(700a)는 도 43을 참조하여 설명된다.

[0672] <표시 소자로서 액정 소자를 사용하는 표시 장치의 구조 예 2>

[0673] 도 43에서 표시 장치(700a)는 액정 소자(775)를 포함한다. 액정 소자(775)는 도전막(773), 도전막(777), 및 액정 층(776)을 포함한다. 도전막(773)은 반사성 전극으로서 기능하기 위해 제 1 기판(701) 위의 평탄화 절연막(770) 위에 제공된다. 도 43에서의 표시 장치(700a)는 외부 광이 착색막(836)을 통해 이미지를 표시하기 위해 도전막(773)에 의해 반사되는 반사성 컬러 액정 표시 장치로 언급되는 것이다.

[0674] 돌출부들 및 오목부들이 도 43에서의 표시 장치(700a)에서 화소부(702)의 평탄화 절연막(770)의 부분에 제공된다는 것을 주의하자. 돌출부들 및 오목부들은 평탄화 절연막(770)이 유기 수지막 등을 사용하여 형성되며, 돌출부들 및 오목부들은 유기 수지막의 표면상에 형성되는 방식으로 형성된다. 반사성 전극으로서 기능하는 도전막(773)은 돌출부들 및 오목부들을 따라 형성된다. 그러므로, 외부 광이 도전막(773)에 입사될 때, 광은 도전막(773)의 표면에서 널리 반사되며, 그에 의해 가시성이 개선될 수 있다.

[0675] 표시 장치(700a)는 제 2 기판(705) 측 상에 광-차단 막(838), 절연막(834), 및 착색막(836)을 포함한다. 표시 장치(700a)에 포함된 도전막(773)은 트랜지스터(750)의 소스 전극 또는 드레인 전극으로서 기능하는 도전막들에 전기적으로 접속된다. 도전막(773)에 대해, 도전막(844)의 설명시의 재료 및 방법이 참고될 수 있다.

[0676] 표시 장치(700a)는 용량소자(790)를 포함한다. 용량소자(790)는 그 사이에 한 쌍의 전극들 및 절연막을 포함한다. 구체적으로, 용량소자(790)에서, 트랜지스터(750)의 소스 전극 또는 드레인 전극으로서 기능하는 도전막과 동일한 공정에서 형성되는 도전막이 일 전극으로서 사용되고, 트랜지스터(750)의 게이트 전극으로서 기능하는 도전막과 동일한 공정에서 형성되는 도전막(792)은 다른 전극으로서 사용되며, 트랜지스터(750)의 게이트 절연막으로서 기능하는 절연막과 동일한 공정에서 형성되는 절연막이 포함된다.

[0677] 상기 설명된 바와 같이, 본 발명의 일 실시형태의 반도체 장치인 트랜지스터는 다양한 표시 장치들에 적용될 수 있다.

[0678] 본 실시형태에서 설명된 구조는 다른 실시형태들 중 임의의 것에서 설명된 구조와 적절히 조합하여 사용될 수 있다.

[0679] (실시형태 8)

[0680] 본 실시형태에서, 본 발명의 일 실시형태의 반도체 장치를 사용하여 형성될 수 있는 표시 장치는 도 44의 (A) 내지 (C)를 참조하여 설명된다.

[0681] 도 44의 (A)에 예시된 표시 장치는 표시 소자들의 화소들을 포함한 영역(이후 이 영역은 화소부(502)로서 언급된다), 화소부(502) 바깥쪽에 제공되며 화소들을 구동하기 위한 회로를 포함한 회로 부분(이후 이 부분은 구동

회로부(504)로서 언급된다), 각각이 소자를 보호하기 위한 기능을 가진 회로들(이후 이 회로들은 보호 회로들(506)로서 언급된다), 및 단자부(507)를 포함한다. 보호 회로들(506)이 반드시 제공되는 것은 아님을 주의하자.

[0682] 구동 회로부(504)의 부분 또는 전체는 바람직하게는 그 위에 화소부(502)가 형성되는 기판 위에 형성되며, 그 경우에, 구성요소들의 수 및 단자들의 수는 감소될 수 있다. 구동 회로부(504)의 부분 또는 전체가 그 위에 화소부(502)가 형성되는 기판 위에 형성되지 않을 때, 구동 회로부(504)의 부분 또는 전체는 COG 또는 테이프 자동화 접합(TAB)에 의해 장착될 수 있다.

[0683] 화소부(502)는 X개의 로우들(X는 2 이상의 자연수이다) 및 Y개의 컬럼들(Y는 2 이상의 자연수이다)로 배열된 표시 소자들을 구동하기 위한 복수의 회로들을 포함한다(이후, 이러한 회로들은 화소 회로들(501)로서 언급된다). 구동 회로부(504)는 화소을 선택하기 위해 신호(스캔 신호)를 공급하기 위한 회로(이후, 이 회로는 게이트 구동기(504a)로서 언급된다) 및 화소에서 표시 소자를 구동하기 위해 신호(데이터 신호)를 공급하기 위한 회로(이후, 이 회로는 소스 구동기(504b)로서 언급된다)와 같은 구동 회로들을 포함한다.

[0684] 게이트 구동기(504a)는 시프트 레지스터 등을 포함한다. 게이트 구동기(504a)는 단자부(507)를 통해 시프트 레지스터를 구동하기 위한 신호를 수신하며 신호를 출력한다. 예를 들면, 게이트 구동기(504a)는 스타트 펄스 신호, 클록 신호 등을 수신하며 펄스 신호를 출력한다. 게이트 구동기(504a)는 스캔 신호들을 공급받는 배선들의 전위들을 제어하는 기능을 가진다(이후, 이러한 배선들은 스캔 라인들(GL_1 내지 GL_X)로서 언급된다). 복수의 게이트 구동기들(504a)은 개별적으로 스캔 라인들(GL_1 내지 GL_X)을 제어하기 위해 제공될 수 있다. 대안적으로, 게이트 구동기(504a)는 초기화 신호를 공급하는 기능을 가진다. 이에 제한되지 않고, 게이트 구동기(504a)는 또 다른 신호를 공급할 수 있다.

[0685] 소스 구동기(504b)는 시프트 레지스터 등을 포함한다. 소스 구동기(504b)는 데이터 신호가 도출되는 신호(비디오 신호), 뿐만 아니라 시프트 레지스터를 구동하기 위한 신호를, 단자부(507)를 통해 수신한다. 소스 구동기(504b)는 비디오 신호에 기초하는 화소 회로(501)에 기록될 데이터 신호를 생성하는 기능을 가진다. 또한, 소스 구동기(504b)는 스타트 펄스 신호, 클록 신호 등의 입력에 의해 생성된 펄스 신호에 응답하여 데이터 신호의 출력을 제어하는 기능을 가진다. 더욱이, 소스 구동기(504b)는 데이터 신호들을 공급받는 배선들의 전위들을 제어하는 기능을 가진다(이후, 이러한 배선들은 신호 라인들(DL_1 내지 DL_Y)로서 언급된다). 대안적으로, 소스 구동기(504b)는 초기화 신호를 공급하는 기능을 가진다. 이에 제한되지 않고, 소스 구동기(504b)는 또 다른 신호를 공급할 수 있다.

[0686] 소스 구동기(504b)는 예를 들면, 복수의 아날로그 스위치들 등을 포함한다. 소스 구동기(504b)는 데이터 신호들로서, 복수의 아날로그 스위치들을 순차적으로 탄 온함으로써 비디오 신호를 시간-분할하는 것에 의해 획득된 신호들을 출력할 수 있다. 소스 구동기(504b)는 시프트 레지스터 등을 포함할 수 있다.

[0687] 펄스 신호 및 데이터 신호는 각각 스캔 신호들을 공급받은 복수의 스캔 라인들(GL) 중 하나 및 데이터 신호들을 공급받는 복수의 신호 라인들(DL) 중 하나를 통해 복수의 화소 회로들(501)의 각각에 입력된다. 데이터 신호의 복수의 화소 회로들(501)의 각각으로의 기록 및 그것에서의 유지는 게이트 구동기(504a)에 의해 제어된다. 예를 들면, 제 m 로우 및 제 n 컬럼에서의 화소 회로(501)로(m은 X 이하의 자연수이며, n은 Y 이하의 자연수이다), 펄스 신호가 스캔 라인(GL_m)을 통해 게이트 구동기(504a)로부터 입력되며, 데이터 신호가 스캔 라인(GL_m)의 전위에 따라 신호 라인(DL_n)을 통해 소스 구동기(504b)로부터 입력된다.

[0688] 도 44의 (A)에 도시된 보호 회로(506)는 예를 들면, 게이트 구동기(504a) 및 화소 회로(501) 사이에서 스캔 라인(GL)에 접속된다. 대안적으로, 보호 회로(506)는 소스 구동기(504b) 및 화소 회로(501) 사이에서 신호 라인(DL)에 접속된다. 대안적으로, 보호 회로(506)는 게이트 구동기(504a) 및 단자부(507) 사이에서 배선에 접속될 수 있다. 대안적으로, 보호 회로(506)는 소스 구동기(504b) 및 단자부(507) 사이에서 배선에 접속될 수 있다. 단자부(507)는 외부 회로들로부터 표시 장치로 전력, 제어 신호들, 및 비디오 신호들을 입력하기 위한 단자들을 가진 부분을 의미한다는 것을 주의하자.

[0689] 보호 회로(506)는, 특정 범위를 벗어난 전위가 보호 회로에 접속된 배선에 인가될 때, 보호 회로에 접속된 배선을 다른 배선에 전기적으로 접속시키는 회로이다.

[0690] 도 44의 (A)에 예시된 바와 같이, 보호 회로들(506)은 화소부(502) 및 구동 회로부(504)을 위해 제공되며, 따라서 정전 방전(ESD) 등에 의해 발생된 과전류에 대한 표시 장치의 저항이 개선될 수 있다. 보호 회로들(506)의 구성은 이에 제한되지 않으며, 예를 들면, 보호 회로(506)는 게이트 구동기(504a)에 접속되도록 구성될 수 있거나 또는 보호 회로(506)는 소스 구동기(504b)에 접속되도록 구성될 수 있다는 것을 주의하자. 대안적으로, 보호

회로(506)는 단자부(507)에 접속되도록 구성될 수 있다.

[0691] 도 44의 (A)에서, 구동 회로부(504)가 게이트 구동기(504a) 및 소스 구동기(504b)를 포함하는 예가 도시되지만; 구조는 이에 제한되지 않는다. 예를 들면, 단지 게이트 구동기(504a)만이 형성될 수 있으며 소스 구동 회로가 형성되는 별도로 준비된 기판(예로서, 단결정 반도체막 또는 다결정 반도체막을 갖고 형성된 구동 회로 기판)이 장착될 수 있다.

[0692] 도 44의 (A)에서 복수의 화소 회로들(501)의 각각은 예를 들면, 도 44의 (B)에 예시된 구조를 가질 수 있다.

[0693] 도 44의 (B)에 예시된 화소 회로(501)는 액정 소자(570), 트랜지스터(550), 및 용량소자(560)를 포함한다.

[0694] 트랜지스터(550)로서, 예를 들면, 상기 실시형태에 설명된 트랜지스터들 중 임의의 것이 적절히 사용될 수 있다.

[0695] 액정 소자(570)의 한 쌍의 전극들 중 하나의 전위는 적절하다면 화소 회로(501)의 규격들에 따라 설정된다. 액정 소자(570)의 배향 상태는 기록된 데이터에 의존한다. 공통 전위는 복수의 화소 회로들(501)의 각각에 포함된 액정 소자(570)의 한 쌍의 전극들 중 하나에 공급될 수 있다. 더욱이, 하나의 로우의 화소 회로(501)에서 액정 소자(570)의 한 쌍의 전극들 중 하나에 공급된 전위는 또 다른 로우의 화소 회로(501)에서 액정 소자(570)의 한 쌍의 전극들 중 하나에 공급된 전위와 상이할 수 있다.

[0696] 액정 소자(570)를 포함한 표시 장치의 구동 방법의 예들로서, 다음의 모드들 중 임의의 것이 주어질 수 있다: TN 모드, STN 모드, VA 모드, 축 대칭 정렬 마이크로-셀(ASM) 모드, 광학 보상 복굴절(OCB) 모드, 강유전성 액정(FLC) 모드, 반강유전성 액정(AFLC) 모드, MVA 모드, 패터닝된 수직 배향(PVA) 모드, IPS 모드, FFS 모드, 횡 밴드 배향(TBA) 모드 등. 표시 장치의 구동 방법의 다른 예들은, 전기적으로 제어된 복굴절(ECB) 모드, 고분자 분산형 액정(PDLC) 모드, 고분자 네트워크 액정(PNLC) 모드, 및 게스트-호스트 모드를 포함한다. 본 발명은 이들 예들에 제한되지 않으며, 다양한 액정 소자들 및 구동 방법들이 액정 소자 및 그것의 구동 방법에 적용될 수 있다는 것을 주의하자.

[0697] 제 m 로우 및 제 n 컬럼에서의 화소 회로(501)에서, 트랜지스터(550)의 소스 전극 및 드레인 전극 중 하나는 신호 라인(DL_n)에 전기적으로 접속되며, 다른 것은 액정 소자(570)의 한 쌍의 전극들 중 다른 하나에 전기적으로 접속된다. 트랜지스터(550)의 게이트 전극은 스캔 라인(GL_m)에 전기적으로 접속된다. 트랜지스터(550)는 턴 온 또는 턴 오프됨으로써 데이터 신호를 기록할지 여부를 제어하는 기능을 가진다.

[0698] 용량소자(560)의 한 쌍의 전극들 중 하나는 전위가 공급되는 배선(이후 전위 공급 라인(VL)으로서 언급되는)에 전기적으로 접속되며, 다른 하나는 액정 소자(570)의 한 쌍의 전극들 중 다른 하나에 전기적으로 접속된다. 전위 공급 라인(VL)의 전위는 화소 회로(501)의 규격들에 따라 적절하게 설정된다. 용량소자(560)는 기록된 데이터를 저장하기 위한 저장 용량소자로서 기능한다.

[0699] 예를 들면, 도 44의 (B)에서의 화소 회로(501)를 포함한 표시 장치에서, 화소 회로들(501)은 도 44의 (A)에 예시된 게이트 구동기(504a)에 의해 한 로우씩 순차적으로 선택되며, 그에 의해 트랜지스터들(550)이 턴 온되며 데이터 신호가 기록된다.

[0700] 트랜지스터들(550)이 턴 오프될 때, 데이터가 기록된 화소 회로들(501)은 유지 상태가 된다. 이러한 동작은 한 로우씩 순차적으로 수행되며; 따라서 이미지가 표시될 수 있다.

[0701] 대안적으로, 도 44의 (A)에서 복수의 화소 회로들(501)의 각각은 예를 들면, 도 44의 (C)에 예시된 구조를 가질 수 있다.

[0702] 도 44의 (C)에 예시된 화소 회로(501)는 트랜지스터들(552 및 554), 용량소자(562), 및 발광 소자(572)를 포함한다. 여기에서, 상기 실시형태에서 설명된 트랜지스터들 중 임의의 것이, 예를 들면, 트랜지스터들(552 및 554) 중 하나 또는 양쪽 모두로서 적절하게 사용될 수 있다.

[0703] 트랜지스터(552)의 소스 전극 및 드레인 전극 중 하나는 데이터 신호가 공급되는 배선(신호 라인(DL_n))에 전기적으로 접속된다. 트랜지스터(552)의 게이트 전극은 게이트 신호가 공급되는(스캔 라인(GL_m)) 배선에 전기적으로 접속된다.

[0704] 트랜지스터(552)는 턴 온 또는 오프됨으로써 데이터 신호를 기록할지를 제어하는 기능을 가진다.

[0705] 용량소자(562)의 한 쌍의 전극들 중 하나는 전위가 공급되는 배선(이후 전위 공급 라인(VL_a)으로서 언급되는)

에 전기적으로 접속되며, 다른 하나는 트랜지스터(552)의 소스 전극 및 드레인 전극 중 다른 것에 전기적으로 접속된다.

[0706] 용량소자(562)는 기록된 데이터를 저장하기 위한 저장 용량소자로서 기능한다.

[0707] 트랜지스터(554)의 소스 전극 및 드레인 전극 중 하나는 전위 공급 라인(VL_a)에 전기적으로 접속된다. 더욱이, 트랜지스터(554)의 게이트 전극은 트랜지스터(552)의 소스 전극 및 드레인 전극 중 다른 것에 전기적으로 접속된다.

[0708] 발광 소자(572)의 애노드 및 캐소드 중 하나는 전위 공급 라인(VL_b)에 전기적으로 접속되며, 다른 하나는 트랜지스터(554)의 소스 전극 및 드레인 전극 중 다른 것에 전기적으로 접속된다.

[0709] 발광 소자(572)로서, 예를 들면, 유기 전자발광 소자(또한 유기 EL 소자로서 언급되는) 등이 사용될 수 있다. 발광 소자(572)는 유기 EL 소자에 제한되지 않으며; 무기 재료를 포함한 무기 EL 소자가 사용될 수 있다는 것을 주의하자.

[0710] 고 전력 공급 전위(VDD)는 전위 공급 라인(VL_a) 및 전위 공급 라인(VL_b) 중 하나에 공급되며, 저 전력 공급 전위(VSS)는 다른 것에 공급된다.

[0711] 예를 들면, 도 44의 (C)에서의 화소 회로(501)를 포함한 표시 장치에서, 화소 회로들(501)은 도 44의 (A)에 예시된 게이트 구동기(504a)에 의해 한 로우씩 순차적으로 선택되며, 그에 의해 트랜지스터들(552)이 턴 온되며 데이터 신호가 기록된다.

[0712] 트랜지스터들(552)이 턴 오프될 때, 데이터가 기록되는 화소 회로들(501)은 유지 상태가 된다. 더욱이, 트랜지스터(554)의 소스 전극 및 드레인 전극 사이에서 흐르는 전류의 양은 기록된 데이터 신호의 전위에 따라 제어된다. 발광 소자(572)는 흐르는 전류의 양에 대응하는 휘도를 가진 광을 방출한다. 이러한 동작은 한 로우씩 순차적으로 수행되며; 따라서 이미지가 표시될 수 있다.

[0713] 본 실시형태에서 설명된 구조는 다른 실시형태들에서 설명된 구조들 중 임의의 것과 적절히 조합하여 사용될 수 있다.

[0714] (실시형태 9)

[0715] 본 실시형태에서, 본 발명의 일 실시형태의 반도체 장치를 사용하여 형성될 수 있는 표시 모듈 및 전자 장치들은 도 45 및 도 46의 (A) 내지 (H)를 참조하여 설명된다.

[0716] 도 45에 예시된 표시 모듈(8000)에서, FPC(8003)에 접속된 터치 패널(8004), FPC(8005)에 접속된 표시 패널(8006), 백라이트(8007), 프레임(8009), 인쇄 보드(8010), 및 배터리(8011)가 상부 커버(8001) 및 하부 커버(8002) 사이에 제공된다.

[0717] 본 발명의 일 실시형태의 반도체 장치는 예를 들면, 디스플레이 패널(8006)을 위해 사용될 수 있다.

[0718] 상부 커버(8001) 및 하부 커버(8002)의 형태들 및 크기들은 터치 패널(8004) 및 디스플레이 패널(8006)의 크기들에 따라 적절히 변경될 수 있다.

[0719] 터치 패널(8004)은 저항성 터치 패널 또는 용량성 터치 패널일 수 있으며 디스플레이 패널(8006)과 중첩하도록 형성될 수 있다. 디스플레이 패널(8006)의 카운터 기판(밀봉 기판)은 터치 패널 기능을 가질 수 있다. 광센서는 광학 터치 패널을 형성하기 위해 디스플레이 패널(8006)의 각각의 화소에 제공될 수 있다.

[0720] 백라이트(8007)은 광원(8008)을 포함한다. 광원들(8008)이 백라이트(8007) 위에 제공되는 구조가 도 45에 예시되지만, 본 발명의 일 실시형태는 이 구조에 제한되지 않는다는 것을 주의하자. 예를 들면, 광원(8008)이 백라이트(8007)의 단부 부분에 제공되며 광 확산 판이 추가로 제공되는 구조가 이용될 수 있다. 백라이트(8007)는 유기 EL 소자와 같은 자기-발광성 발광 소자가 사용되는 경우에 또는 반사성 패널 등이 이용되는 경우에 제공될 필요가 없음을 주의하자.

[0721] 프레임(80009)은 디스플레이 패널(8006)을 보호하며 또한 인쇄 보드(8010)의 동작에 의해 생성된 전자기 파들을 차단하기 위한 전자기 차폐로서 기능한다. 프레임(8009)은 방열판으로서 기능할 수 있다.

[0722] 인쇄 보드(8010)는 비디오 신호 및 클록 신호를 출력하기 위한 전력 공급 회로 및 신호 프로세싱 회로를 제공받는다. 전력 공급 회로에 전력을 공급하기 위한 전원으로서, 외부 상용 전원 또는 개별적으로 제공된 배터리

(8011)를 사용한 전원이 사용될 수 있다. 배터리(8011)는 상용 전원을 사용하는 경우에 생략될 수 있다.

[0723] 표시 모듈(8000)은 편광 판, 위상차 판, 또는 프리즘 시트와 같은 부재를 부가적으로 제공받을 수 있다.

[0724] 도 46의 (A) 내지 (H)는 전자 장치들을 예시한다. 이들 전자 장치들은 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 동작 키들(5005)(전력 스위치 또는 동작 스위치를 포함한), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속, 각속도, 회전 주파수, 거리, 광, 액체, 자성, 온도, 화학 물질, 사운드, 시간, 경도, 전기장, 전류, 전압, 전기 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하거나 또는 감지하는 기능을 가진 센서), 마이크로폰(508) 등을 포함할 수 있다.

[0725] 도 46의 (A)는 상기 구성요소들 외에 스위치(5009), 적외선 포트(5010) 등을 포함할 수 있는 모바일 컴퓨터를 예시한다. 도 46의 (B)는 메모리 매체를 제공받는 휴대용 이미지 재생 장치(예로서, DVD 플레이어)를 예시하며 상기 구성요소들 외에 제 2 표시부(5002), 메모리 매체 판독부(5011) 등을 포함할 수 있다. 도 46의 (C)는 상기 구성요소들 외에 제 2 표시부(5002), 지지대(5012), 이어폰(5013) 등을 포함할 수 있는 고글-형 디스플레이를 예시한다. 도 46의 (D)는 상기 구성요소들 외에 메모리 매체 판독부(5011) 등을 포함할 수 있는 휴대용 게임 기계를 예시한다. 도 46의 (E)는 텔레비전 수신 기능을 가진 디지털 카메라를 예시하며 상기 구성요소들 외에 안테나(5014), 셔터 버튼(5015), 이미지 수신부(5016) 등을 포함할 수 있다. 도 46의 (F)는 상기 구성요소들 외에 제 2 표시부(5002), 메모리 매체 판독부(5011) 등을 포함할 수 있는 휴대용 게임 기계를 예시한다. 도 46의 (G)는 상기 구성요소들 외에 튜너, 이미지 프로세싱부 등을 포함할 수 있는 텔레비전 수신기를 예시한다. 도 46의 (H)는 상기 구성요소들 외에 신호들을 송신 및 수신할 수 있는 충전기(5017) 등을 포함할 수 있는 휴대용 텔레비전 수신기를 예시한다.

[0726] 도 46의 (A) 내지 (H)에 예시된 전자 장치들은 다양한 기능들, 예를 들면, 표시부 상에 다양한 데이터(정지 이미지, 움직이는 이미지, 텍스트 이미지 등)를 표시하는 기능, 터치 패널 기능, 캘린더, 날짜, 시간 등을 표시하는 기능, 다양한 소프트웨어(프로그램들)를 갖고 공정을 제어하는 기능, 무선 통신 기능, 무선 통신 기능에 의해 다양한 컴퓨터 네트워크들에 접속되는 기능, 무선 통신 기능에 의해 다양한 데이터를 송신 및 수신하는 기능, 메모리 매체에 저장된 프로그램 또는 데이터를 판독하며 표시부 상에 프로그램 또는 데이터를 표시하는 기능 등을 가질 수 있다. 더욱이, 복수의 표시부들을 포함한 전자 장치는 또 다른 표시부 상에 텍스트 데이터를 표시하면서 주로 하나의 표시부 상에서 이미지 데이터를 표시하는 기능, 시차를 고려하여 복수의 표시부들 상에 이미지들을 표시함으로써 3-차원 이미지를 표시하는 기능 등을 가질 수 있다. 더욱이, 이미지 수신부를 포함한 전자 장치는 정지 이미지를 촬영하는 기능, 움직이는 이미지를 촬영하는 기능, 촬영 이미지를 자동으로 또는 수동으로 교정하는 기능, 메모리 매체(외부 메모리 매체 또는 카메라에 통합된 메모리 매체)에 촬영 이미지를 저장하는 기능, 표시부 상에 촬영 이미지를 표시하는 기능 등을 가질 수 있다. 도 46의 (A) 내지 (H)에 예시된 전자 장치들을 위해 제공될 수 있는 기능들은 상기 설명된 것들에 제한되지 않으며, 전자 장치들은 다양한 기능들을 가질 수 있다는 것을 주의하자.

[0727] 본 실시형태에서 설명된 전자 장치들 각각은 몇몇 종류의 데이터를 표시하기 위한 표시부를 포함한다. 본 발명의 일 실시형태의 반도체 장치는 또한 표시부를 갖지 않는 전자 장치를 위해 사용될 수 있다는 것을 주의하자.

[0728] 본 실시형태에서 설명된 구조는 다른 실시형태들에서 설명된 구조들 중 임의의 것과 적절히 조합하여 사용될 수 있다.

부호의 설명

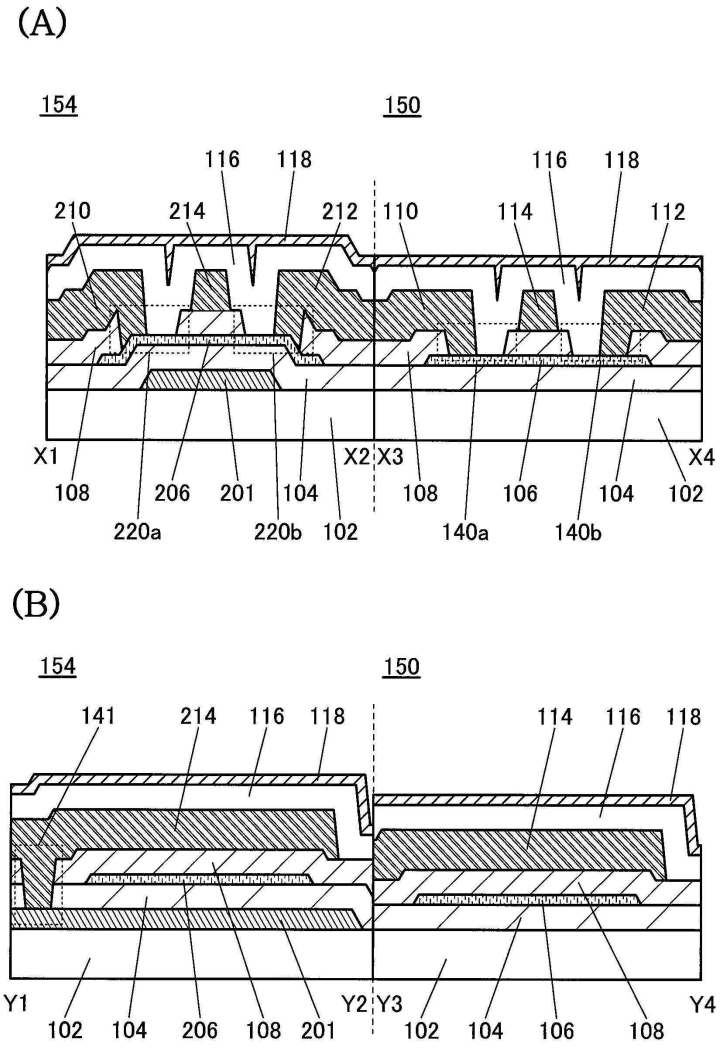
[0729] DL_Y: 신호 라인, DL_1: 신호 라인, GL_X: 스캔 라인, GL_1: 스캔 라인, 102: 기판, 103: 절연막, 104: 절연막, 104a: 질화물 절연막, 104b: 산화물 절연막, 106: 산화물 반도체막, 106a: 영역, 106b: 영역, 106c: 영역, 106d: 영역, 107: 산화물 반도체막, 107a: 산화물 반도체막, 107b: 산화물 반도체막, 107c: 산화물 반도체막, 108: 절연막, 109: 도전막, 110: 도전막, 110a: 도전막, 110b: 도전막, 110c: 도전막, 111: 마스크, 112: 도전막, 112a: 도전막, 112b: 도전막, 112c: 도전막, 114: 도전막, 114a: 도전막, 114b: 도전막, 114c: 도전막, 116: 절연막, 117: 불순물 원소, 118: 절연막, 119: 막, 121: 산소, 122: 절연막, 123: 에칭 가스, 124: 도전막, 135: 단부 부분, 136: 단부 부분, 137: 단부 부분, 140a: 개구부, 140b: 개구부, 142a: 개구부, 142b: 개구부, 150: 트랜지스터, 151: 트랜지스터, 152: 트랜지스터, 153: 트랜지스터, 154: 트랜지스터, 156: 산화물 반도체막, 159: 용량소자, 162: 기판, 164: 절연막, 164a: 질화물 절연막, 164b: 산화물 절연막, 166: 산화물 반도체막, 166a: 영역, 166b: 영역, 166c: 영역, 166d: 영역, 167: 에칭 가스, 167a: 산화물 반도체막, 167b: 산화물 반도체막, 167c: 산화물 반도체막, 168: 절연막, 169: 도전막, 170: 도전막, 170a: 도전막,

170b: 도전막, 172: 도전막, 172a: 도전막, 172b: 도전막, 172c: 도전막, 174: 도전막, 174a: 도전막, 174b: 도전막, 174c: 도전막, 176: 절연막, 177: 불순물 원소, 178: 절연막, 180a: 개구부, 180b: 개구부, 182: 절연막, 182a: 개구부, 182b: 개구부, 183: 개구부, 184: 도전막, 190: 트랜지스터, 191: 트랜지스터, 192: 트랜지스터, 193: 트랜지스터, 194: 트랜지스터, 195: 단부 부분, 196: 단부 부분, 197: 단부 부분, 198: 산화물 반도체막, 199: 용량소자, 201: 도전막, 206: 산화물 반도체막, 210: 도전막, 212: 도전막, 214: 도전막, 220a: 개구부, 220b: 개구부, 221: 도전막, 226: 산화물 반도체막, 230: 도전막, 232: 도전막, 234: 도전막, 240a: 개구부, 240b: 개구부, 246: 산화물 반도체막, 261: 도전막, 265a: 산화물 반도체막, 265b: 산화물 반도체막, 266: 산화물 반도체막, 267a: 산화물 반도체막, 267b: 산화물 반도체막, 267c: 산화물 반도체막, 268: 도전막, 270: 도전막, 272: 절연막, 274: 도전막, 306: 산화물 반도체막, 312: 절연막, 331a: 측벽 절연막, 331b: 측벽 절연막, 350: 트랜지스터, 354: 트랜지스터, 362: 기판, 364: 절연막, 364a: 질화물 절연막, 364b: 산화물 절연막, 366: 산화물 반도체막, 366a: 영역, 366b: 영역, 366c: 영역, 366d: 영역, 366e: 오프셋 영역, 366x: 영역, 366y: 영역, 367: 도전막, 367a: 산화물 반도체막, 367b: 산화물 반도체막, 367c: 산화물 반도체막, 368: 도전막, 368a: 도전막, 368b: 도전막, 368c: 도전막, 368d: 도전막, 370: 도전막, 370a: 도전막, 370b: 도전막, 370c: 도전막, 370d: 도전막, 372: 절연막, 373: 도전막, 374: 도전막, 374a: 도전막, 374b: 도전막, 374d: 도전막, 374e: 도전막, 375: 절연막, 376: 절연막, 377: 불순물 원소, 382: 절연막, 384: 도전막, 385: 단부 부분, 386: 단부 부분, 387: 단부 부분, 388a: 개구부, 388b: 개구부, 390: 트랜지스터, 390a: 트랜지스터, 391: 트랜지스터, 392: 트랜지스터, 393: 트랜지스터, 394: 트랜지스터, 395a: 트랜지스터, 395b: 트랜지스터, 396: 산화물 반도체막, 397a: 트랜지스터, 397b: 트랜지스터, 399: 용량소자, 501: 화소 회로, 502: 화소부, 504: 구동 회로부, 504a: 게이트 구동기, 504b: 소스 구동기, 506: 보호 회로, 507: 단자부, 550: 트랜지스터, 552: 트랜지스터, 554: 트랜지스터, 560: 용량소자, 562: 용량소자, 570: 액정 소자, 572: 발광 소자, 700: 표시 장치, 700a: 표시 장치, 701: 기판, 702: 화소부, 704: 소스 구동 회로부, 705: 기판, 706: 게이트 구동 회로부, 708: FPC 단자부, 710a: 신호 라인, 710b: 신호 라인, 711: 배선부, 712: 밀봉재, 716: FPC, 734: 절연막, 736: 착색막, 738: 광-차단 막, 750: 트랜지스터, 752: 트랜지스터, 760: 접속 전극, 764: 절연막, 766: 절연막, 770: 평탄화 절연막, 772: 도전막, 773: 도전막, 774: 도전막, 775: 액정 소자, 776: 액정층, 777: 도전막, 778: 스페이서, 780: 이방성 도전막, 790: 용량소자, 792: 도전막, 800: 표시 장치, 802: 화소부, 830: 절연막, 832: 밀봉 막, 834: 절연막, 836: 착색막, 838: 광-차단 막, 844: 도전막, 846: EL 층, 848: 도전막, 880: 발광 소자, 5000: 하우징, 5001: 표시부, 5002: 표시부, 5003: 스피커, 5004: LED 램프, 5005: 동작 키, 5006: 접속 단자, 5007: 센서, 5008: 마이크로폰, 5009: 스위치, 5010: 적외선 포트, 5011: 메모리 매체 판독부, 5012: 지지대, 5013: 이어폰, 5014: 안테나, 5015: 셔터 버튼, 5016: 이미지 수신부, 5017: 충전기, 5100: 펠릿, 5100a: 펠릿, 5100b: 펠릿, 5101: 이온, 5102: 아연 산화물 층, 5103: 입자, 5105a: 펠릿, 5105a1: 영역, 5105a2: 펠릿, 5105b: 펠릿, 5105c: 펠릿, 5105d: 펠릿, 5105d1: 영역, 5105e: 펠릿, 5120: 기판, 5130: 타겟, 5161: 영역, 8000: 표시 모듈, 8001: 상부 커버, 8002: 하부 커버, 8003: FPC, 8004: 터치 패널, 8005: FPC, 8006: 디스플레이 패널, 8007: 백라이트, 8008: 광원, 8009: 프레임, 8010: 인쇄 보드, 8011: 배터리.

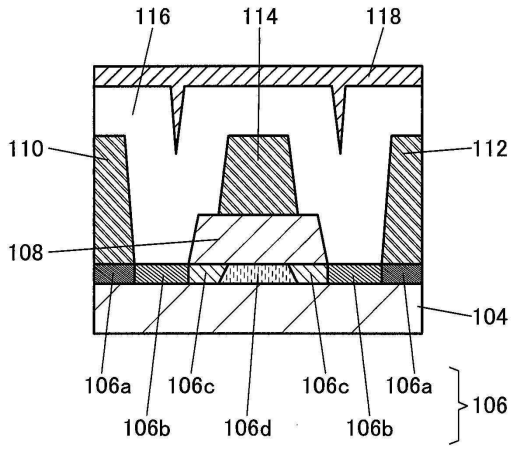
본 출원은 2013년 12월 27일에 일본 특허청에 출원된 일본 특허 출원 일련 번호 제2013-271783호에 기초하며, 그 전체 내용은 참조로서 여기에 통합된다.

도면

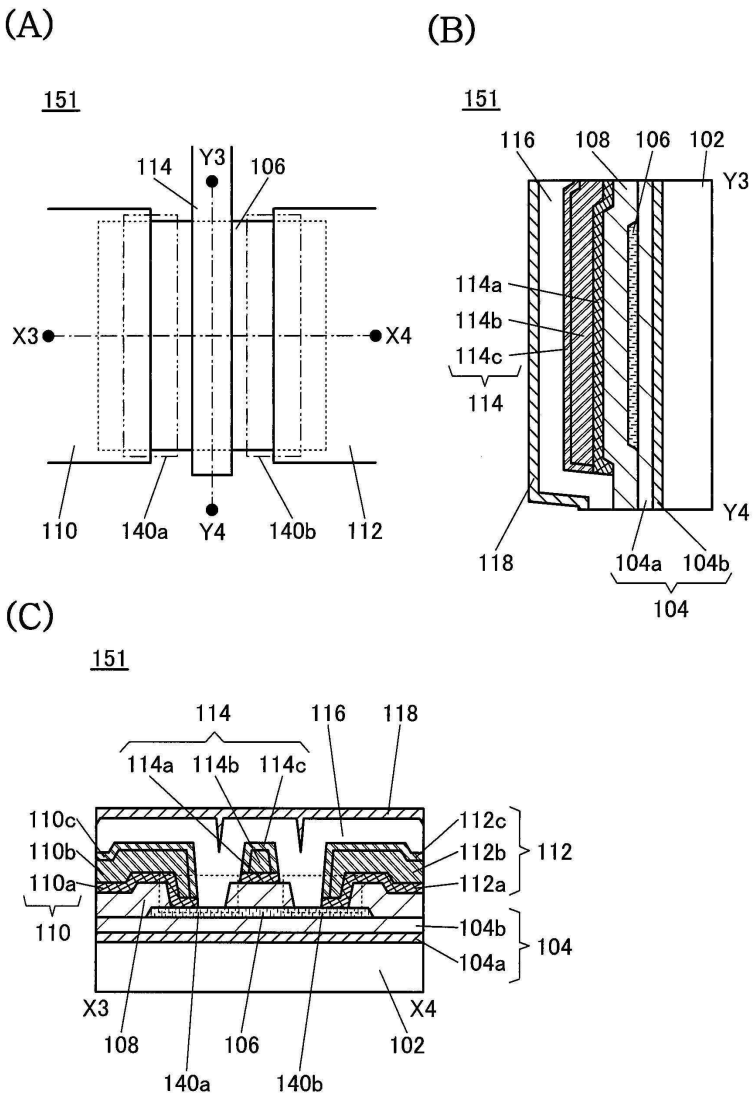
도면1


(A)
154
150
116
118
116
118
210
214
212
110
114
112
X1
X2
X3
X4
108
206
201
104
108
106
104
102
220a
220b
102
140a
140b
(B)
154
150
141
214
116
118
114
116
118
Y1
Y2
Y3
Y4
102
104
206
108
201
102
104
106
108

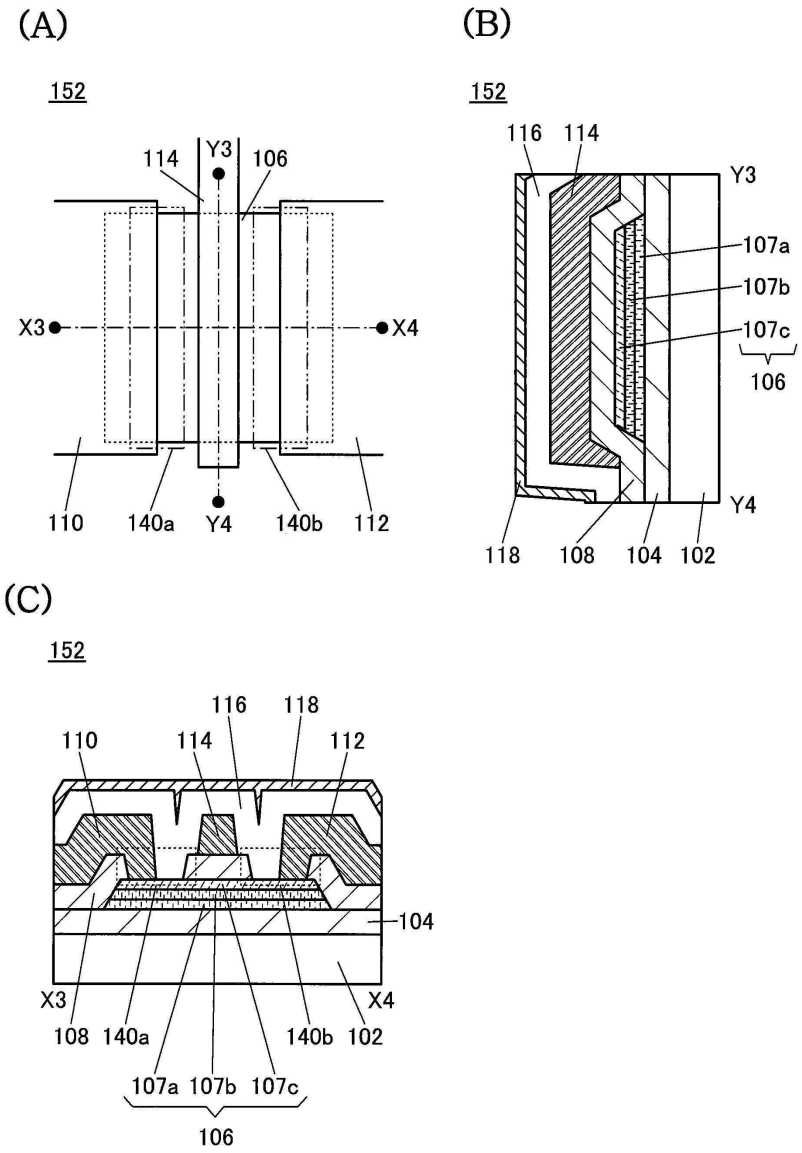
도면2


116
114
118
110
112
108
104
106a
106c
106c
106a
106
106b
106d
106b

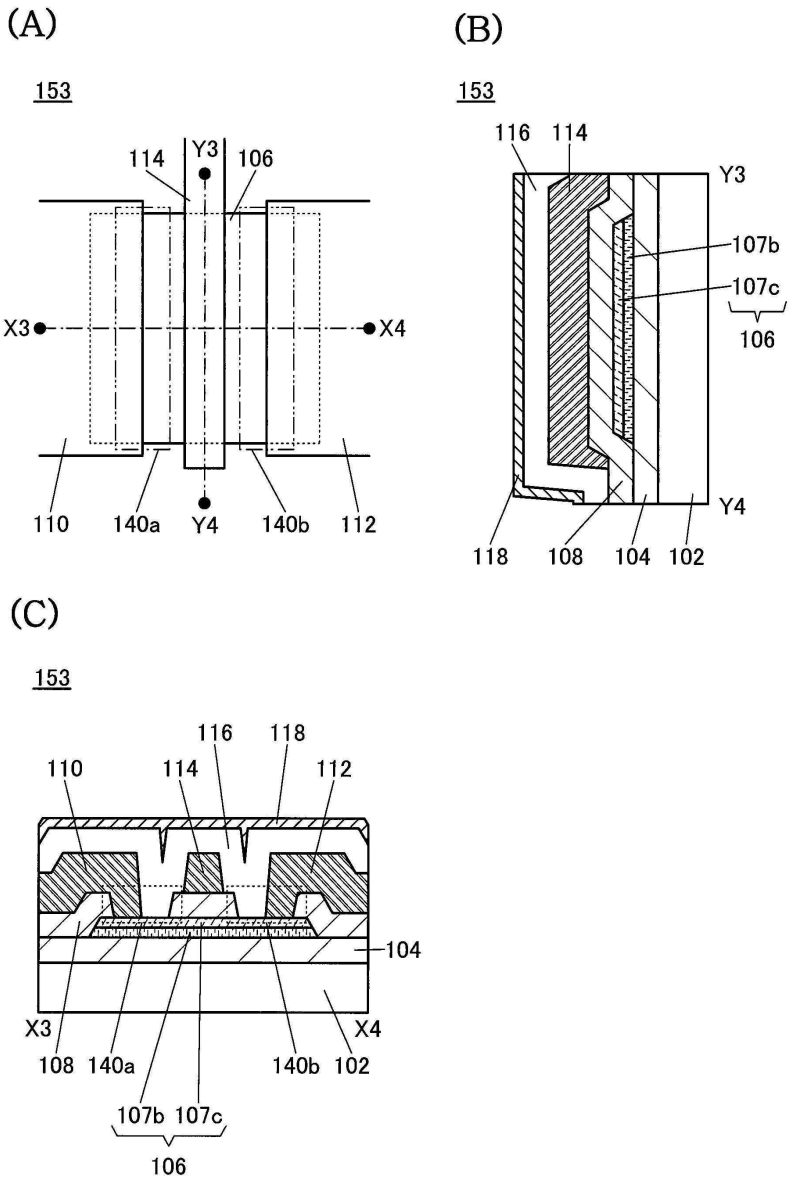
도면3


(A)
(B)
151
114
Y3
106
X3
X4
110
140a
Y4
140b
112
151
116
108
106
102
Y3
114a
114b
114c
114
Y4
118
104a
104b
104
(C)
151
114
116
118
114a
114b
114c
110c
110b
110a
110
112c
112b
112a
112
104b
104a
104
X3
X4
108
106
102
140a
140b

도면4

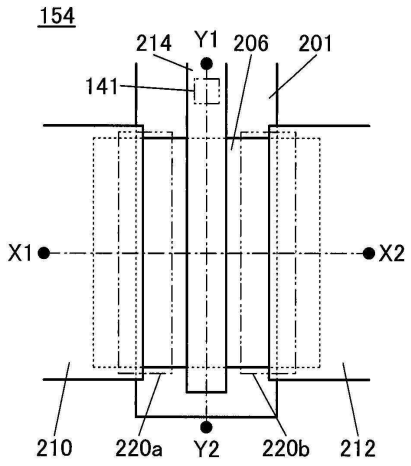

(A)
152
114
Y3
106
X3
X4
110
140a
Y4
140b
112
(B)
152
116
114
Y3
107a
107b
107c
106
Y4
118
108
104
102
(C)
152
116
118
110
114
112
104
X3
X4
108
140a
140b
102
107a
107b
107c
106

도면5

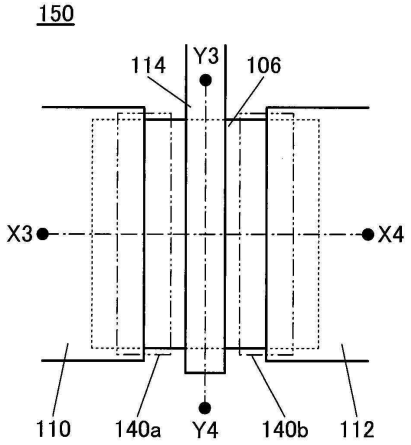

(A)
153
114
Y3
106
X3
X4
110
140a
Y4
140b
112
(B)
153
116
114
Y3
107b
107c
106
Y4
118
108
104
102
(C)
153
116
118
110
114
112
104
X3
X4
108
140a
140b
102
107b
107c
106

도면6

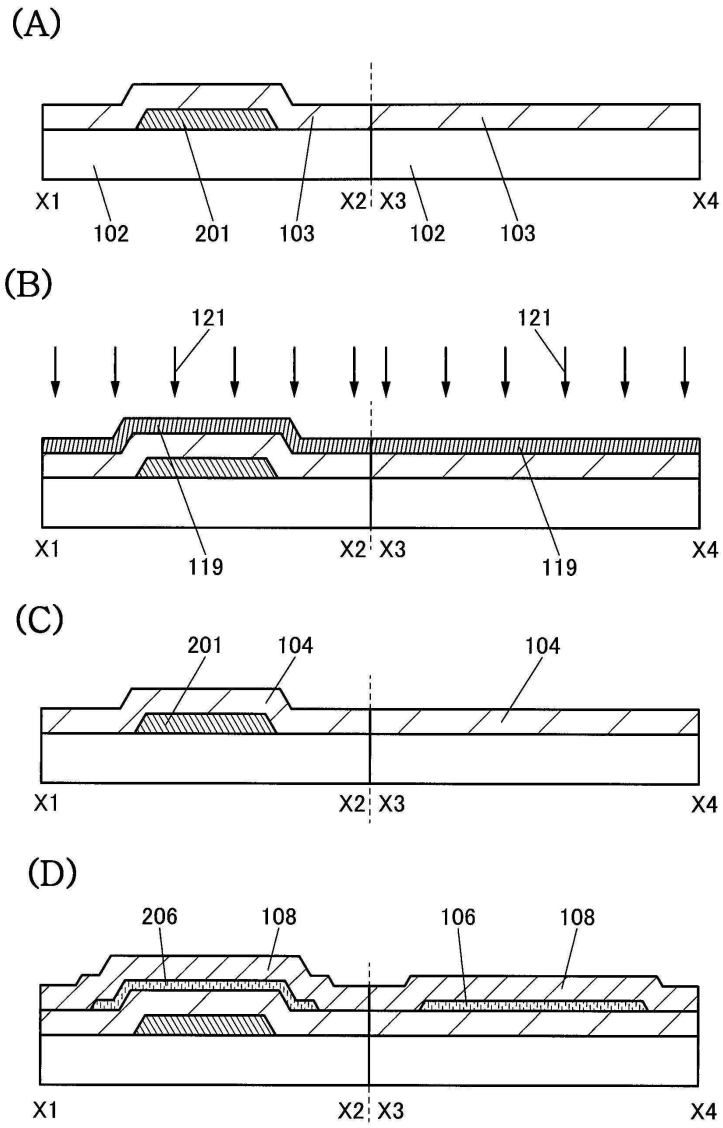
(A)


154
214
Y1
206
201
141
X1
X2
210
220a
Y2
220b
212

(B)

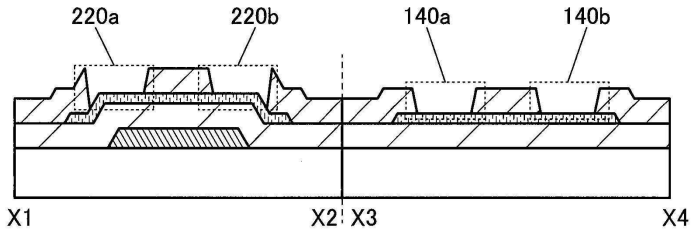

150
114
Y3
106
X3
X4
110
140a
Y4
140b
112

도면7

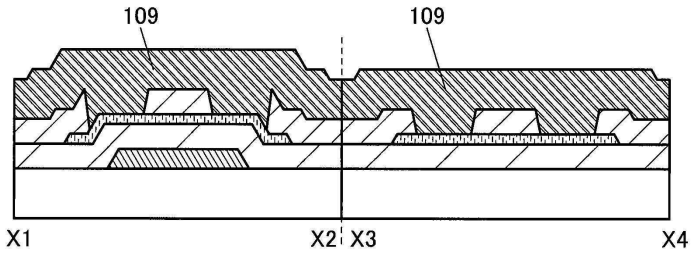

(A)
X1
X2
X3
X4
102
201
103
102
103
(B)
121
121
X1
X2
X3
X4
119
119
(C)
201
104
104
X1
X2
X3
X4
(D)
206
108
106
108
X1
X2
X3
X4

도면8

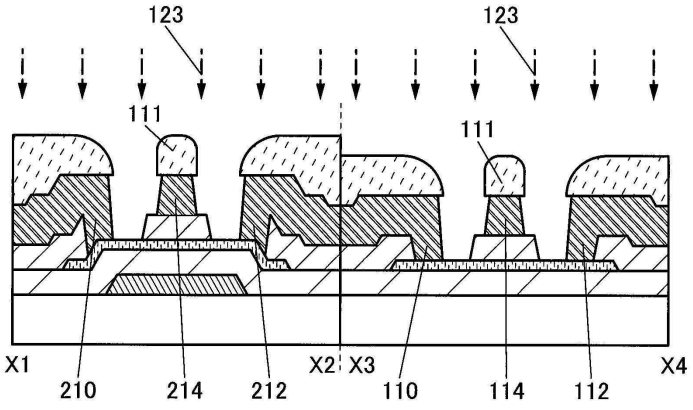
(A)


220a
220b
140a
140b
X1
X2
X3
X4

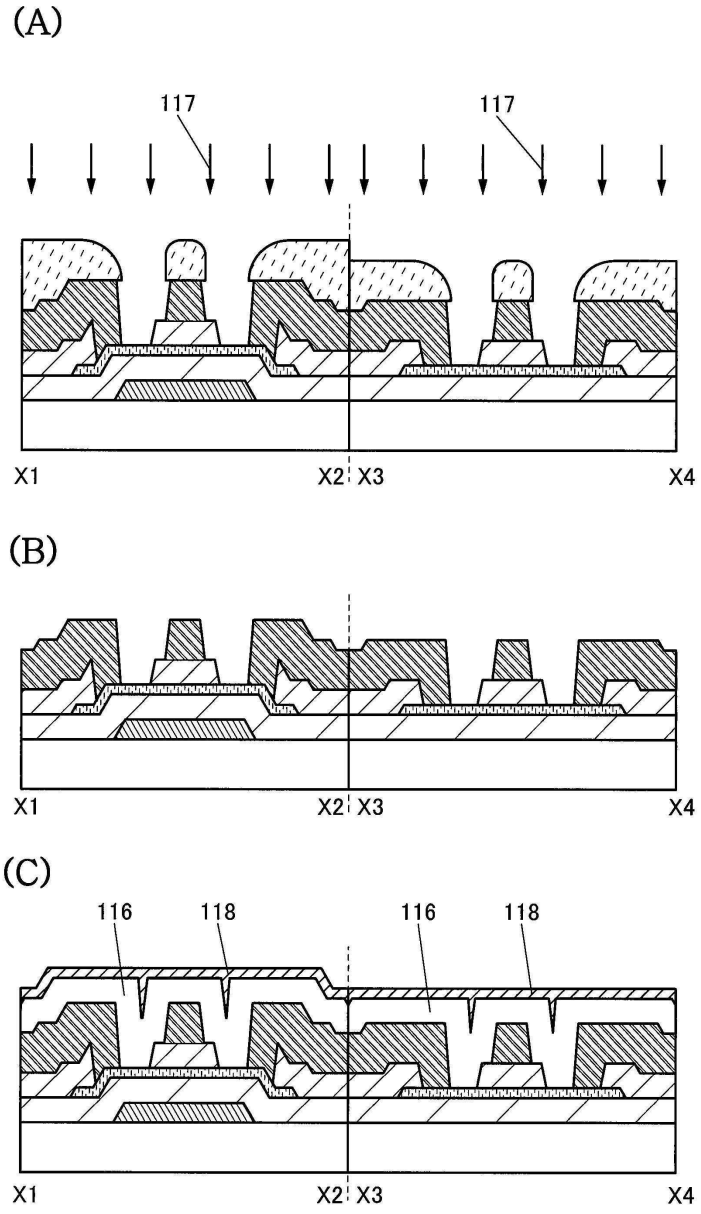
(B)


109
109
X1
X2
X3
X4

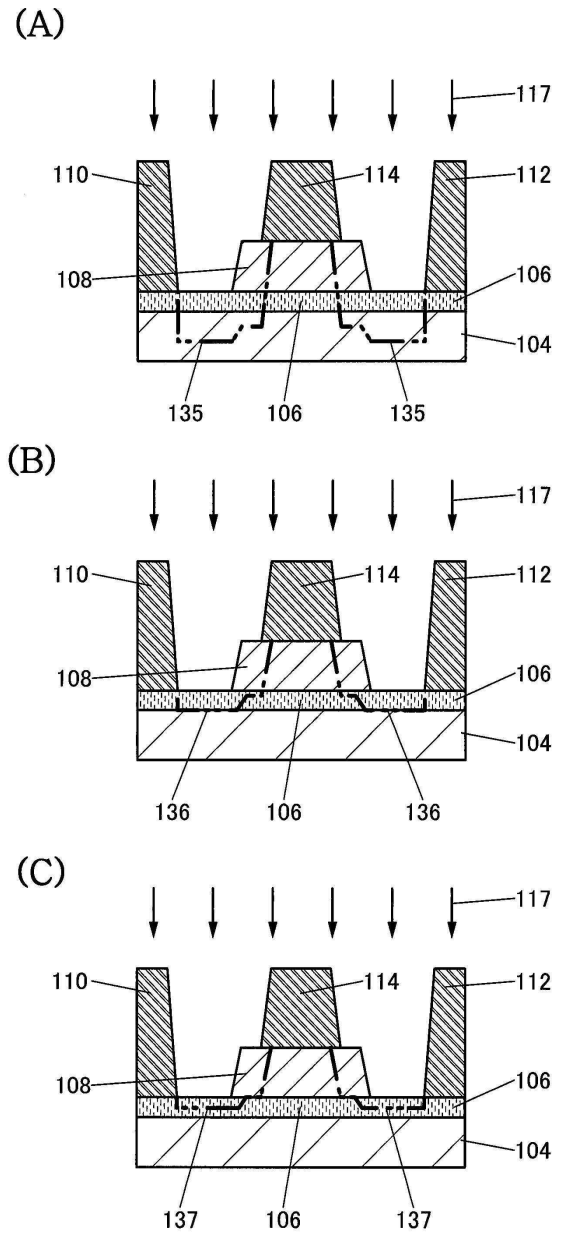
(C)


123
123
111
111
X1
X2
X3
X4
210
214
212
110
114
112

도면9

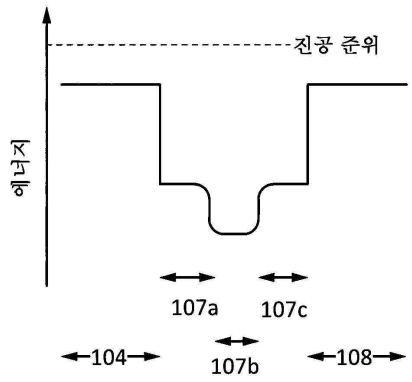


도면10

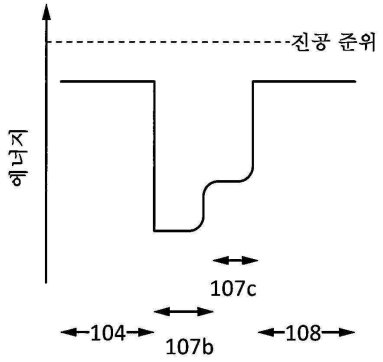

(A)
117
110
114
112
108
106
104
135
106
135
(B)
117
110
114
112
108
106
104
136
106
136
(C)
117
110
114
112
108
106
104
137
106
137

도면11

(A)

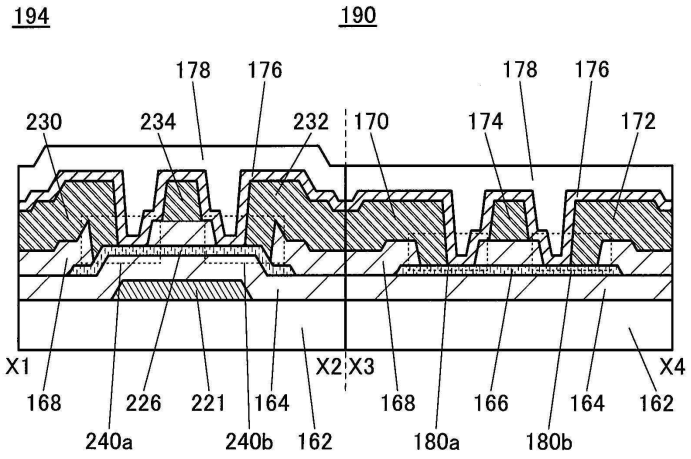


(B)

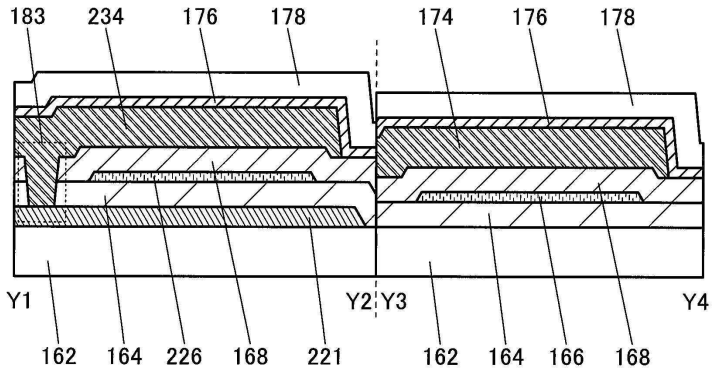


도면12

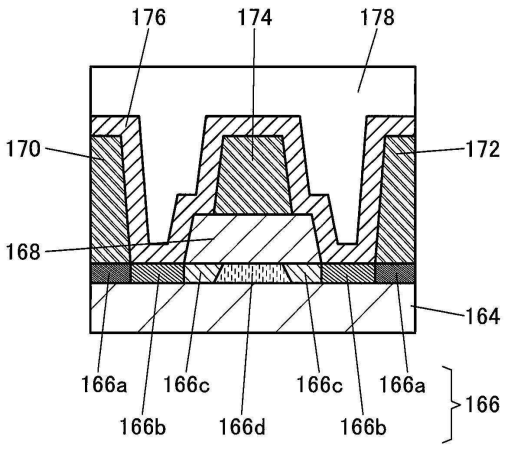
(A)


194
190
178
176
178
176
230
234
232
170
174
172
X1
X2
X3
X4
168
226
221
164
168
166
164
162
240a
240b
162
180a
180b

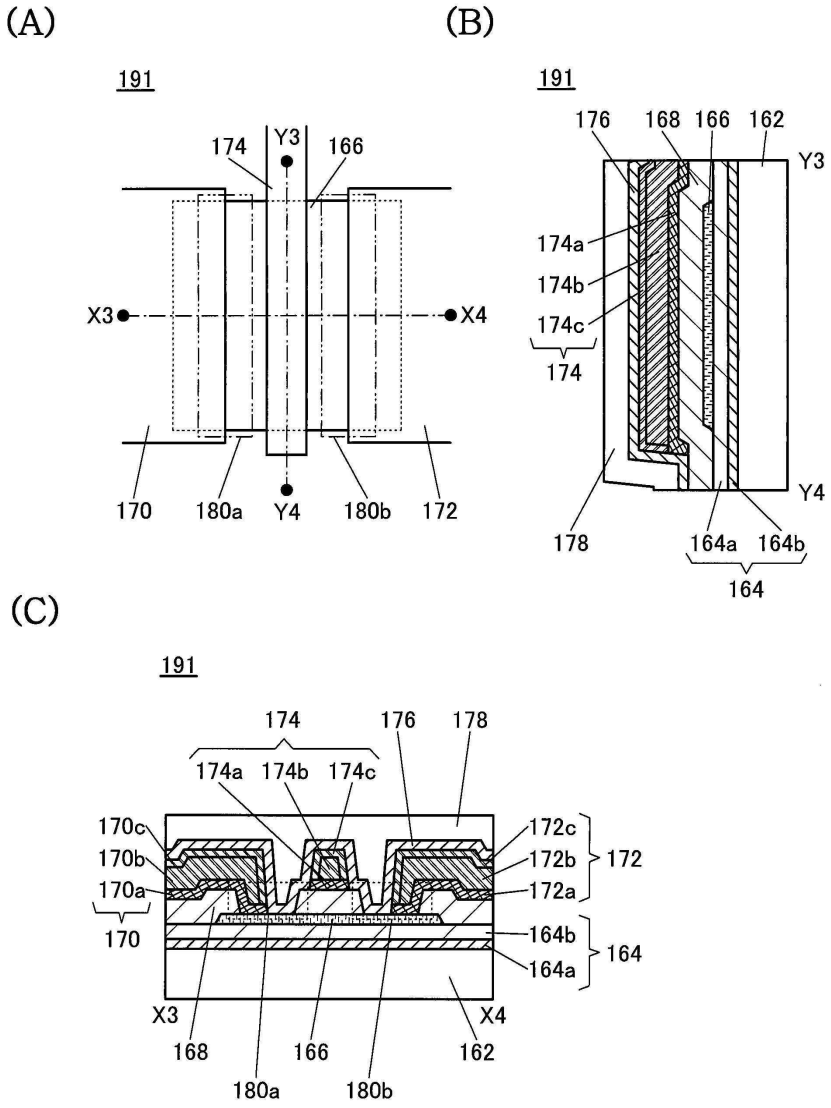
(B)


183
234
176
178
174
176
178
Y1
Y2
Y3
Y4
162
164
226
168
221
162
164
166
168

도면13

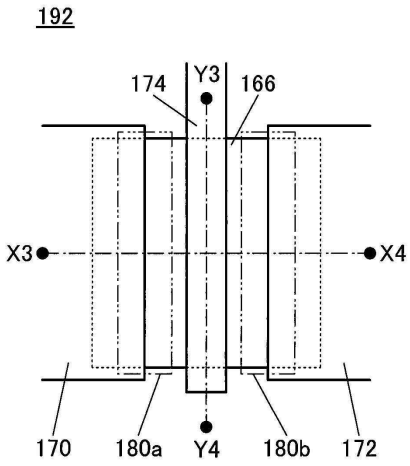

176
174
178
170
172
168
164
166a
166c
166c
166a
166
166b
166d
166b

도면14

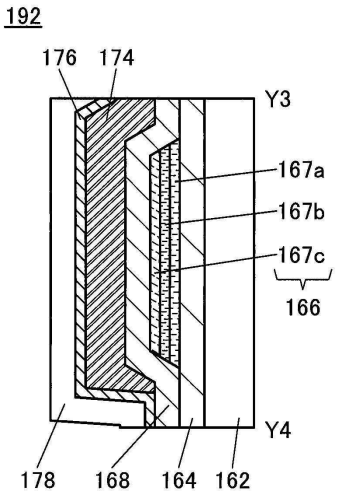

(A)
191
174
Y3
166
X3
X4
170
180a
Y4
180b
172
(B)
191
176
168
166
162
Y3
174a
174b
174c
174
Y4
178
164a
164b
164
(C)
191
174
176
178
174a
174b
174c
170c
170b
170a
170
172c
172b
172a
172
164b
164a
164
X3
X4
168
166
162
180a
180b

도면15

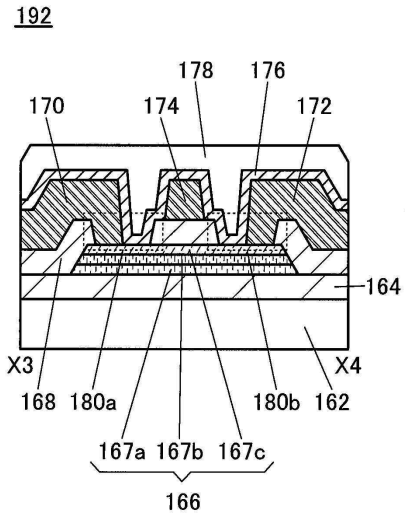
(A)


192
174
Y3
166
X3
X4
170
180a
Y4
180b
172

(B)

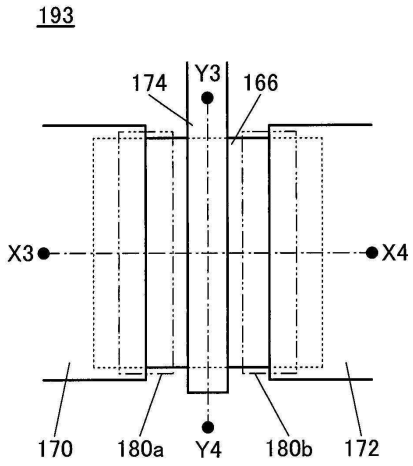

192
176
174
Y3
167a
167b
167c
166
Y4
178
168
164
162

(C)

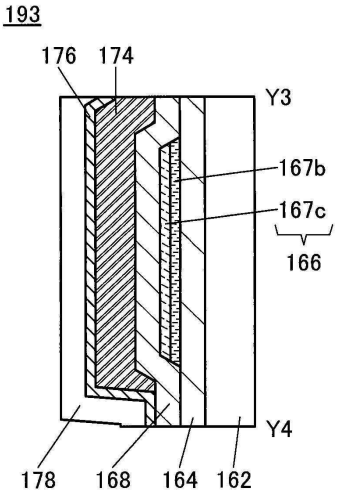

192
178
176
170
174
172
164
X3
X4
168
180a
180b
162
167a
167b
167c
166

도면16

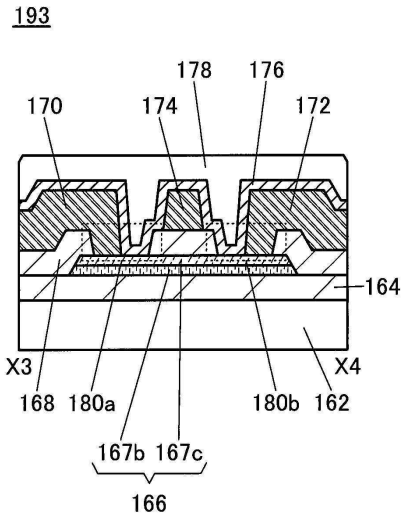
(A)


193
174
Y3
166
X3
X4
170
180a
Y4
180b
172

(B)

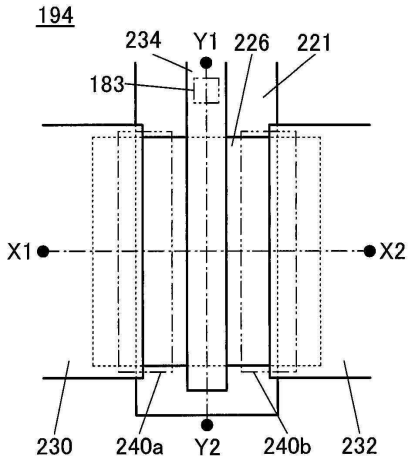

193
176
174
Y3
167b
167c
166
Y4
178
168
164
162

(C)

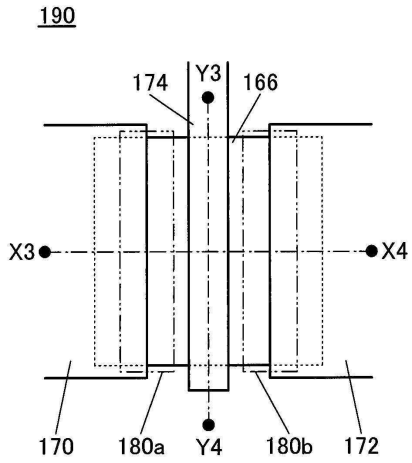

193
178
176
170
174
172
164
X3
X4
168
180a
180b
162
167b
167c
166

도면17

(A)

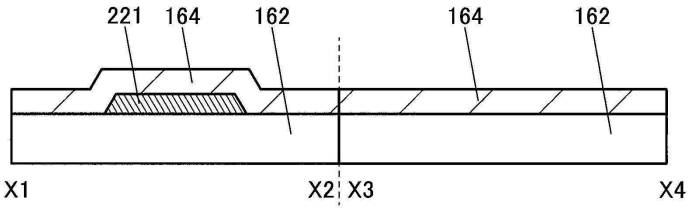

194
234
Y1
226
221
183
X1
X2
230
240a
Y2
240b
232

(B)

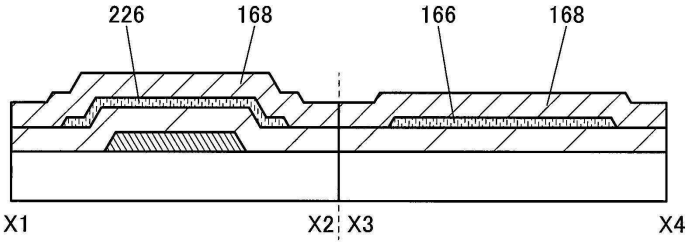

190
174
Y3
166
X3
X4
170
180a
Y4
180b
172

도면18

(A)

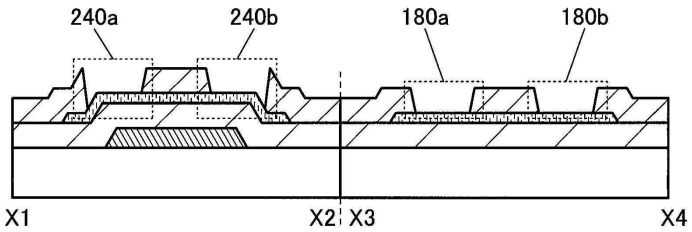


(B)

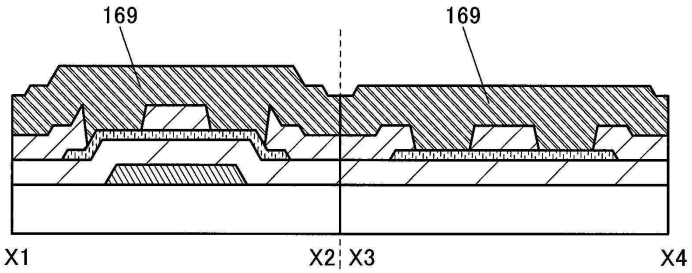


도면19

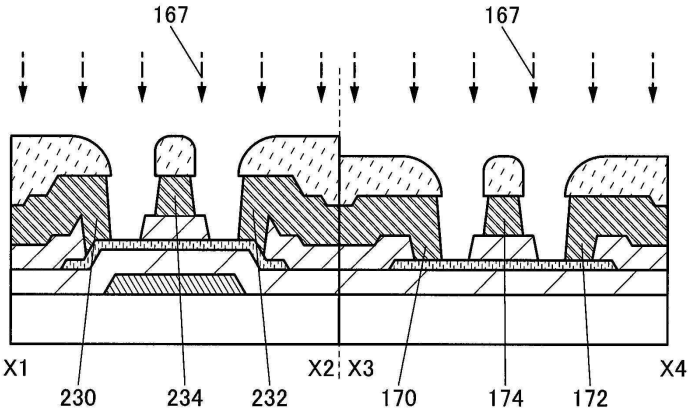
(A)


240a
240b
180a
180b
X1
X2
X3
X4

(B)

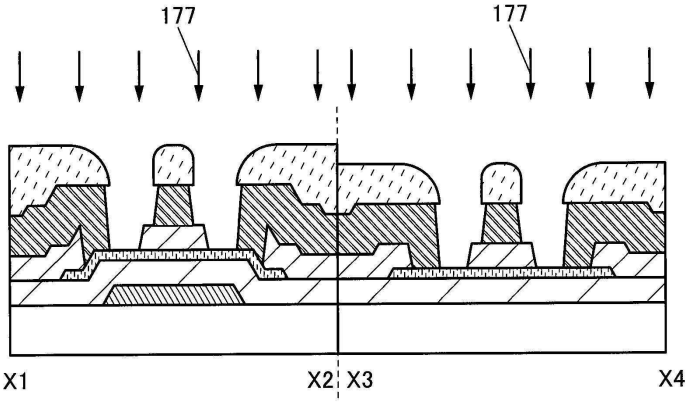

169
169
X1
X2
X3
X4

(C)

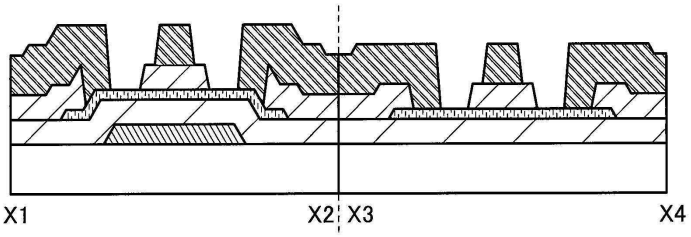

167
167
X1
X2
X3
X4
230
234
232
170
174
172

도면20

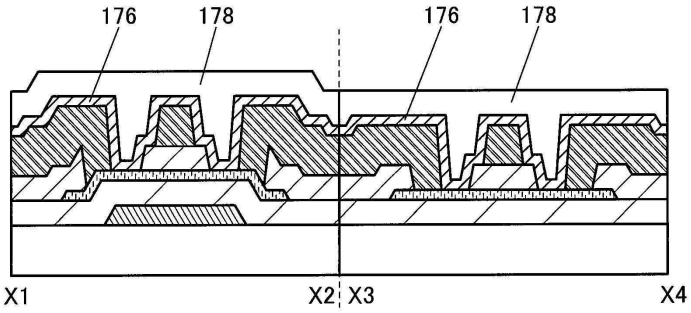
(A)



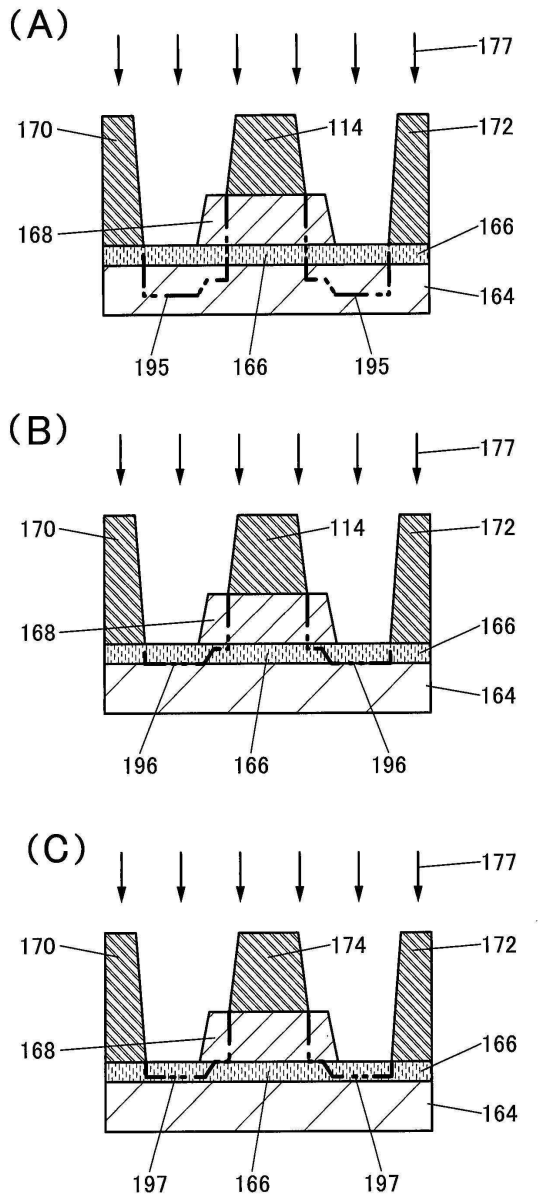
(B)



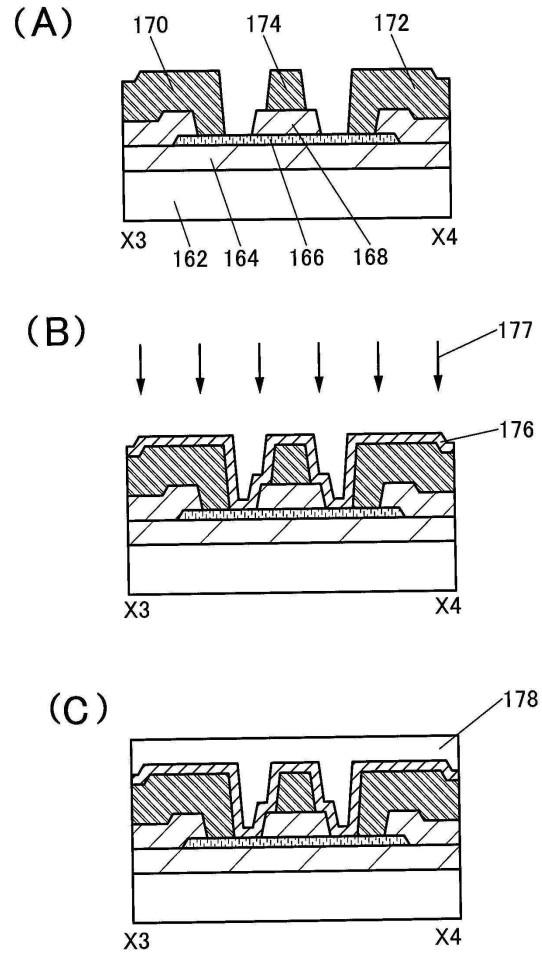
(C)



도면21

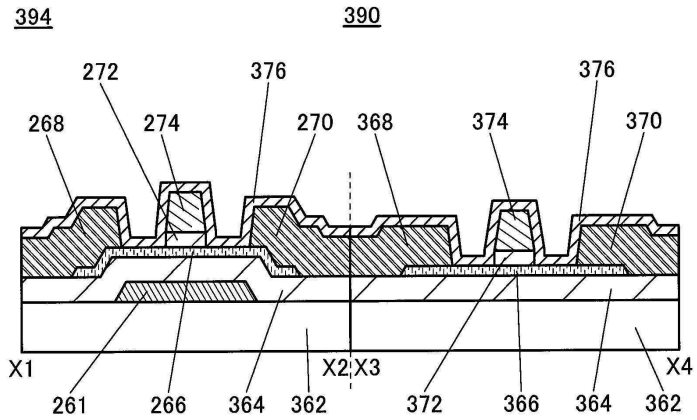

(A)
177
170
114
172
168
166
164
195
166
195
(B)
177
170
114
172
168
166
164
196
166
196
(C)
177
170
174
172
168
166
164
197
166
197

도면22

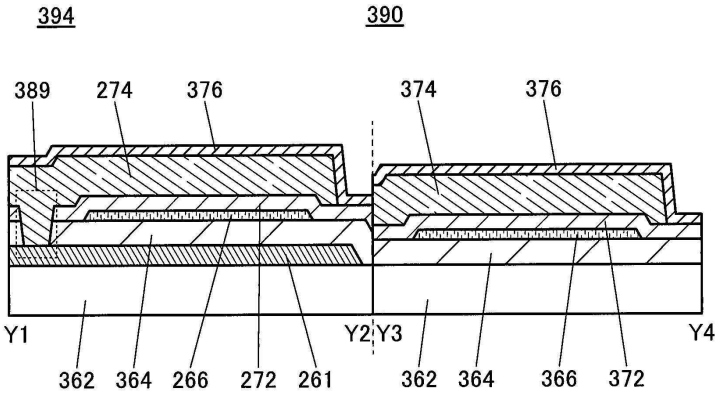


도면23

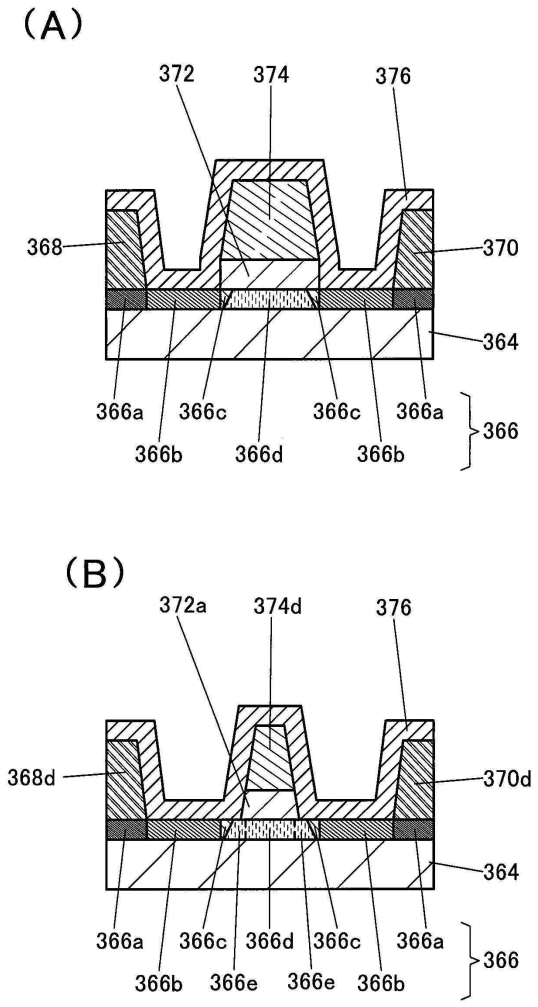
(A)


394
390
272
376
376
268
274
270
368
374
370
X1
X2
X3
X4
261
266
364
362
372
366
364
362

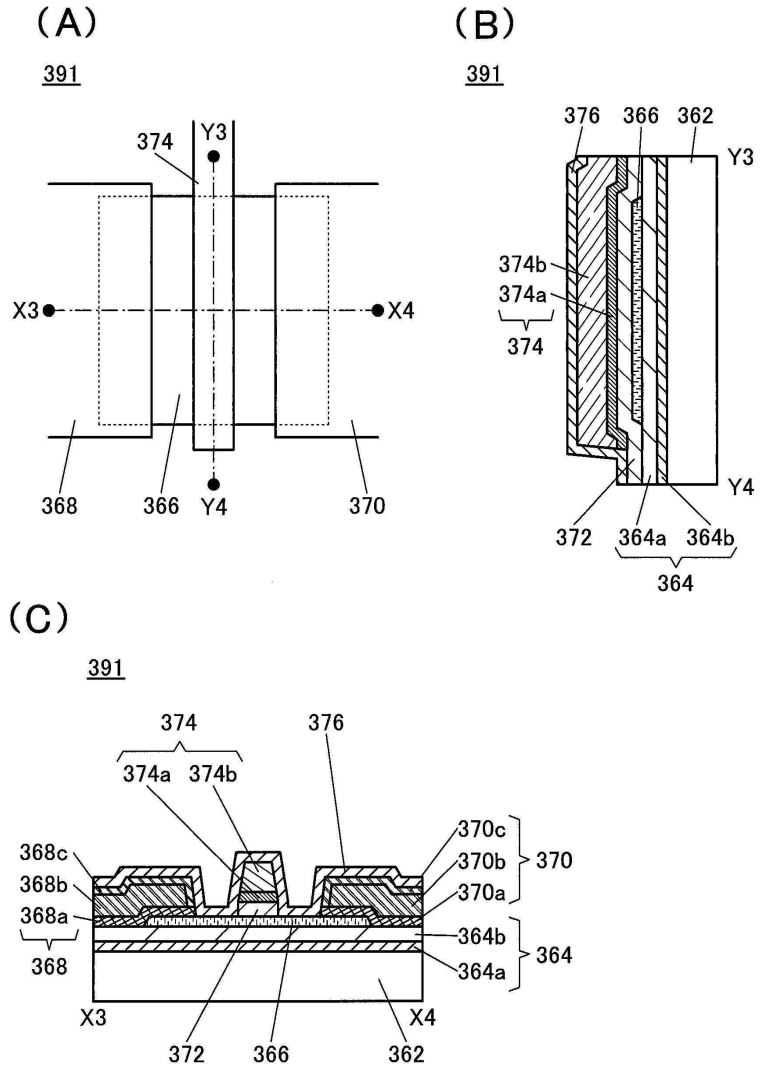
(B)


394
390
389
274
376
374
376
Y1
Y2
Y3
Y4
362
364
266
272
261
362
364
366
372

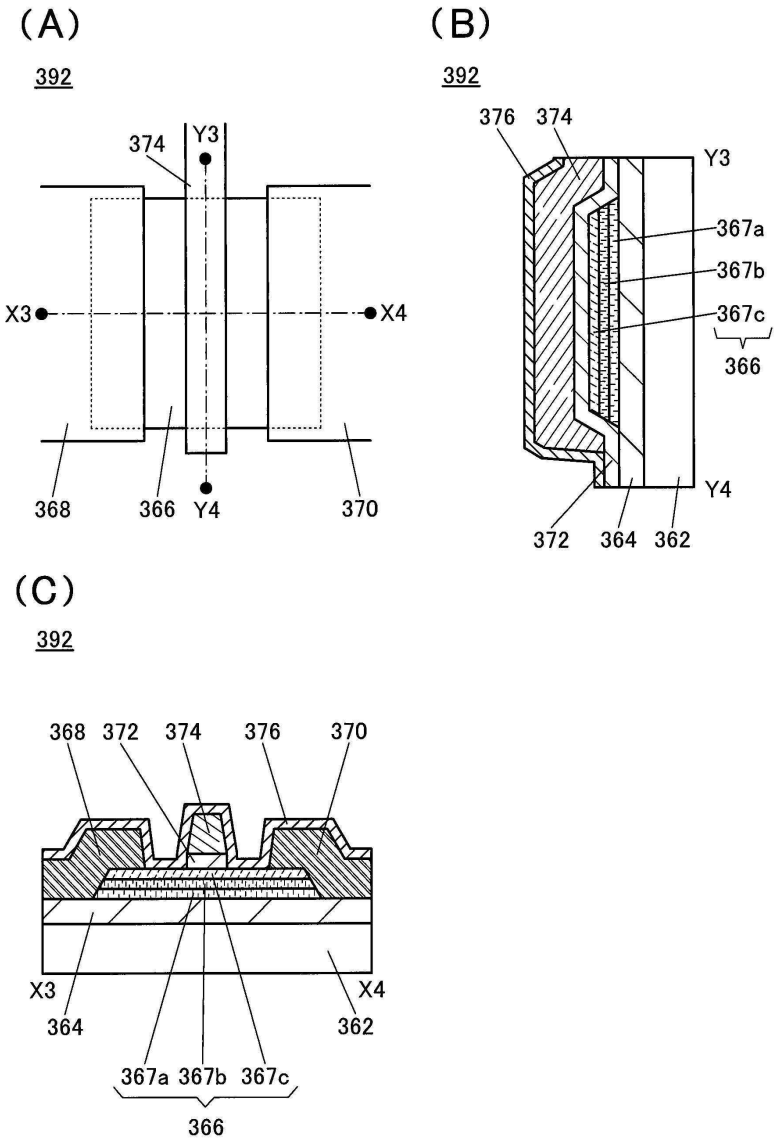
도면24


(A)
372
374
376
368
370
364
366a
366c
366c
366a
366
366b
366d
366b
(B)
372a
374d
376
368d
370d
364
366a
366c
366d
366c
366a
366
366b
366e
366e
366b

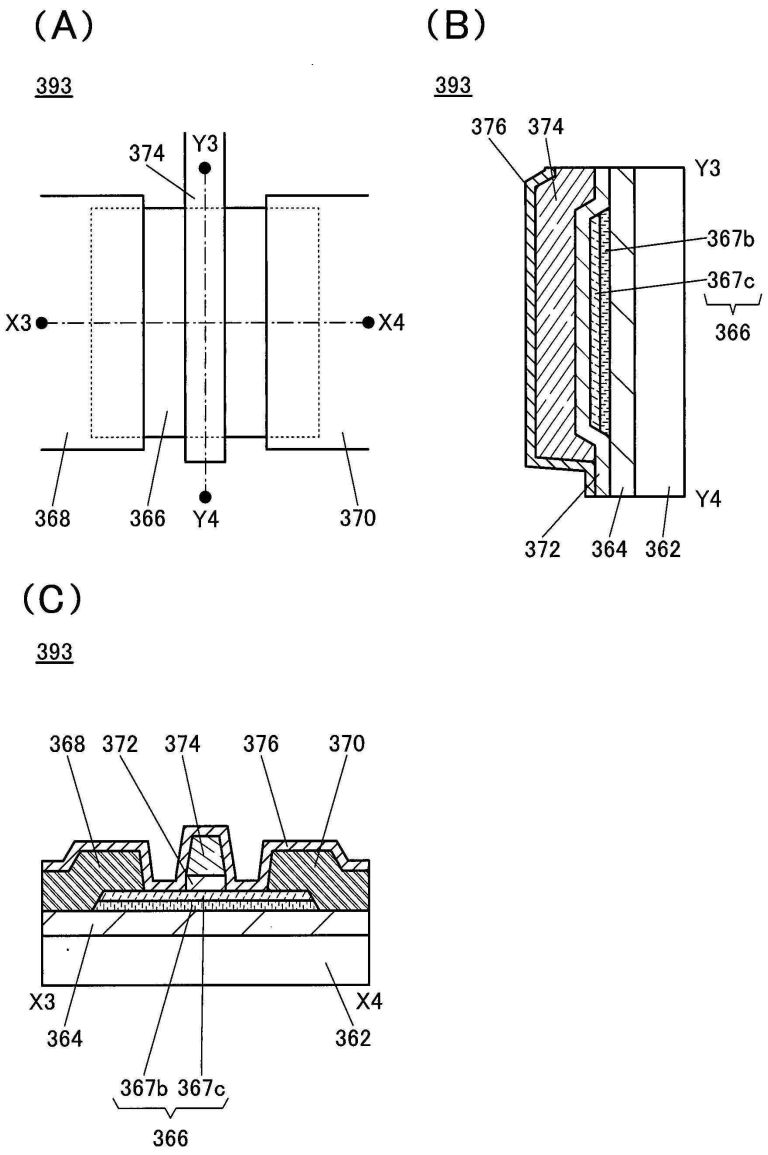
도면25


(A)
391
374
Y3
X3
X4
368
366
Y4
370
(B)
391
376
366
362
Y3
374b
374a
374
Y4
372
364a
364b
364
(C)
391
374
376
374a
374b
370c
370b
370a
370
368c
368b
368a
368
364b
364a
364
X3
X4
372
366
362

도면26

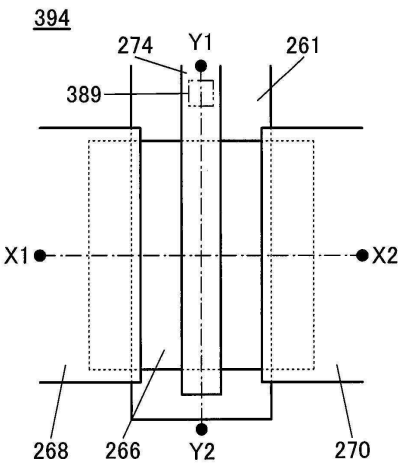

(A)
392
374
Y3
X3
X4
368
366
Y4
370
(B)
392
376
374
Y3
367a
367b
367c
366
Y4
372
364
362
(C)
392
368
372
374
376
370
X3
X4
364
362
367a
367b
367c
366

도면27

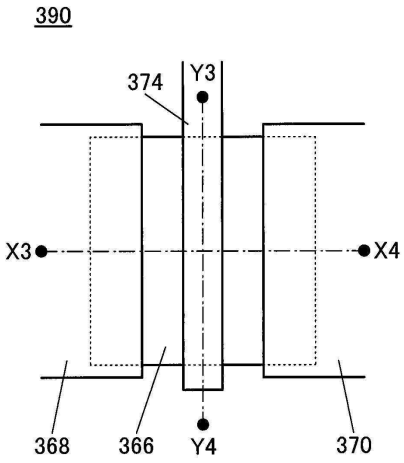

(A)
393
374
Y3
X3
X4
368
366
Y4
370
(B)
393
376
374
Y3
367b
367c
366
Y4
372
364
362
(C)
393
368
372
374
376
370
X3
X4
364
362
367b
367c
366

도면28

(A)

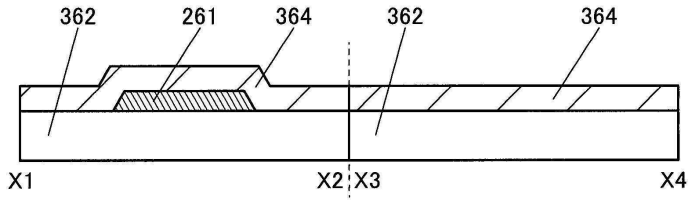

394
274
Y1
261
389
X1
X2
268
266
Y2
270

(B)

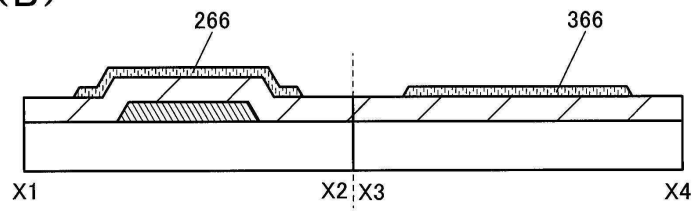

390
374
Y3
X3
X4
368
366
Y4
370

도면29

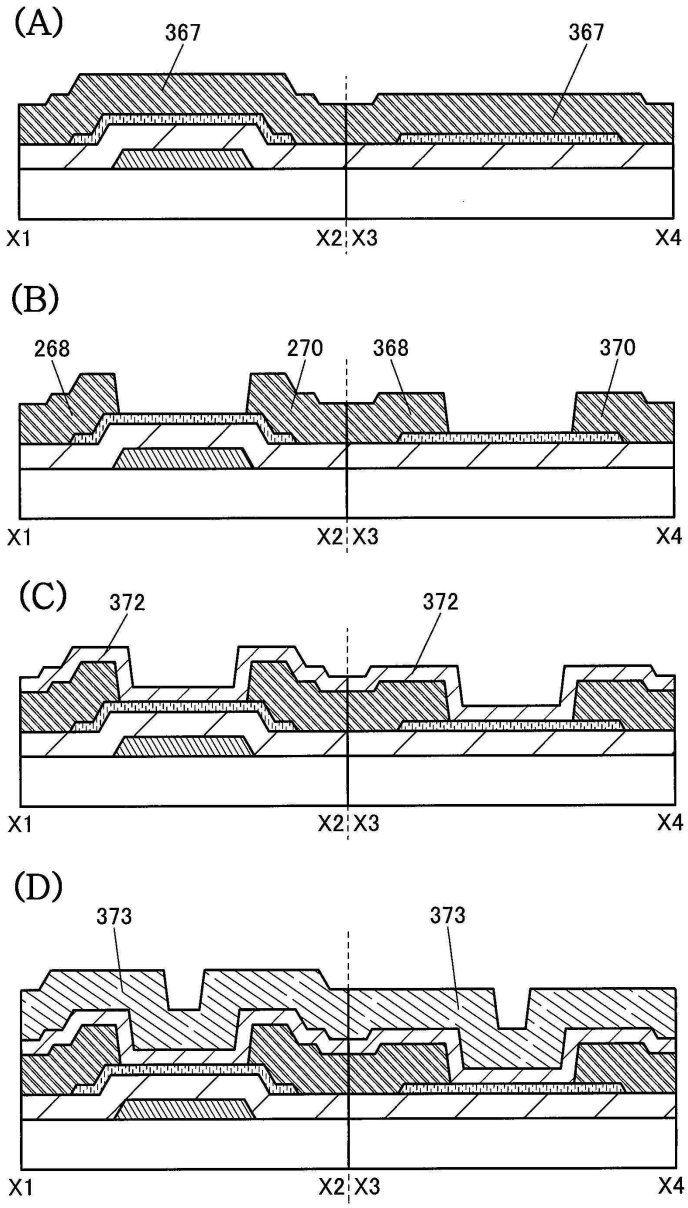
(A)



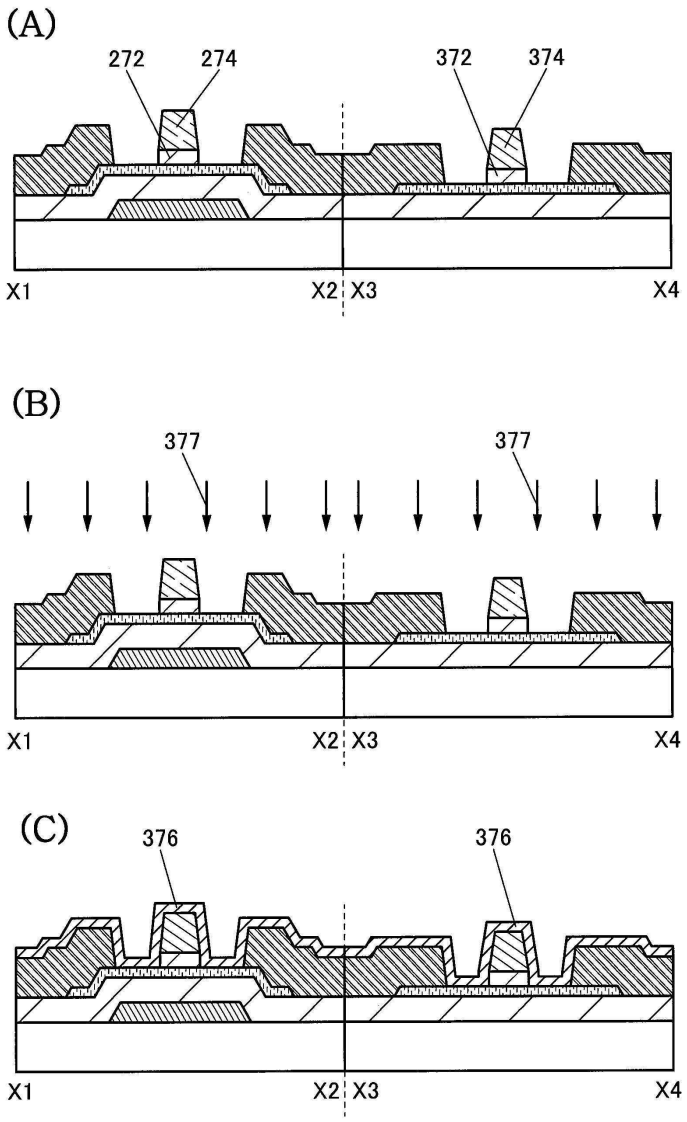
(B)



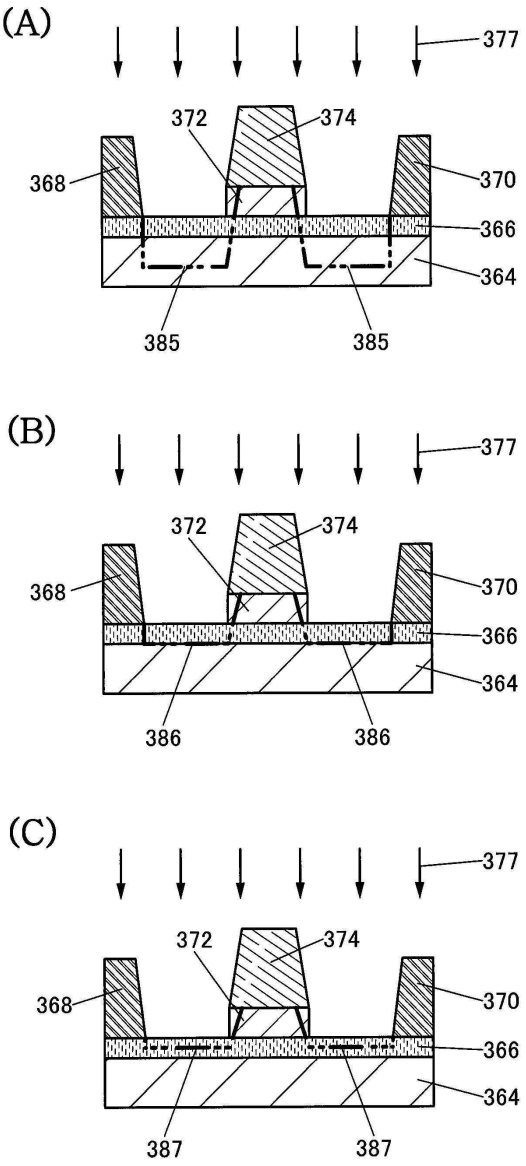
도면30


(A)
367
367
X1
X2
X3
X4
(B)
268
270
368
370
X1
X2
X3
X4
(C)
372
372
X1
X2
X3
X4
(D)
373
373
X1
X2
X3
X4

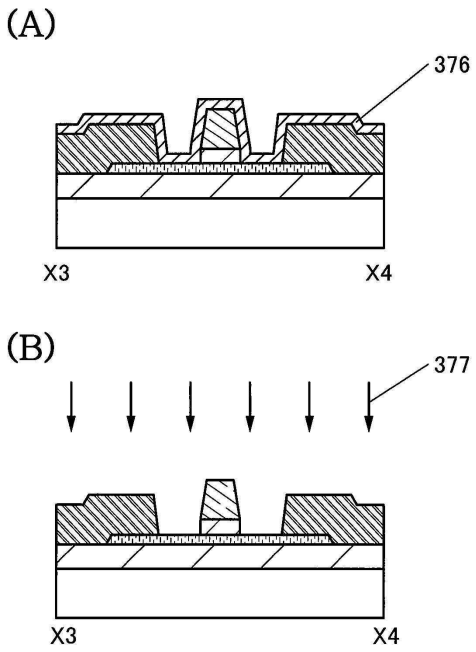
도면31


(A)
272
274
372
374
X1
X2
X3
X4
(B)
377
377
X1
X2
X3
X4
(C)
376
376
X1
X2
X3
X4

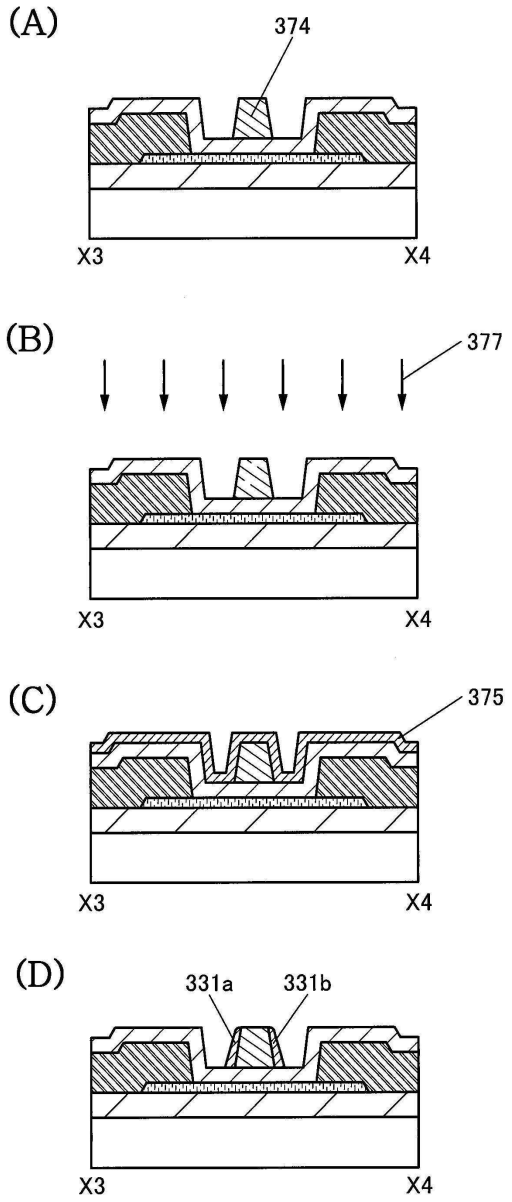
도면32


(A)
377
372
374
368
370
366
364
385
385
(B)
377
372
374
368
370
366
364
386
386
(C)
377
372
374
368
370
366
364
387
387

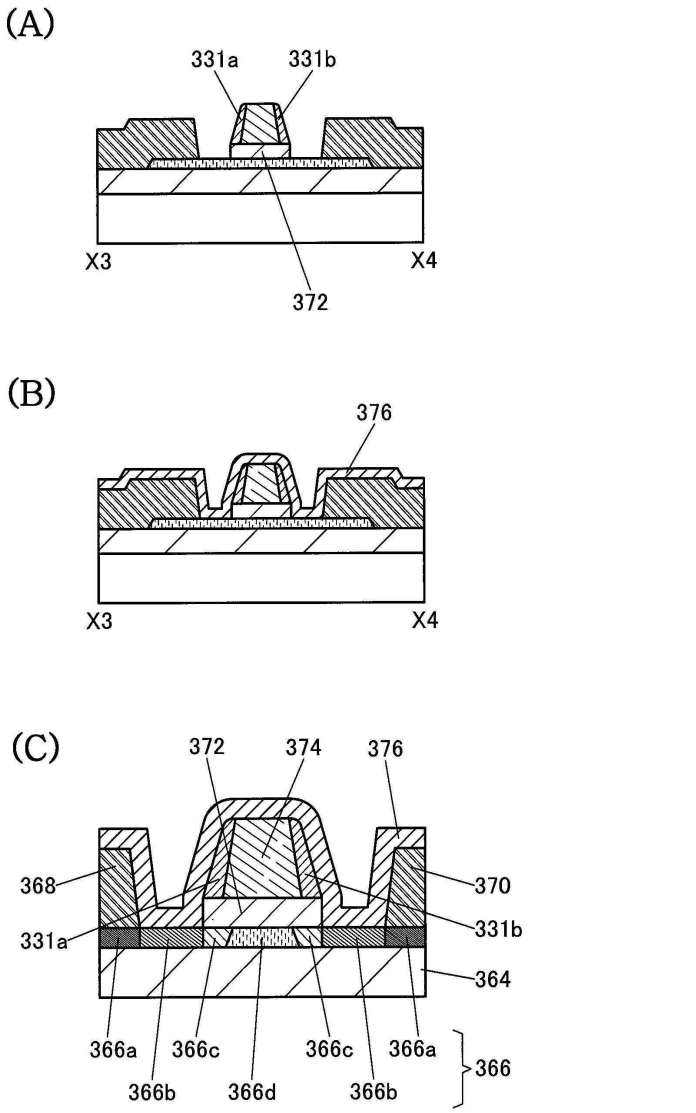
도면33



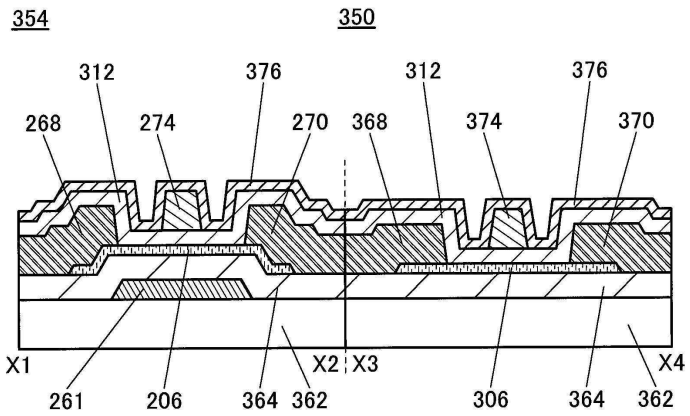
도면34



도면35

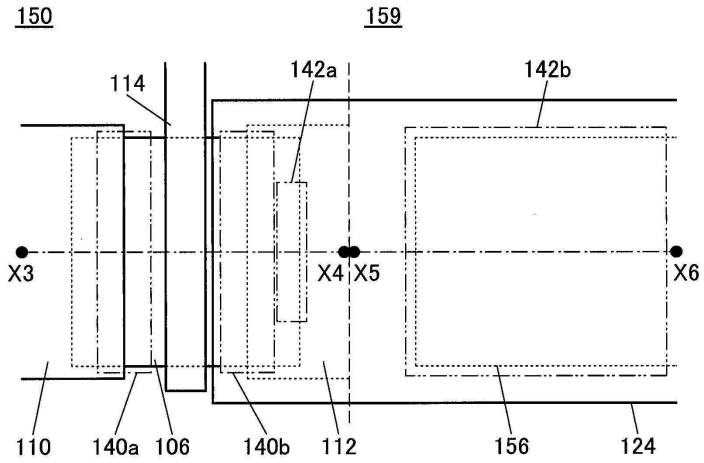

(A)
331a
331b
X3
X4
372
(B)
376
X3
X4
(C)
372
374
376
368
370
331a
331b
364
366a
366c
366c
366a
366
366b
366d
366b

도면36

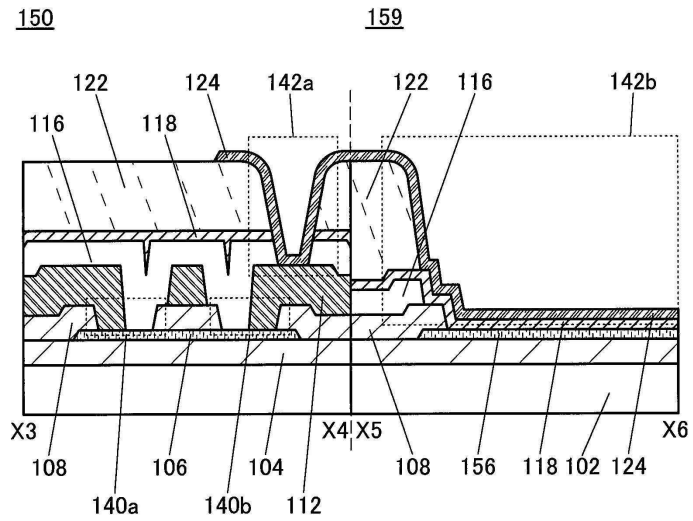

354
350
312
376
312
376
268
274
270
368
374
370
X1
X2
X3
X4
261
206
364
362
306
364
362

도면37

(A)

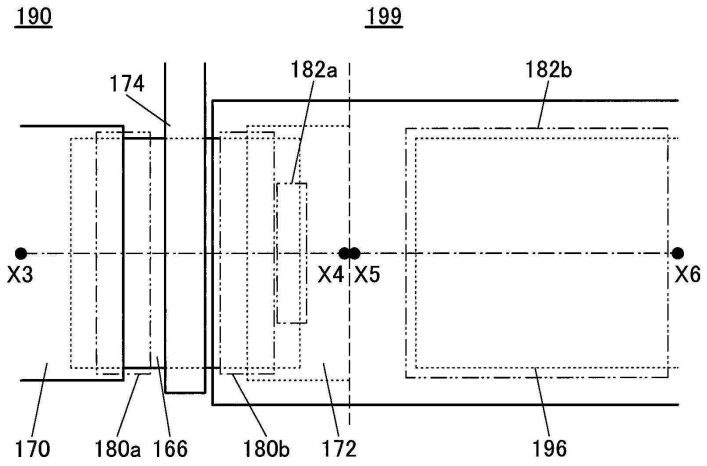

150
159
114
142a
142b
X3
X4
X5
X6
110
140a
106
140b
112
156
124

(B)

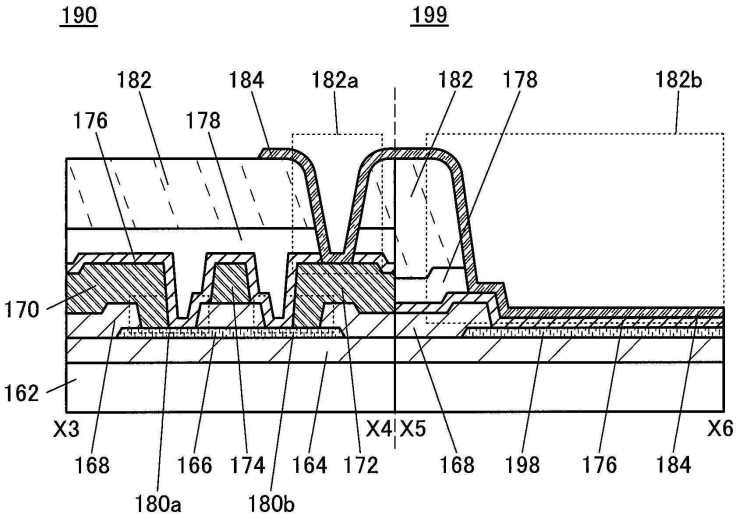

150
159
122
124
142a
122
116
142b
116
118
X3
X4
X5
X6
108
106
104
108
156
118
102
124
140a
140b
112

도면38

(A)

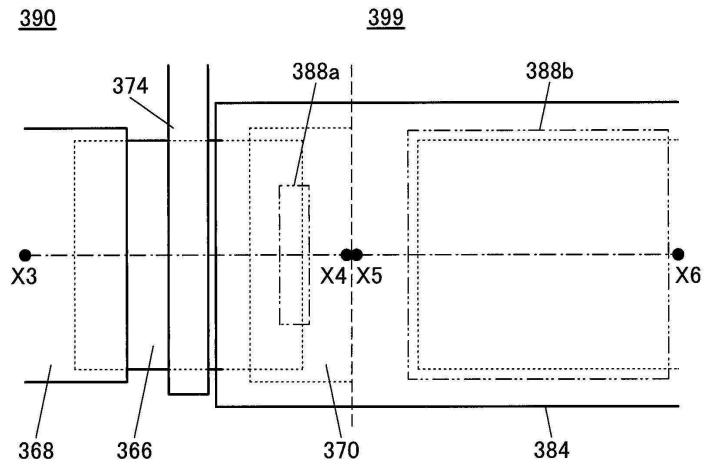

190
199
174
182a
182b
X3
X4
X5
X6
170
180a
166
180b
172
196

(B)

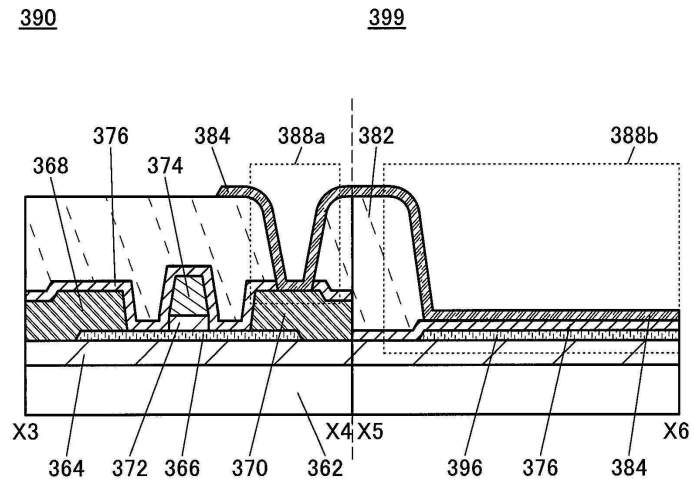

190
199
182
184
182a
182
178
182b
176
178
170
162
X3
X4
X5
X6
168
166
174
164
172
168
198
176
184
180a
180b

도면39

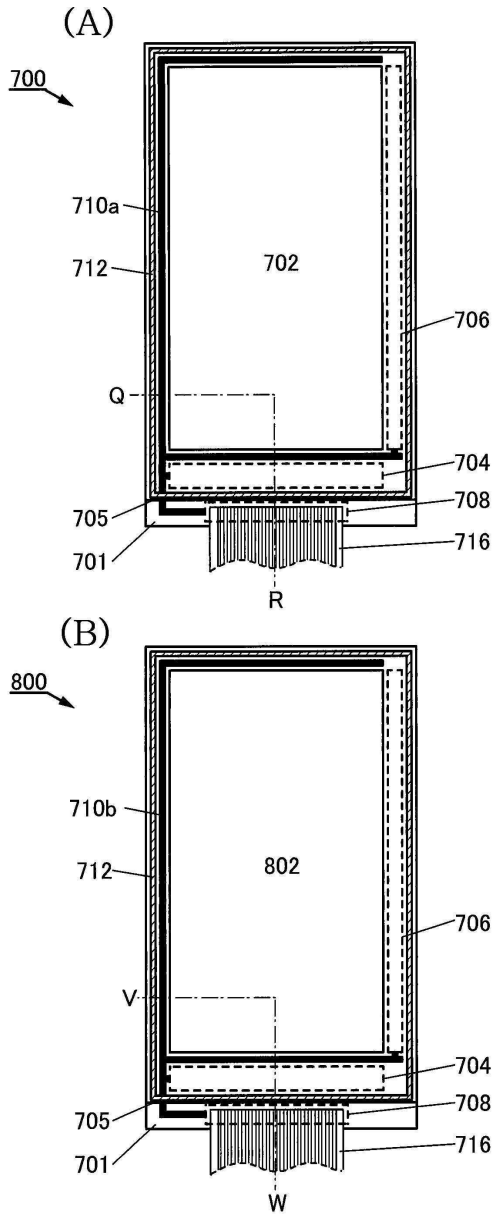
(A)


390
399
374
388a
388b
X3
X4
X5
X6
368
366
370
384

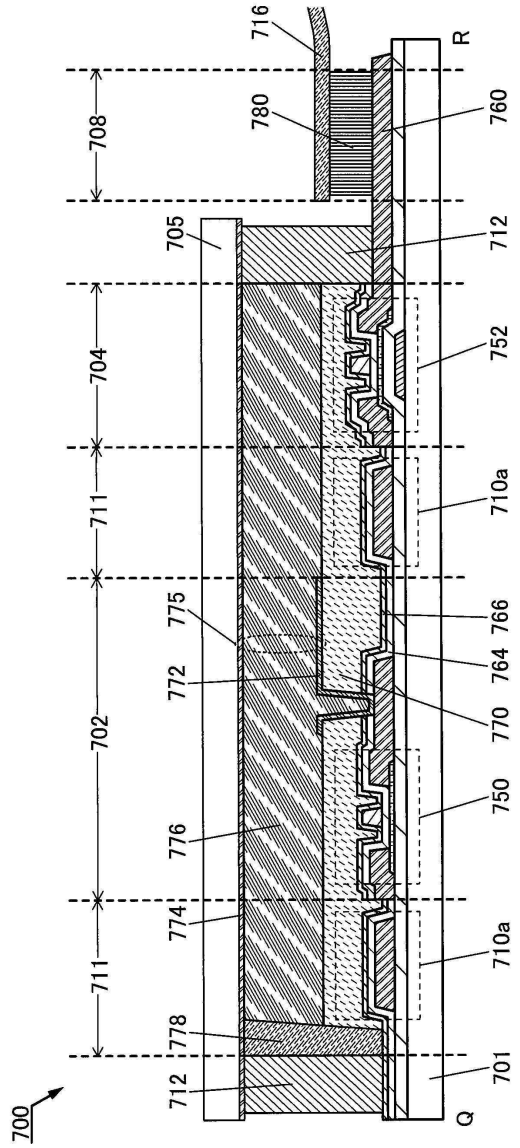
(B)


390
399
376
384
388a
382
388b
368
374
X3
X4
X5
X6
364
372
366
370
362
396
376
384

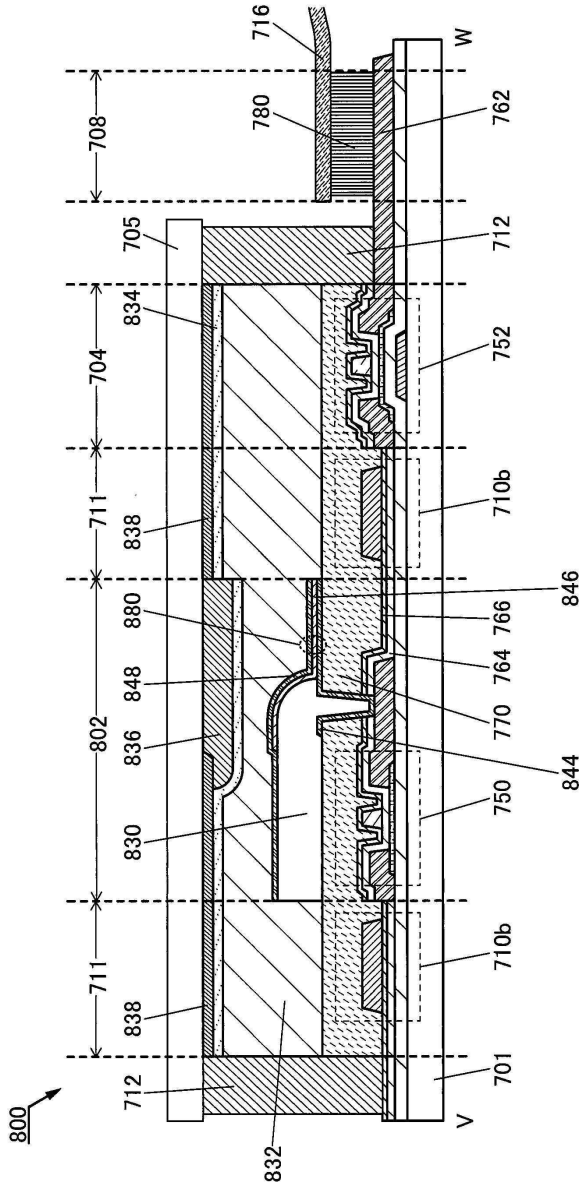
도면40


(A)
700
710a
712
702
706
Q
704
708
705
716
701
R
(B)
800
710b
712
802
706
V
704
708
705
716
701
W

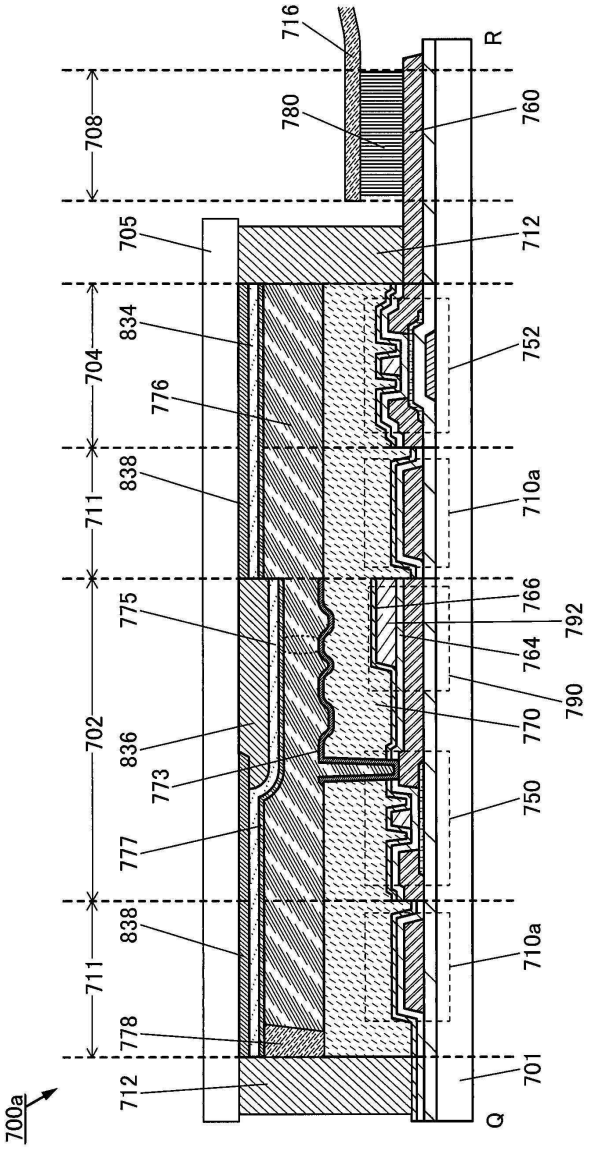
도면41


716
780
760
R
708
705
712
704
752
711
710a
775
766
772
764
770
702
750
776
774
711
710a
778
712
701
700
Q

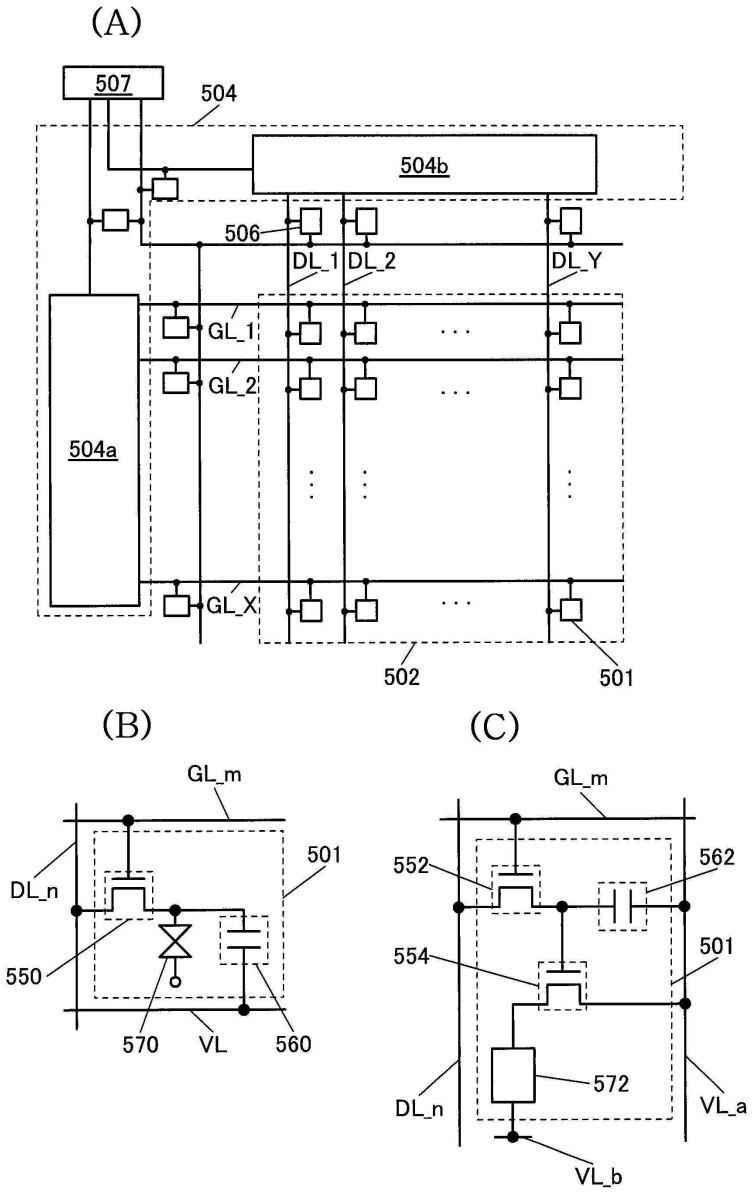
도면42


716
780
W
762
708
705
712
834
704
752
711
838
710b
846
880
766
848
764
802
836
770
844
830
750
711
838
710b
712
701
800
V
832

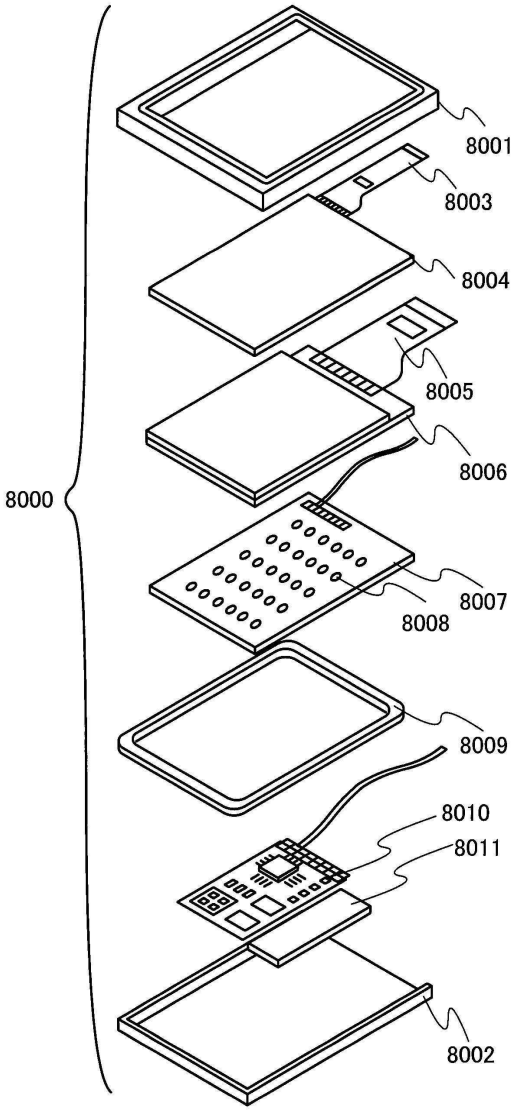
도면43


716
780
760
R
708
705
712
834
752
704
776
838
710a
711
775
766
792
764
790
770
702
836
773
750
777
838
710a
711
778
712
701
700a
Q

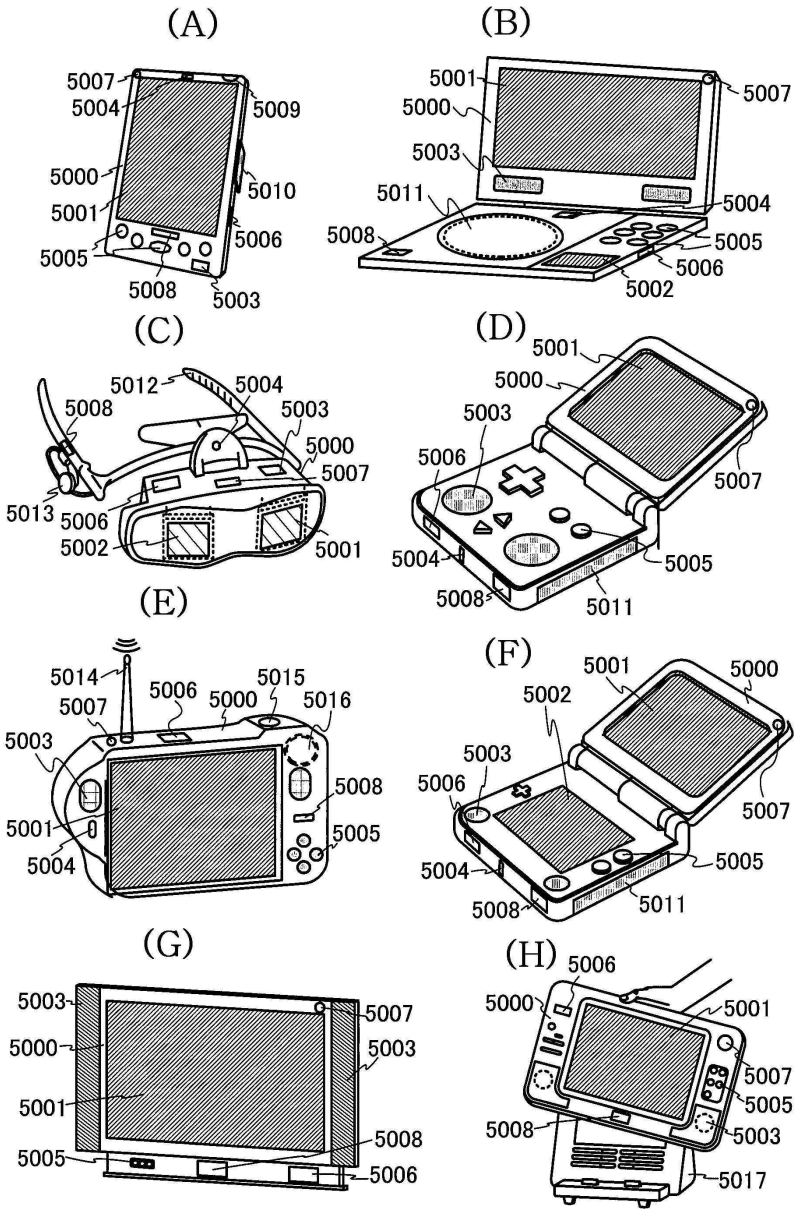
도면44


(A)
507
504
504b
506
DL_1
DL_2
DL_Y
GL_1
GL_2
GL_X
504a
502
501
(B)
GL_m
DL_n
501
550
570
VL
560
(C)
GL_m
552
562
554
501
572
DL_n
VL_a
VL_b

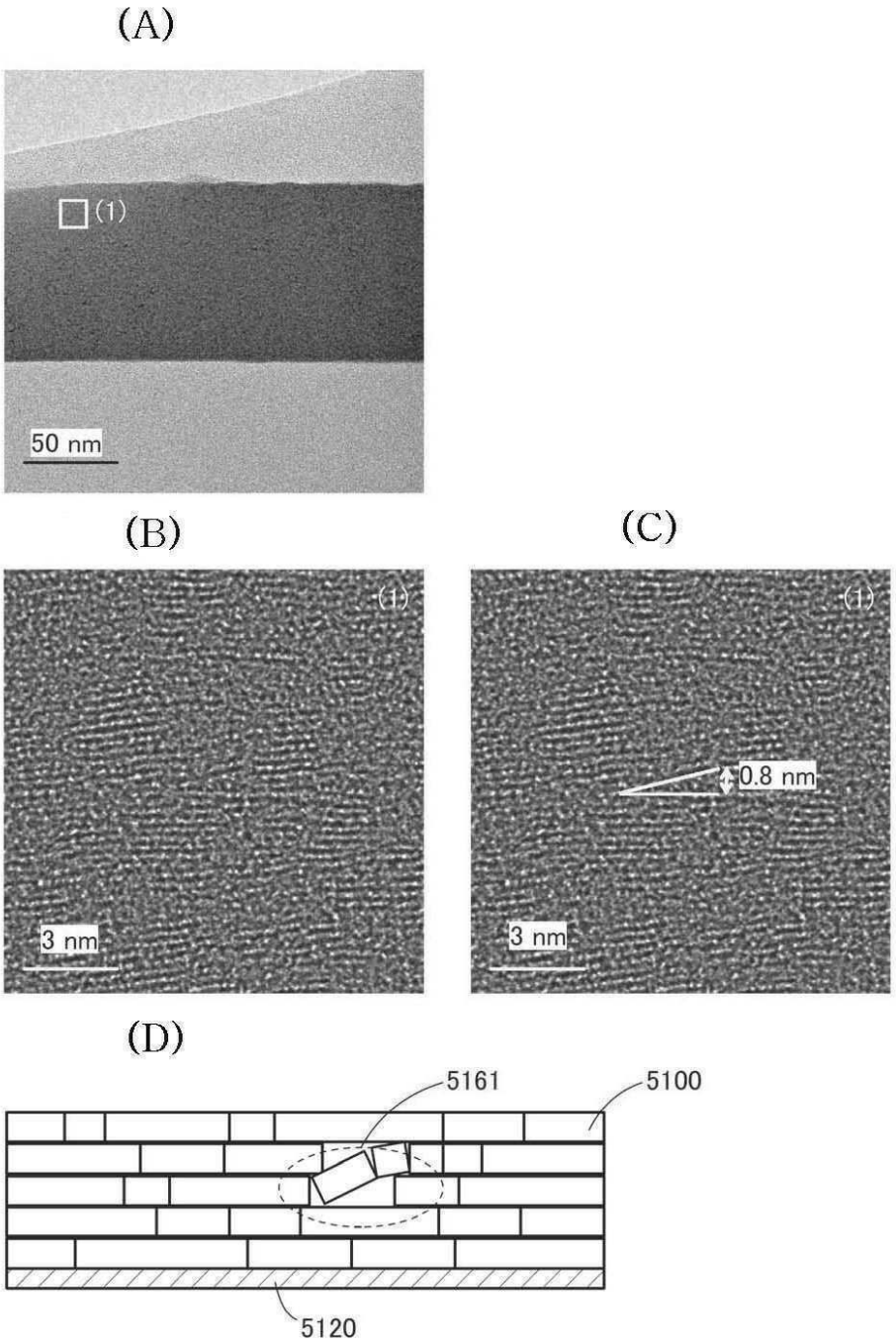
도면45



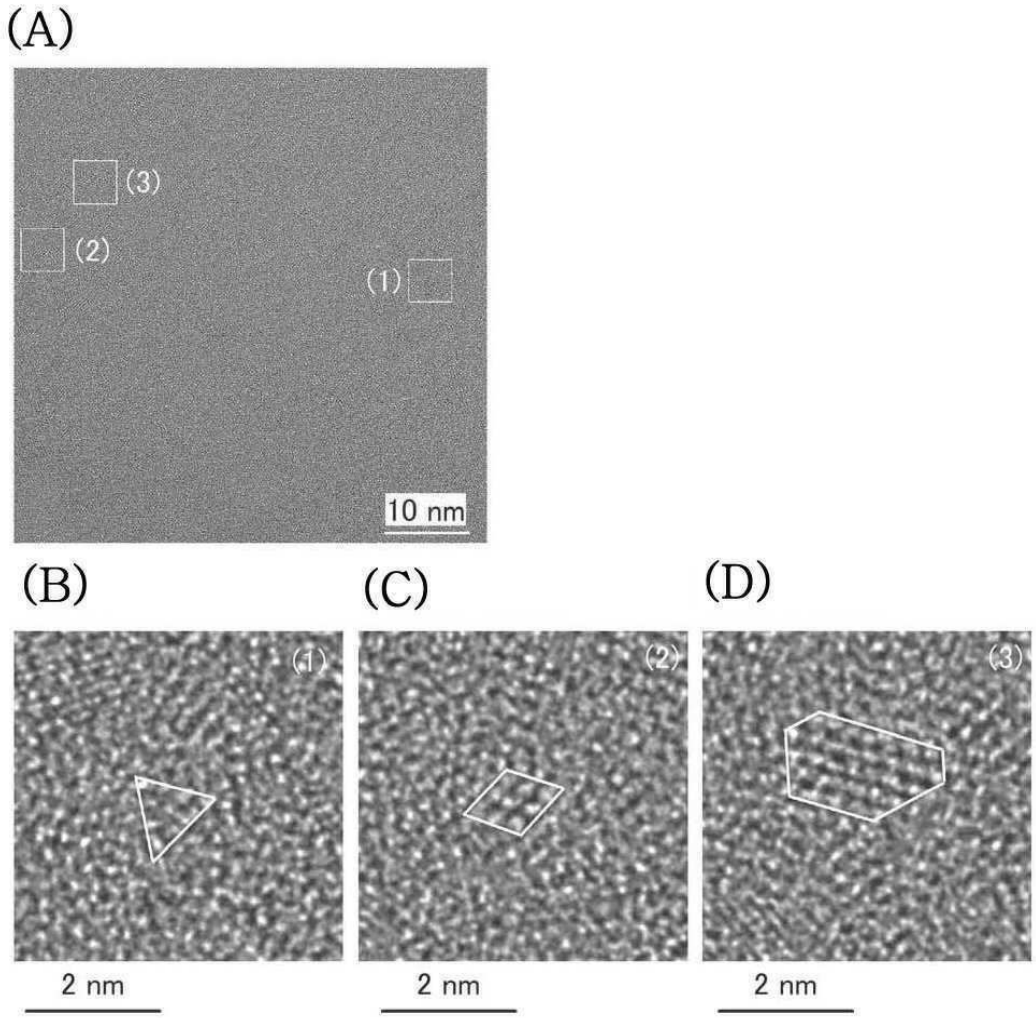
도면46


(A)
5007
5004
5009
5000
5010
5001
5006
5005
5008
5003
(B)
5001
5007
5000
5003
5011
5004
5008
5005
5006
5002
(C)
5012
5004
5008
5003
5000
5007
5013
5006
5002
5001
(D)
5001
5000
5003
5006
5007
5004
5005
5008
5011
(E)
5014
5006
5015
5007
5000
5016
5003
5008
5001
5005
5004
(F)
5001
5000
5002
5003
5006
5007
5004
5005
5008
5011
(G)
5003
5007
5000
5003
5001
5008
5005
5006
(H)
5006
5000
5001
5007
5005
5008
5003
5017

도면47

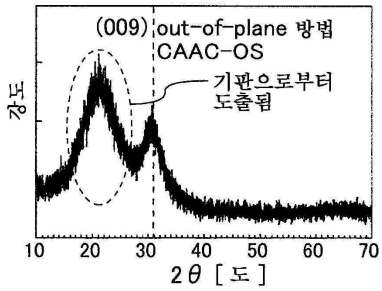


도면48

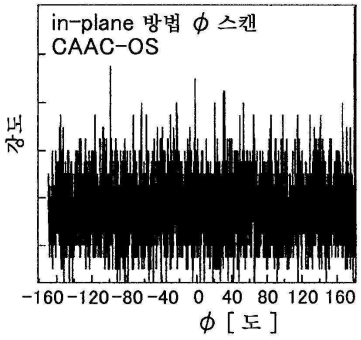


도면49

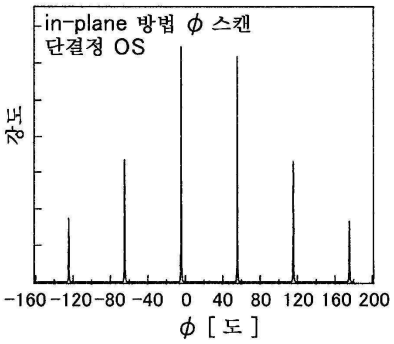
(A)


(009) out-of-plane 방법
CAAC-OS
기판으로부터
도출됨
강도
10 20 30 40 50 60 70
2θ [도]

(B)

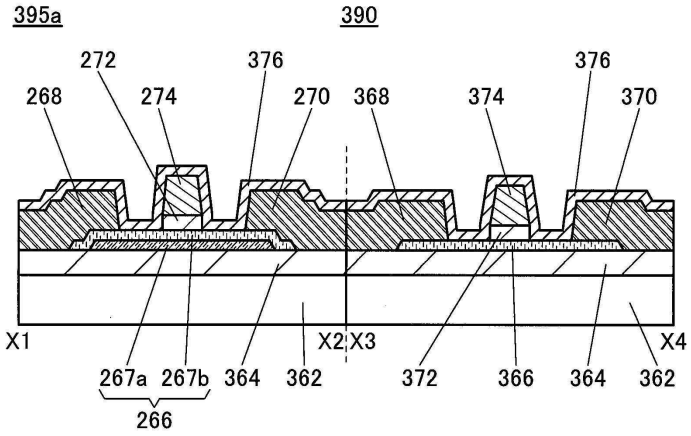

in-plane 방법 ϕ 스캔
CAAC-OS
강도
-160 -120 -80 -40 0 40 80 120 160
ϕ [도]

(C)

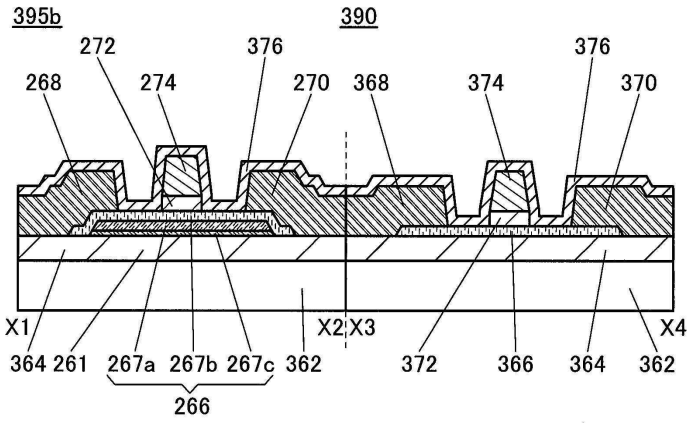

in-plane 방법 ϕ 스캔
단결정 OS
강도
-160 -120 -80 -40 0 40 80 120 160 200
ϕ [도]

도면50

(A)

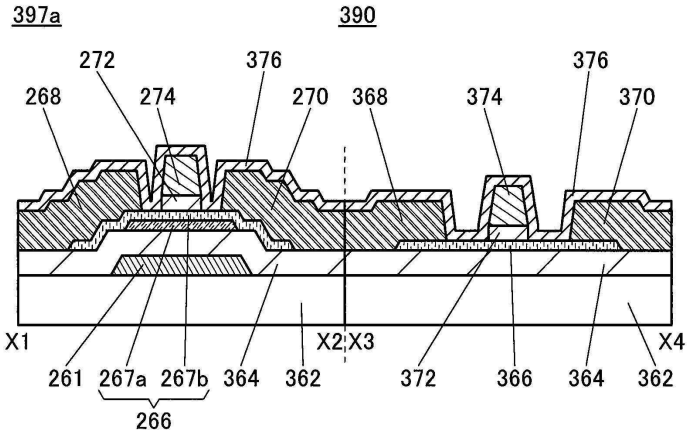

395a
390
272
376
376
268
274
270
368
374
370
X1
X2
X3
X4
267a
267b
364
362
372
366
364
362
266

(B)

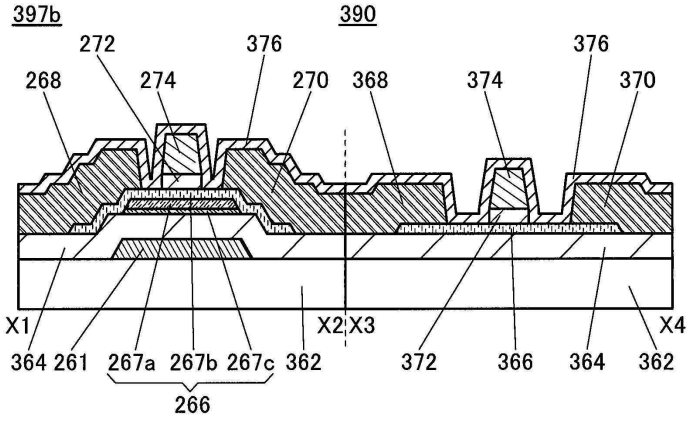

395b
390
272
376
376
268
274
270
368
374
370
X1
X2
X3
X4
364
261
267a
267b
267c
362
372
366
364
362
266

도면51

(A)

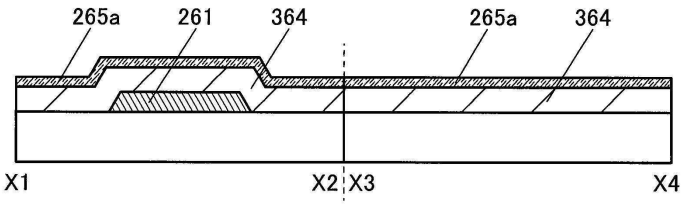

397a
390
272
376
376
268
274
270
368
374
370
X1
X2
X3
X4
261
267a
267b
364
362
372
366
364
362
266

(B)

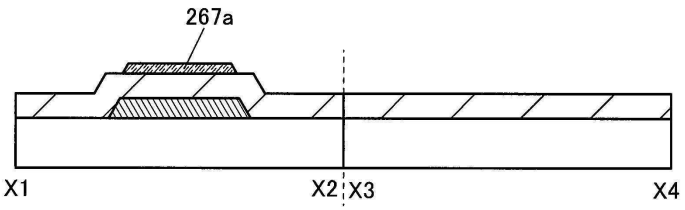

397b
390
272
376
376
268
274
270
368
374
370
X1
X2
X3
X4
364
261
267a
267b
267c
362
372
366
364
362
266

도면52

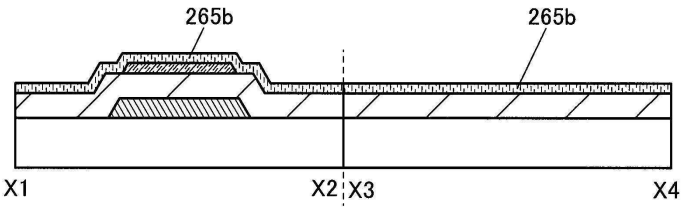
(A)


265a
261
364
265a
364
X1
X2
X3
X4

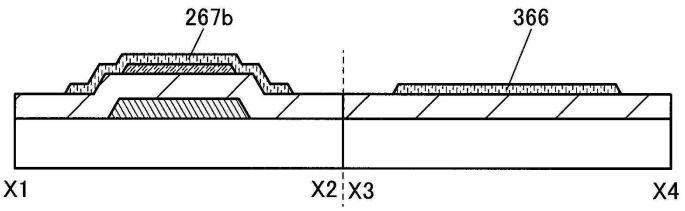
(B)


267a
X1
X2
X3
X4

(C)

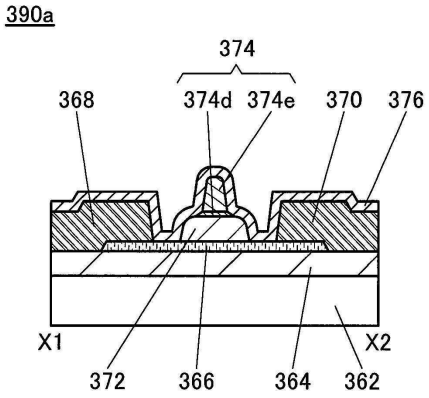

265b
265b
X1
X2
X3
X4

(D)

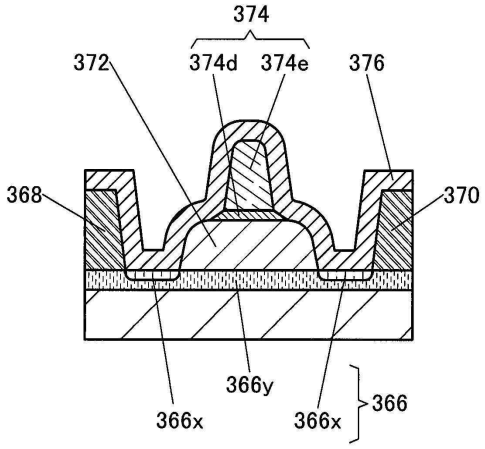

267b
366
X1
X2
X3
X4

도면53

(A)


390a
374
368
374d
374e
370
376
X1
X2
372
366
364
362

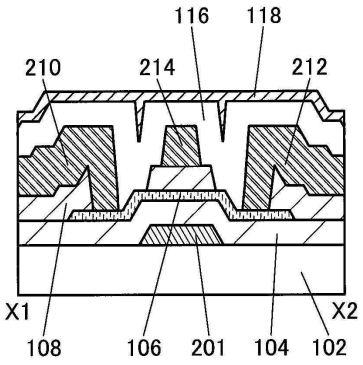
(B)


374
372
374d
374e
376
368
370
366y
366x
366x
366

도면54

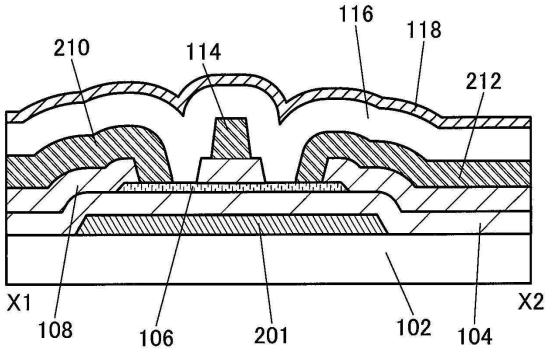
(A)

154



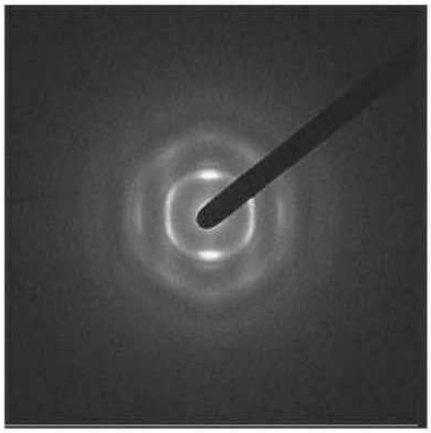
(B)

154

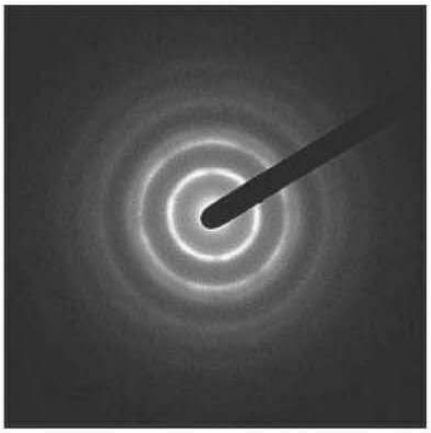


도면55

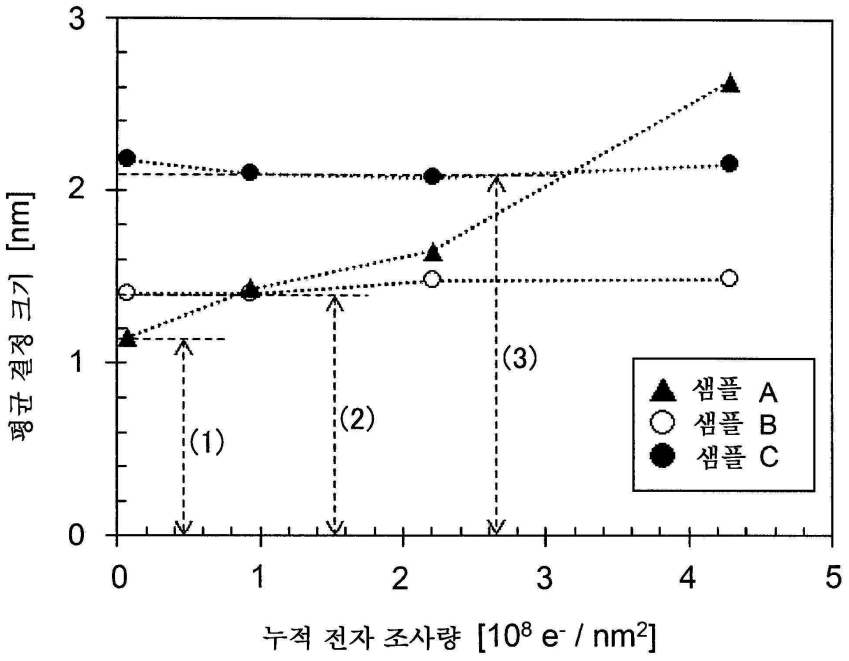
(A)



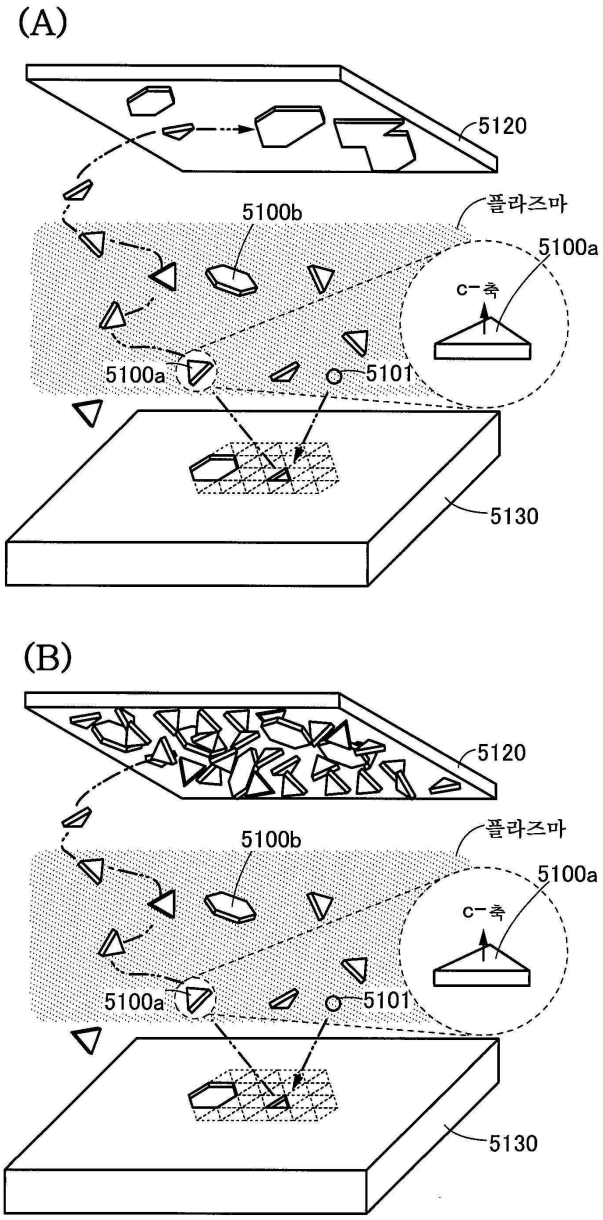
(B)



도면56

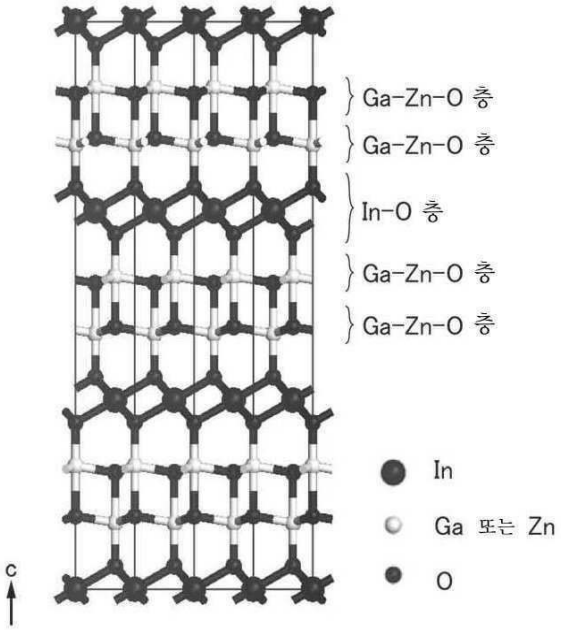


도면57

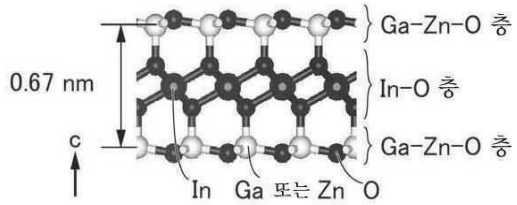

(A)
5120
플라즈마
5100b
5100a
c-축
5100a
5101
5130
(B)
5120
플라즈마
5100b
5100a
c-축
5100a
5101
5130

도면58

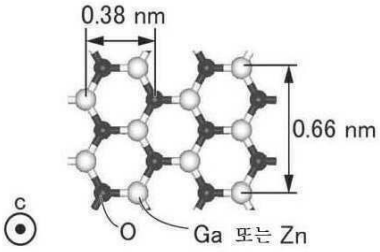
(A)


Ga-Zn-O 층
Ga-Zn-O 층
In-O 층
Ga-Zn-O 층
Ga-Zn-O 층
In
Ga 또는 Zn
O
c

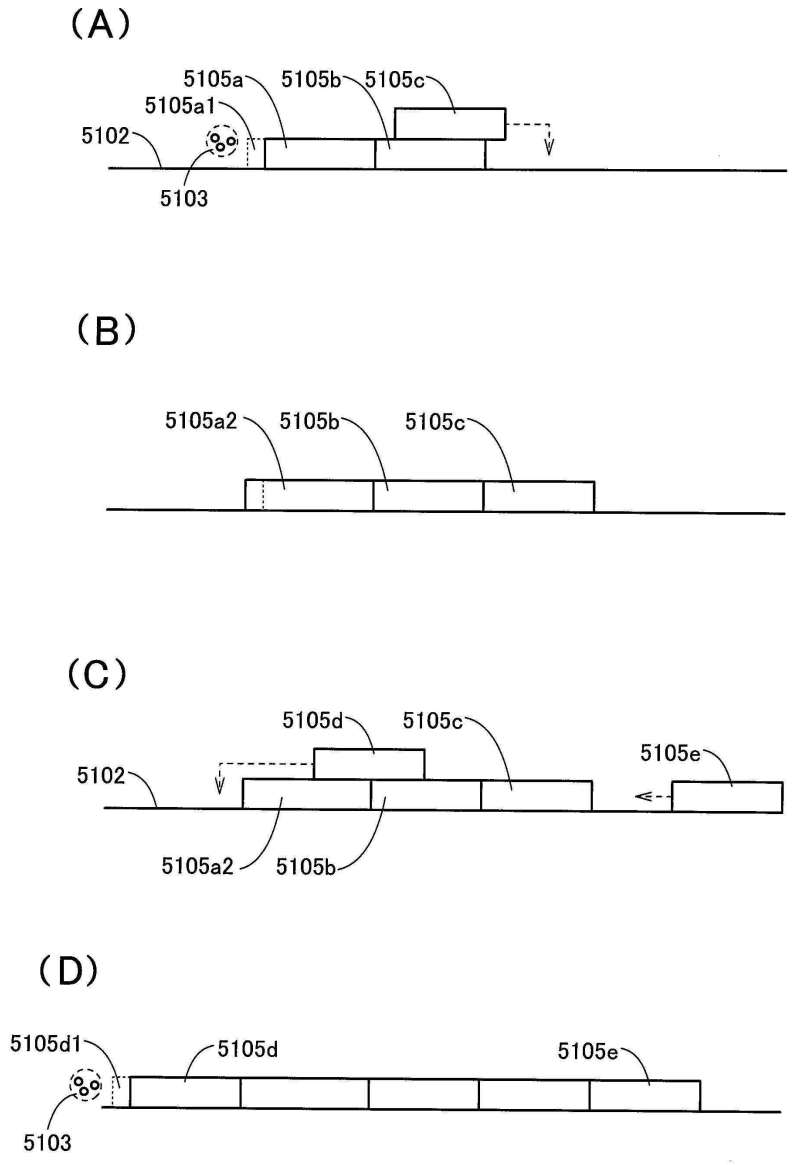
(B)


0.67 nm
Ga-Zn-O 층
In-O 층
Ga-Zn-O 층
c
In
Ga 또는 Zn
O

(C)


0.38 nm
0.66 nm
c
O
Ga 또는 Zn

도면59


(A)
5105a
5105b
5105c
5105a1
5102
5103
(B)
5105a2
5105b
5105c
(C)
5105d
5105c
5105e
5102
5105a2
5105b
(D)
5105d1
5105d
5105e
5103