

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3584494号
(P3584494)

(45) 発行日 平成16年11月4日(2004.11.4)

(24) 登録日 平成16年8月13日(2004.8.13)

(51) Int.Cl.⁷

F I

G 1 1 C 16/04
H O 1 L 21/822
H O 1 L 21/8247
H O 1 L 27/04
H O 1 L 27/115G 1 1 C 17/00 6 2 2 C
H O 1 L 27/04 F
H O 1 L 27/10 4 3 4
H O 1 L 29/78 3 7 1

請求項の数 5 (全 19 頁) 最終頁に続く

(21) 出願番号 特願平6-172956
(22) 出願日 平成6年7月25日(1994.7.25)
(65) 公開番号 特開平8-36890
(43) 公開日 平成8年2月6日(1996.2.6)
審査請求日 平成12年5月29日(2000.5.29)(73) 特許権者 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(74) 代理人 100094053
弁理士 佐藤 隆久
(72) 発明者 荒瀬 謙士朗
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内
(72) 発明者 宮下 勝
東京都品川区北品川6丁目7番35号 ソ
ニー株式会社内

審査官 長島 孝志

最終頁に続く

(54) 【発明の名称】 半導体不揮発性記憶装置

(57) 【特許請求の範囲】

【請求項1】

ビット線、ソース線とも主配線と副配線とに階層化され、それぞれ主配線と副配線とが動作に応じて選択的に接続され、かつ副ソース線と副ビット線間に複数のメモリセルが並列接続され、各メモリセルのゲートがワード線に接続され、上記副ソース線と副ビット線が素子分離膜の下部に形成された埋め込み拡散層より構成されるコンタクトレスメモリアレイ構造を有する半導体不揮発性記憶装置であって、

データの書き込み時には、

ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを非接続状態とし、選択されたワード線が第1の正電圧に設定され、非選択のワード線が上記第1の正電圧より低い第2の正電圧に設定され、上記ビット線の主配線が基準電位または第2の正電圧に設定され、上記ソース線の主配線を基準電位として、F Nトンネリングにより、チャンネル全面から電荷蓄積層中に電荷を注入することにより所定データの書き込みを行い、

消去時には、

ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを接続状態とし、選択されたワード線が負電圧に設定され、非選択のワード線が基準電位に設定され、上記ビット線の主配線が正電圧に設定され、上記ソース線の主配線を基準電位として、F Nトンネリングによりドレイン側から電荷蓄積層中の電荷を引き抜くことにより消去を行う

10

20

半導体不揮発性記憶装置。

【請求項 2】

上記コンタクトレスメモリアレイ構造が複数並列に配列されたメモリアレイを有し、

上記書き込み時は、

ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを非接続状態とし、選択されたワード線が第 1 の正電圧に設定され、非選択のワード線が上記第 1 の正電圧より低い第 2 の正電圧に設定され、第 1 のデータを書き込むメモリセルが接続された上記ビット線の主配線が基準電位に設定され、第 2 のデータを書き込むメモリセルが接続された上記ビット線の主配線が第 2 の電圧に設定され、上記ソース線の主配線を基準電位として、ワード線セクタを単位として全ビット並列的にデータの書き込みを行い、

10

上記消去時は、

全ビット線の主配線と副配線とを接続状態とし、全ソース線の主配線と副配線とを接続状態とし、選択されたワード線が負電圧に設定され、非選択のワード線が基準電位に設定され、全ビット線の主配線が正電圧に設定され、上記ソース線の主配線を基準電位として、消去を行う

請求項 1 記載の半導体不揮発性記憶装置。

【請求項 3】

上記コンタクトレスメモリアレイ構造が複数並列に配列されたメモリアレイを有し、

上記書き込み時は、

ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを非接続状態とし、選択されたワード線が第 1 の正電圧に設定され、非選択のワード線が上記第 1 の正電圧より低い第 2 の正電圧に設定され、第 1 のデータを書き込むメモリセルが接続された上記ビット線の主配線が基準電位に設定され、第 2 のデータを書き込むメモリセルが接続された上記ビット線の主配線が第 2 の電圧に設定され、上記ソース線の主配線を基準電位として、ワード線セクタを単位として全ビット並列的にデータの書き込みを行い、

20

上記消去時は、ワード線セクタを単位として、

全ビットビット線の主配線と副配線とを接続状態とし、全ソース線の主配線と副配線とを接続状態とし、選択されたワード線が負電圧に設定され、非選択のワード線が基準電位に設定され、全ビット線の主配線が正電圧に設定され、上記ソース線の主配線を基準電位とし、かつ消去パルスが複数の消去パルスに分割され、消去の終了したセルのビット線パルスが正電圧から基準電位に切り換えられる

30

請求項 1 記載の半導体不揮発性記憶装置。

【請求項 4】

ビット線、ソース線とも主配線と副配線とに階層化され、それぞれ主配線と副配線とが動作に応じて選択的に接続され、かつ副ソース線と副ビット線間に複数のメモリセルが並列接続され、各メモリセルのゲートがワード線に接続され、上記副ソース線と副ビット線が素子分離膜の下部に形成された埋め込み拡散層より構成されるコンタクトレスメモリアレイ構造を有する半導体不揮発性記憶装置であって、

データの書き込み時には、

ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを非接続状態とし、選択されたワード線が第 1 の正電圧に設定され、非選択のワード線が上記第 1 の正電圧より低い第 2 の正電圧に設定され、上記ビット線の主配線が基準電位または第 2 の正電圧に設定され、上記ソース線の主配線を基準電位として、F N トンネリングにより、チャンネル全面から電荷蓄積層中に電荷を注入することにより所定データの書き込みを行い、

40

消去時には、

ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを接続状態とし、全ワード線が負電圧に設定され、上記ビット線の主配線が基準電位に設定され、上記ソース線の主配線を基準電位として、F N トンネリングによりチャンネル全面から電荷蓄積層中の電荷を引き抜くことにより消去を行う

50

半導体不揮発性記憶装置。

【請求項 5】

上記コンタクトレスメモリアレイ構造が複数並列に配列されたメモリアレイを有し、
上記書き込み時は、

ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを非接続状態とし、選択されたワード線が第 1 の正電圧に設定され、非選択のワード線が上記第 1 の正電圧より低い第 2 の正電圧に設定され、第 1 のデータを書き込むメモリセルが接続された上記ビット線の主配線が基準電位に設定され、第 2 のデータを書き込むメモリセルが接続された上記ビット線の主配線が第 2 の電圧に設定され、上記ソース線の主配線を基準電位として、ワード線セクタを単位として全ビット並列的にデータの書き込みを行い、

10

上記消去時は、

全ビット線の主配線と副配線とを接続状態とし、全ソース線の主配線と副配線とを接続状態とし、全ワード線が負電圧に設定され、全ビット線の主配線が基準電位に設定され、上記ソース線の主配線を基準電位として、消去を行う

請求項 4 記載の半導体不揮発性記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、電氣的に書き換え可能な不揮発性メモリ、たとえばフラッシュ E E P R O M などの半導体不揮発性記憶装置に関するものである。

20

【0002】

【従来の技術】

従来、N O R 型フラッシュメモリは、データの書き込みは C H E (チャンネルホットエレクトロン) によりドレイン側からフローティングゲート中に電子を注入することにより行い、消去は F N (Fowler - Nordheim) トンネリングによりソース側からフローティングゲート中の電子を引き抜くことにより行う。

【0003】

しかし、この方法の場合、データの書き込みを C H E で行っているために、書き込み時にドレイン - ソース間に大電流が流れ、単一電源で動作させることは不可能である。

【0004】

30

ところが近年、携帯用小型電子機器市場の拡大に伴い、ランダムアクセススピードの点で有利な N O R 型フラッシュで、しかも、単一電源で動作できるフラッシュメモリの実現が要望されている。

このような観点から、データ書き込み / 消去をともに F N トンネリングにより行うことにより、単一電源動作できることを目的とした N O R 型のフラッシュメモリとして、たとえば、

(1) D I N O R 型フラッシュメモリ

(2) A N D 型フラッシュメモリ

(3) A C E E 型フラッシュメモリ

が提案されている。

40

【0005】

以下、これら 3 種類のフラッシュメモリについて、その構造・動作、そして、それらの問題点について詳しく説明する。

【0006】

(1) D I N O R 型フラッシュメモリ

図 1 5 は、主ビット線 2 本、副ビット線に連なるワード線 8 本の 2 群から構成される D I N O R 型フラッシュのメモリアレイ構成を示す図である。

図 1 5 のメモリアレイにおいて、 $W L 1 m \sim W L 8 m$, $W L 1 m + 1 \sim W L 8 m + 1$ はワード線、 $S L m$, $S L m + 1$ は選択ゲート線、 $M B L n$, $M B L n + 1$ は主ビット線、 $S B L m , n$ 、 $S B L m + 1 , n$ 、 $S B L m , n + 1$ 、 $S B L m + 1 , n +$

50

1 は副ビット線、 $SRLm, n$ 、 $SRLm+1, n$ 、 $SRLm, n+1$ 、 $SRLm+1, n+1$ は共通ソース線、 $MT1m, n \sim MT8m, n$ 、 $MT1m+1, n \sim MT8m+1, n$ 、 $MT1m, n+1 \sim MT8m, n+1$ 、 $MT1m+1, n+1 \sim MT8m+1, n+1$ はメモリセルトランジスタ、 STm, n 、 $STm+1, n$ 、 $STm, n+1$ 、 $STm+1, n+1$ は選択トランジスタをそれぞれ示している。

【0007】

図16は、図15に示すようなDINOR型フラッシュメモリの消去、書き込み、並びに読み出し時のバイアス条件を示す図である。

図16に示すように、DINOR型フラッシュメモリの消去動作は、選択ゲート線SLおよびソースに0V、ワード線WLに20Vを印加し、ビット線BLをフローティング状態に保持することによって、フローティングゲート中に電子を注入することにより行われる。

データの書き込みは、選択ゲート線SLに10V、ワード線WLに-10V、ビット線BLに0Vまたは6Vを印加し、ソースをフローティング状態に保持することによって、ワード線セクタ毎に全ビット並列書き込み動作が行われる。

データの読み出しは、選択されたワード線WLおよび選択ゲート線SLに3~5V、選択されたビット線BLに1~2V、ソースに0Vを印加することにより行われる。

【0008】

DINOR型フラッシュメモリにおいて、特に問題となるのは、データ書き込み動作、具体的には、「1」データ書き込みセル、つまりFNトンネリングによりフローティングゲート中の電子を引き抜くセルにおいて、ドレイン-基板間にバンド間トンネル電流が流れることである。

【0009】

図17は、標準的な0.6μmプロセスにより試作されたDINOR型フラッシュメモリのデバイスパラメータを用いてシミュレーションにより計算した書き込み動作結果を示す図である。図17において、横軸は時間を、縦軸はしきい値電圧をそれぞれ表している。図17からわかるように、ワード線に-10V、ビット線に6Vを印加することにより、およそ1m秒の書き込み時間で、しきい値電圧 V_{TH} が5Vから1Vに遷移し、書き込み動作が完了する。

【0010】

また、図18は、図17の書き込み動作におけるFNトンネリングによるゲート電流 I_G と、バンド間トンネリングによるドレイン-基板間電流 I_{DB} をシミュレーションにより計算した結果を示す図である。図18において、横軸は時間を、縦軸はトンネル電流値をそれぞれ表している。

図18に示すように、ゲート電流 I_G と、ドレイン-基板間電流 I_{DB} とも、書き込み動作の進行とともに減少するが、ここで重要な点は、ドレイン-基板間電流 I_{DB} はゲート電流 I_G よりも4桁近くも大きく、1セルにつき300~400nA以上にもなっていることである。

【0011】

したがって、一般的なDINOR型フラッシュメモリのように、書き込み動作を全ビット並列的に行うと、ドレインと基板との間に大電流が流れ、ドレイン電圧6Vを、チップ内昇圧電源を用いて動作させることが困難となる可能性がある。

たとえば、ビット線の本数を1024本とした場合、最大限300~400μAにもなる電流が、ドレイン-基板間に流れる可能性がある。

【0012】

(2) AND型フラッシュメモリ

図19は、主ビット線3本、副ビット線および副ソース線に並列に接続されるメモリセルが32個の場合のAND型フラッシュメモリのメモリアレイ構成を示す図である。

このAND型フラッシュメモリは、ビット線、ソース線とも主配線と副配線とに階層化さ

10

20

30

40

50

れ、それぞれ主配線と副配線との間に選択トランジスタが配置され、副ソース線と副ビット線間にメモリセルトランジスタが並列に配置された、いわゆるコンタクトレスNOR型メモリアレイ構造を有している。

【0013】

図19のメモリアレイにおいて、 $WL1 \sim WL32$ はワード線、 $SL1, SL2$ は選択ゲート線、 $M-DBLN-1, M-DBLN, M-DBLN+1$ は主ビット線、 $S-DBL$ は副ビット線、 SBL は共通ソース線、 $S-SBL$ は副ソース線、 $MT1N-1 \sim MT32N-1, MT1N \sim MT32N, MT1N+1 \sim MT32N+1$ はメモリセルトランジスタ、 $ST1N-1, ST1N, ST1N+1, ST2N-1, ST2N, ST2N+1$ は選択トランジスタをそれぞれ示している。

10

【0014】

このAND型フラッシュメモリアレイは、図15に示すDINOR型フラッシュメモリアレイと比較すると、いわゆる、コンタクトレスメモリアレイ構造のために、同一デザインルールの場合、セル面積が小さくなるという利点がある。

【0015】

図20は、図19に示すようなAND型フラッシュメモリの消去、書き込み、並びに読み出し時のバイアス条件を示す図である。

このAND型フラッシュメモリの場合もDINOR型フラッシュメモリと同様のバイアス条件下で各動作制御が行われ、消去はFNトンネリングによるフローティングゲート中への電子注入により行われ、データ書き込みは、FNトンネリングによりフローティングゲート中の電子をドレインより引き抜くことにより行われる。

20

したがって、AND型フラッシュメモリの場合においても、DINOR型フラッシュメモリの場合と同様の問題が生じる。

つまり、ワード線セクタ毎に、全ビット並列的にデータ書き込み動作を行うとバンド間トンネリングによりドレイン-基板間に大電流が流れ、単一電源で動作させることが困難となる可能性がある。

【0016】

(3) ACEE型フラッシュメモリ

図21は、ACEE型フラッシュメモリのメモリセル構成を示す図である。また、図22は、図21に示すようなACEE型フラッシュメモリの消去、書き込み、並びに読み出し時のバイアス条件を示す図である。

30

ACEEセルは、ソースおよびドレインが埋め込み拡散層により形成される、いわゆるコンタクトレスアレイ構造を有しており、AND型フラッシュのメモリアレイ構造と基本的に同じである。

図21において、 $WL1, WL2$ はワード線、 $D1, D2$ はドレイン側ビット線、 $S1, S2$ はソース側ビット線、 $MT11, MT12, MT21, MT22$ はメモリセルトランジスタをそれぞれ示している。

【0017】

しかし、ACEE型フラッシュメモリの動作は、消去はFNトンネリングによりフローティングゲート中の電子をソース側から引き抜くことにより、データの書き込みをFNトンネリングによりソース側からフローティングゲート中に電子を注入することにより行われ、その動作は、上述したDINOR型フラッシュメモリおよびAND型フラッシュメモリと逆になっている。

40

したがって、ACEE型フラッシュメモリの場合には、DINOR型フラッシュメモリおよびAND型フラッシュメモリの場合のようなバンド間トンネル電流の問題はまったく生じない。

つまり、ACEE型フラッシュの場合においても、消去時にソース-基板間にバンド間トンネル電流が流れるが、消去動作の場合は書き込み動作の場合と違ってデータの「1」, 「0」を制御する必要がないために、消去時に印加するソース電圧は昇圧電圧を用いる必要がなく電源電圧 V_{CC} が印加される。

50

【 0 0 1 8 】

しかしながら、A C E E セルは、電子の注入・引き抜きを F L O T O X セルのように、ソース拡散層の部分領域に設けられたトンネル窓を介して行ったり、ドレイン側のチャンネル部にコントロールゲートによる選択トランジスタ部を設けることにより過剰消去セルを救済する等、完全な 1 トランジスタメモリタイプのコンセプトに基づいていない。

したがって、A C E E セルは、セル面積が大きくなり、大容量のフラッシュメモリに適していない。

【 0 0 1 9 】

【 発明が解決しようとする課題 】

上述したように、D I N O R 型、A N D 型、および A C E E 型のフラッシュメモリは、データの書き込み/消去をともに F N トンネリングにより行われるが、上述した各問題がある。

すなわち、D I N O R 型フラッシュメモリおよび A N D 型フラッシュメモリの場合には、データ書き込み時にドレイン - 基板間に流れるバンド間トンネル電流のために、単一電源で動作させることが困難である。

【 0 0 2 0 】

また、A C E E 型フラッシュメモリの場合には、完全な 1 トランジスタメモリタイプのコンセプトに基づいていないために、セル面積が大きくなり、大容量のフラッシュメモリに適していない。

【 0 0 2 1 】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、単一電源で動作可能で、しかも完全な 1 トランジスタメモリタイプのセル面積の小さい半導体不揮発性記憶装置を提供することにある。

【 0 0 2 2 】

【 課題を解決するための手段 】

上記目的を達成するため、本発明では、ビット線、ソース線とも主配線と副配線とに階層化され、それぞれ主配線と副配線とが動作に応じて選択的に接続され、かつ副ソース線と副ビット線間に複数のメモリセルが並列接続され、各メモリセルのゲートがワード線に接続され、上記副ソース線と副ビット線が素子分離膜の下部に形成された埋め込み拡散層より構成されるコンタクトレスメモリアレイ構造を有する半導体不揮発性記憶装置であって、データの書き込み時には、ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを非接続状態とし、選択されたワード線が第 1 の正電圧に設定され、非選択のワード線が上記第 1 の正電圧より低い第 2 の正電圧に設定され、上記ビット線の主配線が基準電位または第 2 の正電圧に設定され、上記ソース線の主配線を基準電位として、F N トンネリングにより、チャンネル全面から電荷蓄積層中に電荷を注入することにより所定データの書き込みを行い、消去時には、ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを接続状態とし、選択されたワード線が負電圧に設定され、非選択のワード線が基準電位に設定され、上記ビット線の主配線が正電圧に設定され、上記ソース線の主配線を基準電位として、F N トンネリングによりドレイン側から電荷蓄積層中の電荷を引き抜くことにより消去を行う。

【 0 0 2 3 】

また、本発明の半導体不揮発性記憶装置では、上記コンタクトレスメモリアレイ構造が複数並列に配列されたメモリアレイを有し、上記書き込み時は、ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを非接続状態とし、選択されたワード線が第 1 の正電圧に設定され、非選択のワード線が上記第 1 の正電圧より低い第 2 の正電圧に設定され、第 1 のデータを書き込むメモリセルが接続された上記ビット線の主配線が基準電位に設定され、第 2 のデータを書き込むメモリセルが接続された上記ビット線の主配線が第 2 の電圧に設定され、上記ソース線の主配線を基準電位として、ワード線セクタを単位として全ビット並列的にデータの書き込みを行い、上記消去時は、全ビット線の主配線と副配線とを接続状態とし、全ソース線の主配線と副配線とを接続状態とし、選択され

10

20

30

40

50

たワード線が負電圧に設定され、非選択のワード線が基準電位に設定され、全ビット線の主配線が正電圧に設定され、上記ソース線の主配線を基準電位として、消去を行う。

また、本発明の半導体不揮発性記憶装置では、上記コンタクトレスメモリアレイ構造が複数並列に配列されたメモリアレイを有し、上記書き込み時は、ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを非接続状態とし、選択されたワード線が第1の正電圧に設定され、非選択のワード線が上記第1の正電圧より低い第2の正電圧に設定され、第1のデータを書き込むメモリセルが接続された上記ビット線の主配線が基準電位に設定され、第2のデータを書き込むメモリセルが接続された上記ビット線の主配線が第2の電圧に設定され、上記ソース線の主配線を基準電位として、ワード線セクタを単位として全ビット並列的にデータの書き込みを行い、上記消去時は、ワード線セクタを単位として、全ビットビット線の主配線と副配線とを接続状態とし、全ソース線の主配線と副配線とを接続状態とし、選択されたワード線が負電圧に設定され、非選択のワード線が基準電位に設定され、全ビット線の主配線が正電圧に設定され、上記ソース線の主配線を基準電位とし、かつ消去パルスが複数の消去パルスに分割され、消去の終了したセルのビット線パルスが正電圧から基準電位に切り換えられる。

10

【0024】

また、本発明の半導体不揮発性記憶装置では、ビット線、ソース線とも主配線と副配線とに階層化され、それぞれ主配線と副配線とが動作に応じて選択的に接続され、かつ副ソース線と副ビット線間に複数のメモリセルが並列接続され、各メモリセルのゲートがワード線に接続され、上記副ソース線と副ビット線が素子分離膜の下部に形成された埋め込み拡散層より構成されるコンタクトレスメモリアレイ構造を有する半導体不揮発性記憶装置であって、データの書き込み時には、ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを非接続状態とし、選択されたワード線が第1の正電圧に設定され、非選択のワード線が上記第1の正電圧より低い第2の正電圧に設定され、上記ビット線の主配線が基準電位または第2の正電圧に設定され、上記ソース線の主配線を基準電位として、FNトンネリングにより、チャンネル全面から電荷蓄積層中に電荷を注入することにより所定データの書き込みを行い、消去時には、ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを接続状態とし、全ワード線が負電圧に設定され、上記ビット線の主配線が基準電位に設定され、上記ソース線の主配線を基準電位として、FNトンネリングによりチャンネル全面から電荷蓄積層中の電荷を引き抜くことにより消去を行う。

20

30

また、上記コンタクトレスメモリアレイ構造が複数並列に配列されたメモリアレイを有し、上記書き込み時は、ビット線の主配線と副配線とを接続状態とし、ソース線の主配線と副配線とを非接続状態とし、選択されたワード線が第1の正電圧に設定され、非選択のワード線が上記第1の正電圧より低い第2の正電圧に設定され、第1のデータを書き込むメモリセルが接続された上記ビット線の主配線が基準電位に設定され、第2のデータを書き込むメモリセルが接続された上記ビット線の主配線が第2の電圧に設定され、上記ソース線の主配線を基準電位として、ワード線セクタを単位として全ビット並列的にデータの書き込みを行い、上記消去時は、全ビット線の主配線と副配線とを接続状態とし、全ソース線の主配線と副配線とを接続状態とし、全ワード線が負電圧に設定され、全ビット線の主配線が基準電位に設定され、上記ソース線の主配線を基準電位として、消去を行う。

40

【0025】

また、本発明では、電荷蓄積層を備えたメモリセルを複数有する半導体不揮発性装置であって、メモリセルが消去ブロック単位毎に分割され、各分割ブロックに対応して設けられた複数のカラムデコーダを有し、少なくとも消去および書き込み動作をカラムデコーダ単位で行う。

【0026】

【作用】

本発明の半導体不揮発性記憶装置によれば、ビット線、ソース線とも主配線と副配線とに階層化され、それぞれ主配線と副配線とが動作に応じて選択的に接続され、かつ副ソース

50

線と副ビット線間にメモリセルが並列接続された構成において、データの書き込み動作がF Nトンネリングによる電子注入により行われ、消去動作がF Nトンネリングによる電子引き抜きによって行われる。その結果、データ書き込み時にバンド間トンネル電流が流れないため、単一電源で動作可能な半導体不揮発性記憶装置が実現される。

また、本半導体不揮発性記憶装置は、いわゆるコンタクトレスN O R型メモリアレイ構造を有する完全な1トランジスタメモリタイプのフラッシュメモリであり、大容量フラッシュメモリに適している。

【0027】

さらに、本発明の半導体不揮発性装置は、その消去動作において、ビット毎ペリファイ消去動作を行うために、消去時のしきい値電圧分布のバラツキが狭い。その結果、ドレイン側に選択ゲートを設ける必要がない完全な1トランジスタメモリタイプの半導体不揮発性記憶装置を実現できるだけでなく、今後の電源電圧の低電圧化に対しても十分に読み出しマージンが確保される。

【0028】

また、本発明の半導体不揮発性装置によれば、消去および書き込み動作がカラムデコーダ単位で行われる。その結果、N O R型の半導体不揮発性記憶装置において、新たな配線層を増やすことなく、ドレインディスタブ耐性の向上を図れるメモリセル構造が実現される。

【0029】

【実施例】

図1は、本発明に係るフラッシュメモリのメモリアレイ構成を示す図である。図1のメモリアレイにおいて、W L 1 ~ W L 3 2 はワード線、S L 1 ~ S L 2 は選択ゲート線、M - D B L N - 1 , M - D B L N , M - D B L N + 1 は主ビット線、S - D B L は副ビット線、S B L は共通ソース線、S - S B L は副ソース線、M T 1 N - 1 ~ M T 3 2 N - 1 , M T 1 N ~ M T 3 2 N , M T 1 N + 1 ~ M T 3 2 N + 1 はメモリセルトランジスタ、S T 1 N - 1 , S T 1 N , S T 1 N + 1 , S T 2 N - 1 , S T 2 N , S T 2 N + 1 は選択トランジスタをそれぞれ示している。

【0030】

このメモリアレイ構成自体は、図19のA N D型メモリアレイ構成と同じである。つまり、ビット線、ソース線とも主配線と副配線とに階層化され、それぞれ主配線と副配線との間に選択トランジスタが配置され、副ソース線と副ビット線間にメモリセルトランジスタが並列に配置された、いわゆるコンタクトレスN O R型メモリアレイ構造を有している。しかし、図2および図3に示すように、消去、書き込み、並びに読み出し時の各配線に対するバイアス条件が、図20に示す従来のA N D型メモリアレイのバイアス条件と異なる。

以下に、本発明に係るフラッシュメモリの構造、消去、書き込み、および読み出し時の各配線に対するバイアス条件、並びに動作について、図面に関連づけて順を追って説明する。

【0031】

図4は図1のメモリアレイの平面パターンレイアウト図で、図5は図4中のA - A線矢視方向における断面図、図6は図4のB - B線矢視方向における断面図である。

図において、1は半導体基板、2は第1 L O C O S、3はN⁺埋め込み拡散層、4は第2 L O C O S、5はトンネル酸化膜、6はフローティングゲート用ポリシリコン層、7はO N O積層絶縁膜、8はコントロールゲート用ポリシリコン層、9は絶縁膜、10はアルミニウム(A l)配線、C N Tはコンタクトホールをそれぞれ示している。

【0032】

図4~図6に示すように、副ビット線S - D B Lおよび副ソース線S - S B Lが、第2 L O C O S酸化膜4の下部に形成された埋め込み拡散層3により構成される、いわゆるコンタクトレスN O R型メモリアレイ構造をなしている。

【0033】

10

20

30

40

50

次に、A - A線断面から眺めた場合の製造方法の一例を、図7および図8を参照しながら説明する。

まず、図7(a)に示すように、半導体基板1に対して、素子分離のためのLOCOS酸化を行い、第1LOCOS2を形成する。

次に、図7(b)に示すように、厚さ10nm程度のパッド酸化膜11を形成し、さらに30nm程度の Si_3N_4 膜12をデポ後、埋め込み拡散層形成のためのエッチングを行う。

そして、図7(c)に示すように、レジスト膜13を所望の領域に形成した状態で、 As^+ イオンを $1E14 \sim 1E16$ 程度イオン注入し、ソース・ドレイン拡散層3aを形成する。

10

【0034】

次に、図7(d)に示すように、レジスト膜13を剥離後、第2LOCOS酸化を行い、ソース・ドレイン拡散層3a上に膜厚100nm程度の第2LOCOS4を形成し、埋め込みソース・ドレイン拡散層3を構成する。そして、第2LOCOS酸化後、 Si_3N_4 膜12、パッド酸化膜11を除去する。

【0035】

次に、図7(e)に示すように、トンネル酸化膜5を10nm程度の膜厚に形成する。続いて、図7(f)に示すように、 N^+ ドープポリシリコンよりなるフローティングゲート用ポリシリコン層6を100nm程度の膜厚にデポ後、エッチング加工する。

【0036】

20

次いで、図8(g)に示すように、層間のONO積層絶縁膜7を形成後、コントロールゲート用ポリシリコン層8をデポする。

このONO積層絶縁膜7は、たとえば、次のように形成される。まず、フローティングゲート用ポリシリコン層6の熱酸化膜を14nmの厚さに形成後、厚さ11nm程度の Si_3N_4 膜をCVD法にて形成し、最後に Si_3N_4 膜上に熱酸化により厚さ2nm程度の熱酸化膜を形成する。このようにして形成されるONO積層酸化膜7の膜厚は、 SiO_2 換算で22nm程度である。

また、コントロールゲート用ポリシリコン層8は、100nm程度の N^+ ドープポリシリコンと100nm程度のタングステンシリサイド膜よりなるポリサイド構造である。

【0037】

30

次に、図8(h)に示すように、コントロールゲート用ポリシリコン層8、ONO積層絶縁膜7、およびフローティングゲート用ポリシリコン層6をセルフアラインでエッチング加工する。

そして、コントロールゲート用ポリシリコン層8上に絶縁膜9を形成した後、通常のCMOSプロセスと同様、図8(i)に示すように、主ビット線M-DBLN-1、M-DBLN、M-DBLN+1としてのA1配線10を形成する。

【0038】

次に、本発明に係るフラッシュメモリの消去、書き込み、読み出しの各種動作について、図9～図13を参照しながら説明する。

【0039】

40

図9は、本発明に係るフラッシュメモリにおける消去動作の第1の実施例によるバイアス条件を示す図である。

この第1の実施例による消去動作は、FNトンネリングによりドレイン側からフローティングゲート中の電子を引き抜くことにより行われる。

つまり、選択するワード線、たとえば図7に示すように、ワードWL2に-14V、全主ビット線M-DBLN-1、M-DBLN、M-DBLN+1に3.3V(電源電圧 V_{cc})、選択ゲート線SL1、SL2に5Vを印加することにより行われる。このとき、他のワード線WL1、WL~WL32および共通ソース線SBLには0Vを印加する。

【0040】

50

この図7に示す消去時においても、ドレイン - 基板間にバンド間トンネル電流が流れる。しかしながら、D I N O R型およびA N D型フラッシュメモリのデータ書き込み動作と違って、この場合、ビット線電圧によりデータの「1」、「0」を制御する必要がないため、印加するビット線電圧は電源電圧 V_{CC} でよいことから、バンド間トンネル電流は問題にならない。

【0041】

また、消去ブロックの単位として、ワード線セクタを単位とする場合と、同じ副ビット線に連なる32ワード線を単位とする場合が考えられるが、前者の場合、データ書き込み時のディスターブが厳しくなるため、後者の方が適当である。この場合、消去動作は、ワード線セクタを単位として、 $WL1 \sim WL32$ と順々に消去を行っていけばよい。

10

また、図7の消去動作において、各ビット線電圧を $3.3V - 0V$ と制御することにより、ビット毎ベリファイ消去動作が可能となり、消去時のしきい値電圧 V_{TH} 分布の広がりを狭く抑えることが可能となる。

【0042】

このビット毎ベリファイ消去動作は、消去パルスを複数の消去パルスに分割して、次のように行う。

まず、全ビット線の図示しない読み出し / 書き込み用ラッチをセットすることにより、消去時に全ビット線に電源電圧 V_{CC} ($3.3V$) が印加されるように設定する。

次に、各消去パルス印加後、ワード線にベリファイ電圧を印加するベリファイ読み出し動作により、消去が終了したビット線メモリセルの読み出し / 書き込み用ラッチをリセット

20

することにより、消去時にビット線電圧が $0V$ になるように設定する。そして、全ビット線の読み出し / 書き込み用ラッチがリセットされることで、消去動作を終了する。

【0043】

図10は、本発明に係るフラッシュメモリにおける消去動作の第2の実施例によるバイアス条件を示す図である。

第2の実施例においては、消去動作は、F Nトンネリングによりチャンネル全面からフローティングゲート中の電子を引き抜くことにより行われる。

たとえば、図10の例においては、ワード線 $WL1 \sim WL32$ に $-1.8V$ を印加することによりブロック消去が行われる。

30

ただし、図10の第2の実施例の場合においては、図9の第1の実施例の場合と異なり、ビット毎ベリファイ消去動作を行うことが不可能であり、消去後のしきい値電圧 V_{TH} 分布のバラツキ抑制という観点からは、第1の実施例と比べて不利になる。

【0044】

次に、書き込み動作について説明する。

図11は、本発明に係るフラッシュメモリにおけるデータ書き込み動作の一実施例におけるバイアス条件を示す図である。

本例では、データの書き込み動作は、F Nトンネリングによりチャンネル全面からフローティングゲート中に電子を注入することにより行われる。

たとえば、図11の例においては、選択するワード線 $WL2$ および選択ゲート線 $SL1$ に $2.2V$ を印加し、「1」データ(所定データまたは第1のデータ)書き込みセル $MT2N$ が接続された主ビット線 $M - DBLN$ に $0V$ 、「0」データ(第2のデータ)書き込みセル $MT2N-1$ 、 $MT2N+1$ が接続された主ビット線 $M - DBLN-1$ 、 $M - DBLN+1$ に中間電位 $1.1V$ を印加することにより、ワード線セクタを単位として、全ビット並列的にデータ書き込みが行われる。このとき選択ゲート線 $SL2$ および共通ソース線 SBL は $0V$ に保持される。

40

その結果、「1」データ書き込みセルにのみフローティングゲート中に電子が注入され、メモリセルの V_{TH} が $5V$ 以上になる。

【0045】

また、図11の書き込み動作において、各副ソース線 $S - SBL$ は、それぞれの各副ビッ

50

ト線 $S - DBL$ と同電位になるが、ソース側の選択ゲート線 $SL2$ が $0V$ になって共通ソース線 SBL と切り離されているため、隣合う副ソース線間の短絡が防止される。

【0046】

次に、読み出し動作について説明する。

図12および図13は、本発明に係るフラッシュメモリにおける読み出し動作の実施例のバイアス条件を示す図である。具体的には、図12はランダムアクセスモードにおける読み出し動作時のバイアス条件を示し、図13はワード線を単位としたページモードでの読み出し動作時のバイアス条件を示している。

【0047】

図12のランダムモードでは、選択するメモリセル、たとえばメモリセル $MT2N$ が接続されたワード線 $WL2$ に $3.3V$ 、主ビット線 $M - DBLN$ に $2V$ を印加し、選択ゲート線 $SL1$ 、 $SL2$ に $3.3V$ を印加する。このとき、非選択のワード線 $WL1$ 、 $WL3 \sim WL32$ 、主ビット線 $M - DBLN - 1$ 、 $M - DBLN + 1$ 、並びに共通ソース線 SBL は $0V$ に保持される。

その結果、読み出しセルがオンしている場合にデータ「0」、オフしている場合にデータ「1」と、図示しない制御系により判断される。

【0048】

また、図13のページモードでは、選択するワード線 $WL2$ に $3.3V$ 、全主ビット線 $M - DBLN - 1$ 、 $M - DBLN$ 、 $M - DBLN + 1$ に $2V$ を印加する。

その結果、選択するワード線 $WL2$ 上のメモリセルの $MT2N - 1$ 、 $MT2N$ 、 $MT2N + 1$ のデータ内容が、それぞれのビット線毎の図示しない読み出し／書き込み用ラッチに読み込まれる。

【0049】

以上の消去、書き込み、読み出しの各動作時のバイアス条件を図表にまとめたものが図2および図3であり、図2が消去動作が図9の第1の実施例の場合であり、図3が消去動作が図10の第2の実施例の場合である。

【0050】

以上説明したように、本実施例によれば、 $DINOR$ 型フラッシュメモリおよび AND 型フラッシュメモリにおいて問題となるバンド間トンネル電流の問題を回避でき、しかも $FLOTOX$ 型 $EEPROM$ および $ACEE$ 型フラッシュメモリのようにセル面積を大きくしない完全な1トランジスタメモリタイプの FN / FN 式 NOR 型フラッシュメモリを実現することができる。

よって、単一電源で動作可能な大容量 NOR 型フラッシュメモリが実現できる。

【0051】

図14は、本発明に係るフラッシュメモリ回路の他の実施例を示すブロック構成図である。

図14において、 CLD はカラムデコーダ、 ROD はロウデコーダ、 MBL はメモリセルブロックをそれぞれ示している。

【0052】

本実施例は、図14に示すように、メモリセルを消去ブロック単位毎に分割し、そのブロック MBL 毎にカラムデコーダ CLD を配置して、書き込みおよび消去をカラムデコーダ CLD 単位で行うことを特徴としている。

この構成において、一つのブロック MBL 内のメモリセルの構造は、たとえば通常の NOR 型の構造をしている。ここで、メモリセル内での1本のビット線に連なるトランジスタの数は、ドレインディスタブに対してのマージンが取れる範囲、たとえば数百ビット程度に設定されている。

【0053】

このような構成において、消去動作は、たとえばセルのコントロールゲート、すなわちワード線に $+20V$ 、ソース、ドレイン、すなわちビット線、および基板に $0V$ を印加して、フローティングゲートに電子を注入することで実現される。

10

20

30

40

50

書き込み動作は、たとえばセルのコントロールゲート（ワード線）に -12V 、ドレイン（ビット線）に 5V を印加して、フローティングゲートより電子を引き抜くことで実現される。

また、同じコントロールゲート（ワード線）上に存在する、書き込みを行いたくないセルは、ドレイン（ビット線）を 0V に保持するため、フローティングゲートとドレインとの間の電界が緩和され、フローティングゲートからの電子の抜けが発生しなくなる。

読み出し動作は、セルのコントロールゲートに電源電圧 V_{cc} 、ドレイン（ビット線）に $+1\text{V}$ 、ソースおよび基板に 0V を印加して、セル電流が流れるか否かでデータの「1」、 「0」を判断する。

【0054】

10

このように本実施例では、フラッシュメモリセルにおいて、そのオペレーションをカラムデコード単位（ビット線方向）単位で行うことから、以下に示すような利点がある。

すなわち、たとえば、フローティングゲートを持つNOR型のフラッシュメモリでは、そのビット線に多数（数kビット）のメモリセルトランジスタが連なる構造をしている。このため、セルの書き込みを行う際、ドレインディスタースタブが起こり、これが深刻な問題となっていた。

【0055】

このようなドレインディスタースタブに対する回避策として、前述したビット線を分割するDINOR型のメモリセル構造がある。この構造では、メインの主ビット線にサブの副ビット線が連なり、これらの間を選択トランジスタで分割する構成を取っている。

20

副ビット線には数十ビットのメモリセルしか接続されていないため、NOR型で問題となる書き込み時のドレインディスタースタブに対しては2桁程度マージンが広がることになる。

【0056】

しかしながら、このDINOR型フラッシュメモリでは、ビット線を分割してサブのビット線を形成するため、さらにもう一層の配線層が必要となる。

これに対して、本実施例の回路では、新たに配線層を増やすことなく、メモリセルを形成できる。すなわち、新たな配線層を増やすことなく、ドレインディスタースタブ耐性の向上を図れるメモリセル構造を実現できる。

また、この構造はCHE書き込み方式にも適用が可能である。

【0057】

30

【発明の効果】

以上説明したように、本発明によれば、DINOR型半導体不揮発性記憶装置およびAND型半導体不揮発性記憶装置において問題となるバンド間トンネル電流の問題を回避でき、しかもFLOTOX型EEPROMおよびACEE型半導体不揮発性記憶装置のようにセル面積が大きくなり、完全な1トランジスタメモリタイプのFN/FNトンネリング方式のNOR型半導体不揮発性記憶装置を実現することができる。

よって、単一電源で動作可能な、大容量NOR型半導体不揮発性記憶装置を実現できる利点がある。

【0058】

また、NOR型の半導体不揮発性記憶装置において、新たな配線層を増やすことなく、ドレインディスタースタブ耐性の向上を図れるメモリセル構造を実現できる。

40

【図面の簡単な説明】

【図1】本発明に係るフラッシュメモリのメモリアレイ構成を示す図である。

【図2】本発明に係るフラッシュメモリの第1の消去、書き込み、読み出しの各動作時のバイアス条件を示す図である。

【図3】本発明に係るフラッシュメモリの第2の消去、書き込み、読み出しの各動作時のバイアス条件を示す図である。

【図4】図1のメモリアレイの平面パターンレイアウトを示す図である。

【図5】図4のA-A線矢視方向における断面図である。

【図6】図4のB-B線矢視方向における断面図である。

50

【図 7】図 4 のフラッシュメモリの製造方法を説明するための工程図である。

【図 8】図 4 のフラッシュメモリの製造方法を説明するための工程図である。

【図 9】本発明に係るフラッシュメモリにおける消去動作の第 1 の実施例によるバイアス条件を示す図である。

【図 10】本発明に係るフラッシュメモリにおける消去動作の第 2 の実施例によるバイアス条件を示す図である。

【図 11】本発明に係るフラッシュメモリにおける書き込み動作のバイアス条件を示す図である。

【図 12】本発明に係るフラッシュメモリのランダムモードにおける読み出し動作のバイアス条件を示す図である。

10

【図 13】本発明に係るフラッシュメモリのページモードにおける読み出し動作のバイアス条件を示す図である。

【図 14】本発明に係るフラッシュメモリ回路の他の実施例を示すブロック構成図である。

【図 15】主ビット線 2 本、副ビット線に連なるワード線 8 本の 2 群から構成される D I N O R 型フラッシュのメモリアレイ構成を示す図である。

【図 16】図 15 に示すような D I N O R 型フラッシュメモリの消去、書き込み、並びに読み出し時のバイアス条件を示す図である。

【図 17】標準的な 0.6 μ m プロセスにより試作された D I N O R 型フラッシュメモリのデバイスパラメータを用いてシミュレーションにより計算した書き込み動作結果を示す図である。

20

【図 18】図 17 の書き込み動作における F N トンネリングによるゲート電流と、バンド間トンネリングによるドレイン - 基板間電流をシミュレーションにより計算した結果を示す図である。

【図 19】主ビット線 3 本、副ビット線および副ソース線に並列に接続されるメモリセルが 32 個の場合の A N D 型フラッシュメモリのメモリアレイ構成を示す図である。

【図 20】図 19 に示すような A N D 型フラッシュメモリの消去、書き込み、並びに読み出し時のバイアス条件を示す図である。

【図 21】A C E E 型フラッシュメモリのメモリセル構成を示す図である。

【図 22】図 21 に示すような A C E E 型フラッシュメモリの消去、書き込み、並びに読み出し時のバイアス条件を示す図である。

30

【符号の説明】

W L 1 ~ W L 32 ... ワード線

S L 1 , S L 2 ... 選択ゲート線

M ... D B L は主ビット線

S - D B L ... 副ビット線

S B L ... 共通ソース線

S - S B L ... 副ソース線

M T 1 N - 1 ~ M T 32 N - 1 , M T 1 N ~ M T 32 N , M T 1 N + 1 ~ M T 32 N + 1 ... メモリセルトランジスタ

40

S T 1 N - 1 , S T 1 N , S T 1 N + 1 , S T 2 N - 1 , S T 2 N , S T 2 N + 1 ... 選択トランジスタ

1 ... 半導体基板

2 ... 第 1 L O C O S

3 ... N⁺ 埋め込み拡散層

4 ... 第 2 L O S O S

5 ... トンネル酸化膜

6 ... フローティングゲート用ポリシリコン層

7 ... O N O 積層絶縁膜

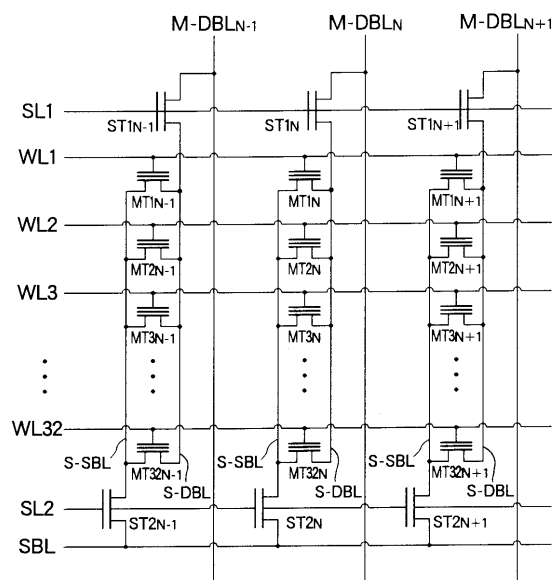
8 ... コントロールゲート用ポリシリコン層

50

9 ... 絶縁膜

10 ... アルミニウム (A 1) 配線

【 図 1 】



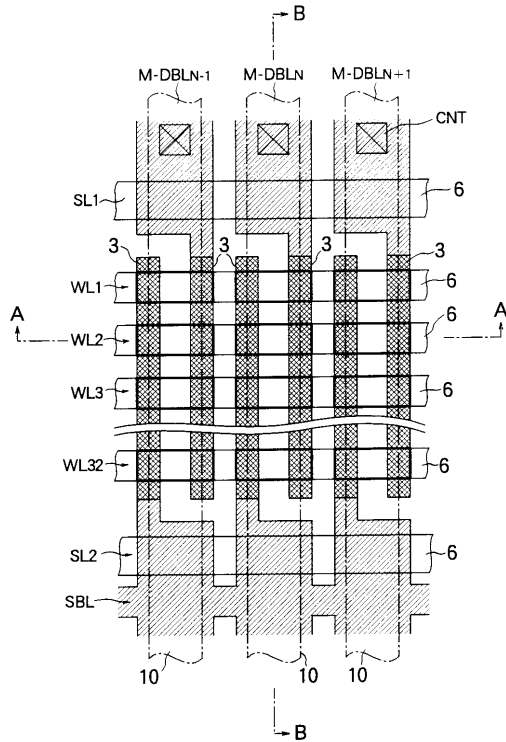
【 図 2 】

	SL1	SL2	WL	DBL	ソース
消去	5V	5V	選択 -14V 非選択 0V	3.3V → 0V	0V
データ書き込み	22V	0V	選択 22V 非選択 11V	[1]データ 0V [0]データ 11V	0V
データ読み出し (ランダムモード)	3.3V	3.3V	選択 3.3V 非選択 0V	選択 2V 非選択 0V	0V
データ読み出し (ページモード)	3.3V	3.3V	選択 3.3V 非選択 0V	2V	0V

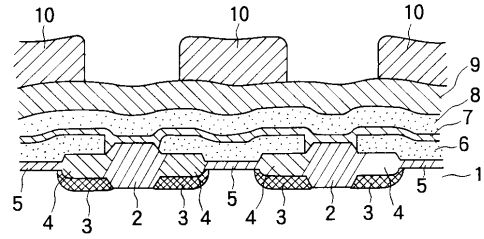
【 図 3 】

	SL1	SL2	WL	DBL	ソース
消去	5V	5V	-18V	0V	0V
データ書き込み	22V	0V	選択 22V 非選択 11V	[1]データ 0V [0]データ 11V	0V
データ読み出し (ランダムモード)	3.3V	3.3V	選択 3.3V 非選択 0V	選択 2V 非選択 0V	0V
データ読み出し (ページモード)	3.3V	3.3V	選択 3.3V 非選択 0V	2V	0V

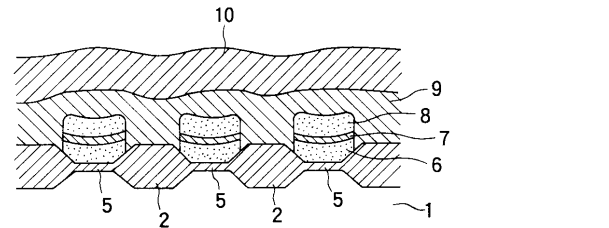
【図 4】



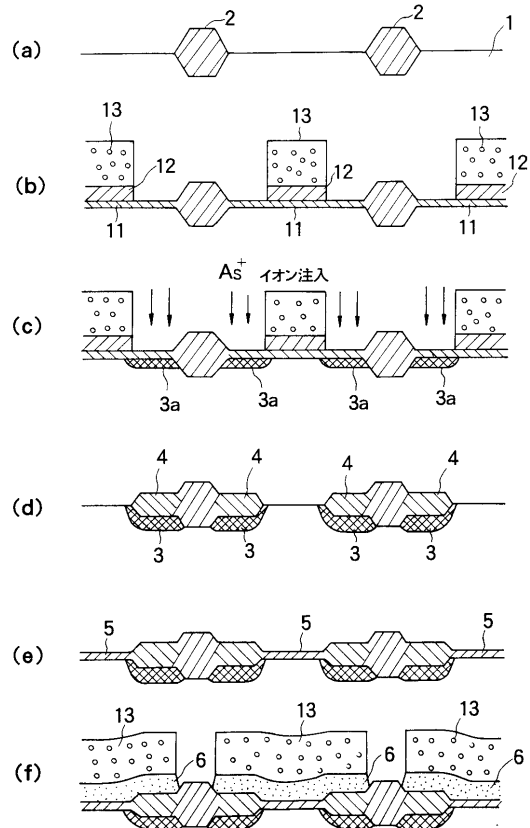
【図 5】



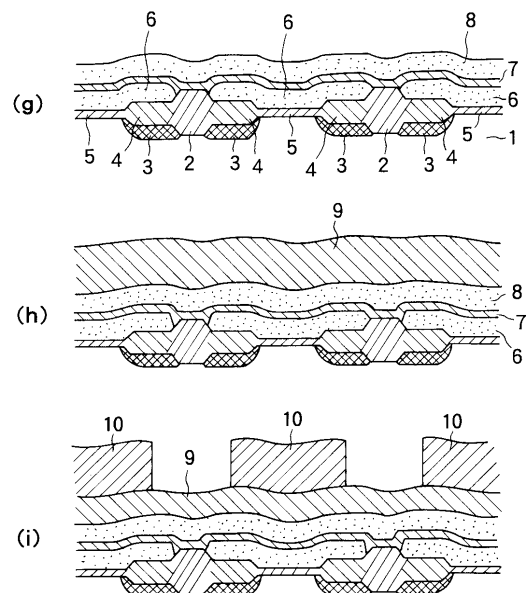
【図 6】



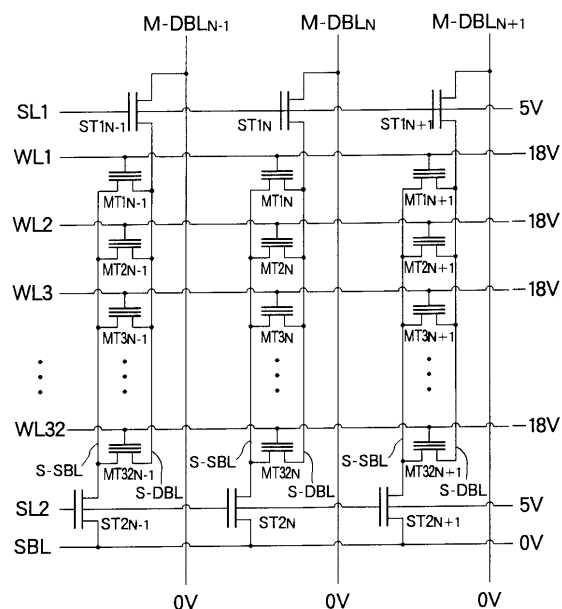
【図 7】



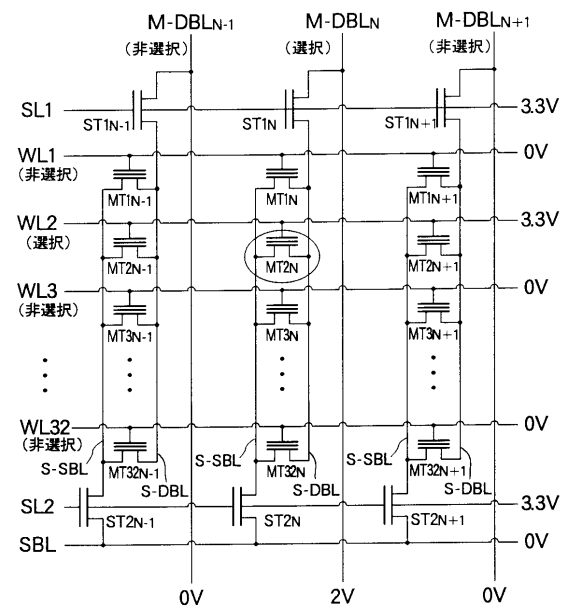
【図 8】



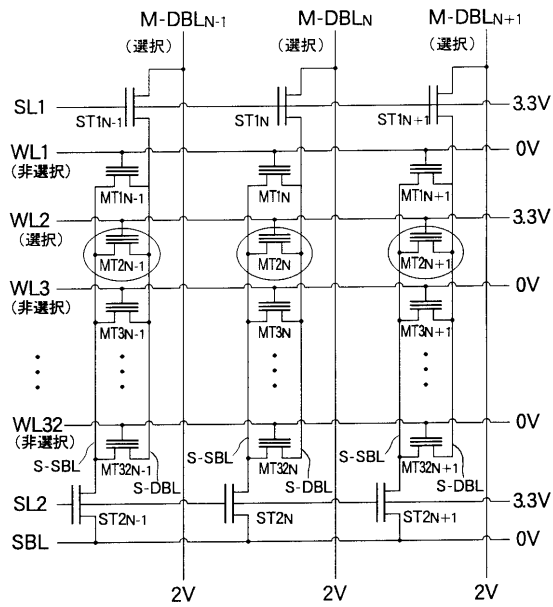
【 ㊦ 1 0 】



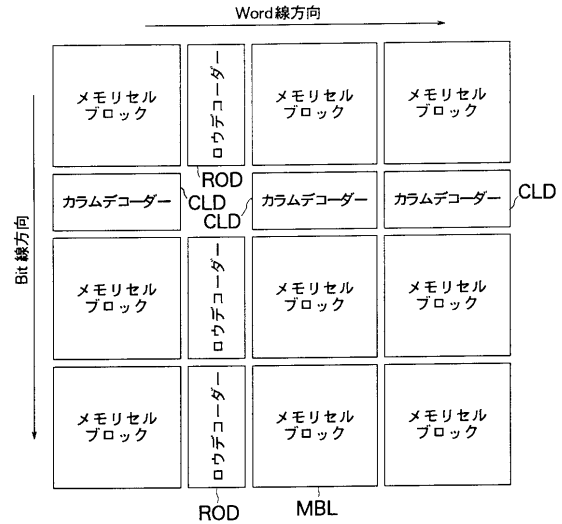
【 図 1 2 】



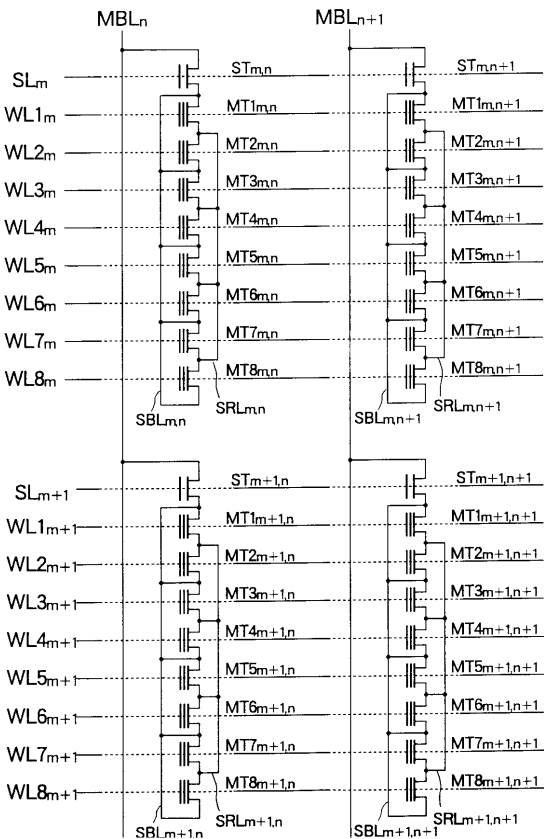
【図 1 3】



【図 1 4】



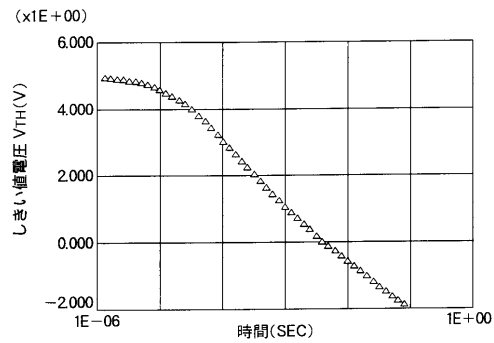
【図 1 5】



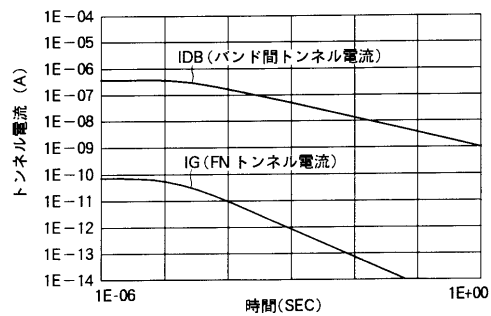
【図 1 6】

	SL	WL	BL	ソース
消去	0V	20V	フローティング	0V
[1]データ書き込み	10V	-10V	6V	フローティング
[0]データ書き込み	10V	-10V	0V	フローティング
読みだし	3~5V	3~5V	1~2V	0V

【図 17】



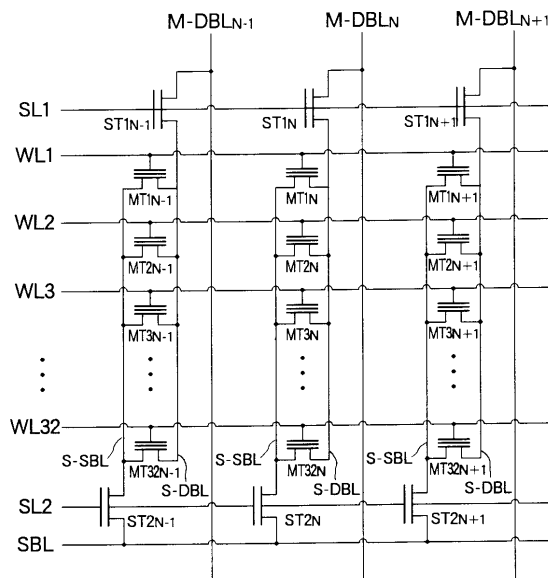
【図 18】



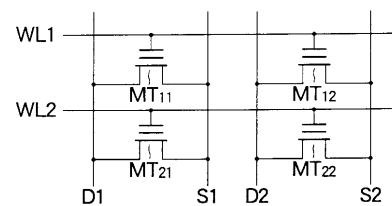
【図 20】

	SL1	SL2	WL	DBL	ソース
消去	0V	10V	20V	フローティング	0V
[1]データ書き込み	10V	0V	-10V	6V	0V
[0]データ書き込み	10V	0V	-10V	0V	0V
読みだし	3~5V	3~5V	3~5V	1~2V	0V

【図 19】



【図 21】



【図 22】

	WL1	WL2	S1	D1	S2	D2
消去	-11V	-11V	5V	フローティング	3.3V	フローティング
書き込み	7V	18V	0V	フローティング	7V	フローティング
読み出し	0V	3.3V	0V	1V	0V	1V

フロントページの続き

(51) Int.Cl.⁷ F I

H 0 1 L 29/788

H 0 1 L 29/792

(56) 参考文献 特開平 0 6 - 0 7 7 4 3 7 (J P , A)

特開平 0 6 - 1 9 6 7 1 5 (J P , A)

特開平 0 5 - 3 2 6 9 8 0 (J P , A)

特開平 0 6 - 1 3 9 7 8 5 (J P , A)

特開平 0 5 - 2 7 5 6 5 9 (J P , A)

特開平 0 5 - 3 3 4 8 8 5 (J P , A)

特開平 0 5 - 0 5 5 5 3 0 (J P , A)

特開平 0 6 - 1 5 1 7 8 5 (J P , A)

特開昭 5 7 - 0 9 8 1 9 1 (J P , A)

特開昭 6 3 - 1 4 0 4 8 3 (J P , A)

(58) 調査した分野(Int.Cl.⁷, D B 名)

G11C 16/00-16/34

H01L 27/115

H01L 29/788-29/792