



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I580055 B

(45)公告日：中華民國 106 (2017) 年 04 月 21 日

(21)申請案號：101108128

(22)申請日：中華民國 101 (2012) 年 03 月 09 日

(51)Int. Cl. : H01L29/786 (2006.01)

H01L21/336 (2006.01)

C04B35/01 (2006.01)

(30)優先權：2011/03/09 日本

2011-052179

2011/12/28 日本

2011-289740

(71)申請人：三星顯示器有限公司(南韓) SAMSUNG DISPLAY CO., LTD. (KR)  
南韓

(72)發明人：田尾博昭 TAO, HIROAKI (JP)；三木綾 MIKI, AYA (JP)；森田晉也 MORITA, SHINYA (JP)；安野聰 YASUNO, SATOSHI (JP)；釘宮敏洋 KUGIMIYA, TOSHIHIRO (JP)；朴在佑 PARK, JAE WOO (KR)；李制勳 LEE, JE HUN (KR)；安秉斗 HAN, BYUNG DU (KR)；金建熙 KIM, GUN HEE (KR)

(74)代理人：林志剛

(56)參考文獻：

JP 2006-528843

JP 2008-243928A

US 6669830B1

審查人員：簡信裕

申請專利範圍項數：8 項 圖式數：7 共 46 頁

(54)名稱

薄膜電晶體之半導體層用氧化物，具備前述氧化物之薄膜電晶體之半導體層及薄膜電晶體

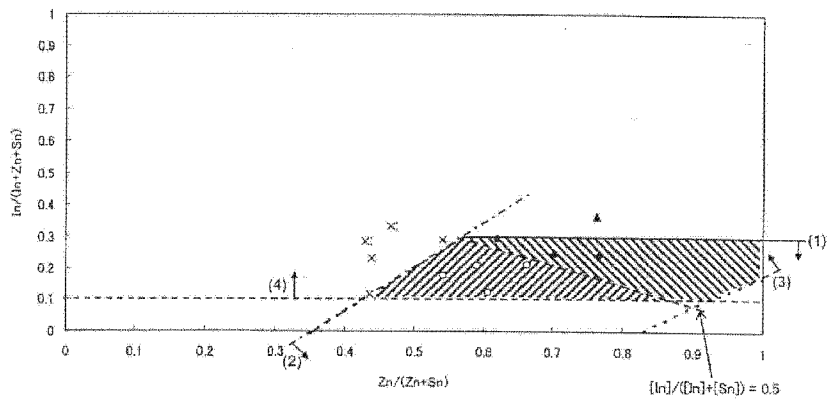
(57)摘要

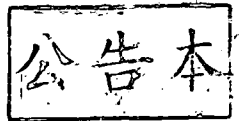
本發明之薄膜電晶體用氧化物，係至少包含銦、鋅、及錫之銦鋅錫系氧化物，銦鋅錫系氧化物所含有的金屬元素的含量(原子百分比)分別為〔Zn〕、〔Sn〕、及〔In〕時，在〔In〕/(〔In〕+〔Sn〕) $\leq$ 0.5時，滿足以下式(2)(4)，在〔In〕/(〔In〕+〔Sn〕) $>$ 0.5時，滿足以下式(1)、(3)、(4)  
 $[In]/([In]+[Zn]+[Sn]) \leq 0.3$ .....(1)  $[In]/([In]+[Zn]+[Sn]) \leq 1.4 \times \{[Zn]/([Zn]+[Sn])\} - 0.5$ .....(2)  $[Zn]/([In]+[Zn]+[Sn]) \leq 0.83$ .....(3)  $0.1 \leq [In]/([In]+[Zn]+[Sn])$ .....(4)。

根據本發明，可得 TFT 之開關特性優異，濺鍍時之濺鍍率高，且濕蝕刻時之蝕刻速率被適切地控制之薄膜電晶體用氧化物薄膜。

指定代表圖：

圖2





# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101108128

※申請日：101年03月09日

※IPC分類：

H01L 29/786 (2006.01)

H01L 21/336 (2006.01)

C04B 35/01 (2006.01)

## 一、發明名稱：(中文/英文)

薄膜電晶體之半導體層用氧化物，具備前述氧化物之薄膜電晶體之半導體層及薄膜電晶體

## 二、中文發明摘要：

本發明之薄膜電晶體用氧化物，係至少包含銦、鋅、及錫之銦鋅錫系氧化物，銦鋅錫系氧化物所含有的金屬元素的含量(原子百分比)分別為〔Zn〕、〔Sn〕、及〔In〕時，在〔In〕 / (〔In〕 + 〔Sn〕) ≤ 0.5 時，滿足以下式(2)、(4)，在〔In〕 / (〔In〕 + 〔Sn〕) > 0.5 時，滿足以下式(1)、(3)、(4)

$$[\text{In}] / ([\text{In}] + [\text{Zn}] + [\text{Sn}]) \leq 0.3 \dots (1)$$

$$[\text{In}] / ([\text{In}] + [\text{Zn}] + [\text{Sn}]) \leq 1.4 \times \{ [\text{Zn}] / ([\text{Zn}] + [\text{Sn}]) \} - 0.5 \dots (2)$$

$$[\text{Zn}] / ([\text{In}] + [\text{Zn}] + [\text{Sn}]) \leq 0.83 \dots (3)$$

$$0.1 \leq [\text{In}] / ([\text{In}] + [\text{Zn}] + [\text{Sn}]) \dots (4)$$

根據本發明，可得 TFT 之開關特性優異，濺鍍時之濺鍍率高，且濕蝕刻時之蝕刻速率被適切地控制之薄膜電晶體用氧化物薄膜。

三、英文發明摘要：

發明人：...

四、指定代表圖：

(一) 本案指定代表圖為：第 ( 2 ) 圖。

(二) 本代表圖之元件符號簡單說明：無

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於使用在液晶顯示器或有機 EL（電致發光）顯示器等顯示裝置之薄膜電晶體的半導體層用氧化物及半導體層，將前述氧化物進行成膜之用的濺鍍靶，以及具備前述氧化物的薄膜電晶體及顯示裝置。

### 【先前技術】

非晶質（amorphous）氧化物半導體，與泛用的非晶質矽（a-Si）相比，具有高的載體移動度，光學能帶間隙大，可以在低溫成膜，所以被期待著適用於要求大型・高解析度・高速驅動的次世代顯示器，或者在耐熱性低的樹脂基板上之適用。

氧化物半導體之中，由銦、鎵、鋅及氧所構成的非晶質氧化物（In-Ga-Zn-O，以下亦稱為「IGZO」），及銦、鋅、錫及氧所構成的非晶質氧化物（In-Zn-Sn-O，以下亦稱為「IZTO」）具有非常高的載體移動度，所以適於使用。例如在非專利文獻 1 及 2，揭示著把 In：Ga：Zn = 1.1：1.1：0.9（原子百分比）之 IGZO 半導體薄膜用於薄膜電晶體（TFT）之半導體層（活性層）者。

此外，作為使用 IZTO 半導體之例，例如可以舉出專利文獻 1 與 2，及非專利文獻 3 與 4。這些之中，於專利文獻 1，揭示著包含 In、Zn、Sn 等元素與 Mo，對於非晶質氧化物中的全金屬原子數之 Mo 的原子組成比率為 0.1

~ 5 原子% 之非晶質氧化物 (IZTO) , 於實施例, 揭示著使用於 IZTO 添加 Mo 之活性層的 TFT。

[先前技術文獻]

[專利文獻]

[專利文獻 1] 日本特開 2009-164393 號公報

[專利文獻 2] 日本特開 2008-243928 號公報

[非專利文獻]

[非專利文獻 1] 固體物理, VOL44, P621(2009)

[非專利文獻 2] Nature, VOL432, P488(2004)

[非專利文獻 3] Applied Physics Letters, Vol.95, 072104 (2009)

[非專利文獻 4] The Proceedings of The 17th International Display Workshops (IDW'10), AMD5/OLED6-2, p631(2010)

【發明內容】

[發明所欲解決之課題]

把氧化物半導體作為薄膜電晶體之半導體層使用的場合, 不僅要求電子載體濃度高, 而且要求 TFT 的開關特性 (電晶體特性) 優異。具體而言, 要求著 (1) 開電流 (對閘極電極與汲極電極施加正電壓時之最大汲極電流) 要高, (2) 關電流 (對閘極電極施加負電壓, 對汲極電極施加正電壓時之汲極電流) 低, (3) SS (Subthreshold

Swing，次臨界擺幅，使汲極電流提高 10 倍所必要的閘極電壓) 值要低，(4) 長時間施加電壓或光照射之負荷的場合閾值(對汲極電極加正電壓，對閘極電極加正或負電壓時汲極電流開始流動的電壓，亦稱為閾值電壓) 電壓不改變而維持安定，(5) 移動度高，(6) 在大型玻璃基板的面內 TFT 特性均一。針對記載於前述專利文獻 1 的含 Mo 的 IZTO 半導體，在本案發明人調查前述特性時，發現其與 IZTO 相比可觀察到開電流降低或是 SS 值上升。此外，在前述之非專利文獻 3，使濺鍍時的氧分壓(氛圍氣體中的氧之比) 固定為約 7% 而形成氧化物層之 TFT，在 In 量較多的組成閾值電壓會變成很大的負值，無法得到良好的 TFT 特性。

然而在 IGZO 或 IZTO 等氧化物半導體層之成膜，由於可以容易形成成分或者膜厚之面內均勻性優異的薄膜等理由，廣泛使用著濺鍍法。以濺鍍法形成氧化物半導體層之膜的場合，考慮到 TFT 的生產性等時，以儘可能使濺鍍時的成膜速度(被成膜的氧化物膜厚除以成膜時間之值，以下亦稱之為濺鍍速率) 加快而縮短成膜時間為較佳。濺鍍速率隨成膜條件而改變，一般會有在濺鍍時氧分壓越高則濺鍍率越低的傾向。

進而，在 TFT 基板的製造過程，最好是在圖案化時不產生殘渣。產生殘渣的話，會發生上層的覆蓋範圍降低，或是元件間的絕緣不良的情形，招致生產率降低。

亦即，被期待著提供滿足前述之 3 個要求特性，亦即

，（A）TFT 之開關特性（以下，亦簡稱為 TFT 特性）優異，（B）濺鍍時之濺鍍率高，（C）濕蝕刻時不產生殘渣等全部條件之 IZTO 系半導體層。

本發明係有鑑於前述情形而完成之發明，其目的在於提供 TFT 之開關特性（TFT 特性）優異，濺鍍時之濺鍍率高，且在濕式蝕刻時不產生殘渣的薄膜電晶體之半導體層用氧化物薄膜及半導體層、具備該氧化物薄膜之薄膜電晶體及顯示裝置，以及使用於該氧化物薄膜的形成之濺鍍靶。

[供解決課題之手段]

為了解決前述課題而完成之相關於本發明的薄膜電晶體之半導體層用氧化物，係使用於薄膜電晶體之半導體層，至少包含銦、鋅、及錫之銦鋅錫系氧化物，前述銦鋅錫系氧化物所含有的金屬元素的含量（原子百分比）分別為〔Zn〕、〔Sn〕、及〔In〕，

（A） $\frac{[In]}{([In] + [Sn])} \leq 0.5$  時，滿足以下式（2）（4），

$$\frac{[In]}{([In] + [Zn] + [Sn])} \leq 1.4 \times \left\{ \frac{[Zn]}{([Zn] + [Sn])} \right\} - 0.5 \dots (2)$$

$$0.1 \leq \frac{[In]}{([In] + [Zn] + [Sn])} \dots (4)$$

（B） $\frac{[In]}{([In] + [Sn])} > 0.5$  時，滿足以下式（1）、（3）、（4）

$$[\text{In}] / ([\text{In}] + [\text{Zn}] + [\text{Sn}]) \leq 0.3 \dots (1)$$

$$[\text{Zn}] / ([\text{In}] + [\text{Zn}] + [\text{Sn}]) \leq 0.83 \dots (3)$$

$$0.1 \leq [\text{In}] / ([\text{In}] + [\text{Zn}] + [\text{Sn}]) \dots (4)$$

於本發明之較佳的實施型態，前述銻鋅錫系氧化物，係藉由濺鍍法，把氧分壓控制在 18% 以下而成膜的。

於本發明之較佳的實施型態，前述銻鋅錫系氧化物的膜厚為 30nm 以上，200nm 以下。

此外，可以解決前述課題之相關於本發明的薄膜電晶體之半導體層，係具備前述之任一所記載的氧化物之薄膜電晶體之半導體層，前述半導體層之電子載體濃度在  $10^{15} \sim 10^{18} \text{ cm}^{-3}$  之範圍。

於本發明之較佳的實施型態，前述半導體層，係將前述任一所記載的氧化物，在  $250 \sim 350^\circ\text{C}$ ，加熱處理 15 ~ 120 分鐘而得者。

於本發明，把前述之銻鋅錫系氧化物作為薄膜電晶體之半導體層而具備之薄膜電晶體也被包含於本發明的範圍內。

進而於本發明，具備前述薄膜電晶體的顯示裝置也被包含於本發明之範圍內。

此外，可以解決前述課題之本發明的銻鋅錫系氧化物濺鍍靶，係至少包含銻、鋅、及錫之銻鋅錫系氧化物濺鍍靶，前述銻鋅錫系氧化物濺鍍靶所含有的金屬元素的含量（原子百分比）分別為  $[\text{Zn}]$ 、 $[\text{Sn}]$ 、及  $[\text{In}]$ ，

(A)  $[\text{In}] / ([\text{In}] + [\text{Sn}]) \leq 0.5$  時，滿足以下式 (2) (4)，

$$\frac{[In]}{([In] + [Zn] + [Sn])} \leq 1.4 \times \left\{ \frac{[Zn]}{([Zn] + [Sn])} \right\} - 0.5 \dots (2)$$

$$0.1 \leq \frac{[In]}{([In] + [Zn] + [Sn])} \dots (4)$$

(B)  $\frac{[In]}{([In] + [Sn])} > 0.5$  時，滿足以下式 (1)、(3)、(4)

$$\frac{[In]}{([In] + [Zn] + [Sn])} \leq 0.3 \dots (1)$$

$$\frac{[Zn]}{([In] + [Zn] + [Sn])} \leq 0.83 \dots (3)$$

$$0.1 \leq \frac{[In]}{([In] + [Zn] + [Sn])} \dots (4)$$

#### [發明之效果]

使用本發明之氧化物的話，可以提供 TFT 特性優異，濺鍍時之濺鍍率高，且濕蝕刻時不發生殘渣之薄膜電晶體，及具備該薄膜電晶體之顯示裝置。

#### 【實施方式】

本案發明人，檢討為了提供把至少含有 Zn、Sn 及 In 之 In-Zn-Sn 系氧化物（以下，亦以「IZTO」為代表）用於 TFT 的活性層（半導體層）時，(A) TFT 的開關特性（TFT 特性）很好，(B) 濺鍍時的濺鍍速率高，且 (C) 濕式蝕刻時不殘留殘渣之氧化物，而反覆檢討。結果，發現了前述銻鋅錫系氧化物所含有的金屬元素的含量（原子百分比）分別為 [Zn]、[Sn]、及 [In]，

(A)  $\frac{[In]}{([In] + [Sn])} \leq 0.5$  時，滿足以下式 (2) (4)，

$$\begin{aligned} & [In] / ([In] + [Zn] + [Sn]) \\ & \leq 1.4 \times \{ [Zn] / ([Zn] + [Sn]) \} - 0.5 \dots (2) \end{aligned}$$

$$0.1 \leq [In] / ([In] + [Zn] + [Sn]) \dots (4)$$

(B)  $[In] / ([In] + [Sn]) > 0.5$  時，滿足以下式 (1)、(3)、(4) 之氧化物可以達成所期望的目的，從而完成了本發明。

$$[In] / ([In] + [Zn] + [Sn]) \leq 0.3 \dots (1)$$

$$[Zn] / ([In] + [Zn] + [Sn]) \leq 0.83 \dots (3)$$

$$0.1 \leq [In] / ([In] + [Zn] + [Sn]) \dots (4)$$

於本發明，前述 (1) 及前述 (2) 式的左邊，前述 (4) 式的右邊之  $[In] / ([In] + [Zn] + [Sn])$ ，爲了說明上的方便而以「全金屬元素中的 In 比」稱之。

對此，前述 (A) 及前述 (B) 式的左邊之  $[In] / ([In] + [Sn])$  所表示的 In 比，爲了與前述記號區別亦僅稱之爲「In 比」。

同樣地，於說明書，前述 (3) 式的左邊之  $[Zn] / ([In] + [Zn] + [Sn])$ ，爲了說明上的方便而以「全金屬元素中的 Zn 比」稱之。

對此，前述 (2) 式的右邊之  $[Zn] / ([Zn] + [Sn])$  所表示的 Zn 比，爲了與前述記號區別亦僅稱之爲「Zn 比」。

圖 2 係顯示滿足前述式 (1)、(2)、(3)、及 (4) 之區域，圖 2 中的斜線部分，係全部滿足本發明所規定的要件之區域。詳言之，係以 In 比 = 0.5 之線 (參照圖 2

) 為邊改變斜線的種類，前述線以下的斜線區域，係於前述 (A) 之例滿足本發明的要件之區域〔亦即，滿足式 (2)、(4) 之區域〕，超過前述線的斜線區域，係於前述 (B) 之例滿足本發明的要件之區域〔亦即，滿足式 (1)、(3)、(4) 之區域〕。圖 2 中，○係後述的實施例之中，針對前述 (A) 之例描繪滿足本發明的要件之本發明例的結果，×係針對前述 (A) 之例描繪未滿足本發明的要件之比較例的結果。此外，圖 2 中，●係後述的實施例之中，針對前述 (B) 之例描繪滿足本發明的要件之本發明例的結果，▲係針對前述 (B) 之例描繪未滿足本發明的要件之比較例的結果。可知滿足本發明之要件者，全部被包含於前述斜線部分的範圍內。

其中前述式 (3)，係相關於防止濕式蝕刻時之殘渣發生之式，前述式 (1) 及 (2)，係兼顧高濺鍍速率與良好的 TFT 特性 (開關特性) 之相關式。關於後者的特性 (高濺鍍速率與良好的 TFT 特性之兼顧)，本發明因應於以  $\frac{[In]}{([In] + [Sn])}$  表示之 In 比，如前述 (A) 那樣在 In 比為 0.5 以下的較少的場合以式 (2) 為指標，如前述 (B) 那樣在 In 比超過 0.5 的較多的場合以式 (1) 為指標。這些之式 (1) 及 (2) 係根據本案發明人等之大量的基礎實驗，整理得到的結果，所導出來的公式。又，前述式 (4)，係規定全金屬元素中的 In 比 ( $\frac{[In]}{([In] + [Zn] + [Sn])}$ ) 之下限者，為了確保高的移動度，在前述 (A) 及 (B) 之任一場合，均規定其

下限為 0.1 以上。

又，於本發明， $I_n$  比在 0.5 以下之 (A) 之例，雖未規定式 (3)，但這是因為即使不規定式 (3)，滿足式 (2) 與式 (4) 之區域，也包含式 (3) 之區域 (參照圖 2) 的緣故。因而，滿足式 (2) 與式 (4) 之區域，不僅可以兼顧高的濺鍍速率與良好的 TFT 特性，進而也是可發揮防止濕式蝕刻時之殘渣發生的效果之區域 [ 滿足式 (3) 的區域 ]。

此處，式 (1) 及 (2) 的技術意義，可以參照圖 2 而容易理解。於圖 2，可知在  $I_n$  比為 0.5 以下之 (A) 之例，以式 (2) 為邊，可以順利整理出可得到所要的前述特性之本發明例 (○) 與無法得到前述特性之比較例 (x)。相對於此，圖 2 之 ▲ ( $I_n$  比 = 0.709，描繪後述之表的 No.13A 者)，係即使滿足式 (2) 之關係，也無法得到所要的特性之比較例。亦即， $I_n$  比變大時，在式 (2) 之設定無法順利整理出與前述特性之關係，而有導入與式 (2) 不同的新的關係式之必要。式 (1) 係由這樣的觀點所設定者，可知在  $I_n$  比超過 0.5 之 (B) 之例，以式 (1) 為邊，可以順利整理出可得到所要的前述特性之本發明例 (●) 與無法得到前述特性之比較例 (▲)。

要說明導出這些式的經過的話，在 IZTO 的成膜， $I_n$  多的話會有 TFT 導體化 (變成不能開關) 的問題。對此，為了使 TFT 可以開關，必然有提高氧分壓的必要，但提高氧分壓的話，會有濺鍍速率降低的問題。考慮到這些

問題，判明了爲了要使 TFT 可以開關，同時兼顧提高濺鍍速率（減低氧分壓），而有適切控制權金屬元素中的 In 比（具體而言，爲  $\{ \text{In} \} / ( \{ \text{In} \} + \{ \text{Zn} \} + \{ \text{Sn} \} )$ ）之必要。

另一方面，考慮到作爲 TFT 使用的場合之前提條件之開關特性的話，在 In 或 Sn 多的區域載體增加而變得容易導體化（不能開關），但是也判明了在 In 多的區域 In 作用很強。因而，判明了爲了要兼顧高濺鍍速率與良好的 TFT 特性雙方，因應於以  $\{ \text{In} \} / ( \{ \text{In} \} + \{ \text{Sn} \} )$  表示的 In 比，而適切控制全金屬元素中的 In 比是有效的。

前述之式（1）或（2），係綜合考慮這些情形的結果，而導出來之公式，爲了兼具高濺鍍速率與良好的 TFT 特性，以  $\{ \text{In} \} / ( \{ \text{In} \} + \{ \text{Sn} \} )$  所表示的 In 比 = 0.5 爲邊界，

（A）In 比  $\leq 0.5$  時，全金屬元素中的 In 比滿足下式（2），

$$\begin{aligned} & \{ \text{In} \} / ( \{ \text{In} \} + \{ \text{Zn} \} + \{ \text{Sn} \} ) \\ & \leq 1.4 \times \{ \{ \text{Zn} \} / ( \{ \text{Zn} \} + \{ \text{Sn} \} ) \} - 0.5 \dots (2) \end{aligned}$$

（B）In 比  $> 0.5$  時，全金屬元素中的 In 比滿足下式（1）。

$$\{ \text{In} \} / ( \{ \text{In} \} + \{ \text{Zn} \} + \{ \text{Sn} \} ) \leq 0.3 \dots (1)$$

此處所謂的「得到高濺鍍速率」，意味著在濺鍍時的氧分壓 4% 下，使用 In-Zn-Sn 系氧化物濺鍍靶形成 In-Zn-Sn 系氧化物之膜時的濺鍍速率（nm/min）爲 SR1（In-Zn-

Sn)，而爲了做爲比較的對象，以使用於前述 SR1 (In-Zn-Sn) 的算出之相同的濺鍍裝置，而且濺鍍時之氧分壓也同樣爲 4%，使用 In-Ga-Zn 氧化物濺鍍靶 (In、Ga、Zn 之原子比爲 1:1:1) 形成 In-Ga-Zn 氧化物膜 (In、Ga、Zn 之原子比爲 1:1:1) 時之濺鍍速率 (nm/min) 爲 SR2 (In-Ga-Zn) 時，以 SR1/SR2 所表示之濺鍍速率比 (SR) 爲 1.0 以上。

此外，所謂「良好的 TFT 特性」，係把開電流與關電流之間的  $\ln A$  附近時之電壓定義爲閾值電壓，測定各 TFT 之閾值電壓時，汲極電流  $V_{th}$  (絕對值) 在 17.5V 以下者評估爲 TFT 特性優異。

進而前述式 (3)，係相關於防止濕式蝕刻時之殘渣發生之式。如前所述在濕式蝕刻時以不產生殘渣爲較佳，殘渣的產生主要與 Zn 有關，隨著氧化物膜中的 Zn 量增加，濕式蝕刻時會產生殘渣。已知例如使用作爲濕式蝕刻劑被泛用的草酸來蝕刻 IZTO 膜的話，會析出難溶性的草酸鋅結晶而產生殘渣。對此，本案發明人等，針對濕式蝕刻時不會發生殘渣的要件進行種種檢討，而在與 Zn 比之關係設定了前述式 (3)。在後述的實施例，把蝕刻後的觀察未發生殘渣者評估爲濕式蝕刻性優良。爲了確保良好的濕式蝕刻性，全金屬元素中的 Zn 比 (具體而言，爲  $[Zn] / ([In] + [Zn] + [Sn])$ ) 越小越好，例如以 0.8 以下爲佳，以 0.7 以下更佳。又，全金屬元素中的 Zn 比的下限，由濕式蝕刻性的觀點來看並沒有特別限定，但

考慮到蝕刻速率越低圖案化越花時間的話，以 0.40 以上為佳，以 0.45 以上更佳。

以上，說明了把本發明之氧化物賦予特徵之式 (1)、(2)、(3) 及 (4)。

前述氧化物，係以濺鍍法使用濺鍍靶（以下，亦稱為「靶」）而成膜者。雖然可以藉由塗布法等化學成膜法來形成氧化物，但是根據濺鍍法的話，可以容易形成成分或膜厚的膜面內均一性優異的薄膜。

作為使用於濺鍍法之靶，以使用包含前述之元素，與所要的氧化物相同組成的濺鍍靶為較佳，藉此，可無成分偏離之虞，而形成所要的成分組成之薄膜。具體而言，包含於濺鍍靶的金屬元素的含量（原子百分比）分別為 [Zn]、[Sn]、以及 [In] 時，

(A)  $[In] / ([In] + [Sn]) \leq 0.5$  時滿足下式 (2)、(4)，

$$\begin{aligned} & [In] / ([In] + [Zn] + [Sn]) \\ & \leq 1.4 \times \{ [Zn] / ([Zn] + [Sn]) \} - 0.5 \dots (2) \end{aligned}$$

$$0.1 \leq [In] / ([In] + [Zn] + [Sn]) \dots (4)$$

(B)  $[In] / ([In] + [Sn]) > 0.5$  時滿足下式 (1)、(3)、(4) 者。

$$[In] / ([In] + [Zn] + [Sn]) \leq 0.3 \dots (1)$$

$$[Zn] / ([In] + [Zn] + [Sn]) \leq 0.83 \dots (3)$$

$$0.1 \leq [In] / ([In] + [Zn] + [Sn]) \dots (4)$$

或者是使用把組成不同的兩個靶同時放電之共濺鍍法

( Co-Sputter 法 ) 來成膜亦可，藉由使  $\text{In}_2\text{O}_3$  或  $\text{ZnO}$ 、 $\text{SnO}_2$  等之靶或者這些的混合物之靶同時放電，可以得到所要的組成之膜。

前述靶，例如可以藉由粉末燒結法來製造。

使用前述靶進行濺鍍時，最好是適切地控制對全氛圍氣體之氧的添加量（氧分壓）而進行濺鍍。又，此時的基板溫度，可為室溫，或者是在被加熱的狀態亦可。如前所述藉由濺鍍法形成 IZTO 膜的場合，在氧分壓高的區域，顯示閾值電壓往正向偏移，相反的濺鍍速率會降低。因而，即使在可確保高的濺鍍速率，或者良好的濺鍍特性的低氧分壓的區域，也有必要採呈現良好的 TFT 特性的組成，由這樣的觀點來看，在本發明設定了前述的要件。

具體而言，因應於濺鍍裝置的構成或靶組成等而適切地進行控制即可，但濺鍍時的氧分壓，大致被控制為 18% 以下為較佳，控制為 15% 以下更佳。又，濺鍍時的氛圍氣體，除了氧以外，還可以舉出 Ar、Kr、Xe 等惰性氣體，但本發明之氧分壓，是指對這些所有氣體之氧的比率。

如前所述成膜的氧化物的膜厚為 30nm 以上 200nm 以下。在氧化物的膜厚超過前述上限的氧化物半導體層，判明了無法得到所要的電子載體濃度，無法確保良好的 TFT 特性（參照後述的實施例）。另一方面，低於前述膜厚的下限的話，成膜時之膜厚控制變得困難。前述膜厚，較佳者為 35nm 以上 80nm 以下。

於本發明，也包含具備前述氧化物之 TFT 的半導體層，及具備該半導體層的 TFT。TFT 係於基板上，至少具有閘極電極、閘極絕緣膜、前述氧化物之半導體層、源極電極、汲極電極即可，其構成只要是通常使用者即可，沒有特別限定。

此處，相關於本發明的薄膜電晶體之半導體層，具有  $10^{15} \sim 10^{18} \text{cm}^{-3}$  之電子載體濃度。半導體層的電子載體濃度，是決定 TFT 的開關特性的要因之一，一般而言電子載體濃度太高的話 TFT 會導體化，變成無法開關。另一方面，電子載體濃度太低的話，TFT 的絕緣性變高，電阻變高。此外，在開關時，高電阻之膜會有開電流降低的問題。如此般隨著電子載體濃度不同 TFT 特性會大幅改變，但在本發明，電子載體濃度為  $10^{15} \sim 10^{18} \text{cm}^{-3}$ ，被控制在適切的範圍內，所以確認了具有良好的 TFT 特性（在後述的實施例，評估閾值電壓  $V_{th}$ ）。

具有前述電子載體濃度之本發明的半導體層，係將前述任一所記載的氧化物，在  $250 \sim 350^\circ\text{C}$ ，加熱處理 15 ~ 120 分鐘而得者（詳見後述）。

以下，參照圖 1 同時說明前述 TFT 之製造方法之實施型態。圖 1 以及以下的製造方法，為本發明之較佳的實施型態之一例，本發明並不以此為限定。例如，在圖 1，顯示底閘型構造之 TFT，但是不以此為限，於氧化物半導體層之上依序具備閘極絕緣膜與閘極電極的頂閘型 TFT 亦可適用本發明。

如圖 1 所示，於基板 1 上被形成閘極電極 2 及閘極絕緣膜 3，於其上被形成氧化物半導體層 4。於氧化物半導體層 4 上被形成源極・汲極電極 5，於其上被形成保護膜（絕緣膜）6，透過接觸孔 7 透明導電膜 8 被導電連接於源極・汲極電極 5。

於基板 1 上形成閘極電極 2 及閘極絕緣膜 3 的方法沒有特別限定，可以採用通常使用的方法。此外，閘極電極 2 及閘極絕緣膜 3 的種類也沒有特別限定，可以使用被泛用者。例如做為閘極電極，可以較佳地使用電阻率低的 Al 或 Cu 之金屬，或這些的合金。此外，作為閘極絕緣膜，可以代表性地例示矽氧化膜、矽氮化膜、矽氧化氮化膜等。此外，也可以使用  $\text{TiO}_2$ 、 $\text{Al}_2\text{O}_3$  或  $\text{Y}_2\text{O}_3$  等金屬氧化物或者層積這些者。

接著，形成氧化物半導體層 4。氧化物半導體層 4，如前所述，藉由使用與薄膜相同組成的濺鍍靶之 DC 濺鍍法或 RF 濺鍍法來成膜為較佳。或者亦可藉由共濺鍍法來成膜。

濕式蝕刻氧化物半導體層 4 之後，進行圖案化。在本發明，於圖案化之後，為了改善氧化物半導體層 4 之膜質，例如進行溫度約  $250\sim 350^\circ\text{C}$ ，時間約 15~120 分鐘之熱處理（預退火）。藉此，電晶體特性之開電流及電場效果移動度會上升，提高電晶體性能。如後述的實施例所示，不進行此熱處理的話，判明了無法得到所要的電子載體濃度，無法確保良好的 TFT 特性。較佳的預退火條件，

為溫度：約 300~350℃，時間：約 60~120 分鐘。

預退火之後，形成源極·汲極電極 5。源極·汲極電極的種類沒有特別限定，可以使用被泛用者。例如與閘極電極同樣使用 Al 或 Cu 等金屬或合金亦可，如後述之實施例那樣使用純 Ti 亦可。進而可以使用金屬的層積構造等。

作為源極·汲極電極 5 的形成方法，例如可以藉由磁控管濺鍍法形成金屬薄膜後，藉由掀離 (lift-off) 法來形成。或者是，並非如前所述藉由掀離 (lift-off) 法形成電極，而是藉由濺鍍法預先形成特定的金屬薄膜之後，藉由圖案化形成電極的方法，在此方法，於電極的蝕刻時，會對氧化物半導體層導入損傷，所以電晶體特性會降低。對此，為了避免這樣的問題而在氧化物半導體層上預先形成保護膜之後，形成電極，進行圖案化的方法也被採用，在後述之實施例，採用了此方法。

其次，藉由 CVD (Chemical Vapor Deposition) 法在氧化物半導體層 4 之上形成保護膜 (絕緣膜) 6。氧化物半導體膜的表面，會因為 CVD 導致的電漿損傷而容易導通化 (推測應該是在氧化物半導體表面所產生的氧缺陷成為電子供給者的緣故)，所以為了避免前述問題，在後述之實施例，在形成保護膜之前進行 N<sub>2</sub>O 電漿照射。N<sub>2</sub>O 電漿照射的條件，採用下列文獻所記載的條件。

J. Park 等人，Appl. Phys. Lett., 1993, 053505(2008)

其次，透過接觸孔 7 把透明導電膜 8 導電連接至汲極

電極 5。透明導電膜及汲極電極的種類沒有特別限定，可以使用通常使用者。作為汲極電極，例如可以使用在前述之源極・汲極電極所例示者。

本專利申請案係根據 2011 年 3 月 9 日在日本提出申請之特願 2011-052179 號，及 2011 年 12 月 28 日在日本提出申請之特願 2011-289740 號申請案而主張優先權之利益。2011 年 3 月 9 日申請之日本特願 2011-052179 號，及 2011 年 12 月 28 日申請之特願 2011-289740 號申請案的說明書的所有內容，供本發明參考而援用。

#### [實施例]

以下，舉出實施例更具體說明本發明，但本發明並不受限於下列實施例，在適合前述／後述的要旨之範圍加上變更而實施，這些也都包含於本發明的技術範圍。

#### 實施例 1

根據前述方法，製作圖 1 所示之薄膜電晶體（TFT），評估其種種特性。

首先，於玻璃基板（康寧公司製造之 Eagle2000、直徑 100mm×厚度 0.7mm）上，作為閘極把 Mo 薄膜形成 100nm 之後，藉由光蝕刻及濕式蝕刻進行圖案化，於其上形成閘極絕緣膜 SiO<sub>2</sub>（250nm）。閘極電極使用純 Mo 之濺鍍靶，藉由 DC 濺鍍法，以成膜溫度：室溫，成膜功率：300W，載體氣體：Ar，氣壓：2mTorr 的條件進行了成

膜。此外，閘極絕緣膜，使用電漿 CVD 法，以載體氣體： $\text{SiH}_4$  與  $\text{N}_2$  之混合氣體，成膜功率：100W、成膜溫度：300°C 之條件進行成膜。

其次，把表 1 及表 2 所記載的種種組成之 IZTO 薄膜（表 1 之 No. 與表 2 之 No. 是對應的，組成相同），使用對應於前述表之組成的 IZTO 濺鍍靶，如表 2 所示改變氧分壓藉由濺鍍法來成膜。於這些表，No. 之後附上 A、B、C 者，是指 IZTO 的組成實質上相同，但是薄膜成膜時的氧分壓不同，「A」意味著氧分壓比 = 4%，「B」係氧分壓比 = 10%，「C」係氧分壓比 = 50%。例如，No.5A 與 No.5B，是指 [In] 相同，[Zn] 與 [Sn] 也約略相同，但 No.5A 氧分壓比為 4%，而 No.5B 則氧分壓比為 10% 下成膜者，所以即使是相同組成，濺鍍速率比， $V_{th}$  等特性有所不同。

於本實施例，使用於濺鍍的裝置為（股）ULVAC 製造之「CS-200」，濺鍍條件如下。

基板溫度：室溫

氣體壓：1mTorr

膜厚：40nm

使用的靶尺寸： $\phi$  4 英寸  $\times$  5mm

（濺鍍速率比：SR 之算出）

表 2 所示的種種 IZTO 薄膜的濺鍍速率（nm/min），係把下列濺鍍條件下成膜時的膜厚，除以成膜時間而算出

的。將此做為 SR1 (In-Zn-Sn)。

基板溫度：室溫

氣體壓：1mTorr

照射時間：1200 秒

濺鍍功率：DC200W

使用的靶尺寸： $\phi$  4 英寸  $\times$  5mm

為了比較，算出了 IGZO 薄膜的濺鍍速率 (nm/min)

。詳言之，係使用 In、Ga、以及 Zn 所構成的 In-Ga-Zn 濺鍍靶〔此處，濺鍍靶中的 In、Ga、及 Zn 的含量（原子%）滿足 1:1:1 之關係〕，除了使氧分壓為 4%（一定）以外，以與前述 IZTO 薄膜相同的濺鍍條件形成 IGZO 薄膜，所得到的 IGZO 薄膜的膜厚，除以成膜時間而算出。又，這樣進行所得到的 IGZO 薄膜中的 In、Ga、及 Zn 的含量（原子%）也滿足 1:1:1 的關係。將此做為 SR2 (In-Ga-Zn)。

算出如前所述得到的 SR1 (In-Zn-Sn) 對 SR2 (In-Ga-Zn) 之比（濺鍍速率比），將此做為表 2 之 No.1~13C 之 SR。這些結果顯示於表 2。

此外，金屬元素之分別的含量，藉由 XPS (X-ray Photoelectron Spectroscopy) 法分析。

（濕式蝕刻時之殘渣的有無之評估）

如前所述地進行而形成種種 IZTO 薄膜之後，藉由光蝕刻及濕式蝕刻進行了圖案化。作為蝕刻劑，使用關東化

學製造的「ITO-07N」（草酸與水之混合液），液溫為 40℃。濕式蝕刻後，藉由目視及光學顯微鏡觀察（倍率 50 倍）確認有無殘渣的發生。結果顯示於表 2。

其次，如前所述進行在圖案化 IZTO 薄膜之後，爲了提高膜質，在大氣中，350℃下 1 小時，於水蒸氣氛圍中進行了預退火處理。

其次，使用純 Mo，藉由掀離（lift-off）法形成源極·汲極電極。具體而言，使用光阻進行圖案化後，把 Mo 薄膜藉由 DC 濺鍍法來成膜（膜厚 100nm）。源極·汲極電極用 Mo 薄膜之成膜方法，與前述之閘極電極的場合相同。接著，浸漬於丙酮中，以超音波洗淨器除去不要的光阻，使 TFT 通道長爲 10 μm，通道寬幅爲 200 μm。

如此進行形成源極·汲極電極後，形成供保護氧化物半導體層之用的保護膜。作爲保護膜使用 SiO<sub>2</sub>（膜厚 114nm）與 SiN（膜厚 250nm）之層積膜（合計膜厚 364nm）。前述 SiO<sub>2</sub> 與 SiN 之形成，係使用 SAMCO（音譯）製造的「PD-220NL」，使用電漿 CVD 法來進行。在本實施例，藉由 N<sub>2</sub>O 氣體進行電漿處理之後，依序形成 SiO<sub>2</sub> 及 SiN 膜。於 SiO<sub>2</sub> 膜之形成使用 N<sub>2</sub>O 及 SiH<sub>4</sub> 之混合氣體，於 SiN 膜之形成使用 SiH<sub>4</sub>、N<sub>2</sub>、NH<sub>3</sub> 之混合氣體。任一場合都使成膜功率爲 100W，成膜溫度爲 150℃。

其次藉由光蝕刻，以及乾蝕刻，在保護膜形成了電晶體特性評估用之探測用的接觸孔。其次，使用 DC 濺鍍法，以載體氣體：氫氣及氧氣之混合氣體，成膜功率：

200W，氣壓：5mTorr 之條件形成 TIO 膜（膜厚 80nm），製作圖 1 之 TFT。

針對如此進行所得到的各 TFT，評估了以下的特性。

#### （1）電晶體特性的測定

電晶體特性（汲極電流-閘極電壓特性， $I_d-V_g$  特性）的測定使用了安捷倫科技（股）製造的「4156C」之半導體參數分析儀。詳細的測定條件如下。

源極電壓：0V

汲極電壓：10V

閘極電壓：-30~30V（測定間隔：0.25V）

#### （2）閾值電壓（ $V_{th}$ ）

所謂閾值電壓，大致說來，是電晶體由關狀態（汲極電流很低的狀態）移至開狀態（汲極電流高的狀態）時之閘極電壓之值。在本實施例，係以開電流與關電流之間之汲極電流在 1nA 附近時的電壓定義為閾值電壓，而測定各 TFT 之閾值電壓。在本實施例， $V_{th}$ （絕對值）在 17.5V 以下者為合格。這些結果顯示於表 2。又，表 2 中，所謂「-」意味著在評估的電壓範圍（-30V 至 30V 之間）不能開關（導體化了）。

此外，針對本發明例之一部分，把汲極電流-閘極電壓特性（ $I_d-V_g$  特性）之結果顯示於圖 4A（No.2）、圖 4B（No.7）、圖 4C（No.10）、圖 4D（No.5B）。此外，

針對未滿足本發明的要件之表 2 的 No.13A~13C，把汲極電流-閘極電壓特性（ $I_d$ - $V_g$  特性）之結果顯示於圖 5A（No.13A）、圖 5B（No.13B）、圖 5C（No.13C）。於這些圖，橫軸為  $I_d$ （A），縱軸為  $V_g$ （V）。測定進行了 2 次，於這些圖顯示兩次的結果。

於這些圖，滿足本發明的要件者如圖 4A~圖 4D 所示，在保護膜之成膜前，伴隨著閘極電壓  $V_g$  由 -30V 往 30V 變化，汲極電流  $I_d$  增加了  $10^8$  倍程度，得到良好的開關特性。對此，未滿足本發明的要件者，如圖 5A~圖 5C 所示，沒有得到良好的開關特性。詳言之，在氧分壓 4% 不進行開關（圖 5A），氧分壓 10% 下  $V_{th} = -28.5V$ （圖 5B），氧分壓 50% 下  $V_{th} = -23V$ （圖 5C），氧分壓越大，越有  $V_{th}$  降低的傾向，但依然無法得到所要的水準（ $V_{th}$  絕對值  $\leq 17.5V$ ）。

### （3）載體移動度（電場效果移動度）

爲了參考，使用下式，在飽和區域算出載體移動度（電場效果移動度）。

[數學式1]

$$I_d = \frac{1}{2} \mu_{FE} C_{OX} \frac{W}{L} (V_{gs} - V_{th})^2$$

$C_{ox}$ ：絕緣膜之電容

$W$ ：通道寬幅

$L$ ：通道長

$V_{th}$  : 閾值電壓

這些的結果併記於表 2。

[表1]

No.	備考	[In]	[Zn]	[Sn]	$\frac{[In]}{([In]+[Sn])}$	式(1)及(2)之左邊 之值 $\frac{[In]}{([In]+[Zn]+[Sn])}$	式(2)之右邊之 [Zn]/ ([Zn]+[Sn])之值	式(2)之左邊之值 [Zn]/ ([In]+[Zn]+[Sn])
1	(A)	0.117	0.386	0.497	0.191	0.117	0.437	0.386
2	(A)	0.123	0.532	0.345	0.263	0.123	0.607	0.532
3	(A)	0.176	0.447	0.377	0.318	0.176	0.542	0.447
4	(A)	0.231	0.338	0.431	0.349	0.231	0.440	0.338
5A	(A)	0.209	0.468	0.323	0.393	0.209	0.592	0.468
5B	(A)	0.209	0.467	0.324	0.392	0.209	0.590	0.467
6A	(A)	0.286	0.310	0.404	0.414	0.286	0.434	0.310
6B	(A)	0.286	0.307	0.407	0.413	0.286	0.430	0.307
7	(A)	0.211	0.523	0.266	0.442	0.211	0.663	0.523
8A	(A)	0.290	0.384	0.326	0.471	0.290	0.540	0.384
8B	(A)	0.290	0.384	0.326	0.471	0.290	0.541	0.384
9A	(A)	0.331	0.314	0.355	0.483	0.331	0.470	0.314
9B	(A)	0.331	0.312	0.357	0.481	0.331	0.466	0.312
10	(B)	0.242	0.534	0.224	0.519	0.242	0.704	0.534
11	(B)	0.293	0.438	0.269	0.521	0.293	0.620	0.438
12	(B)	0.240	0.584	0.176	0.577	0.240	0.768	0.584
13A	(B)	0.365	0.485	0.150	0.709	0.365	0.764	0.485
13B	(B)	0.365	0.485	0.150	0.709	0.365	0.764	0.485
13C	(B)	0.365	0.485	0.150	0.709	0.365	0.764	0.485

[表2]

No.	備考	式(1)及(2)之左邊之值 $\frac{[In]}{([In]+[Zn]+[Sn])}$	式(2)之右邊之值 $\frac{[Zn]}{([Zn]+[Sn])}$ 之值	式(3)之左邊之值 $\frac{[Zn]}{([In]+[Zn]+[Sn])}$	式(2)之右邊之值	式(2)之關係	式(1)之關係	Vth	濃縮速率比 (SR)	判定 1	式(3)之關係	残渣之有無	判定 2	氧分壓比 (%)	移動度 (cm <sup>2</sup> /s)
1	(A)	0.117	0.437	0.386	0.112	x	-	-22.25	1.31	x	o	無	o	4	12.35
2	(A)	0.123	0.607	0.532	0.349	o	-	-3.5	1.14	o	o	無	o	4	19.72
3	(A)	0.176	0.542	0.447	0.259	o	-	-11	1.19	o	o	無	o	4	18.96
4	(A)	0.231	0.440	0.338	0.116	x	-	-28.75	1.33	x	o	無	o	4	13.36
5A	(A)	0.209	0.592	0.468	0.329	o	-	-16	1.25	o	o	無	o	4	16.23
5B	(A)	0.209	0.590	0.467	0.326	o	-	-8	1.12	o	o	無	o	10	19.67
6A	(A)	0.286	0.434	0.310	0.108	x	-	-	1.28	x	o	無	o	4	-
6B	(A)	0.286	0.430	0.307	0.102	x	-	-28.25	1.25	x	o	無	o	10	11.89
7	(A)	0.211	0.663	0.523	0.428	o	-	-10.25	1.19	o	o	無	o	4	18.77
8A	(A)	0.290	0.540	0.384	0.256	x	-	-21	1.22	x	o	無	o	4	13.34
8B	(A)	0.290	0.541	0.384	0.257	x	-	-19.5	1.19	x	o	無	o	10	21.18
9A	(A)	0.331	0.470	0.314	0.158	x	-	-	1.34	x	o	無	o	4	-
9B	(A)	0.331	0.466	0.312	0.153	x	-	-	1.24	x	o	無	o	10	-
10	(B)	0.242	0.704	0.534	-	-	o	-5.25	1.05	o	o	無	o	4	29.29
11	(B)	0.293	0.620	0.438	-	-	o	-17.25	1.18	o	o	無	o	4	21.75
12	(B)	0.240	0.768	0.584	-	-	o	-3.25	1.09	o	o	無	o	4	21.66
13A	(B)	0.365	0.764	0.485	-	-	x	-	1.21	x	o	無	o	4	-
13B	(B)	0.365	0.764	0.485	-	-	x	-28.5	1.12	x	o	無	o	10	15.04
13C	(B)	0.365	0.764	0.485	-	-	x	-23.0	0.53	x	o	無	o	50	14.75

於表 2，在各 No.設有「備考欄」，滿足  $\frac{[In]}{([In] + [Sn])} \leq 0.5$  者為 (A)，滿足  $\frac{[In]}{([In] + [Sn])} > 0.5$  者為 (B)。在前述 (A) 之例，滿足式 (2)、(4) 者為本發明例，在前述 (B) 之例，滿足式 (1)、(3)、(4) 者為本發明例。在本實施例，所有之例滿足式 (4) 之關係。於前述 (A) 之例滿足式 (2) 的關係者於「式 (2) 之關係」一欄賦予「○」，不滿足式 (2) 的關係者賦予「x」。同樣地，於前述 (B) 之例滿足式 (1) 的關係者於「式 (1) 之關係」一欄賦予「○」，不滿足式 (1) 的關係者賦予「x」，同時滿足式 (3) 的關係者於「式 (3) 之關係」一欄賦予「○」，不滿足式 (3) 的關係者賦予「x」。又，在前述 (A) 之例，雖沒有滿足式 (3) 的關係之必要，但為了參考，在「式 (3) 之關係」一欄顯示前述判定結果。在本實施例，前述 (A) 之所有之例滿足式 (3) 之關係 (評價○)。

此外，於各特性分別設「判定 1」及「判定 2」之欄，滿足本實施例的合格基準者賦予○，不滿足本實施例的合格基準者賦予x。例如，濺鍍速率比 (SR) 之右邊的「判定 1」，因  $V_{th}$  (絕對值) 為 17.5V 以下，且 SR 為 1.0 以上者為○，這些之中有任一不合格者為x。同樣地，於殘渣發生的右邊之「判定」，對未發生殘渣者為○，發生者為x。

由表 2，可知滿足本發明的所有要件之 No.2、3、5A、5B、7 [以上，為前述 (A) 之例]、10~12 [以上，

爲前述 ( B ) 之例 ) ，因爲滿足本發明的要件，所以濺鍍速率比很高，閾值電壓的絕對值也低 TFT 特性優異，且濕式蝕刻時沒有發生殘渣。

對此，在下列例，沒有滿足本發明的某個要件，所以無法得到所要的特性。

首先針對前述 ( A ) 之例，No.1、4、6A、6B、8A、8B、9A、9B，滿足式 ( 3 ) 的關係所以濺鍍速率比高，濕式蝕刻時也不會發生殘渣，但是不滿足式 ( 2 ) 之關係所以閾值電壓的絕對值變高，TFT 特性很低。

此外針對前述 ( B ) 之例，No.13A~13C，滿足式 ( 3 ) 的關係所以濺鍍速率比高，濕式蝕刻時也不會發生殘渣，但是不滿足式 ( 1 ) 之關係所以閾值電壓的絕對值變高，TFT 特性很低。

又，雖在前述表沒有顯示，但不滿足式 ( 3 ) 的關係者，在濕式蝕刻時會產生殘渣。亦即，針對滿足下述組成者 [ 前述 ( B ) 之例 ] ，與前述同樣進行而調查濕式蝕刻時有無殘渣，發現因爲不滿足式 ( 3 ) ，觀察到殘渣的發生。

[ In ] = 0.09、[ Zn ] = 0.85、[ Sn ] = 0.06、

In 比 = 0.6、全金屬元素中之 In 比 = 0.09、Zn 比 = 0.934、

全金屬元素中之 Zn 比 = 0.85

與前述同樣，針對前述 ( A ) 之例，不滿足式 ( 3 ) 的關係者，在濕式蝕刻時會產生殘渣 ( 顯示於表 ) 。

進而由前述結果，確認了濺鍍時氧分壓越高，濺鍍速率會降低。亦即，如前所述，表之 No.5A 與 No.5B；No.6A 與 No.6B；No.8A 與 No.8B；No.9A 與 No.9B；No.13A 與 No.13B 與 No.13C 均是 IZTO 的組成約略相同，而改變濺鍍時之氧分壓比而成膜之例，雖著氧分壓比變大（A→B→C），不管 IZTO 的組成為何，都可見到濺鍍速率比變小的傾向。

圖 3 係顯示濺鍍時之氧分壓對濺鍍速率所造成的影響之圖。詳言之，圖 3，係使用表 1 及表 2 之 No.1、4、9 之組成者，如表 3 所示使氧分壓在 3~50% 之範圍內進行種種變化以外，其他與前述方法同樣地進行實驗，調查濺鍍速率比的結果。爲了參考，於表 3 也顯示濺鍍速率的結果。又，於圖 3，氧分壓不以 % 表示而以流量比來表示。

[表3]

表2之No.	氧分壓比 (%)	濺鍍速率比 (SR)
4	3	1.28
1	4	1.31
4	4	1.33
9	4	1.34
9	6	1.33
1	6	1.31
1	8	1.28
9	8	1.35
4	8	1.3
4	12	1.27
4	16	1.15
9	30	0.8
9	40	0.72
9	50	0.61

如圖 3 所示，可知氧分壓的上限大致在 18% 附近之低氧分壓區域，濺鍍速率幾乎不會改變，但在氧分壓超過約 18% 程度起，濺鍍速率會急遽降低。亦即，可知為了確保所要的高的濺鍍速率，成膜時的氧分壓以減低至約 18% 以下為較佳。

由前述一連串的結果，使用滿足在本發明所規定的所有要件之表 2 的 No.2、3、5、7、10~12 之組成之 In-Zn-Sn 系氧化物半導體的話，可以確認閾值電壓很高，濕式蝕刻時的蝕刻特性，濺鍍時的濺鍍速率優異，且具有從前的 IGZO（移動度 7）之 2 倍以上的高移動度，具有良好的 TFT 特性。亦即，藉由本發明，可以提供 TFT 特性很

高，且製造效率或濕式蝕刻時的圖案化性能優異，而且生產率也良好的氧化物半導體。

又，表 2 之 No.13A~13C〔In 比 > 0.5 之前述 (B) 之例〕係模擬前述專利文獻 2 所記載的組成之 IZTO，改變氧分壓而進行實驗者。在前述組成之 IZTO，如圖 5A~圖 5C 所示可知不提高氧分壓的話 TFT 特性不會提高。詳言之，在氧分壓 4% 不開關，氧分壓 10% 下  $V_{th} = -28.5V$ ，50% 下  $V_{th} = -23V$ ，進而氧分壓越大， $V_{th}$  越接近 0，可知 TFT 特性逐漸改善。然而，氧分壓增高的話，如表 2 所示 SR 變小，可知在 In 比高的高 In 區域，使用前述專利文獻 2 的技術的話，無法兼顧 TFT 特性與濺鍍速率。前述 IZTO 為前述 (B) 之例，調查在本發明所規定的式 (1) 的關係時，如表 2 所式，由於為滿足前述 (1) 之關係，所以由前述結果也確認了本發明規定的前述式 (1)，是兼顧良好的 TFT 特性與高濺鍍速率的有用的要件。

## 實施例 2

在本實施例，改變藉由濺鍍法成膜氧化物時之濺鍍時間，以及氧化物成膜後之預退火條件而製作了種種的試樣 (表 4 之 A1~A7)，調查其與氧化物半導體層的電子載體濃度與 TFT 特性 (閾值電壓  $V_{th}$ ) 之關係。此處，使用前述表 1 之 No.7 之 IZTO 薄膜 (滿足本發明之組成者)，製作圖 6 所試之評估試樣而測定電子載體濃度。進而，以與該試樣相同膜厚及相同的熱處理條件製作圖 1 所示的

TFT，與實施例 1 同樣對待而測定閾值電壓  $V_{th}$ 。

(1) 電子載體濃度測定用試樣之製作及評估

首先，以與前述實施例 1 所記載之濺鍍法相同的條件，製作合計 6 個與表 1 的 No.6 相同組成的 IZTO 薄膜（膜厚 40nm）之試樣（A2~A7）（濺鍍時間大約為 220 秒）。爲了比較，改變濺鍍時間，製作 1 個膜厚 500nm 之 IZTO 薄膜試樣（A1）（濺鍍時間大約為 2700 秒）。

其次，如前所述進行在形成 IZTO 薄膜之後，爲了提高膜質，在大氣中，於水蒸氣氛圍中進行了預退火處理。此時之各試樣的熱處理溫度及時間如以下所述。爲了比較，在前述 A3，未進行預退火處理。

預退火條件：

No.A1（膜厚 500nm、溫度：350℃、時間：30 分鐘）

No.A2（膜厚 40nm、溫度：350℃、時間：30 分鐘）

No.A3（膜厚 40nm、未進行熱處理）

No.A4（膜厚 40nm、溫度：350℃、時間：120 分鐘）

No.A5（膜厚 40nm、溫度：400℃、時間：30 分鐘）

No.A6（膜厚 40nm、溫度：400℃、時間：120 分鐘）

No.A7（膜厚 40nm、溫度：380℃、時間：30 分鐘）

其次，使用純 Au，藉由濺鍍法形成電極。使用於濺鍍的裝置為（股）ULVAC 製造之「CS-200」，藉由遮罩濺鍍將電極圖案化。如此進行形成了純 Au 電極之後，分割而分別得到圖 6 所示之 Hall 效果測定用試樣（供評估氧化物半導體層的電子載體濃度之用的評估用試樣）。

使用如此進行而得到的各 Hall 效果測定用試樣，在室溫下進行 Hall 效果測定（vanderPauw 法），評估了電子載體濃度。

## （2）TFT 之製作

爲了調查電子載體濃度與 TFT 特性之關係，以與前述圖 6 之 Hall 效果測定用試樣相同的膜厚及相同的熱處理條件，分別製作圖 7 所示的 TFT，與實施例 1 同樣對待而評估了閾值電壓  $V_{th}$ 。圖 7 所示的 TFT，與使用於前述實施例 1 的圖 1 之 TFT，僅在圖 7 於氧化物半導體層之上被形成表面保護膜這一點有所不同（於圖 1，氧化物半導體層 4 之上沒有表面保護膜）。氧化物半導體層，容易因成膜時的加熱處理等而受到損傷，導致 TFT 特性降低，所以通常會爲了保護氧化物半導體層的表面而形成  $SiO_2$  等之表面保護膜。

首先，與前述之實施例 1 同樣進行於玻璃基板（康寧公司製造之 Eagle2000、直徑 100mm 厚度 0.7mm）上，依序形成作爲閘極之 Mo 薄膜 100nm，以及閘極絕緣膜  $SiO_2$

( 250nm ) 。

其次，與前述 ( 1 ) 之評估試樣同樣的濺鍍條件及預退火條件進行處理，分別形成表 2 所記載的 No.A1~A7 之 IZTO 薄膜。

其次，如以下所述進行，形成供保護前述 IZTO 薄膜 ( 氧化物半導體層 ) 的表面之用的表面保護膜 (  $\text{SiO}_2$ ，膜厚 100nm )。於前述  $\text{SiO}_2$  膜之形成，係使用 SAMCO ( 音譯 ) 製造的「PD-220NL」，使用電漿 CVD 法來進行。在本實施例，使用  $\text{N}_2\text{O}$  及  $\text{SiH}_4$  之混合氣體，成膜功率為 100W，成膜溫度為 200℃。如此進行所形成的表面保護膜，爲了取得半導體層與源極、汲極電極之接觸，藉由光蝕刻以及乾蝕刻，進行了電極形成用之圖案化。

其次，與前述實施例 1 同樣進行，形成純 Mo 之源極、汲極電極之後，使 TFT 通道長為 10  $\mu\text{m}$ ，通道寬幅為 25  $\mu\text{m}$ ，形成供保護氧化物半導體層之用的保護膜 [  $\text{SiO}_2$  ( 膜厚 114nm ) 與  $\text{SiN}$  ( 膜厚 250nm ) 之層積膜 ( 合計膜厚 364nm ) ]。其後，與前述實施例 1 同樣進行，於保護膜形成電晶體特性評估用探針之用的接觸孔，及 ITO 膜，製作圖 7 之 TFT。

針對如此進行所得到的各 TFT，與實施例 1 同樣進行評估了閾值電壓  $V_{th}$ 。

這些的結果併記於表 4。於表 4 設判定之欄，滿足相對於本發明的氧化物半導體層之電子載體濃度的範圍 (  $10^{15} \sim 10^{18} \text{cm}^{-3}$  ) 者賦予「○」，未滿足者賦予「×」。

[表4]

No.	載體濃度 ( $\text{cm}^{-3}$ )	Vth(V)	判定
A1	4.09E+18	-30以下	×
A2	2.29E+16	2	○
A3	1.0E+13以下 (無法測定)	30以上	×
A4	5.97E+17	2.5	○
A5	6.76E+17	3	○
A6	6.32E+17	3.25	○
A7	6.22E+17	3.25	○

如表 4 所示，可知隨著電子載體濃度不同閾值電壓 Vth 也會改變，而電子載體濃度滿足本發明的要件之 No.A2、A4~A7（電子載體濃度之判定 = ○），其 Vth（絕對值）均在 17.5V 以下，滿足本發明的合格基準。亦即，確認了電子載體濃度滿足本發明的要件者，Vth 的絕對值很小，TFT 特性優異。

對此，即使滿足本發明之組成，使用氧化物的膜厚很厚（500nm）的氧化物之 No.A1，或是即使氧化物的膜厚適切但未進行氧化物成膜後的預退火條件之 No.A3，電子載體濃度都不在本發明的範圍內，Vth 的絕對值大幅上升，TFT 特性降低。

又，在本實施例，使用表 1 之 No.7 的組成者，如前所述改變製程條件而進行了實驗，但氧化物半導體層的電子載體濃度與 TFT 特性（閾值電壓 Vth）的關係，不限於

前述組成者，藉由實驗確認了在使用滿足本發明的組成的氧化物的場合，可以見到同樣的傾向。

### 【圖式簡單說明】

圖 1 係供說明具備氧化物半導體之薄膜電晶體之概略剖面圖。

圖 2 係顯示滿足在本發明規定之式的範圍之區域圖，斜線方向往右上方之斜線區域（圖 2 之左下區域）為 In 比為 0.5 以下時之本發明的範圍〔滿足式（2）、（4）之範圍〕，斜線方向往右下的斜線區域（圖 2 之右上區域）為 In 比超過 0.5 時之本發明的範圍〔滿足式（1）、（3）、（4）之範圍〕。

圖 3 係顯示氧分壓比與濺鍍速率比（SR）之關係之圖（Zn 比 = 0.5）。

圖 4A 係針對實施例 1 之 No.2，顯示 TFT 特性的結果之圖。

圖 4B 係針對實施例 1 之 No.7，顯示 TFT 特性的結果之圖。

圖 4C 係針對實施例 1 之 No.10，顯示 TFT 特性的結果之圖。

圖 4D 係針對實施例 1 之 No.5B，顯示 TFT 特性的結果之圖。

圖 5A 係針對實施例 1 之 No.13A，顯示 TFT 特性的結果之圖。

圖 5B 係針對實施例 1 之 No.13B，顯示 TFT 特性的結果之圖。

圖 5C 係針對實施例 1 之 No.13C，顯示 TFT 特性的結果之圖。

圖 6 係於實施例 2，顯示氧化物半導體層之電子載體濃度評估用試料之俯視圖。

圖 7 係在實施例 2 使用的具備氧化物半導體之薄膜電晶體之概略剖面圖。

#### 【主要元件符號說明】

- 1：基板
- 2：閘極電極
- 3：閘極絕緣膜
- 4：氧化物半導體層
- 5：源極・汲極電極
- 6：保護膜（絕緣膜）
- 7：接觸孔
- 8：透明導電膜

103年10月31日修(更)正表

空白頁

### 七、申請專利範圍：

1. 一種銦鋅錫系氧化物，係使用於薄膜電晶體之半導體層，至少包含銦、鋅、及錫之銦鋅錫系氧化物，其特徵為：前述銦鋅錫系氧化物所含有的金屬元素的含量（原子百分比）分別為〔Zn〕、〔Sn〕、及〔In〕時，

(A)  $\frac{〔In〕}{〔In〕 + 〔Sn〕} \leq 0.5$  時，滿足以下式(2)、(4)、(5)之使用於薄膜電晶體的半導體層之銦鋅錫系氧化物：

$$\frac{〔In〕}{〔In〕 + 〔Zn〕 + 〔Sn〕} \leq 1.4 \times \left\{ \frac{〔Zn〕}{〔Zn〕 + 〔Sn〕} \right\} - 0.5 \dots (2)$$

$$0.209 \leq \frac{〔In〕}{〔In〕 + 〔Zn〕 + 〔Sn〕} \dots (4)$$

$$0.323 \leq \frac{〔Sn〕}{〔In〕 + 〔Zn〕 + 〔Sn〕} \dots (5)$$

2. 如申請專利範圍第 1 項之銦鋅錫系氧化物，其中係藉由濺鍍法，把氧分壓控制在 18% 以下而成膜者。

3. 如申請專利範圍第 1 項之銦鋅錫系氧化物，其中前述銦鋅錫系氧化物的膜厚為 30nm 以上，200nm 以下。

4. 一種薄膜電晶體之半導體層，其特徵為具備：申請專利範圍第 1~3 項之任一項之銦鋅錫系氧化物，前述半導體層之電子載體濃度在  $10^{15} \sim 10^{18} \text{cm}^{-3}$  之範圍。

5. 如申請專利範圍第 4 項之薄膜電晶體之半導體層，其中前述半導體層，係將申請專利範圍第 1~3 項之任一項之銦鋅錫系氧化物，在  $250 \sim 350^\circ\text{C}$ ，加熱處理 15~120 分鐘而得者。

6. 一種薄膜電晶體，其特徵為具備申請專利範圍第 1~3 項之任一項之銦鋅錫系氧化物作為薄膜電晶體之半導

體層。

7. 一種顯示裝置，其特徵為具備申請專利範圍第 6 項之薄膜電晶體。

8. 一種銦鋅錫系氧化物濺鍍靶，係至少包含銦、鋅、及錫之銦鋅錫系氧化物濺鍍靶，其特徵為：前述銦鋅錫系氧化物濺鍍靶所含有的金屬元素的含量（原子百分比）分別為 [ Zn ] 、 [ Sn ] 、及 [ In ] 時，

( A ) [ In ] / ( [ In ] + [ Sn ] )  $\leq$  0.5 時，滿足以下式 ( 2 ) 、 ( 4 ) 、 ( 5 ) ，

$$\frac{[In]}{[In] + [Zn] + [Sn]} \leq 1.4 \times \left\{ \frac{[Zn]}{[Zn] + [Sn]} \right\} - 0.5 \dots (2)$$

$$0.209 \leq \frac{[In]}{[In] + [Zn] + [Sn]} \dots (4)$$

$$0.323 \leq \frac{[Sn]}{[In] + [Zn] + [Sn]} \dots (5)$$

圖1

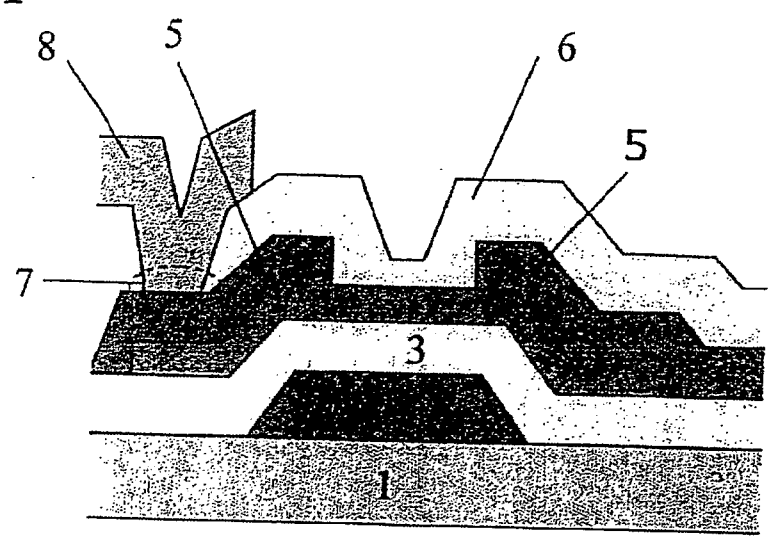


圖2

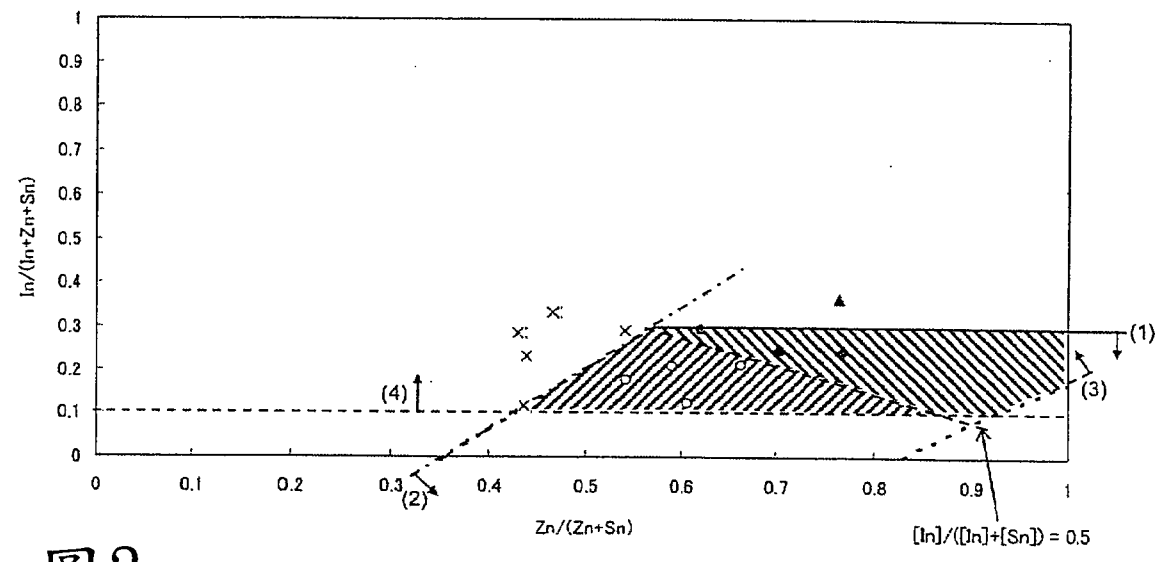


圖3

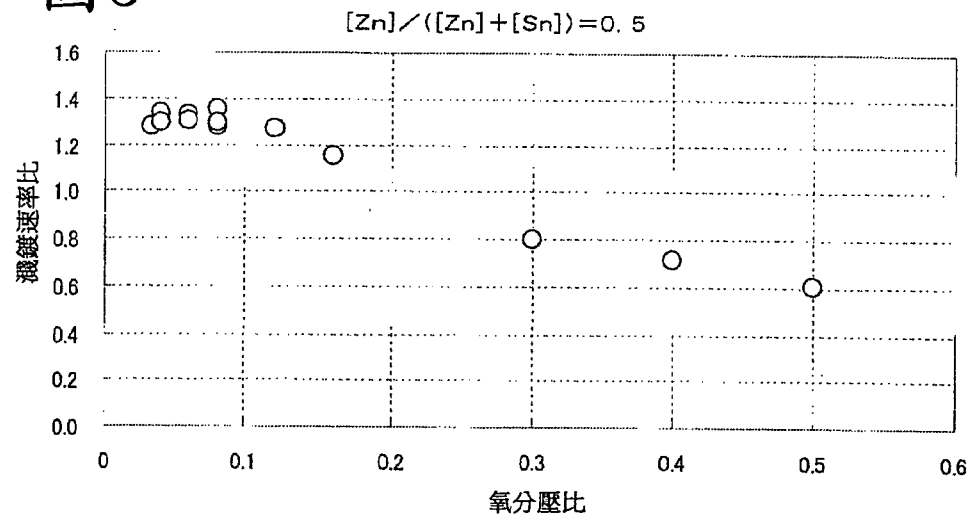


圖 4A

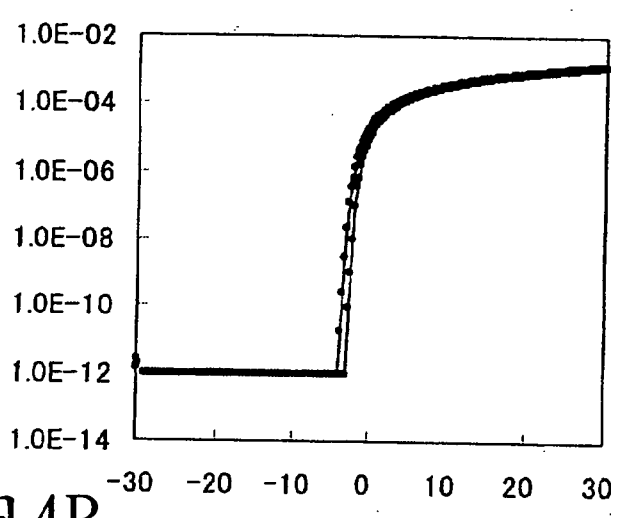


圖 4B

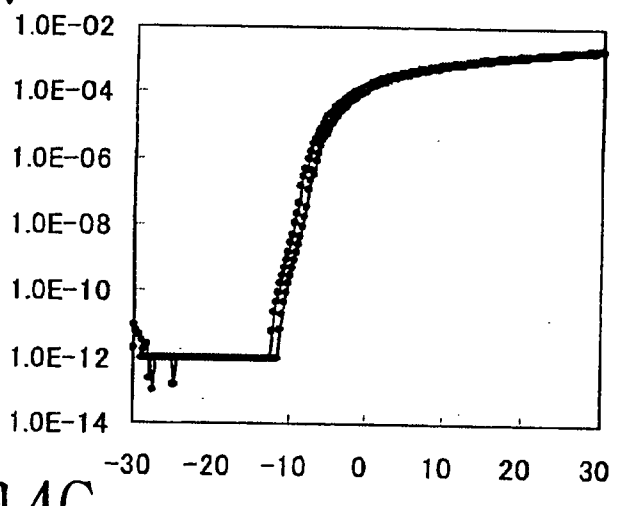


圖 4C

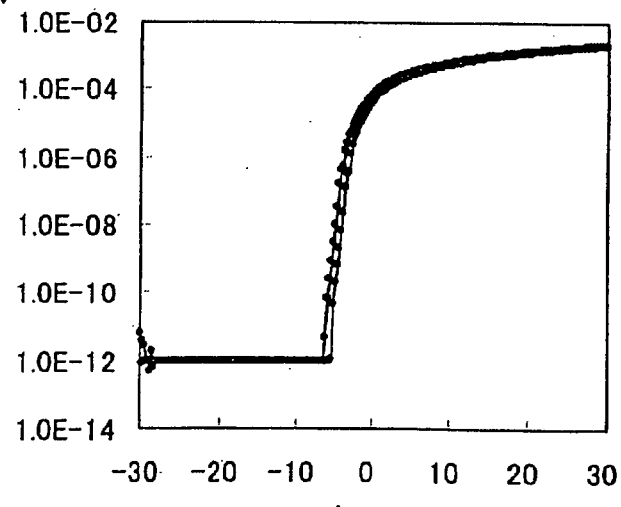


圖 4D

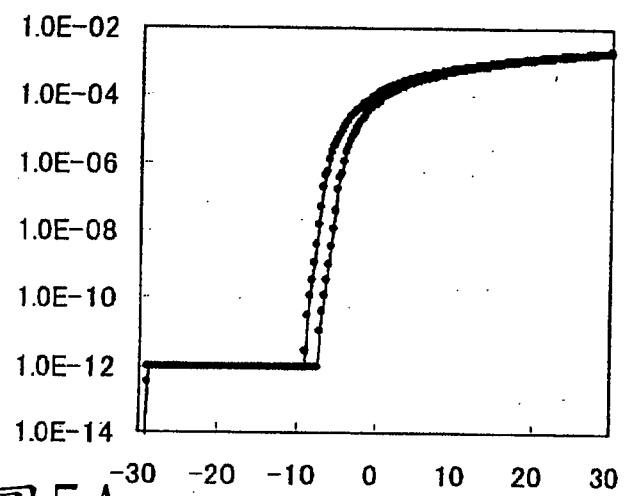


圖 5A

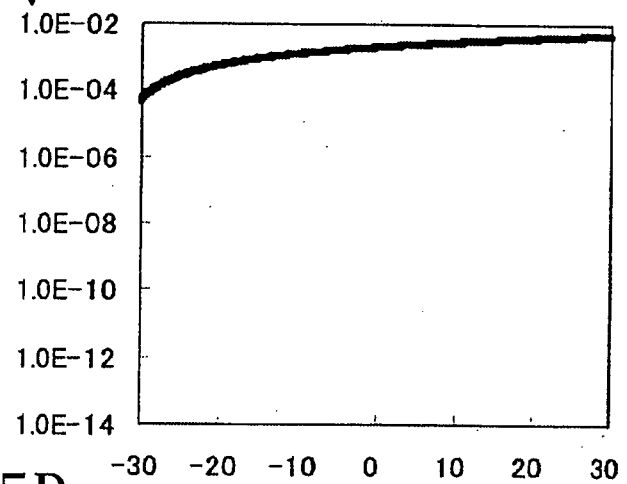


圖 5B

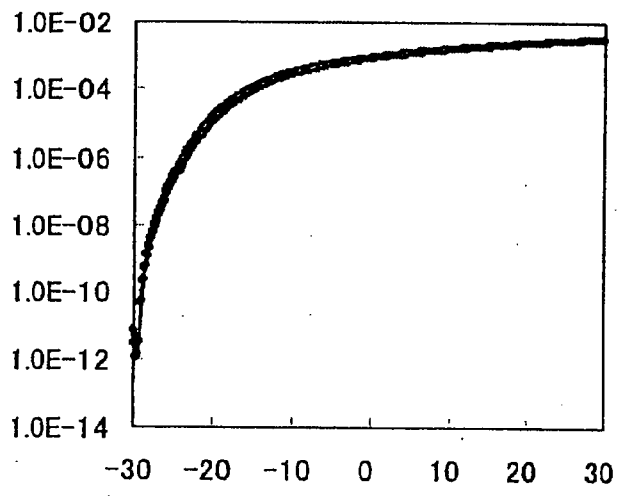


圖 5C

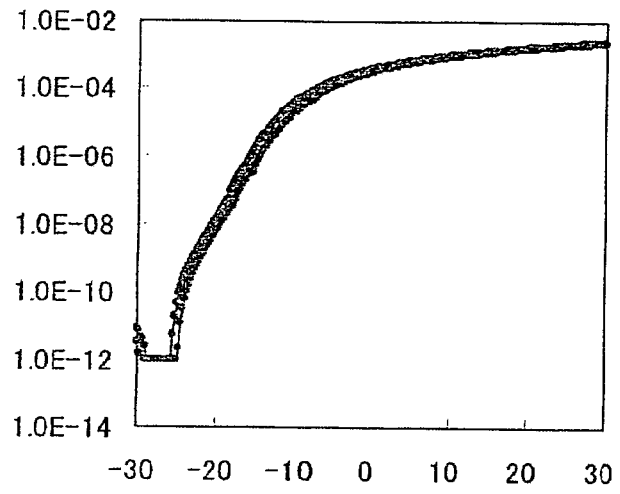


圖 6

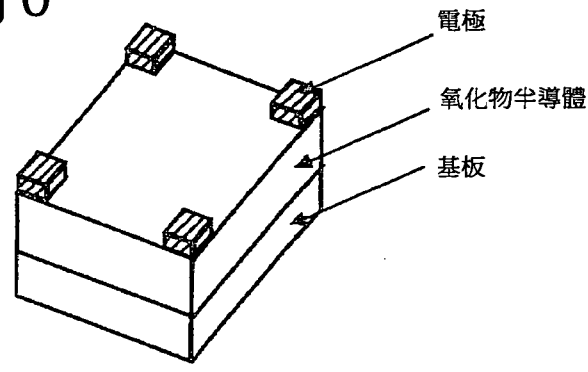


圖 7

