

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 23/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년06월13일 10-0587851 2006년06월01일
---------------------------------------	-------------------------------------	--

(21) 출원번호	10-2000-0060548	(65) 공개번호	10-2001-0067329
(22) 출원일자	2000년10월14일	(43) 공개일자	2001년07월12일

(30) 우선권주장 99-338657 1999년11월29일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치세이사쿠쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

가부시키가이샤 히타치초에루. 에스. 아이. 시스템즈
일본국 도요쿄오도 코다이라시쥬 슌이혼초 5초메 22반 1고

(72) 발명자 와다쯔토무
일본국도쿄토코다이라시쥬스슌이혼초5초메22반1고가부시키가이샤히타
치초에루.에스.아이.시스템즈나이

마스다마사치카
일본국도쿄토치요다쿠마루노우치1초메5반1고신마루비루가부시키가이
샤히타치세이사쿠쇼치테키쇼유켄혼부나이

(74) 대리인 특허법인 원진

심사관 : 김성희

(54) 반도체 장치의 제조방법

요약

배선기판 상에 탑재한 복수의 반도체 칩을 수지밀봉한 후, 배선기판을 분할하는 것에 의해 복수의 수지밀봉형 반도체 장치를 제조할 때, 개개의 수지밀봉형 반도체 장치가 원래의 배선기판의 어느 위치에 있는지를 배선기판의 분할 후에 있어서도 용이하게 식별할 수 있는 기술이 개시된다.

구체적으로는, 매트릭스 기판(1B)에 탑재한 복수의 반도체 칩을 일괄하여 수지밀봉한 후, 매트릭스 기판(1B)을 복수의 각각의 조각(個片)으로 분할함으로써 복수의 수지밀봉형 반도체 장치를 얻는 공정을 포함하고, 매트릭스 기판(1B)을 복수의 각각의 조각으로 분할하는 공정에 앞서, 수지밀봉형 반도체 장치의 각각에 어드레스정보 패턴(8)을 부여하는 공정을 가진다.

대표도

도 7

색인어

배선기판, 수지밀봉형 반도체 장치, 매트릭스 기판, 어드레스정보 패턴

명세서

도면의 간단한 설명

도 1은 본 발명의 실시의 형태 1인 수지밀봉형 반도체 장치의 제조에 이용하는 매트릭스 기판(상면)의 일부 확대 평면도,
 도 2는 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조에 이용하는 매트릭스 기판(하면)의 일부 확대 평면도,
 도 3(a)는 수지밀봉형 반도체 장치 한개분의 영역을 나타내는 매트릭스 기판(상면)의 확대 평면도, 도 3(b)는 같은 매트릭스의 하면의 확대 평면도,
 도 4는 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조에 이용하는 매트릭스 기판(하면)의 일부 확대 평면도,
 도 5는 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조에 이용하는 매트릭스 기판 일부 확대 단면도,
 도 6은 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조방법을 나타내는 매트릭스 기판(상면)의 평면도,
 도 7은 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조방법을 나타내는 매트릭스 기판(하면)의 평면도,
 도 8은 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조방법을 나타내는 매트릭스 기판의 평면도 및 개략 단면도,
 도 9는 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조방법을 나타내는 매트릭스 기판의 평면도 및 개략 단면도,
 도 10은 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조방법을 나타내는 매트릭스 기판의 평면도 및 개략 단면도,
 도 11은 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조방법을 나타내는 몰드금형의 개략 단면도,
 도 12는 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조방법을 나타내는 매트릭스 기판(상면)의 평면도,
 도 13은 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조방법을 나타내는 매트릭스 기판의 평면도 및 개략 단면도,
 도 14는 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조방법을 나타내는 매트릭스 기판의 개략 단면도,
 도 15는 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조방법을 나타내는 매트릭스 기판(하면)의 평면도,
 도 16(a)는 수지밀봉형 반도체 장치의 평면도, 도 16(b)는 수지밀봉형 반도체 장치의 개략 단면도,
 도 17은 본 발명의 실시형태 1인 수지밀봉형 반도체 장치의 제조방법을 나타내는 흐름도,
 도 18은 본 발명의 수지밀봉형 반도체 장치를 조립한 전자기기의 일예를 나타내는 기능 블럭도,
 도 19는 본 발명의 실시형태 2인 수지밀봉형 반도체 장치의 제조에 이용하는 매트릭스 기판(하면)의 일부 확대 평면도,
 도 20은 본 발명의 실시형태 2인 수지밀봉형 반도체 장치의 제조방법을 나타내는 매트릭스 기판의 평면도 및 개략 단면도,
 도 21(a)는 수지밀봉형 반도체 장치의 평면도, 도 21(b)는 수지밀봉형 반도체 장치의 개략 단면도,
 도 22는 본 발명의 실시형태 2인 수지밀봉형 반도체 장치의 제조방법을 나타내는 흐름도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조기술에 관한 것으로서, 특히 배선기판상에 탑재한 복수의 반도체 칩을 일괄 몰드한 후, 배선기판을 분할하는 것에 의해 복수의 수지밀봉형 반도체 장치를 얻는 반도체 장치의 제조에 적용하여 유효한 기술에 관한 것이다.

일본 특개평11-214588호 공보에는 TAB테이프에 복수의 반도체 칩을 탑재하여 수지밀봉한 후, 수지 및 TAB테이프를 절단하여 개개로 잘라냄으로써 의해 복수의 수지밀봉형 반도체 장치를 제조하는 방법이 기재되어 있다.

또, 상기 공보에는 수지 및 TAB테이프의 절단위치가 어긋나는 것을 방지하는 대책으로서, TAB테이프의 랜드부 외주에 형성된 동(銅)배선의 일부를 이용하여 그 동배선에서 광을 반사시킴으로써 절단위치를 표시하고, 그 위치를 정확하게 인식하는 기술을 개시하고 있다.

발명이 이루고자 하는 기술적 과제

본 발명자는 배선기판 상에 매트릭스 형상으로 탑재한 복수의 반도체 칩을 일괄하여 수지밀봉한 후, 이 배선기판을 분할함으로써 복수의 수지밀봉형 반도체 장치를 제조하는 기술을 개발중이다.

이와 같은 제조방법을 채용하는 경우, 제조프로세스에 기인하는 제품의 불량해석이나 불량발생개소의 특징을 신속하게 행하기 위해서는 완성품으로 된 개개의 수지밀봉형 반도체 장치가 원래의 배선기판의 어느 위치에 있는지를 배선기판의 분할후에 있어서도, 용이하게 식별할 수 있도록 해둘 필요가 있다.

그 방법으로서, 예컨대 반도체 칩의 수지밀봉에 이용되는 몰드금형의 인젝터핀 등에 어드레스 정보를 각인(刻印)하고, 배선기판 상에 탑재한 복수의 반도체 칩을 일괄하여 수지밀봉할 때, 수지밀봉형 반도체 장치의 한개분의 영역의 각각에 다른 패턴의 어드레스정보가 주어지도록 해두는 것이 고려된다.

그러나, 상기의 방법은 제품의 종류마다 다른 패턴의 어드레스정보를 몰드 금형에 각인하지 않으면 안된다고 하는 번잡이 있으며, 의뢰(依頼)메이커의 표준 사양(기존)의 금형을 사용하는 경우에는 적용할 수 없다.

본 발명의 목적은 배선기판 상에 탑재한 복수의 반도체 칩을 수지밀봉한 후, 배선기판을 분할하는 것에 의해 복수의 수지밀봉형 반도체 장치를 제조할 때, 개개의 수지밀봉형 반도체 장치가 원래의 배선기판의 어느 위치에 있는지를 배선기판의 분할 후에 있어서도 용이하게 식별할 수 있도록 하는 기술을 제공하는 것에 있다.

본 발명의 상기 및 그외의 목적과 신규한 특징은, 본 명세서의 기술 및 첨부도면으로부터 명백하게 될 것이다.

발명의 구성 및 작용

본원에서 개시되는 발명 중, 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

본 발명의 반도체 장치의 제조방법은, 배선기판에 탑재한 복수의 반도체 칩을 일괄하여 수지에 의해 밀봉한 후, 상기 배선기판을 복수의 각각의 조각(個片)으로 분할하는 것에 의해 복수의 수지밀봉형 반도체 장치를 얻는 공정을 포함하며, 상기 배선기판을 복수의 각각의 조각으로 분할하는 공정에 앞서, 상기 복수의 수지밀봉형 반도체 장치의 각각에 어드레스정보를 부여하는 것이다.

본 발명의 반도체 장치의 제조방법은, 배선기판에 탑재한 복수의 반도체 칩을 일괄하여 수지에 의해 밀봉한 후, 상기 배선기판을 복수의 각각의 조각으로 분할하는 것에 의해 복수의 수지밀봉형 반도체 장치를 얻는 공정을 포함하고, 상기 배선기판을 복수의 각각의 조각으로 분할하는 공정에 앞서, 상기 배선기판의 일부에 상기 복수의 수지밀봉형 반도체 장치의 각각의 어드레스정보를 부여하는 것이다.

본 발명의 반도체 장치의 제조방법은, 배선기판 상에 탑재한 복수의 반도체 칩을 일괄하여 수지에 의해 밀봉한 후, 상기 배선기판을 복수의 각각의 조각으로 분할하는 것에 의해 복수의 수지밀봉형 반도체 장치를 얻는 공정을 포함하고, 상기 복수의 반도체 칩을 일괄하여 수지에 의해 밀봉한 후, 상기 배선기판을 복수의 각각의 조각으로 분할하는 공정에 앞서, 상기 복수의 수지밀봉형 반도체 장치의 각각에 대응하는 상기 수지의 일부에 어드레스정보를 부여하는 것이다.

본 발명의 반도체 장치의 제조방법은, 배선기판에 탑재한 복수의 반도체 칩을 복수의 블럭으로 분할하여 수지에 의해 밀봉한 후, 상기 블럭의 각각을 복수의 각각의 조각으로 분할하는 것에 의해 복수의 수지밀봉형 반도체 장치를 얻는 공정을 포함하고 있다.

이하, 본 발명의 실시의 형태를 도면에 기초하여 상세하게 설명한다. 또한, 실시의 형태를 설명하기 위한 전 도면에 있어서 동일한 부재에는 동일한 부호를 붙이고, 그 반복되는 설명은 생략한다.

(실시의 형태 1)

도 1, 도 2는 본 실시 형태의 수지밀봉형 반도체 장치의 제조에 이용하는 매트릭스 기판의 일부를 확대하여 나타내는 도면이고, 도 1은 그 칩탑재면(상면), 도 2는 실장면(하면)을 각각 나타내고 있다.

매트릭스 기판(1A)은 예컨대 종×횡 = 500mm×500mm, 두께 0.22mm~0.6mm 정도의 얇은 수지제의 배선기판으로 이루어지고, 그 상면에는 후술하는 펠릿부착공정에서 복수의 반도체 칩이 종방향 및 횡방향을 따라 매트릭스 형상으로 탑재된다. 이 매트릭스 기판(1A)은 주지의 배선기판재료, 예컨대 유리·에폭시수지, BT수지, 폴리이미드 수지등으로 구성되지만, 특히 유리·에폭시수지와 같은 저렴한 배선기판재료로 구성함으로써, 수지밀봉형 반도체 장치의 제조원가를 억제할 수 있다. 매트릭스 기판(1A)은 예컨대 플렉시블기판(FPC)과 같은 가요성(可撓性)을 가지는 배선기판으로 구성할 수도 있다.

도 1에 나타내는 바와 같이, 매트릭스 기판(1A)의 상면에는 복수의 패드(2), 후술하는 펠릿부착공정에서 반도체 칩을 매트릭스 기판(1A)에 탑재할 때의 위치결정가이드로 되는 얼라이언트타겟(3), 상기 패드(2)와 전기적으로 접속된 도시하지 않은 배선 등이 형성되어 있다.

도 2에 나타내는 바와 같이 매트릭스 기판(1A)의 하면에는 후술하는 불부착공정에서 뿔납범프가 접속되는 복수의 패드(4) 및 그들과 일체로 형성된 배선(5), 뿔납범프를 패드(4)에 접속할 때의 위치결정 가이드로 되는 얼라이언트타겟(6), 수지밀봉형 반도체 장치를 실장기판에 실장할 때의 방향을 나타내는 인덱스패턴(7), 수지밀봉형 반도체 장치의 어드레스정보를 나타내는 어드레스정보 패턴(8)등이 형성되어 있다.

도 3(a)는 도 1의 일점쇄선으로 둘러싸인 직사각형의 영역, 즉 수지밀봉형 반도체 장치 한개분의 영역을 나타내는 매트릭스 기판(1A)의 상면의 확대도이고, 그 치수는 예컨대 종×횡 = 6.4 ~ 6.6mm×6.4 ~ 6.6mm정도이다. 매트릭스 기판(1A)의 상면의 패드(2), 얼라이언트타겟(3) 및 도시하지 않은 배선은 매트릭스 기판(1A)의 상면에 첩부된 두께 20 μ m 정도의 전해(電解)동박(銅箔)(또는 압연(壓延)동박)을 에칭하는 것에 의해 형성된다. 패드(2) 및 얼라이언트타겟(3)은 도 3(a)에 나타내는 패턴을 일단위로 하여, 이 단위패턴을 매트릭스 기판(1A)의 종 및 횡방향을 따라 반복배치한 구성으로 되어 있다. 또한, 도시하지 않은 배선도 동일한 구성으로 되어 있다.

도 3(b)는 수지밀봉형 반도체 장치 한개분의 영역을 나타내는 매트릭스 기판(1A)의 하면의 확대도이다. 매트릭스 기판(1A)의 하면의 패드(4), 배선(5), 얼라이언트타겟(6), 인덱스패턴(7) 및 어드레스정보 패턴(8)은 매트릭스 기판(1A)의 하면에 첩부한 두께 20 μ m 정도의 전해동박(또는 압연동박)을 에칭하는 것에 의해 형성된다. 이들의 패턴 중, 어드레스정보 패턴(8)을 제외한 패턴은 도 3(b)에 나타내는 패턴을 일단위로 하여, 이 단위패턴을 매트릭스 기판(1A)의 종 및 횡방향을 따라 반복배치한 구성으로 되어 있다. 또한, 패드(4) 및 배선(5)은 매트릭스 기판(1A)에 형성된 스루홀(미도시됨)을 통하여 상기 패드(2)와 전기적으로 접속되어 있다.

상기 수지밀봉형 반도체 장치 한개분의 영역에 형성된 패드(4)의 수는, 예컨대 종×횡 = 6개×8개의 합계 48개이다. 또한, 이들의 패드(4)의 종방향 및 횡방향의 피치는, 예컨대 각각 0.75mm이다. 도시한 얼라이언트타겟(6) 및 인덱스 패턴(7)은 각각 +자형 및 삼각형의 패턴으로 구성되어 있지만, 이들의 형상에 한정되는 것은 아니다.

어드레스정보 패턴(8)은, 매트릭스기판(1A)을 사용하여 얻어지는 수지밀봉형 반도체 장치의 매트릭스 기판(1A) 내에서의 위치를 나타내는 정보를 포함하고 있고, 수지밀봉형 반도체 장치 한개분의 영역마다 예컨대 A11, A12 ..., A21, A22 ...라는 다른 패턴에 의해 구성되어 있다. 도면에는 얼라이언트타겟(6), 인덱스 패턴(7) 및 어드레스정보 패턴(8)을 서로 다른

위치에 배치한 예를 나타냈지만, 그들을 일개소에 배치하여 기능을 공유시키는 것도 가능하다. 예컨대 도 4는, 인덱스 패턴(7)과 어드레스정보 패턴(8)을 일체로 형성하여 기능을 공유시킨 예를 나타내고 있다. 이 경우도, 인덱스패턴(7)으로서 기능하는 부분(삼각형의 패턴)은 상기 영역(수지밀봉형 반도체 장치 한개분의 영역)의 각각에서 동일한 패턴으로 하고, 어드레스정보 패턴(8)으로서 기능하는 부분(문자 패턴)은 상기 영역의 각각에서 다른 패턴으로 한다.

도면에는 어드레스정보 패턴(8)을 A11, A12 ..., A21, A22 ...라고 하는 세자리수의 문자패턴으로 구성한 예를 나타냈지만, 이것에 한정되는 것은 아니고, 상기 영역(수지밀봉형 반도체 장치 한개분의 영역)의 각각에서 다른 패턴으로 되는 것이라면 임의의 패턴으로 구성하는 것이 가능하다. 또한, 어드레스정보 패턴(8)에는 상기 위치정보 이외의 정보, 예컨대 매트릭스 기관(1A)의 제조로트나 후술하는 몰드 공정에서 사용하는 금형의 형번(型番) 등을 나타내는 각종의 정보를 포함시키는 것도 가능하다.

도 5는, 상기 매트릭스 기관(1A)의 일부를 나타내는 단면도이다. 도시한 바와 같이, 매트릭스 기관(1A)의 양면에는, 예컨대 막두께 수십 μm 정도의 얇은 에폭시 수지 등으로 이루어지는 주지의 솔더 레지스트(9)가 코팅되어 있고, 땀납에 의한 배선(5, 5) 사이의 쇼트 등이 방지되도록 되어 있다. 상술한 각종 패턴 중, 예컨대 패드(2), 패드(4) 및 인덱스패턴(7)의 표면은 솔더레지스트(8)가 제거되고, 필요에 따라서 Au도금 등이 행해져 있다. 또한, 어드레스정보 패턴(8)의 표면은, 이 패턴(8)을 인식하는 수단(카메라, 현미경 등)에 따라 솔더레지스트(9)로 덮이고, 또는 솔더레지스트(9)가 제거된다.

다음으로, 상기 매트릭스 기관(1A)을 이용한 수지밀봉형 반도체 장치의 제조방법을 도 6 ~ 도 16을 이용하여 공정순으로 설명한다.

우선, 상기 매트릭스 기관(1A)을 절단하여 복수의 작은 조각으로 분할하는 것에 의해, 도 6 및 도 7에 나타내는 바와 같은 몰드용의 매트릭스 기관(1B)을 얻는다. 이 매트릭스 기관(1B)의 치수는, 예컨대 종 \times 횡 = 30mm ~ 70mm \times 150mm ~ 230mm 정도이다. 몰드용의 매트릭스 기관(1B)은 후술하는 몰드공정에서 사용하는 금형의 치수에 의해 그 치수가 규정되므로, 당초부터 금형의 치수에 맞추어 매트릭스 기관(1A)을 제조한 경우에는, 그것을 절단, 분할하는 공정은 불필요하다. 매트릭스 기관(1A)의 절단에는 수지제의 배선기관의 절단에 사용되고 있는 주지의 다이싱장치(다이서, dicer)를 사용한다. 또한, 매트릭스 기관(1B)의 네모서리 등에는 몰드공정에서 매트릭스 기관(1B)을 금형에 로딩할 때의 위치결정에 사용하는 가이드홀(11)이 설치된다.

다음으로, 도 8에 나타내는 바와 같이, 매트릭스 기관(1B)의 상면에 복수의 반도체 칩(이하, 단순히 칩이라고 함)(12)을 탑재한다. 칩(12)은 예컨대 그 주변에 SRAM(Static Random Access Memory) 등의 메모리 LSI가 형성되고, 대향하는 2면에 복수의 본딩패드(BP)가 형성된 종 \times 횡 = 4.5mm ~ 5.0mm \times 5.5mm ~ 6.0mm 정도의 단결정 실리콘으로 이루어진다. 이 칩(12)을 매트릭스 기관(1B)에 탑재할 때에는 상술한 얼라이먼트타겟(3)의 위치를 카메라 등으로 인식하여 위치맞춤을 행한다. 또, 칩(12)과 매트릭스 기관(1B)과의 접합에는, 주지의 아크릴/에폭시 수지계 접착제나 Ag페이스트 등을 사용한다.

다음으로, 도 9에 나타내는 바와 같이, 매트릭스 기관(1B)의 패드(2)와 칩(12)의 본딩패드(BP)를 와이어(12)로 전기적으로 접속한다. 와이어(13)는, 예컨대 금(Au)와이어를 사용한다. 또, 와이어(13)에 의한 접속에는, 예컨대 열압착과 초음파 진동을 병용한 주지의 와이어본딩장치를 사용한다.

다음으로, 도 10에 나타내는 바와 같이, 매트릭스 기관(1B) 상의 모든 칩(12)을 수지(14)로 밀봉한다. 칩(12)을 수지(14)로 밀봉하는 데는, 도 11에 나타내는 바와 같이, 매트릭스 기관(1B)을 몰드장치의 금형(15)에 로딩하고, 예컨대 매트릭스 기관(1B)의 네모서리 등에 설치한 가이드홀(11)(도 6, 도 7 참조)에 금형(15)의 핀(미도시됨)을 삽입하여 위치결정을 행한 후, 상형(15a)과 하형(15b)과의 극간(캐비티)에 수지를 공급함으로써, 매트릭스 기관(1B)에 탑재된 모든 칩(12)을 일괄하여 수지밀봉한다. 밀봉용의 수지(14)는, 예컨대 실리카가 함유된 주지의 에폭시계 수지를 사용한다. 또한, 몰드장치는, 예컨대 QFP(Quad Flat Package)나 웨이퍼레벨 CSP(Chip Size Package) 등의 제조에 사용되고 있는 주지의 몰드 장치를 사용한다.

매트릭스 기관(1B)의 치수는, 통상의 수지밀봉형 반도체 장치(예컨대, QFP)에 비하여 크기 때문에, 매트릭스 기관(1B)에 탑재된 모든 칩(12)을 일괄하여 수지밀봉한 경우, 몰드 공정후의 수지(14)의 수축 등에 의해 매트릭스 기관(1B)에 휘어짐이 발생하고, 후술하는 불부착공정에서 패드(4)와 땀납범프와의 접속이 어렵게 되는 일이 있다. 이와 같은 가능성이 있는 경우에는, 도 12에 나타내는 바와 같이 복수의 캐비티를 구비한 금형을 사용하여 수지(14)를 복수의 블록으로 분할하거나, 매트릭스 기관(1B)에 슬릿(16)을 형성하거나 하는 것에 의해 매트릭스 기관(1B)의 휘어짐을 억제하는 것이 바람직하다.

다음으로, 도 13에 나타내는 바와 같이 매트릭스 기관(1B)의 하면에 형성된 패드(4)에 뿔뿔(17)을 접속한다. 뿔뿔(17)은, 예컨대 주지의 Sn/Pb공정합금 뿔뿔 등으로 이루어진다. 패드(4)와 뿔뿔(17)와의 접속은, 예컨대 BGA(Ball Grid Array) 등의 제조에 이용되고 있는 주지의 볼부착 치구에 복수의 뿔뿔을 탑재하고, 매트릭스 기관(1B)에 형성된 모든 패드(4)에 이들의 뿔뿔을 일괄하여 접속한 후, 가열로 내에서 뿔뿔을 리플로시키는 것에 의해 행한다. 뿔뿔을 패드(4)에 접속할 때에는, 상술한 얼라이먼트타겟(6)의 위치를 카메라 등으로 인식하여 위치맞춤을 행한다.

다음으로, 도 14에 나타내는 바와 같이 매트릭스 기관(1B) 및 수지(14)를 칩단위로 절단하여 복수의 작은 조각으로 분할하는 것에 의해, BGA형의 수지밀봉형 반도체 장치(20)가 얻어진다. 매트릭스 기관(1A) 및 수지(14)를 절단하는데는, 예컨대 수지제의 배선기관의 절단에 사용되고 있는 주지의 다이싱장치(다이서)에 폭 200 μ m 정도의 다이싱 블레이드를 설치한 것을 사용한다. 이 때, 도 15에 나타내는 바와 같이 매트릭스 기관(1B)의 하면에 다이싱용의 얼라이먼트타겟(18)을 형성해둠으로써, 치수정밀도가 높은 절단을 행할 수 있다. 이 얼라이먼트타겟(18)은, 예컨대 배선재료(동)로 구성하고, 다른 얼라이먼트타겟(3, 6)과 동시에 형성하면 좋다.

매트릭스 기관(1B)을 절단하여 얻어진 복수의 수지밀봉형 반도체 장치(20)는, 테스터를 사용한 선별시험에 붙여진 후, 도 16에 나타내는 바와 같이 수지(14)의 표면에 제품명이나 제조로트 등의 (표면 인덱스마크를 포함한다) 마크(19)가 인자(印字)된다. 마크(19)의 인자는 주지의 레이저가공에 의한 각인이나 잉크에 의한 날인(捺印)에 의해 행해진다.

그 후, 상기 수지밀봉형 반도체 장치(20)는 테스터를 사용한 선별시험 및 외관검사 등에 붙여져, 양품만이 곤포(梱包)되어 의뢰메이커 등으로 출하된 후, 각종 전자기기의 기관에 실장된다. 수지밀봉형 반도체 장치(20)를 기관에 실장할 때에는 실장면에 형성된 상기 인덱스패턴(7)을 카메라 등으로 인식하는 것에 의해 위치맞춤을 행한다.

도 17은 상술한 제조공정의 흐름이다. 또한, 도 18은 상기 수지밀봉형 반도체 장치(20)가 조립된 전자기기(예컨대 휴대전화)의 기능블럭도이다.

상술한 본 실시 형태의 제조방법에 의하면, 매트릭스 기관(1A)상에 형성된 어드레스정보 패턴(8)을 카메라, 현미경 또는 육안에 의해 인식하는 것에 의해, 완성품으로 된 개개의 수지밀봉형 반도체 장치(20)가 원래의 매트릭스 기관(1A)의 어느 위치에 있는지를 매트릭스 기관(1B)의 분할 후에 있어서도 용이하게 인식할 수 있으므로, 제조프로세스에 기인하는 제품의 불량해석이나 불량발생개소의 특징을 신속하게 행할 수 있다.

(실시의 형태 2)

상기 실시의 형태 1에서는, 배선재료를 사용하여 매트릭스 기관(1A)의 실장면에 어드레스정보 패턴(8)을 형성하였지만, 이것에 한정되는 것이 아니라, 예컨대 다음과 같은 방법으로 어드레스정보 패턴(8)을 형성할 수도 있다.

우선, 도 19에 나타내는 바와 같은 매트릭스 기관(1A)을 준비한다. 이 매트릭스 기관(1A)은 어드레스정보 패턴(8)이 형성되어 있지 않은 점을 제외하면, 상기 실시의 형태 1의 매트릭스 기관(1A)과 동일한 구성으로 되어 있다.

다음으로, 상기 실시의 형태 1의 도 6 ~ 도 11에 나타낸 공정에 따라, 몰드용 매트릭스 기관(1B)의 형성, 칩(12)의 탑재, 와이어(13)의 본딩, 수지(14)에 의한 칩(12)의 일괄밀봉을 행한 후, 도 20에 나타내는 바와 같이 수지(14)의 표면에 제품명이나 제조로트 등의 마크(19)를 인자한다. 본 실시의 형태에서는 이때 동시에, 수지(14)의 표면에 어드레스정보 패턴(8)을 인자한다. 마크(19) 및 어드레스정보 패턴(8)의 인자는 주지의 레이저 가공에 의한 각인이나 잉크에 의한 날인에 의해 행한다. 마크(19)는 수지밀봉형 반도체 장치 한개분의 영역의 각각에서 동일한 패턴으로 하고, 어드레스정보 패턴(8)은 상기 영역의 각각에서 다른 패턴으로 한다.

다음으로, 상기 실시의 형태 1의 도 13 ~ 도 14에 나타낸 공정에 따라, 뿔뿔(17)의 접속 및 매트릭스 기관(1B)의 절단을 행하는 것에 의해, 도 21에 나타내는 바와 같은 수지밀봉형 반도체 장치(20)가 얻어진다. 또한, 수지(14)의 표면으로의 마크(19) 및 어드레스정보 패턴(8)의 인자는 뿔뿔(17)의 접속을 행한 후에 행하여도 좋다. 그 후, 상기 수지밀봉형 반도체 장치(20)는 테스터를 사용한 선별시험 및 외관검사 등에 붙여져, 양품만이 곤포되어 출하된 후, 각종 전자기기의 기관에 실장된다. 도 22는 상술한 제조공정의 흐름이다.

이상, 본 발명자에 의해 이루어진 발명을 상기 실시의 형태에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시의 형태에 한정되는 것은 아니며, 그 요지를 이탈하지 않는 범위에서 여러가지 변경가능한 것은 말할 것도 없다.

본 발명은, BGA형의 수지밀봉형 반도체 장치에 한정되는 것이 아니라, 예컨대 TSOJ, LGA, 미니카드 등, 뿔납범프 이외의 외부접속단자를 가지는 각종 수지밀봉형 반도체 장치에 적용할 수 있다. 또한, 칩은 SRAM에 한정되는 것이 아니라, 예컨대 DRAM이나 플래시메모리 등의 각종 메모리 LSI를 형성한 칩을 사용할 수 있다.

발명의 효과

본원에 의해 개시되는 발명중, 대표적인 것에 의해 얻어지는 효과를 간단하게 설명하면, 이하와 같다.

본 발명에 의하면, 배선기판 상에 탑재한 복수의 반도체 칩을 수지밀봉한 후, 배선기판을 분할하는 것에 의해 복수의 수지 밀봉형 반도체 장치를 제조할 때, 완성품으로 된 개개의 수지밀봉형 반도체 장치가 원래의 배선기판의 어느 위치에 있는지를 배선기판의 분할 후에 있어서도 용이하게 식별할 수 있기 때문에, 제조프로세스에 기인하는 제품의 불량해석이나 불량 발생 개소의 특징을 신속하게 행할 수 있다.

또한, 본 발명에 의하면, 의뢰메이커의 표준사양(기존)의 금형을 사용하는 경우에도 적용하는 것이 가능하므로, 수지밀봉형 반도체 장치의 제조코스트를 저감할 수 있다.

(57) 청구의 범위

청구항 1.

배선기판 상에 장착된 복수의 반도체칩들에 대해 수지로 일괄몰딩을 실행하고, 그 후에 상기 배선기판을 복수의 수지몰드된 반도체장치들로 분할(dice)하는, 처리 단계들을 포함하는 반도체장치의 제조방법으로서,

상기 기판분할 단계에 앞서, 각각의 상기 수지몰드된 반도체장치들에 어드레스 정보를 첨부하는 단계를 더 포함하는, 반도체장치의 제조방법.

청구항 2.

제 1 항에 있어서,

상기 어드레스 정보는 상기 배선기판 안에 각각의 상기 수지몰드된 반도체장치들의 위치를 나타내는 정보를 포함하는, 반도체장치의 제조방법.

청구항 3.

배선기판 상에 장착된 복수의 반도체칩들에 대해 수지로 일괄몰딩을 실행하고, 그 후에 상기 배선기판을 복수의 수지몰드된 반도체장치들로 분할하는, 처리 단계들을 포함하는 반도체장치의 제조방법으로서,

상기 기판분할 단계에 앞서, 상기 배선기판의 일부에 각각의 상기 수지몰드된 반도체장치들의 어드레스 정보를 첨부하는 단계를 더 포함하는, 반도체장치의 제조방법.

청구항 4.

제 3 항에 있어서,

상기 어드레스 정보는 상기 배선기판에 배선 패턴들을 형성하는 단계에서 형성된 배선 물질로 만들어지는, 반도체장치의 제조방법.

청구항 5.

제 4 항에 있어서,

상기 어드레스 정보는 또한 패키징에서 회로기판 상에 상기 수지몰드된 반도체장치를 배향하는 인덱스 정보의 역할을 가지는, 반도체장치의 제조방법.

청구항 6.

제 4 항에 있어서,

상기 어드레스 정보는 패키징에서 회로기판에 상기 수지몰드된 반도체장치를 배향하는 인덱스 정보의 위치와 다른 위치에서 만들어지는, 반도체장치의 제조방법.

청구항 7.

배선기판 상에 장착된 복수의 반도체칩들에 대해 수지로 일괄몰딩을 실행하고, 그 후에 상기 배선기판을 복수의 수지몰드된 반도체장치들로 다이싱하는, 처리 단계들을 포함하는 반도체장치의 제조방법으로서,

상기 반도체칩들을 수지로 일괄몰딩하기 전의 상기 기판 다이싱 단계에 앞서, 각각의 상기 수지몰드된 반도체장치들에 어드레스 정보를 첨부하는 단계를 더 포함하는, 반도체장치의 제조방법.

청구항 8.

제 7 항에 있어서,

상기 어드레스 정보는 상기 수지몰드의 표면 상에 마크(mark)를 인자하는 단계에서 만들어지는, 반도체장치의 제조방법.

청구항 9.

제 8 항에 있어서,

상기 어드레스 정보와 상기 마크는 레이저 인자기술에 근거하여 인자되는, 반도체장치의 제조방법.

청구항 10.

제 7 항에 있어서,

상기 어드레스 정보는 상기 수지몰드 상의 상기 마크를 인자하는 단계와 다른 단계에서 만들어지는, 반도체장치의 제조방법.

청구항 11.

(a) 복수의 반도체칩들과 배선기판을 제공하는 단계로서, 각각의 상기 반도체칩들은 그의 주면 상에 형성된 복수의 전극들을 가지고, 상기 배선기판은, 주면, 그 위에 형성된 복수의 전극들과, 상기 주면에 대향하는 후면을 가지고, 상기 배선기판은 복수의 칩 장착 영역들을 제공하기 위하여 구획선들에 의해 구획되는, 제공단계와;

(b) 상기 배선기판의 상기 복수의 칩 장착 영역들 상에 상기 복수의 반도체 칩을 개별적으로 장착하는 장착단계와;

(c) 상기 반도체칩들의 상기 복수의 전극들을, 상기 복수의 칩 장착 영역들 각각에서 상기 배선기판의 상기 복수의 전극들과 전기적으로 연결하는 연결단계와;

(d) 제1 및 제2 다이(die)들에 의해 규정된 캐비티들(cavities) 사이에서 소정의 공간을 가지도록 상기 배선기판의 상기 주면 상에 배치되는 상기 제1 다이와 상기 제2 다이를 가지는 몰딩 다이를 사용하는 이동 몰딩 방법(transfer molding method)에 의해 수지 부재로 상기 복수의 반도체칩들과 상기 배선기판의 상기 주면을 밀봉(sealing)하는 밀봉단계와;

(e) 상기 단계 (d) 후에, 상기 수지 부재의 일부에 의해 밀봉되는 상기 반도체칩을 각각 가지는 복수의 반도체 패키지들을 제공하도록, 상기 구획선에 따라 상기 수지 부재와 상기 배선기판을 나누는(dividing) 단계를 포함하고,

상기 단계 (d)는, 상기 복수의 반도체칩들이, 제1 수지 블럭에 의해 밀봉된 제1 그룹의 반도체칩들과 제2 수지 블럭에 의해 밀봉된 제2 그룹의 반도체칩들을 제공하도록 상기 몰딩 다이의 상기 제1 및 제2 다이들의 각각의 상기 캐비티들에 주입되는 상기 수지 부재에 의해 밀봉되도록 수행되고,

상기 단계 (e)는 상기 제1 및 제2 수지 블럭들 모두를 나누는 단계를 포함하고, 그것에 의하여 개별적으로 상기 제1 및 제2 그룹들의 반도체칩들을 포함하는 상기 복수의 반도체 패키지들을 제공하는, 반도체장치의 제조방법.

청구항 12.

제 11 항에 있어서,

상기 블럭분할 단계에 앞서서, 어드레스 정보를 각각의 상기 수지몰드된 반도체장치들에 첨부하는 단계를 더 포함하는, 반도체장치의 제조방법.

청구항 13.

제 12 항에 있어서,

상기 어드레스 정보는 상기 블럭에 상기 수지몰드된 반도체장치들의 각각의 위치를 지시하는 정보를 포함하는, 반도체장치의 제조방법.

청구항 14.

제 12 항에 있어서,

상기 어드레스 정보는 상기 반도체칩을 수지로 몰딩하는 상기 단계에 앞서 만들어지는, 반도체장치의 제조방법.

청구항 15.

제 12 항에 있어서,

상기 어드레스 정보는 상기 반도체칩들을 수지로 몰딩하는 상기 단계 이후에 만들어지는, 반도체장치의 제조방법.

청구항 16.

제 11 항에 있어서,

상기 단계 (c)는 개별적으로 상기 반도체칩의 상기 복수의 전극들을 복수의 본딩 와이어들에 의해 상기 배선기판의 상기 복수의 전극들에 전기적으로 연결하는 것을 포함하는, 반도체장치의 제조방법.

청구항 17.

제 11 항에 있어서,

상기 단계 (e) 이전에, 상기 배선기판의 상기 후면상에 복수의 범프 전극들을 형성하는 단계를 더 포함하고, 상기 복수의 범프 전극들은 상기 복수의 반도체 패키지들의 외부 연결 단자들로서의 기능을 하는, 반도체장치의 제조방법.

청구항 18.

(a) 복수의 반도체칩들과 배선기판을 제공하는 단계로서, 각각의 상기 반도체칩들은 그의 주면 상에 형성된 복수의 전극들을 가지고, 상기 배선기판은, 주면, 그 상에 형성된 복수의 전극들, 및 상기 주면에 대향하는 후면을 가지고, 상기 배선기판은 실질적으로 사각형이고 매트릭스 형태로 배열된 복수의 칩 장착 영역들을 가지고, 상기 배선기판은 상기 주면으로부터 상기 후면까지 관통하는 슬릿(slit)을 가지고 상기 배선기판의 한쌍의 짧은 엣지들에 실질적으로 평행한 방향으로 연장되고, 상기 배선기판은 상기 복수의 칩 장착 영역들을 각각 가지는 제1 부분과 제2 부분을 제공하도록 상기 슬릿에 의해 나뉘어지는, 제공단계와;

(b) 상기 배선기판의 상기 제1 및 제2 부분들의 상기 복수의 칩 장착 영역들 상에 상기 복수의 반도체 칩을 개별적으로 장착하는 장착단계와;

(c) 상기 반도체칩들의 상기 복수의 전극들을 상기 복수의 칩 장착 영역들 각각에서 상기 배선기판의 상기 복수의 전극들에 전기적으로 연결하는 연결단계와;

(d) 상기 배선기판 상에 서로에 대해 분리되는 제1 수지 블럭과 제2 수지 블럭을 형성하기 위해 이동 몰딩 방법에 의해 상기 배선기판의 상기 주면과 상기 복수의 반도체칩들을 수지 부재로 밀봉하는, 상기 제1 수지 블럭은 상기 배선기판의 제1 부분 상의 상기 복수의 칩 장착 영역들을 밀봉하고, 상기 제2 수지 블럭은 상기 배선기판의 상기 제2 부분 상의 상기 복수의 칩 장착 영역들을 밀봉하는 밀봉단계와;

(e) 상기 단계 (d) 후에, 상기 수지 부재의 일부에 의해 밀봉되는 상기 반도체칩을 각각 가지는 복수의 반도체 패키지들을 제공하기 위해, 상기 제1 및 제2 블럭들을 포함하는 상기 수지 부재와 상기 배선기판을 나누는 단계를 포함하는, 반도체장치의 제조방법.

청구항 19.

제 18 항에 있어서,

상기 단계 (c)는, 상기 반도체칩의 상기 복수의 전극들을 개별적으로 복수의 본딩 와이어들에 의해 상기 배선기판의 상기 복수의 전극들에 전기적으로 연결하는 것을 포함하는, 반도체장치의 제조방법.

청구항 20.

제 18 항에 있어서,

상기 단계 (e) 이전에, 상기 배선기판의 상기 후면 상의 복수의 범프 전극들을 형성하는 단계를 더 포함하고, 상기 복수의 범프 전극들은 상기 복수의 반도체 패키지들의 외부 연결 단자들로서의 기능을 하는, 반도체장치의 제조방법.

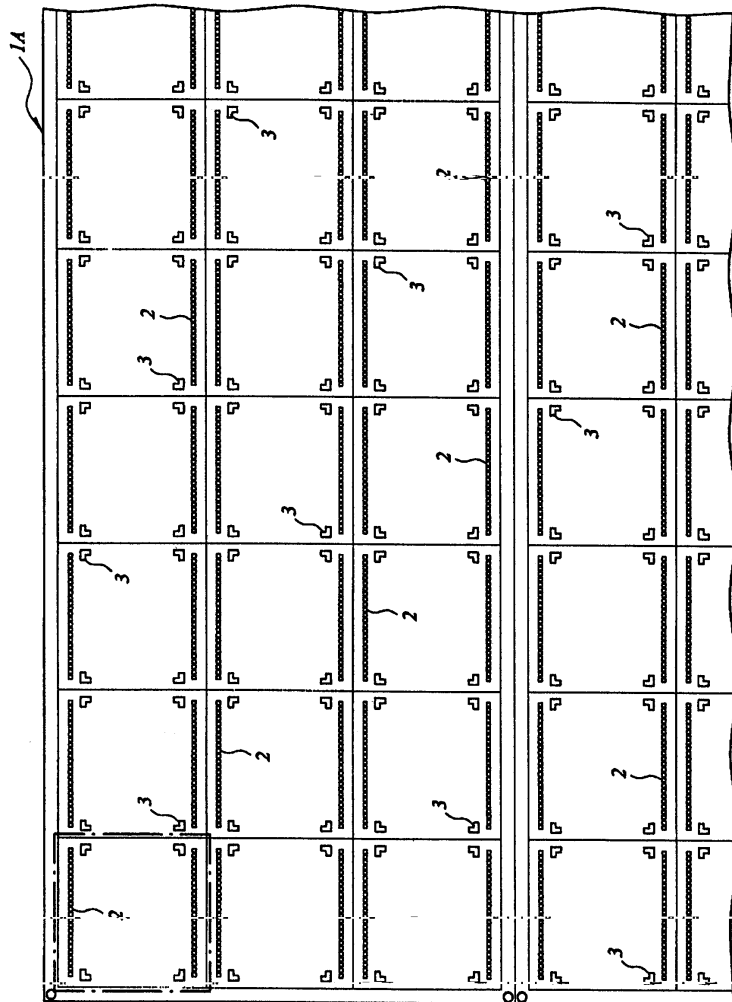
청구항 21.

제 18 항에 있어서,

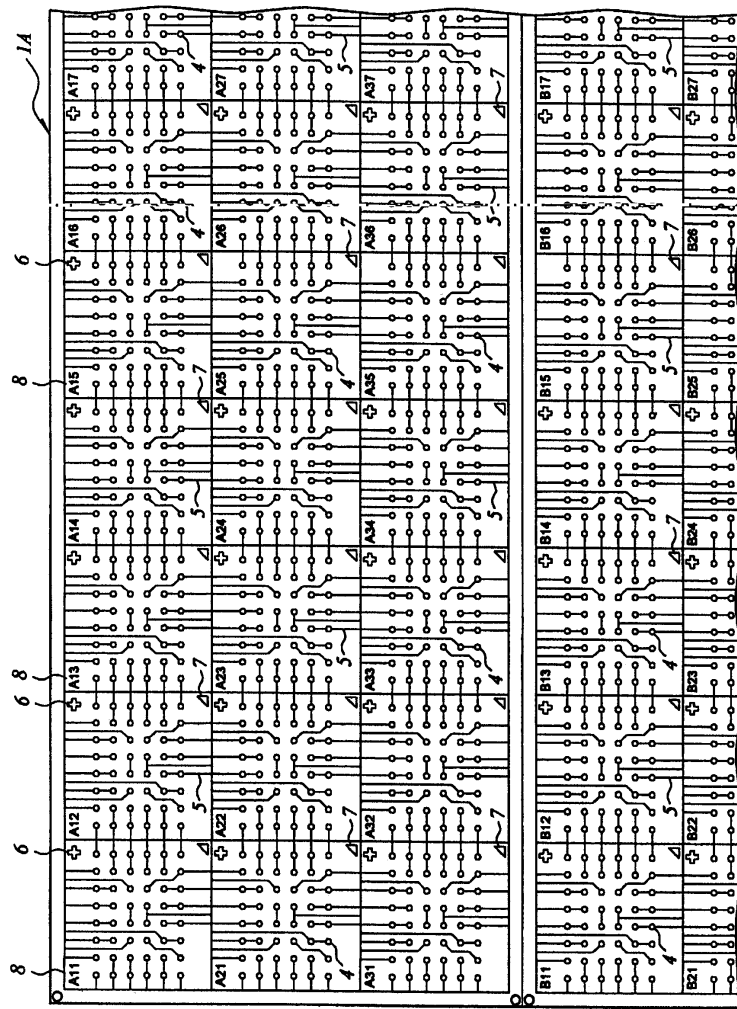
상기 배선기판과 상기 수지 부재의 상기 나눔(dividing)은 상기 단계 (e)에서 분할(dicing)에 의해 수행되는, 반도체장치의 제조방법.

도면

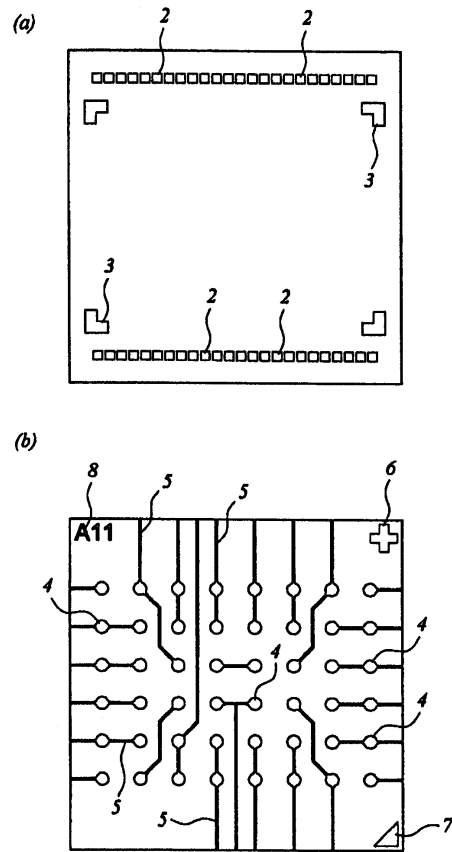
도면1



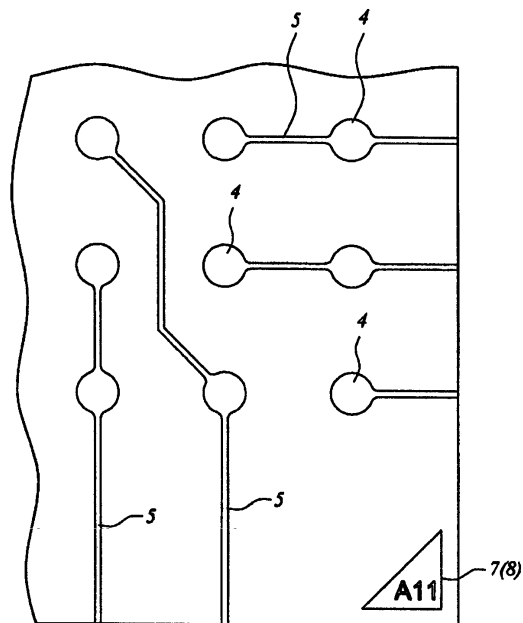
도면2



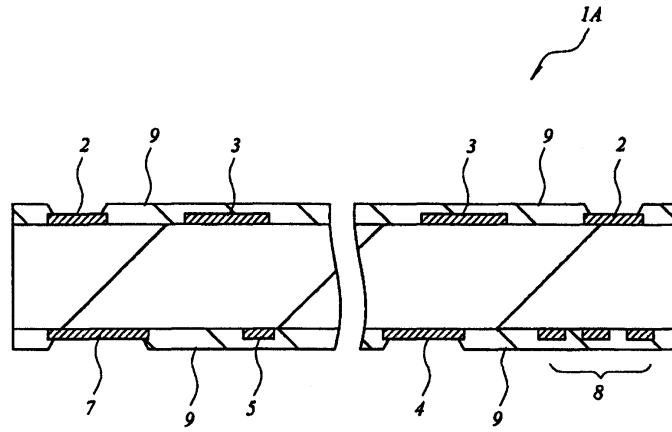
도면3



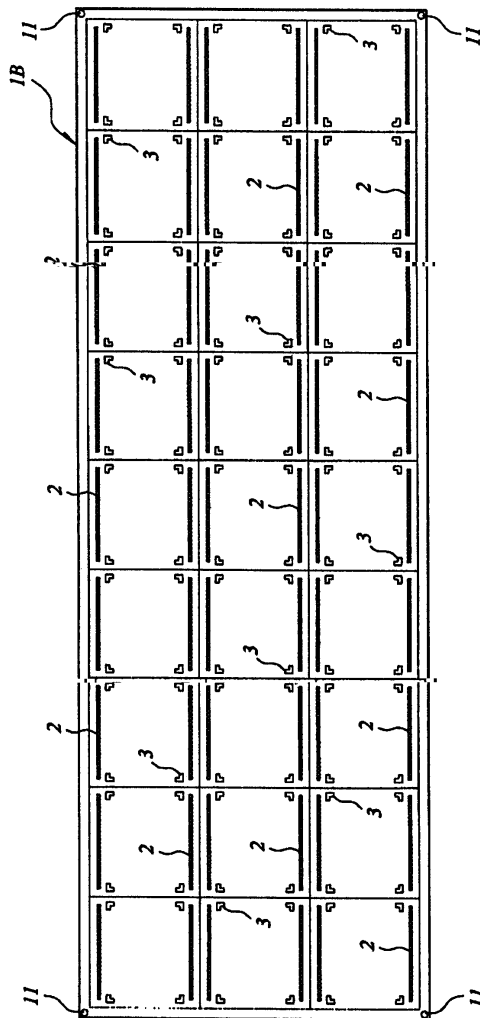
도면4



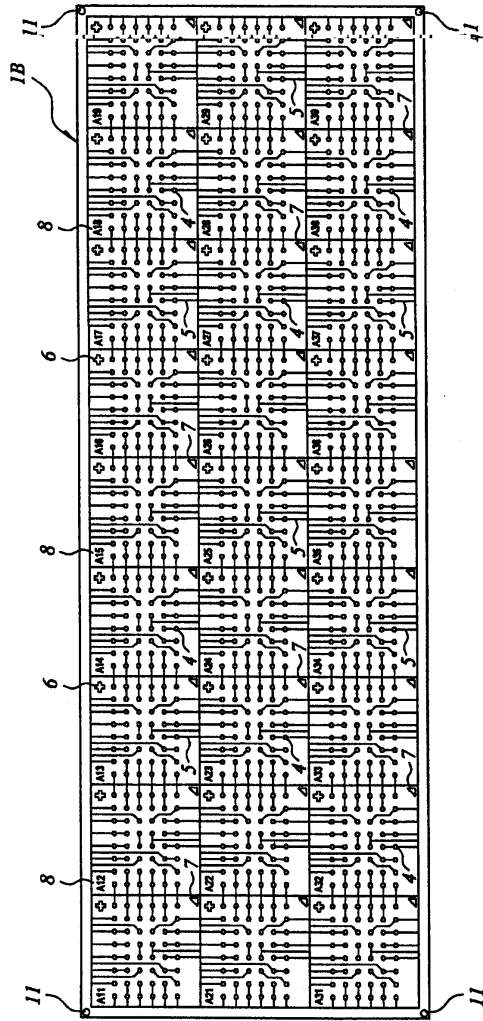
도면5



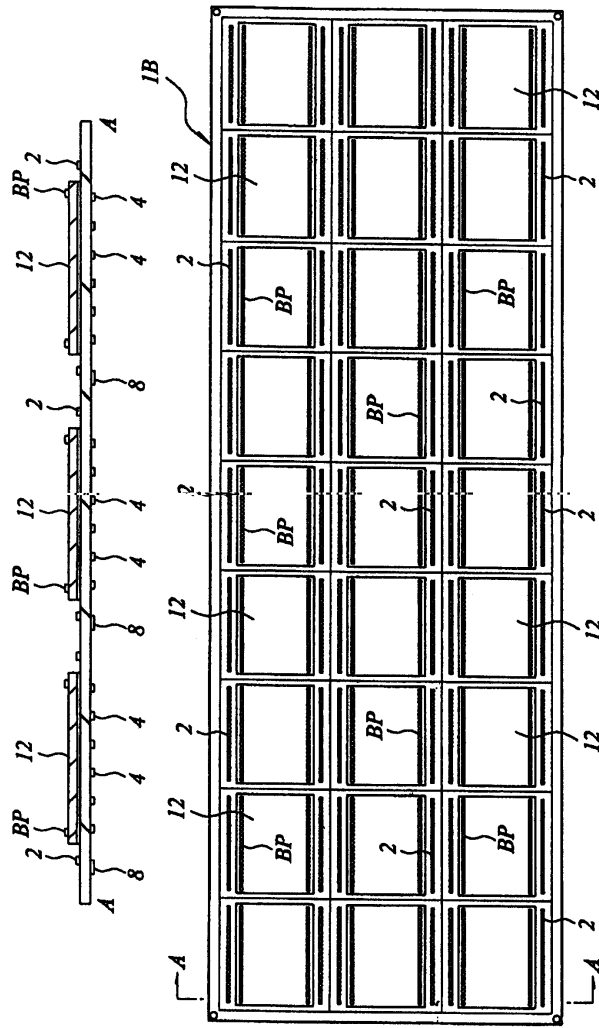
도면6



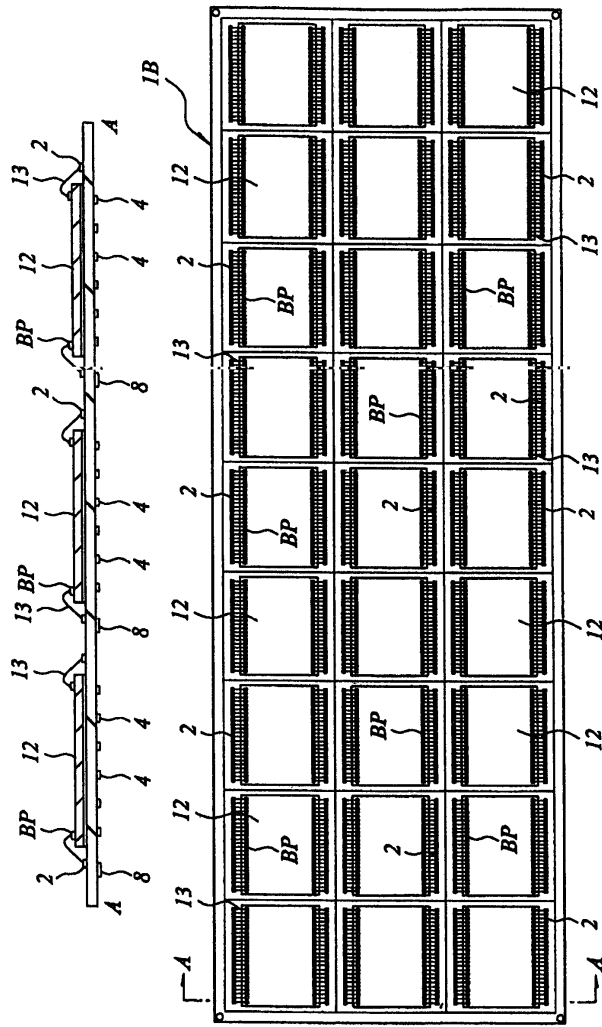
도면7



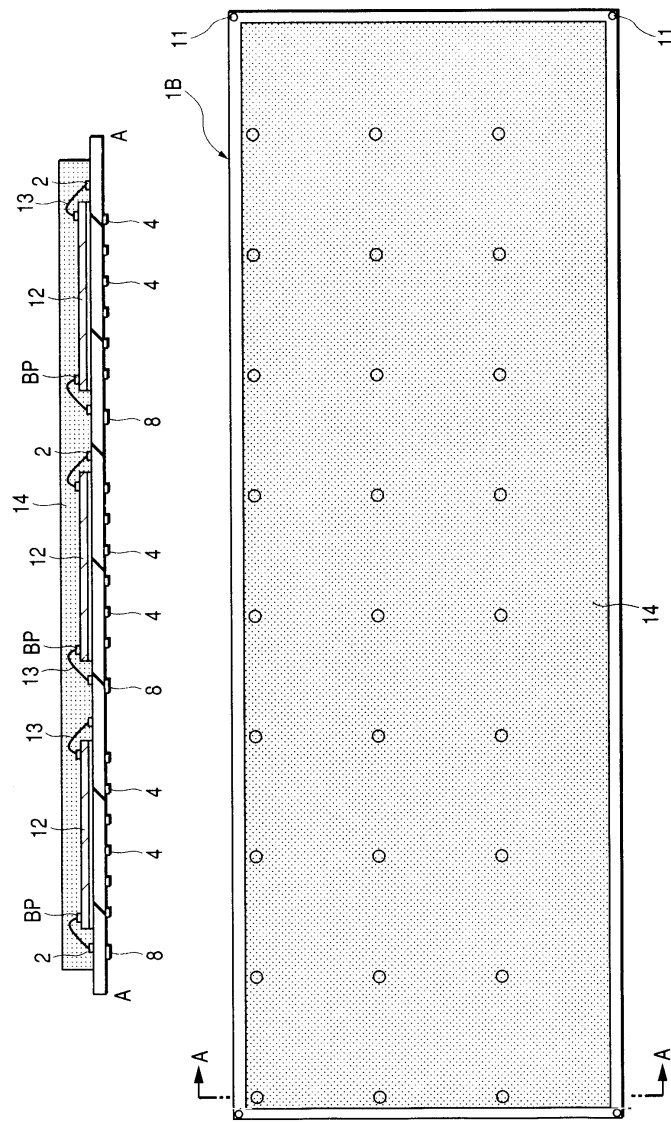
도면8



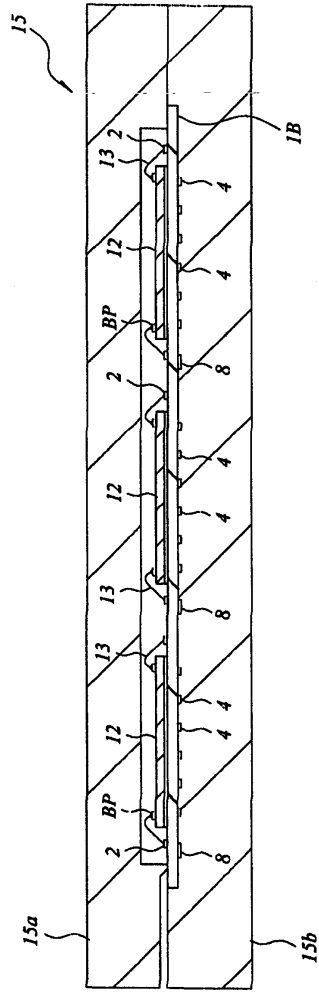
도면9



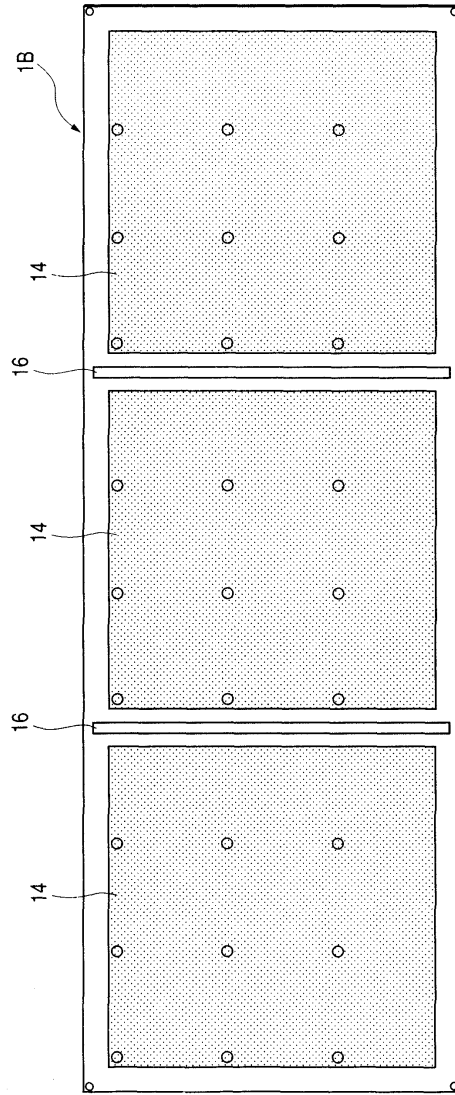
도면10



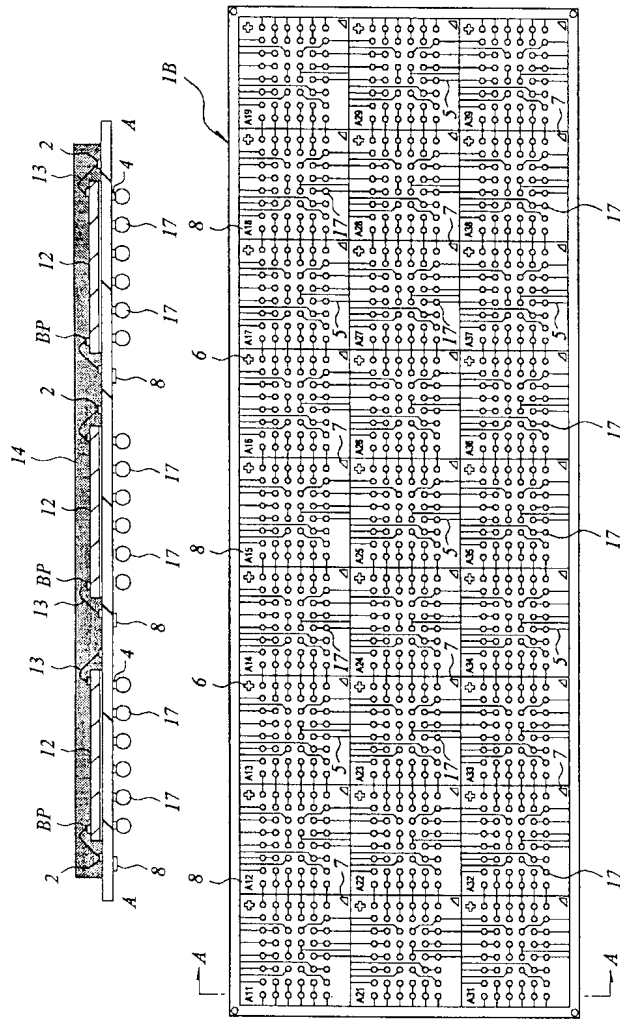
도면11



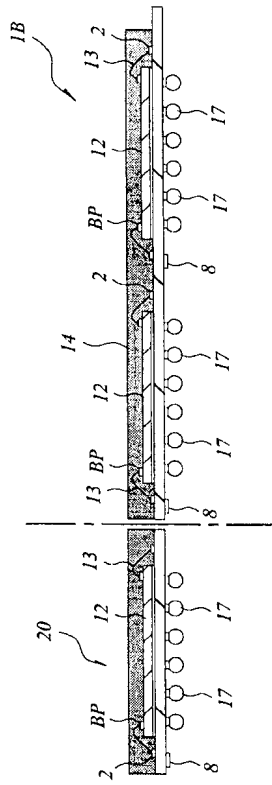
도면12



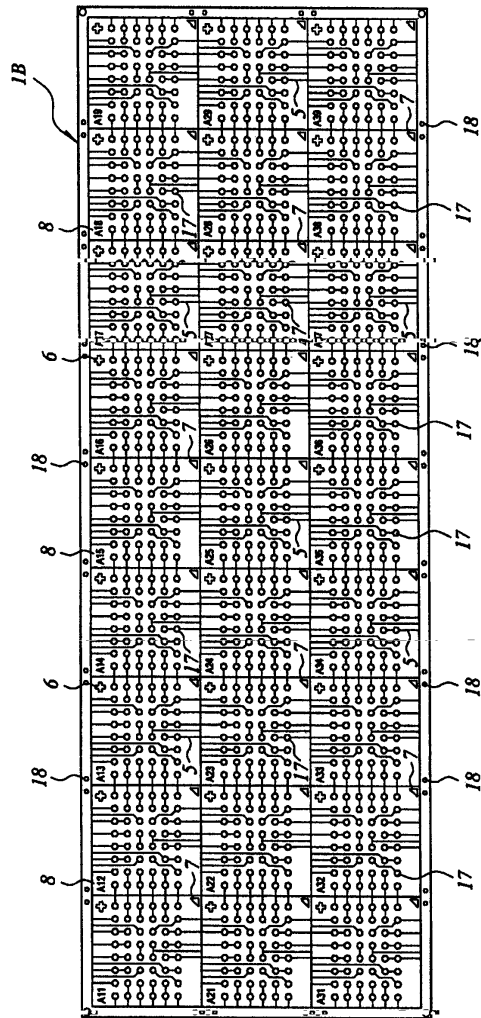
도면13



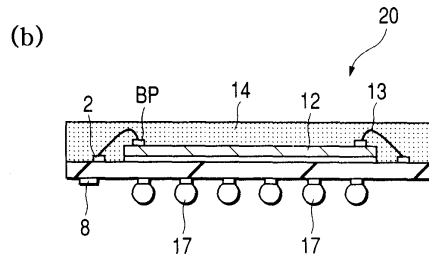
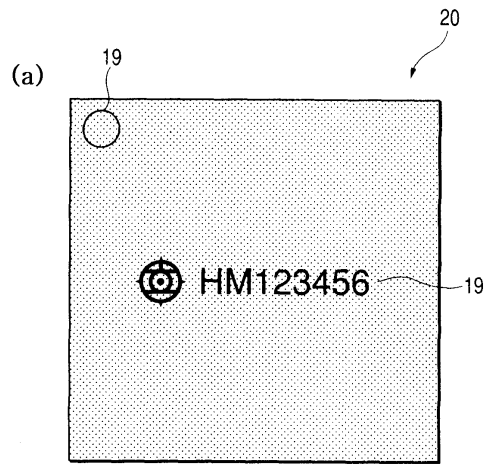
도면14



도면15

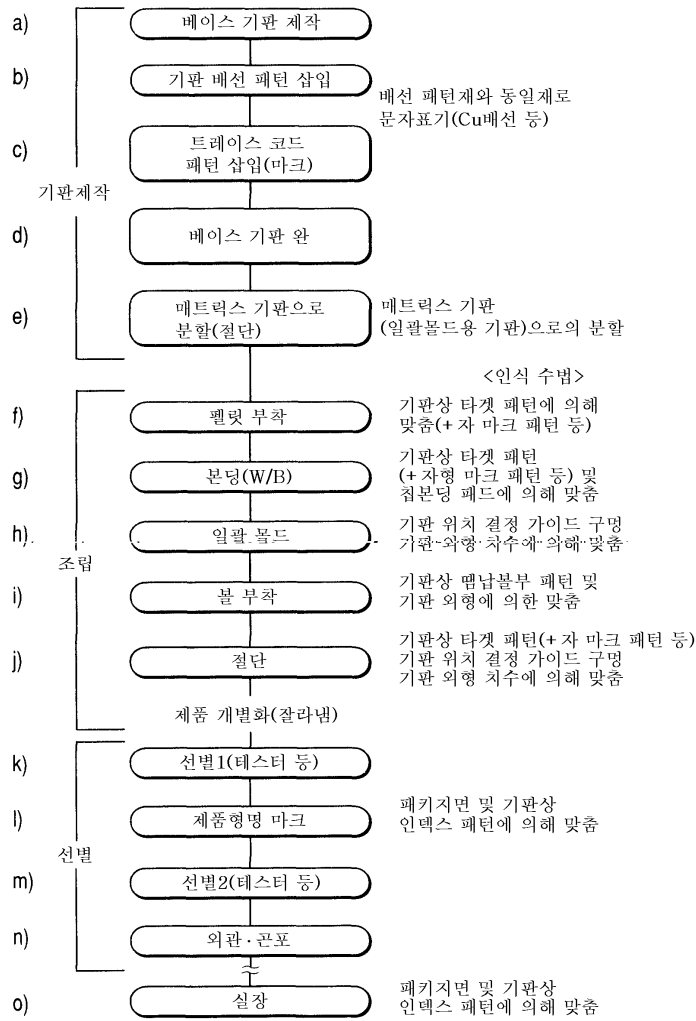


도면16

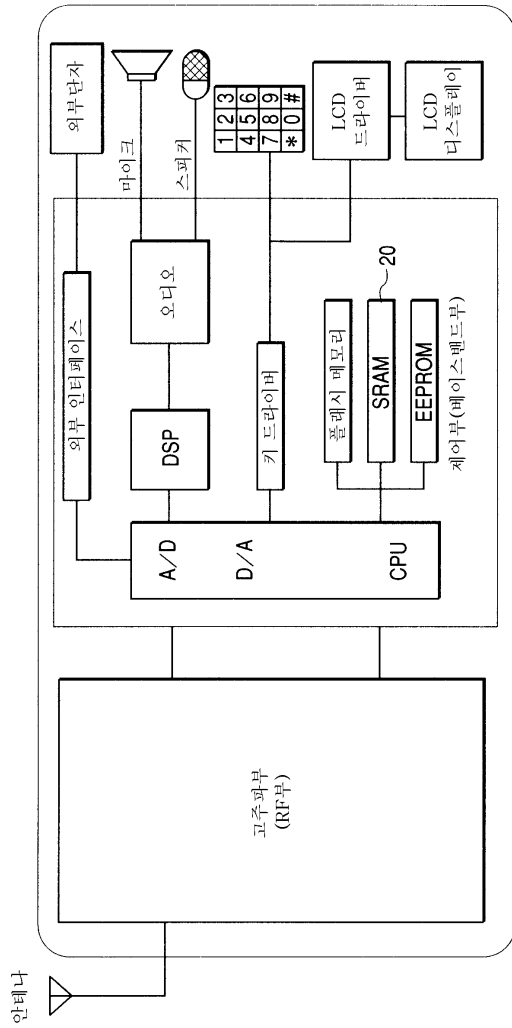


도면17

공정흐름개요

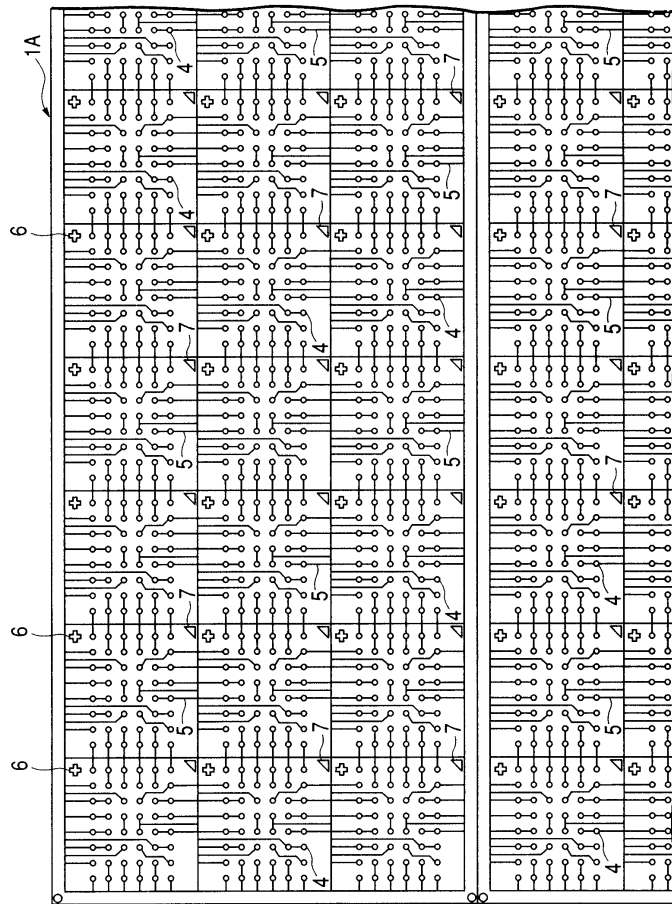


도면18

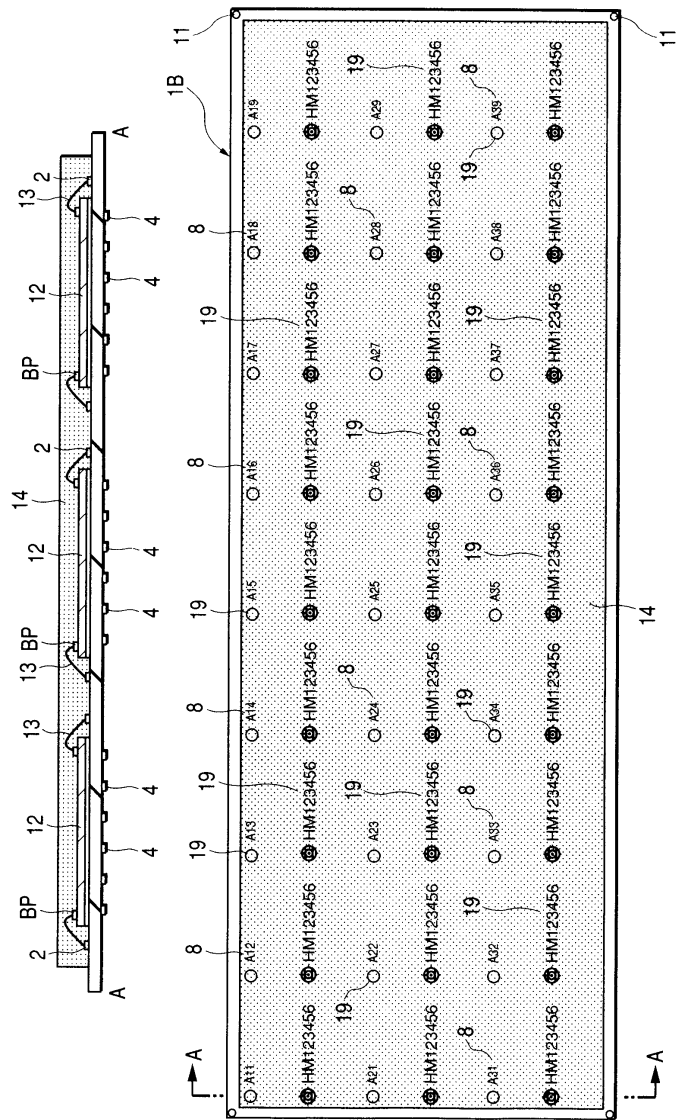


휴대전화 기능 블록도

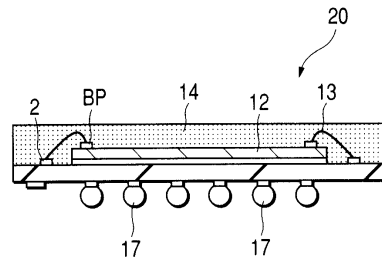
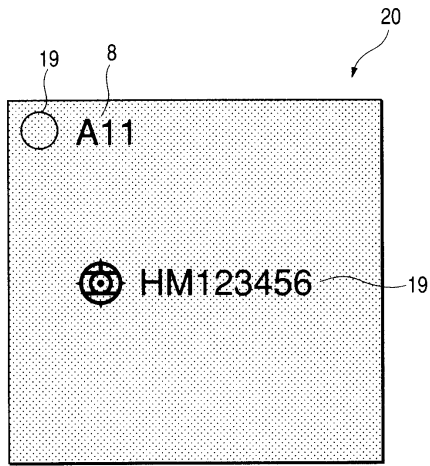
도면19



도면20



도면21



도면22

공정흐름개요

