



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년01월13일  
(11) 등록번호 10-0878384  
(24) 등록일자 2009년01월06일

(51) Int. Cl.

H01L 29/772 (2006.01)

(21) 출원번호 10-2002-0046498

(22) 출원일자 2002년08월07일

심사청구일자 2007년07월04일

(65) 공개번호 10-2003-0014612

(43) 공개일자 2003년02월19일

(30) 우선권주장

JP-P-2001-00241792 2001년08월09일 일본(JP)

(56) 선행기술조사문헌

JP11340435 A

JP2001210802 A

전체 청구항 수 : 총 44 항

(73) 특허권자

가부시키키가이샤 히타치세이사쿠쇼

일본국 도쿄도 치요다구 마루노우치 1초메 6반 6고

(72) 발명자

스즈끼마사유키

일본도쿄도지요다꾸마루노우찌1쵸메5-1신마루노우찌빌딩가부시키키가이샤히타치세이사쿠쇼지적재산권본부내

(74) 대리인

구영창, 장수길

심사관 : 이충근

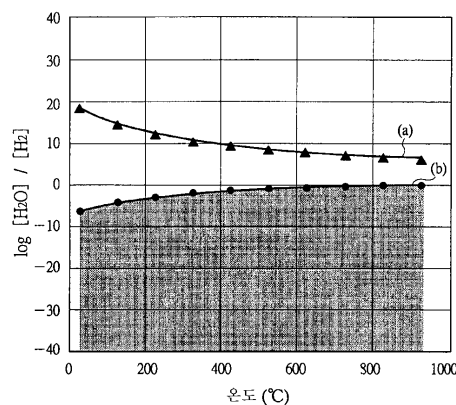
(54) 반도체 집적 회로 장치의 제조 방법

(57) 요약

CVD법에 의해 형성되는 금속막, 예를 들면, 정보 축적 용량 소자의 하부 전극을 구성하는 Ru막 등의 막질을 향상시킨다.

정보 축적용 용량 소자가 형성되는 산화실리콘막 내의 구멍의 측벽 및 저부에, 접착층으로서의 역할을 행하는 WN막을 스퍼터법에 의해 퇴적하고, 이 WN막 상에 정보 축적용 용량 소자의 하부 전극으로 되는 Ru막을, Ru(HFAC)<sub>3</sub>, H<sub>2</sub>O 및 H<sub>2</sub>를 원료로 한 CVD법으로, 원료 중의 H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 그래프 (a)보다 아래의 영역에 위치하도록 제어하면서 형성한다. 이와 같이, 가수분해를 이용한 CVD법에 의해 Ru막을 형성하면, Ru막의 막질을 향상시킬 수 있고, 또한, H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 제어함으로써 Ru막의 산화를 억제할 수 있다. 또한, 그래프 (b)보다 아래의 영역에 위치하도록 제어하여, Ru막을 형성하면, WN막의 산화를 억제할 수 있다.

대표도 - 도19



## 특허청구의 범위

### 청구항 1

- (a) 반도체 기판의 주표면에 메모리 셀 선택용 MISFET를 형성하는 공정과,  
 (b) 상기 메모리 셀 선택용 MISFET의 소스, 드레인 영역과 전기적으로 접속된 캐패시터의 하부 전극을 구성하는 Ru(루테튬)막으로서, Ru의 화합물, H<sub>2</sub>O 및 환원제를 사용한 화학 기상 성장법으로 Ru막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 청구항 2

- 제1항에 있어서,  
 상기 환원제는 H<sub>2</sub> 혹은 알콜인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 청구항 3

- 제1항에 있어서,  
 상기 Ru의 화합물은 Ru의 아세틸아세톤 유도체 화합물인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 청구항 4

- 제1항에 있어서,  
 (c) 상기 Ru막 상에 용량 절연막을 형성하는 공정과,  
 (d) 상기 용량 절연막 상에 상부 전극을 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 청구항 5

- (a) 반도체 기판의 주표면에 메모리 셀 선택용 MISFET를 형성하는 공정과,  
 (b) 상기 메모리 셀 선택용 MISFET의 소스, 드레인 영역과 전기적으로 접속된 캐패시터의 하부 전극을 구성하는 Ru(루테튬)막으로서, Ru의 화합물, H<sub>2</sub>O 및 H<sub>2</sub>를 사용한 화학 기상 성장법을 이용하여, 소정의 온도에서 Ru막을 형성하는 공정을 포함하며,  
 상기 Ru막은, 상기 온도에서의 상기 H<sub>2</sub>에 대한 상기 H<sub>2</sub>O의 분압비([H<sub>2</sub>O]/[H<sub>2</sub>])가, 상기 온도에서 계1(RuO<sub>2</sub>+H<sub>2</sub>)과 계2(Ru+H<sub>2</sub>O)가 평형 상태로 될 때의 H<sub>2</sub>에 대한 H<sub>2</sub>O의 분압비([H<sub>2</sub>O]<sub>eq</sub>/[H<sub>2</sub>]<sub>eq</sub>)보다 작아지는 조건 하에서 형성되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 청구항 6

- 제5항에 있어서,  
 상기 소정의 온도는 100℃~500℃인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 청구항 7

- (a) 반도체 기판의 주표면에 메모리 셀 선택용 MISFET를 형성하는 공정과,  
 (b) 상기 메모리 셀 선택용 MISFET의 소스, 드레인 영역과 전기적으로 접속된 플러그를 형성하는 공정과,  
 (c) 상기 플러그 상에 산화실리콘막을 형성하는 공정과,  
 (d) 상기 산화실리콘막 내에 상기 플러그 표면까지 도달하는 구멍을 형성하는 공정과,

- (e) 상기 구멍의 측벽 및 저부에, 도전성을 갖는 금속층 혹은 금속 질화물층을 형성하는 공정과,
- (f) 상기 금속층 혹은 금속 질화물층 상에, Ru의 화합물, H<sub>2</sub>O 및 환원제를 사용한 화학 기상 성장법으로, 캐패시터의 하부 전극을 구성하는 Ru막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 8

제7항에 있어서,

상기 환원제는 H<sub>2</sub> 혹은 알콜인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 9

제7항에 있어서,

- (g) 상기 Ru막 상에 용량 절연막을 형성하는 공정과,
- (h) 상기 용량 절연막 상에 상부 전극을 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 10

제7항에 있어서,

상기 금속층 혹은 금속 질화물층은 텅스텐층 혹은 질화텅스텐층인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 11

제7항에 있어서,

상기 금속 질화물층은 질화탄탈층인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 12

제7항에 있어서,

상기 Ru의 화합물은, Ru의 아세틸아세톤 유도체 화합물인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 13

- (a) 반도체 기관의 주표면에 메모리 셀 선택용 MISFET를 형성하는 공정과,
  - (b) 상기 메모리 셀 선택용 MISFET의 소스, 드레인 영역과 전기적으로 접속된 플러그를 형성하는 공정과,
  - (c) 상기 플러그 상에 산화실리콘막을 형성하는 공정과,
  - (d) 상기 산화실리콘막 내에 상기 플러그 표면까지 도달하는 구멍을 형성하는 공정과,
  - (e) 상기 구멍의 측벽 및 저부에, 도전성을 갖는 금속층 혹은 금속 질화물층을 형성하는 공정과,
  - (f) 상기 금속층 혹은 금속 질화물층 상에, 소정의 온도에서, Ru의 화합물, H<sub>2</sub>O 및 H<sub>2</sub>를 사용한 화학 기상 성장법으로, 캐패시터의 하부 전극을 구성하는 Ru막을 형성하는 공정을 포함하며,
- 상기 Ru막은, 상기 H<sub>2</sub>에 대한 상기 H<sub>2</sub>O의 분압비([H<sub>2</sub>O]/[H<sub>2</sub>])가, 상기 온도에서 계1(상기 금속층 혹은 금속 질화물층을 구성하는 금속 산화물+H<sub>2</sub>)과 계2(상기 금속층 혹은 금속 질화물층을 구성하는 금속+H<sub>2</sub>O)가 평형 상태로 될 때의 H<sub>2</sub>에 대한 H<sub>2</sub>O의 분압비([H<sub>2</sub>O]<sub>eq</sub>/[H<sub>2</sub>]<sub>eq</sub>)보다 작아지는 조건 하에서 형성되는 것을 특징으로 하는 반도체

체 집적 회로 장치의 제조 방법.

#### 청구항 14

(a) 반도체 기판의 주표면에 메모리 셀 선택용 MISFET를 형성하는 공정과,

(b) 상기 메모리 셀 선택용 MISFET의 소스, 드레인 영역과 전기적으로 접속된 캐패시터의 하부 전극을 구성하는 Ir(이리듐)막, Pd(팔라듐)막 혹은 Pt(백금)막으로서, 이들의 화합물, H<sub>2</sub>O 및 환원제를 사용한 화학 기상 성장법으로 Ir막, Pd막 혹은 Pt막을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 15

제14항에 있어서,

상기 환원제는, H<sub>2</sub> 혹은 알콜인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 16

제14항에 있어서,

(c) 상기 Ir막, Pd막 혹은 Pt막 상에 용량 절연막을 형성하는 공정과,

(d) 상기 용량 절연막 상에 상부 전극을 형성하는 공정

을 더 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 17

(a) 반도체 기판의 주표면에 메모리 셀 선택용 MISFET를 형성하는 공정과,

(b) 상기 메모리 셀 선택용 MISFET의 소스, 드레인 영역과 전기적으로 접속된 캐패시터의 하부 전극을 구성하는 Ir(이리듐)막, Pd(팔라듐)막 혹은 Pt(백금)막으로서, 이들의 화합물, H<sub>2</sub>O 및 H<sub>2</sub>를 사용한 화학 기상 성장법을 이용하여, 소정의 온도에서, Ir막, Pd막 혹은 Pt막을 형성하는 공정

을 포함하며,

상기 Ir막, 상기 Pd막 혹은 상기 Pt막은, 상기 온도에서의 상기 H<sub>2</sub>에 대한 상기 H<sub>2</sub>O의 분압비([H<sub>2</sub>O]/[H<sub>2</sub>])가, 상기 온도에서 제1(Ir막, Pd막 혹은 Pt막의 산화물+H<sub>2</sub>)과 제2(Ir막, Pd막 혹은 Pt막+H<sub>2</sub>O)가 평형 상태로 될 때의 H<sub>2</sub>에 대한 H<sub>2</sub>O의 분압비([H<sub>2</sub>O]<sub>eq</sub>/[H<sub>2</sub>]<sub>eq</sub>)보다 작아지는 조건 하에서 형성되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 18

(a) 반도체 기판의 주표면에 메모리 셀 선택용 MISFET를 형성하는 공정과,

(b) 상기 메모리 셀 선택용 MISFET의 소스, 드레인 영역과 전기적으로 접속된 캐패시터의 하부 전극을 구성하는 금속막을 형성하는 공정과,

(c) 상기 금속막 상에 소정의 온도에서, 캐패시터의 용량 절연막을 구성하는 금속 산화물을 형성하는 공정

을 포함하며,

상기 금속 산화물은 상기 금속 산화물을 조성하는 금속의 화합물, H<sub>2</sub>O 및 환원제를 사용한 화학 기상 성장법으로 형성되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 19

제18항에 있어서,

상기 환원제는 H<sub>2</sub> 혹은 알콜인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 20

제18항에 있어서,

(d) 상기 용량 절연막 상에 상부 전극을 형성하는 공정을 더 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 21

제18항에 있어서,

상기 금속 산화물은 산화탄탈이고, 상기 금속의 화합물은 펜타에톡시탄탈( $\text{Ta}(\text{OC}_2\text{H}_5)_5$ )인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 22

제18항에 있어서,

상기 금속막은 Ru막인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 23

제18항에 있어서,

상기 금속 산화물은  $\text{Al}_2\text{O}_3$  혹은  $\text{BST}(\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3)$ 인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 24

(a) 반도체 기판의 주표면에 메모리 셀 선택용 MISFET를 형성하는 공정과,

(b) 상기 메모리 셀 선택용 MISFET의 소스, 드레인 영역과 전기적으로 접속된 캐패시터의 하부 전극을 구성하는 금속막을 형성하는 공정과,

(c) 상기 금속막 상에 소정의 온도에서, 캐패시터의 용량 절연막을 구성하는 금속 산화물을 형성하는 공정과,

(d) 상기 용량 절연막 상에 캐패시터의 상부 전극을 형성하는 공정

을 포함하며,

상기 금속 산화물은, 상기 금속 산화물을 조성하는 금속 화합물,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 사용한 화학 기상 성장법으로 형성되며, 상기 금속 산화물은, 상기  $\text{H}_2$ 에 대한 상기  $\text{H}_2\text{O}$ 의 분압비( $[\text{H}_2\text{O}]/[\text{H}_2]$ )가, 상기 온도에서 계1(상기 금속 산화물+ $\text{H}_2$ )과 계2(상기 금속 산화물을 조성하는 금속+ $\text{H}_2\text{O}$ )가 평형 상태로 될 때의  $\text{H}_2$ 에 대한  $\text{H}_2\text{O}$ 의 분압비( $[\text{H}_2\text{O}]_{\text{eq1}}/[\text{H}_2]_{\text{eq1}}$ )보다 크고, 또한, 상기 온도에서 계3(상기 금속막을 구성하는 금속 산화물+ $\text{H}_2$ )과 계4(상기 금속막을 구성하는 금속+ $\text{H}_2\text{O}$ )가 평형 상태로 될 때의  $\text{H}_2$ 에 대한  $\text{H}_2\text{O}$ 의 분압비( $[\text{H}_2\text{O}]_{\text{eq2}}/[\text{H}_2]_{\text{eq2}}$ )보다 작아지는 조건 하에서 형성되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 25

제24항에 있어서,

상기 소정의 온도는  $100^\circ\text{C} \sim 500^\circ\text{C}$ 인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 26

(a) 반도체 기판 상에 층간 절연막을 형성하는 공정과,

(b) 상기 층간 절연막 상에, Cu의 화합물,  $\text{H}_2\text{O}$  및 환원제를 사용한 화학 기상 성장법으로 배선을 구성하는 Cu막을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 27

제26항에 있어서,

상기 환원제는  $H_2$  혹은 알콜인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 28

제26항에 있어서,

상기 Cu의 화합물은  $Cu(CF_3-CO-CH-CO-CF_3)_2$ 인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 29

제26항에 있어서,

상기 Cu의 화합물은  $Cu(CF_3-CO-CH-CO-CF_3)(CH_2=CHSi(CH_3)_3)$ 인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 30

(a) 반도체 기판 상에 층간 절연막을 형성하는 공정과,

(b) 상기 층간 절연막 상에, 소정의 온도에서, Cu의 화합물,  $H_2O$  및  $H_2$ 를 사용한 화학 기상 성장법으로, 배선을 구성하는 Cu막을 형성하는 공정

을 포함하며,

상기 Cu막은, 상기  $H_2$ 에 대한 상기  $H_2O$ 의 분압비( $[H_2O]/[H_2]$ )가, 상기 온도에서 계1( $CuO_2+H_2$ )과 계2( $Cu+H_2O$ )가 평형 상태로 될 때의  $H_2$ 에 대한  $H_2O$ 의 분압비( $[H_2O]_{eq}/[H_2]_{eq}$ )보다 작아지는 조건 하에서 형성되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 31

제30항에 있어서,

상기 소정의 온도는  $100^\circ C \sim 500^\circ C$ 인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 32

(a) 반도체 기판 상에 층간 절연막을 형성하는 공정과,

(b) 상기 층간 절연막 상에, 도전성을 갖는 금속층 혹은 금속 질화물층을 형성하는 공정과,

(c) 상기 금속층 혹은 금속 질화물층 상에, 소정의 온도에서, Cu의 화합물,  $H_2O$  및 환원제를 사용한 화학 기상 성장법으로, 배선을 구성하는 Cu막을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 33

제32항에 있어서,

상기 환원제는  $H_2$  혹은 알콜인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 34

제32항에 있어서,

상기 금속층 혹은 금속 질화물층은 텅스텐층 혹은 질화텅스텐층인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 청구항 35

제32항에 있어서,

상기 Cu의 화합물은  $\text{Cu}(\text{CF}_3\text{-CO-CH-CO-CF}_3)_2$ 인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 청구항 36

제32항에 있어서,

상기 Cu의 화합물은  $\text{Cu}(\text{CF}_3\text{-CO-CH-CO-CF}_3)(\text{CH}_2=\text{CHSi}(\text{CH}_3)_3)$ 인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 청구항 37

(a) 반도체 기판 상에 층간 절연막을 형성하는 공정과,

(b) 상기 층간 절연막 상에, 도전성을 갖는 금속층 혹은 금속 질화물층을 형성하는 공정과,

(c) 상기 금속층 혹은 금속 질화물층 상에, 소정의 온도에서, Cu의 화합물,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 사용한 화학 기상 성장 방법으로, 배선을 구성하는 Cu막을 형성하는 공정

을 포함하며,

상기 Cu막은, 상기  $\text{H}_2$ 에 대한 상기  $\text{H}_2\text{O}$ 의 분압비( $[\text{H}_2\text{O}]/[\text{H}_2]$ )가, 상기 온도에서 계1(상기 금속층 혹은 금속 질화물층을 구성하는 금속의 산화물+ $\text{H}_2$ )과 계2(상기 금속층 혹은 금속 질화물층을 구성하는 금속+ $\text{H}_2\text{O}$ )가 평형 상태로 될 때의  $\text{H}_2$ 에 대한  $\text{H}_2\text{O}$ 의 분압비( $[\text{H}_2\text{O}]_{\text{eq}}/[\text{H}_2]_{\text{eq}}$ )보다 작아지는 조건 하에서 형성되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 청구항 38

제37항에 있어서,

상기 소정의 온도는  $100^\circ\text{C} \sim 500^\circ\text{C}$ 인 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 청구항 39

반도체 기판 상에 금속막을 갖는 반도체 집적 회로 장치의 제조 방법으로서,

상기 금속막을, 상기 금속막을 구성하는 금속의 화합물,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 사용한 화학 기상 성장방법으로 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 청구항 40

반도체 기판 상에 금속 산화막을 갖는 반도체 집적 회로 장치의 제조 방법으로서,

상기 금속 산화막을, 상기 금속 산화막을 구성하는 금속의 화합물,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 사용한 화학 기상 성장방법으로 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 청구항 41

반도체 기판 상에 금속막을 갖는 반도체 집적 회로 장치의 제조 방법으로서,

상기 금속막을, 소정의 온도에서, 상기 금속막을 구성하는 금속의 화합물,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 사용한 화학 기상 성장방법으로, 상기  $\text{H}_2$ 에 대한 상기  $\text{H}_2\text{O}$ 의 분압비( $[\text{H}_2\text{O}]/[\text{H}_2]$ )가, 상기 온도에서 계1(상기 금속막을 구성하는 금속의 산화물+ $\text{H}_2$ )과 계2(상기 금속막을 구성하는 금속+ $\text{H}_2\text{O}$ )가 평형 상태로 될 때의  $\text{H}_2$ 에 대한  $\text{H}_2\text{O}$ 의 분압비( $[\text{H}_2\text{O}]_{\text{eq}}/[\text{H}_2]_{\text{eq}}$ )보다 작아지는 조건 하에서 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 42

반도체 기판 상에 금속 산화막을 갖는 반도체 집적 회로 장치의 제조 방법으로서,

상기 금속 산화막을, 소정의 온도에서, 상기 금속 산화막을 구성하는 금속의 화합물,  $H_2O$  및  $H_2$ 를 사용한 화학 기상 성장법으로, 상기  $H_2$ 에 대한 상기  $H_2O$ 의 분압비( $[H_2O]/[H_2]$ )가, 상기 온도에서 제1(상기 금속막을 구성하는 금속의 산화물+ $H_2$ )과 제2(상기 금속막을 구성하는 금속+ $H_2O$ )가 평형 상태로 될 때의  $H_2$ 에 대한  $H_2O$ 의 분압비( $[H_2O]_{eq}/[H_2]_{eq}$ )보다 커지는 조건 하에서 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 43

반도체 기판 상의 제1 금속막 혹은 제1 금속 질화막 상에 제2 금속막을 갖는 반도체 집적 회로 장치의 제조 방법으로서,

상기 제2 금속막을, 소정의 온도에서, 상기 제2 금속막을 구성하는 금속의 화합물,  $H_2O$  및  $H_2$ 를 사용한 화학 기상 성장법으로, 상기  $H_2$ 에 대한 상기  $H_2O$ 의 분압비( $[H_2O]/[H_2]$ )가, 상기 온도에서 제1(상기 제1 금속막 혹은 제1 금속 질화막을 구성하는 금속의 산화물+ $H_2$ )과 제2(상기 제1 금속막 혹은 제1 금속 질화막을 구성하는 금속+ $H_2O$ )가 평형 상태로 될 때의  $H_2$ 에 대한  $H_2O$ 의 분압비( $[H_2O]_{eq}/[H_2]_{eq}$ )보다 작아지는 조건 하에서 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

#### 청구항 44

반도체 기판 상의 제1 금속막 혹은 제1 금속 질화막 상에 제2 금속 산화막을 갖는 반도체 집적 회로 장치의 제조 방법으로서,

상기 제2 금속 산화막을, 소정의 온도에서, 상기 제2 금속 산화막을 구성하는 금속의 화합물,  $H_2O$  및  $H_2$ 를 사용한 화학 기상 성장법으로, 상기  $H_2$ 에 대한 상기  $H_2O$ 의 분압비( $[H_2O]/[H_2]$ )가, 상기 온도에서 제1(상기 제2 금속 산화막을 구성하는 금속의 산화물+ $H_2$ )과 제2(상기 제2 금속 산화막을 구성하는 금속+ $H_2O$ )가 평형 상태로 될 때의  $H_2$ 에 대한  $H_2O$ 의 분압비( $[H_2O]_{eq1}/[H_2]_{eq1}$ )보다 크고, 또한, 상기 온도에서 제3(상기 제1 금속막 혹은 상기 제1 금속 질화막을 구성하는 금속의 산화물+ $H_2$ )과 제4(상기 제1 금속막 혹은 상기 제1 금속 질화막을 구성하는 금속+ $H_2O$ )가 평형 상태로 될 때의  $H_2$ 에 대한  $H_2O$ 의 분압비( $[H_2O]_{eq2}/[H_2]_{eq2}$ )보다 작아지는 조건 하에서 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 집적 회로 장치의 제조 방법.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <129> 본 발명은 반도체 집적 회로 장치 및 그 제조 방법에 관한 것으로, 특히, 화학 기상 성장(CVD: Chemical Vapor Deposition)법에 의한 금속막이나 금속 산화물의 성막 방법에 적용하기에 유효한 기술에 관한 것이다.
- <130> 반도체 집적 회로 장치를 구성하는 반도체 소자나 배선은, 도전성막이나 절연막의 형성, 포토리소그래피 및 패터닝을, 각 막에 대하여 반복함으로써 형성된다. 이들 막의 형성 방법의 하나로서, 화학 반응을 이용한 CVD법이 있다.
- <131> 한편, 예를 들면, DRAM(Dynamic Random Access Memory)은, 메모리 셀 선택용 MISFET와 이 MISFET에 직렬로 접속된 정보 축적 용량 소자를 갖고 있다. 이 정보 축적 용량 소자는, 하부 전극으로 되는 도전성층, 용량 절연막 및 상부 전극으로 되는 도전성층을 순차적으로 퇴적하여 형성되며, 이 하부 전극에 Ru(루테튬)막 등의 금속막을 이용하는 것이 검토되어 있다.



- <132> 이러한 금속막이나 용량 절연막도 CVD법으로 형성하는 것이 가능하고, 예를 들면, 특개평9-246214호 공보에는,  $\text{Ru}(\text{DMHPD})_3$  : 2, 6디메틸-3, 5-헵터디온 루테늄(2, 6-dimethyl 3, 5-heptadione Ruthenium)을 원료로 한 화학 기상 성장법에 의해 Ru막을 형성하는 방법이 개시되어 있다.
- <133> 또한, 특개평7-86270호 공보에는, 원료로서 유기 금속을 이용한 CVD법에 의해 캐패시터 절연막으로 되는  $\text{SrTiO}_3$ 을 형성하는 기술이 기재되어 있다.

### 발명이 이루고자 하는 기술적 과제

- <134> 본 발명자는 DRAM의 연구 개발을 행하여, 상술한 정보 축적 용량 소자의 구성이나 형성 방법에 대하여 다양한 검토를 행하였다.
- <135> 반도체 집적 회로 장치의 미세화에 수반하여, 정보 축적 용량 소자의 형성 면적도 축소화의 경향에 있어, 원하는 용량을 확보하는 것이 곤란해지고 있다. 따라서, 적은 면적으로 대용량을 얻기 위해 전극 재료나 용량 절연막 재료에 대한 검토가 필요해지고 있다.
- <136> 따라서, 본 발명자는, 정보 축적 용량 소자의 하부 전극으로서 Ru막을 채용하고, 그 형성 방법에 대하여 다양한 검토를 행하였다. 왜냐하면, 이 Ru와 같은 백금족 금속은, 형성 후의 열 처리에 의해서도 산질화막과 같은 저유전률막을 생성하지 않고, 또한, 금속이기 때문에 얇게 형성하는 것이 가능하여, 용량을 증가시키는 데 적합하다고 생각되기 때문이다.
- <137> Ru막을 형성하기 위해서는, 예를 들면, 에톡시시클로펜타디에닐루테늄( $\text{Ru}(\text{C}_2\text{H}_5\text{OC}_5\text{H}_4)_2$ )의 테트라히드로푸란 용액과  $\text{O}_2$ (산소)를 원료로 한 CVD법에 의한 형성 방법을 생각할 수 있다.
- <138> 그러나, 이러한 유기 화합물(에틸시클로펜타디에닐루테늄)과 산소의 반응을 이용한 성막 방법에서는, Ru막 내에 유기 화합물이나 이들과 산소의 화합물이 잔존하여, Ru막의 막질을 저하시킨다.
- <139> 또한, 이 Ru막 내의 유기 화합물을 제거하기 위해, Ru막 형성 후에 고온 어닐링을 행하면, Ru막의 하층에 형성되어 있는 금속층이 산화된다고 하는 문제가 있다. 예를 들면, Ru 등의 백금족 금속은 일반적으로 산화실리콘 등의 절연막에 대한 접착성이 부족하기 때문에, 이들 막 사이에 접착층의 역할을 행하는 금속층을 형성하여, 박리를 방지한다. 그러나, 이 금속층이, 상술한 어닐링 시에, Ru막 내의 산소 등과 반응하여 산화된다. 그 결과, 정보 축적 용량 소자(하부 전극)와 메모리 셀 선택용 MISFET 사이의 도통 불량을 발생시키는 문제가 있다.
- <140> 본 발명의 목적은, CVD법에 의해 형성되는 금속막, 예를 들면, 정보 축적 용량 소자의 하부 전극을 구성하는 Ru막 등의 막질을 향상시키는 기술을 제공하는 데 있다.
- <141> 본 발명의 다른 목적은, 양호한 금속막을 형성함으로써 이것을 갖는 반도체 집적 회로 장치의 특성의 향상을 도모하는 데 있다.
- <142> 본 발명의 상기 및 그 밖의 목적과 신규 특징은, 본 명세서의 기술 및 첨부 도면으로부터 분명해질 것이다.

### 발명의 구성 및 작용

- <143> 본원에서 개시되는 발명 중, 대표적인 것을 설명하면, 다음과 같다.
- <144> (1). 본 발명의 반도체 집적 회로 장치의 제조 방법은, 반도체 기판 상의 금속막, 예를 들면, 캐패시터의 하부 전극을 구성하는 Ru막 등을, 이 금속 화합물,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 와 같은 환원제를 사용한 화학 기상 성장법으로 형성하는 공정을 포함한다.
- <145> (2). 본 발명의 반도체 집적 회로 장치의 제조 방법은, 반도체 기판 상의 금속막, 예를 들면, 캐패시터의 하부 전극을 구성하는 Ru막이나 배선을 구성하는 Cu막 등을, 소정의 온도에서, 금속막을 구성하는 금속 화합물,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 와 같은 환원제를 사용한 화학 기상 성장법으로 형성하는 공정을 갖는다. 또한,  $\text{H}_2$ 를 사용하는 경우에는, 상기  $\text{H}_2$ 에 대한 상기  $\text{H}_2\text{O}$ 의 분압비( $[\text{H}_2\text{O}]/[\text{H}_2]$ )가, 상기 온도에서 계1(상기 금속막을 구성하는 금속 산화물+ $\text{H}_2$ )과 계2(상기 금속막을 구성하는 금속+ $\text{H}_2\text{O}$ )가 평형 상태로 될 때의  $\text{H}_2$ 에 대한  $\text{H}_2\text{O}$ 의 분압비( $[\text{H}_2\text{O}]_{\text{eq}}/[\text{H}_2]_{\text{eq}}$ )보다 작아지는 조건 하에서 형성하는 공정을 갖는다.

- <146> (3). 본 발명의 반도체 집적 회로 장치의 제조 방법은, 반도체 기판 상의 금속 산화막, 예를 들면, 캐패시터의 용량 절연막(캐패시터 절연막)으로 되는 산화탄탈막 등을, 소정의 온도에서, 금속 산화막을 구성하는 금속 화합물,  $H_2O$  및  $H_2$ 와 같은 환원제를 사용한 화학 기상 성장법으로 형성하는 공정을 갖는다. 또한,  $H_2$ 를 사용하는 경우에는, 상기  $H_2$ 에 대한 상기  $H_2O$ 의 분압비( $[H_2O]/[H_2]$ )가, 상기 온도에서 제1(상기 금속 산화막을 구성하는 금속 산화물+ $H_2$ )과 제2(상기 금속 산화막을 구성하는 금속+ $H_2O$ )가 평형 상태로 될 때의  $H_2$ 에 대한  $H_2O$ 의 분압비( $[H_2O]_{eq}/[H_2]_{eq}$ )보다 커지는 조건 하에서 형성하는 공정을 포함한다.
- <147> (4). 본 발명의 반도체 집적 회로 장치의 제조 방법은, 반도체 기판 상의 제1 금속막 혹은 제1 금속 질화막, 예를 들면, 접착층이나 배리어층으로서의 역할을 행하는 W막이나 WN막 등의 위에 제2 금속막(Ru막이나 Cu막 등)을 갖는 반도체 집적 회로 장치의 제조 방법으로서, 상기 제2 금속막을, 소정의 온도에서, 상기 제2 금속 화합물,  $H_2O$  및  $H_2$ 와 같은 환원제를 사용한 화학 기상 성장법으로 형성하는 공정을 갖는다. 또한,  $H_2$ 를 사용하는 경우에는, 상기  $H_2$ 에 대한 상기  $H_2O$ 의 분압비( $[H_2O]/[H_2]$ )가, 상기 온도에서 제1(상기 제1 금속 산화물+ $H_2$ )과 제2(상기 제1 금속+ $H_2O$ )가 평형 상태로 될 때의  $H_2$ 에 대한  $H_2O$ 의 분압비( $[H_2O]_{eq}/[H_2]_{eq}$ )보다 작아지는 조건 하에서 형성하는 공정을 포함한다.
- <148> (5). 본 발명의 반도체 집적 회로 장치의 제조 방법은, 반도체 기판 상의 제1 금속막 혹은 제1 금속 질화막, 예를 들면, 배리어층으로서의 역할을 행하는 W막이나 WN막 혹은 캐패시터의 하부 전극을 구성하는 Ru막 등의 위에 제2 금속 산화막(캐패시터의 용량 절연막으로 되는 산화탄탈막 등)을 갖는 반도체 집적 회로 장치의 제조 방법으로서, 상기 제2 금속 산화막을, 소정의 온도에서, 상기 제2 금속 화합물,  $H_2O$  및  $H_2$ 와 같은 환원제를 사용한 화학 기상 성장법으로 형성하는 공정을 포함한다. 또한,  $H_2$ 를 사용하는 경우에는, 상기  $H_2$ 에 대한 상기  $H_2O$ 의 분압비( $[H_2O]/[H_2]$ )가, 상기 온도에서 제1(상기 제2 금속 산화물+ $H_2$ )과 제2(상기 제2 금속+ $H_2O$ )가 평형 상태로 될 때의  $H_2$ 에 대한  $H_2O$ 의 분압비( $[H_2O]_{eq1}/[H_2]_{eq1}$ )보다 크고, 또한, 상기 온도에서 제3(상기 제1 금속 산화물+ $H_2$ )과 제4(상기 제1 금속+ $H_2O$ )가 평형 상태로 될 때의  $H_2$ 에 대한  $H_2O$ 의 분압비( $[H_2O]_{eq2}/[H_2]_{eq2}$ )보다 작아지는 조건 하에서 형성하는 공정을 포함한다.
- <149> 이하, 본 발명의 실시예를 도면에 기초하여 상세히 설명한다. 또한, 실시예를 설명하기 위한 모든 도면에서, 동일한 기능을 갖는 부재에는 동일한 부호를 붙이고, 그 반복 설명은 생략한다.
- <150> (실시예 1)
- <151> 본 실시예의 DRAM의 제조 방법을 도 1~도 17을 이용하여 공정 순서대로 설명한다.
- <152> 우선, 도 1에 도시한 바와 같이, 예를 들면 p형의 단결정 실리콘으로 이루어지는 반도체 기판(1) 주면의 소자 분리 영역에 소자 분리(2)를 형성한다. 또한, 이 소자 분리(2)를 형성함으로써, 도 2에 도시한 바와 같은, 소자 분리(2)로 주위가 둘러싸인 가늘고 긴 섬 형상의 활성 영역(L)이 동시에 형성된다. 이들 활성 영역(L) 각각에는, 소스, 드레인,의 한쪽을 공유하는 메모리 셀 선택용 MISFET Qs가 2개씩 형성된다.
- <153> 상기 소자 분리(2)를 형성하기 위해서는, 반도체 기판(1)의 표면을 에칭하여 깊이 300~400nm 정도의 홈을 형성하고, 이 홈의 내부에 얇은 산화실리콘막을 형성한다. 계속해서 이 홈의 내부를 포함하는 반도체 기판(1) 상에 CVD법으로 산화실리콘막(4)(막 두께 600nm 정도)을 퇴적한 후, 산화실리콘막(4)을 화학 기계 연마(CMP: Chemical Mechanical Polishing)법으로 폴리시백함으로써 형성한다.
- <154> 다음으로, 반도체 기판(1)에 B(붕소)를 이온 주입함으로써 p형 웰(3)을 형성하고, 계속해서 p형 웰(3)의 표면을 HF(불산)계의 세정액으로 세정한 후, 반도체 기판(1)을 열 산화함으로써 p형 웰(3)(활성 영역 L)의 표면에, 막 두께 6nm 정도의 게이트 절연막(5)을 형성한다.
- <155> 다음으로, 도 3에 도시한 바와 같이, 게이트 절연막(5)의 상부에 게이트 전극(6)을 형성한다. 게이트 전극(6)은, 예를 들면 게이트 절연막(5)의 상부에 P(인) 등을 도핑한 n형 다결정 실리콘막(막 두께 70nm 정도), WN(질화텅스텐) 또는 TiN(질화티탄)으로 이루어지는 배리어 메탈막(막 두께 5nm~10nm 정도), W막(텅스텐막, 막 두께 100nm 정도) 및 질화실리콘막(7)(막 두께 150nm 정도)을 순차적으로 퇴적한 후, 포토레지스트막(도시 생략)을 마스크로 하여 이들 막을 드라이 에칭함으로써 형성한다. 다결정 실리콘막 및 질화실리콘막(7)은 CVD법으로 퇴적하고, 배리어 메탈막 및 W막은 스퍼터링법으로 퇴적한다. 이 게이트 전극(6)은 워드선(WL)으로서 기능한다. 계속해서, 웨트·하이드로젠 산화를 행하여, 게이트 전극(6)을 구성하는 n형 다결정 실리콘막의 측벽에 얇은 실

리콘 산화막을 형성한다. 이 웨트·하이드로젠 산화에 의하면, 실리콘 상에만 선택적으로 산화막을 형성할 수 있다.

- <156> 다음으로, 도 4에 도시한 바와 같이, p형 웰(3)에 As(비소) 또는 P(인)를 이온 주입하여 게이트 전극(6)의 양측의 p형 웰(3)에 n형 반도체 영역(8)(소스, 드레인)을 형성한다. 여기까지의 공정에 의해, 메모리 셀 선택용 MISFET Qs가 대략 완성된다.
- <157> 다음으로, 반도체 기판(1) 상에 CVD법으로 질화실리콘막(9)(막 두께 50nm) 및 산화실리콘막(10)(막 두께 600nm 정도)을 퇴적하고, 계속해서 산화실리콘막(10)의 표면을 화학 기계 연마법으로 평탄화한 후, 포토레지스트막(도시 생략)을 마스크로 하여 산화실리콘막(10) 및 질화실리콘막(9)을 드라이 에칭함으로써, 메모리 셀 선택용 MISFET Qs의 n형 반도체 영역(8)(소스, 드레인)의 상부에 콘택트홀(11, 12)을 형성한다. 산화실리콘막(10)의 에칭은 질화실리콘막에 대한 선택비가 큰 조건으로 행하고, 질화실리콘막(9)의 에칭은 실리콘이나 산화실리콘막에 대한 에칭 선택비가 큰 조건으로 행한다. 이에 의해, 콘택트홀(11, 12)이 게이트 전극(6)(위드선)에 대하여 자기 정합으로 형성된다.
- <158> 다음으로, 도 5에 도시한 바와 같이, 콘택트홀(11, 12)의 내부에 플러그(13)를 형성한다. 플러그(13)를 형성하기 위해서는, 산화실리콘막(10)의 상부에 P를 도핑한 n형 다결정 실리콘막을 CVD법으로 퇴적함으로써, 콘택트홀(11, 12)의 내부에 이 n형 다결정 실리콘막을 매립한 후, 콘택트홀(11, 12)의 외부의 n형 다결정 실리콘막을 화학 기계 연마법(또는 에치백)으로 제거한다.
- <159> 다음으로, 산화실리콘막(10)의 상부에 CVD법으로 산화실리콘막(14)(막 두께 150nm 정도)을 퇴적한 후, 포토레지스트막(도시 생략)을 마스크로 하여 콘택트홀(11)의 상부의 산화실리콘막(14)을 드라이 에칭함으로써, 관통 홀(15)을 형성한다.
- <160> 다음으로, 관통 홀(15)의 내부에 플러그(16)를 형성한다. 플러그(16)를 형성하기 위해서는, 산화실리콘막(14)의 상부에 예를 들면 스퍼터링법으로 Ti막과 TiN막의 적층막으로 이루어지는 배리어 메탈막을 퇴적하고, 계속해서 배리어 메탈막의 상부에 CVD법으로 W막을 퇴적함으로써, 관통 홀(15)의 내부에 이들 막을 매립한 후, 관통 홀(15)의 외부의 이들 막을 화학 기계 연마법으로 제거한다. 이 플러그(16, 13)를 통해, 메모리 셀 선택용 MISFET Qs의 n형 반도체 영역(8)(소스, 드레인)과 후술하는 비트선 BL이 접속된다.
- <161> 다음으로, 산화실리콘막(14) 및 플러그(16) 상에 비트선 BL을 형성한다. 비트선 BL을 형성하기 위해서는, 예를 들면 산화실리콘막(14)의 상부에 스퍼터링법으로 TiN막(막 두께 10nm 정도, 도시 생략)을 퇴적하고, 계속해서 TiN막의 상부에 CVD법으로 W막(막 두께 50nm 정도)을 퇴적한 후, 포토레지스트막(도시 생략)을 마스크로 하여 이들 막을 드라이 에칭한다.
- <162> 다음으로, 도 6에 도시한 바와 같이, 비트선 BL의 상부에 CVD법으로 산화실리콘막(17)(막 두께 300nm 정도)을 퇴적하고, 계속해서 화학 기계 연마법으로 그 표면을 평탄화한다. 다음으로, 산화실리콘막(17)의 상부에 CVD법으로 질화실리콘막(18)(막 두께 50nm 정도)을 퇴적한다.
- <163> 다음으로, 질화실리콘막(18) 및 산화실리콘막(17) 등을 드라이 에칭함으로써, 플러그(13)가 매립된 콘택트홀(12)의 상부에 관통 홀(19)을 형성한다.
- <164> 관통 홀(19)은, 그 직경이 그 하부의 콘택트홀(12)의 직경보다 작아지도록 형성한다. 이 경우, 직경은 약 0.1  $\mu\text{m}$ 이다. 구체적으로는, 질화실리콘막(18)의 상부에 CVD법으로 다결정 실리콘막(20)을 퇴적하고, 계속해서 관통 홀(19)을 형성하는 영역의 다결정 실리콘막(20)을 드라이 에칭하여 구멍(직경 약 0.18  $\mu\text{m}$ )을 형성한 후, 다결정 실리콘막(20)의 상부에 다시 다결정 실리콘막(도시 생략)을 퇴적한다. 다음으로, 다결정 실리콘막(20)의 상부의 다결정 실리콘막을 이방성 에칭함으로써 구멍의 측벽에 측벽 스페이서(21)를 형성하고, 계속해서 다결정 실리콘막(20)과 측벽 스페이서(21)를 하드 마스크로 이용하여 구멍의 저면의 질화실리콘막(18) 및 산화실리콘막(17, 14)을 드라이 에칭한다.
- <165> 다음으로, 다결정 실리콘막(20) 및 측벽 스페이서(21)를 드라이 에칭으로 제거한 후, 도 7에 도시한 바와 같이, 관통 홀(19)의 내부에 플러그(22)를 형성한다. 플러그(22)를 형성하기 위해서는, 우선 질화실리콘막(18)의 상부에 P를 도핑한 n형 다결정 실리콘막을 CVD법으로 퇴적함으로써 관통 홀(19)의 내부에 n형 다결정 실리콘막을 매립한 후, 관통 홀(19)의 외부의 n형 다결정 실리콘막을 화학 기계 연마법(또는 에치백)으로 제거한다. 이 때, 다결정 실리콘막을 오버 연마(또는 오버 에칭)함으로써, 플러그(22)의 표면의 높이를 관통 홀(19)의 상단부로부터 하방으로 후퇴시킨다.

- <166> 다음으로, 도 8에 도시한 바와 같이, 플러그(22)의 상부에 배리어층(23)을 형성한다. 배리어층(23)을 형성하기 위해서는, 질화실리콘막(18)의 상부에 스퍼터링법으로 WN막을 퇴적한 후, 계속해서 관통 홀(19)의 외부의 WN막을 화학 기계 연마법(또는 드라이 에칭)으로 제거한다. 배리어층(23)은, 후술하는 제조 공정 도중에서 행해지는 열 처리에 의해, 하부 전극(30A)을 구성하는 Ru(루테튬)와 플러그(22)를 구성하는 다결정 실리콘이 원하지 않는 실리사이드 반응을 일으키는 것을 방지하기 위해 형성한다. 또한, 이 배리어층(23)을 W막 혹은 TaN(질화탄탈)막으로 형성해도 된다.
- <167> 이 후, 플러그(22) 상에, Ru막(30)으로 이루어지는 하부 전극(30A), 산화탄탈막(32)으로 이루어지는 캐패시터 절연막 및 W막/Ru막으로 이루어지는 상부 전극(33)으로 구성되는 정보 축적용 용량 소자(캐패시터) C를 형성한다.
- <168> 이 정보 축적용 용량 소자 C의 형성 공정을, 도 9~도 17을 참조하면서 상세히 설명한다. 이들 도면은, 플러그(22) 상의 정보 축적용 용량 소자 C의 형성 예정 영역을 모식적으로 나타낸 도면이다.
- <169> 도 9에 도시한 바와 같이, 배리어층(23) 및 질화실리콘막(18) 상에 산화실리콘막(24)을 퇴적한다. 정보 축적용 용량 소자 C의 하부 전극은, 이 산화실리콘막(24)에 형성하는 구멍(오목부)의 내부에 형성된다. 하부 전극의 표면적을 크게 하여 축적 전하량을 증가시키기 위해서는, 산화실리콘막(24)을 두껍게(0.8 $\mu$ m 정도) 퇴적할 필요가 있다. 산화실리콘막(24)은, 예를 들면 산소와 테트라에톡시실란(TEOS)을 소스 가스로 이용한 플라즈마 CVD법으로 퇴적하고, 그 후, 필요에 따라 그 표면을 화학 기계 연마법으로 평탄화한다.
- <170> 다음으로, 산화실리콘막(24)의 상부에 스퍼터링법으로 막 두께 200nm 정도의 W막을 퇴적하고, 계속해서 W막의 상부에 반사 방지막을 도포함으로써, 하드 마스크(26)를 형성한다. 이 하드 마스크(26)(W막)는, 산화실리콘막(24)에 대한 에칭 선택비가 포토레지스트막에 비해 크기 때문에, 두꺼운 막 두께의 산화실리콘막(24)을 에칭할 때의 마스크로서 사용한다.
- <171> 다음으로, 도 10에 도시한 바와 같이, 하드 마스크(26) 상에, 포토레지스트막(도시 생략)을 형성하고, 이 포토레지스트막을 마스크로 하여, 하드 마스크(26)를 드라이 에칭한다. 계속해서, 하드 마스크(26)를 마스크로 하여 산화실리콘막(24)을 드라이 에칭함으로써, 깊은 구멍(오목부)(27)을 형성한다. 깊은 구멍(오목부)(27)의 저면에는 관통 홀(19) 내의 배리어층(23)의 표면이 노출된다.
- <172> 다음으로, 산화실리콘막(24)의 상부에 남은 하드 마스크(26)를 과산화수소수를 함유하는 용액으로 제거한 후, 도 11에 도시한 바와 같이, 산화실리콘막(24)의 상부 및 구멍(27)의 내부에 스퍼터링법에 의해 WN막(29)(막 두께 15nm 정도)을 퇴적한다. 이 WN막(29)은, 지지 기반인 산화실리콘막(24)이나, 후술하는 Ru막(30)과의 접착성이 우수하기 때문에, 접착층으로서 이용된다. 또한, 이 WN막(29)은, 후술하는 Ru막(30)의 형성 시에 결정 성장의 씨드(seed)가 되어, Ru막(30)의 성막성을 양호하게 한다.
- <173> 계속해서, 도 12에 도시한 바와 같이, WN막(29)의 상부에 CVD법에 의해 Ru막(30)(막 두께 30nm 정도)을 퇴적하지만, 이 CVD법에 의한 Ru막의 퇴적 전에, 스퍼터링법에 의해 막 두께 15nm 정도의 Ru막(도시 생략)을 형성한다. 이것은, 스퍼터링법에 의해 형성된 막이 씨드로 되어, CVD법에 의한 Ru막(30)을 효율적으로 성장시키기 때문이다.
- <174> 이 Ru막(30)은 Ru의 아세틸아세톤 유도체 화합물인 Ru(HFAC)<sub>3</sub>, H<sub>2</sub>O(수증기) 및 H<sub>2</sub>(수소)를 원료로 하여 형성한다. 또한, HFAC는 (CF<sub>3</sub>COCHCOCF<sub>3</sub>)<sup>-</sup>을 의미한다. 이 CF<sub>3</sub>기(其) 대신에, C(CH<sub>3</sub>)<sub>3</sub>기가 결합된 화합물을 이용해도 된다. 또한, Ru(HFAC)(1, 5-cyclooctadiene)를 이용해도 된다.
- <175> 이 Ru(HFAC)<sub>3</sub>의 유기 화합물 용액을 기화하여, H<sub>2</sub>O 및 H<sub>2</sub>와 반응시킴으로써 성막한다. 또한, 유기 화합물 용액 으로서는 테트라히드로푸란 용액 등을 들 수 있다. 여기서, H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 도 13에 도시하는 그래프 (a)보다 아래의 영역에 위치하도록 제어하면서 반응을 일으키게 한다.
- <176> 우선, 이 Ru막의 성막의 반응 기구에 대하여 설명한다. 이 반응 기구로서는, 도 14에 도시하는 기구를 생각할 수 있다. 도 14에 도시한 바와 같이, Ru(HFAC)<sub>3</sub>은, 우선, H<sub>2</sub>O와 반응하여(H<sub>2</sub>O에 의해 분해되어), 수산화물 Ru(OH)<sub>3</sub>으로 된다(도 14의 (a)). 계속해서, 이 수산화물 Ru(OH)<sub>3</sub>이 수소에 의해 환원되어, Ru가 생성된다(도 14의 (b)). 이 반응 기구로부터 명백한 바와 같이, H<sub>2</sub>O는 소비되지 않고, 촉매적인 기능을 한다. 또한, 반응이 행해지는 반응실은 배기(排氣)되어 있기 때문에, 실질적인 원료인 Ru(HFAC)<sub>3</sub>이나 H<sub>2</sub>와 마찬가지로, H<sub>2</sub>O도 적



절하게 공급할 필요가 있다.

- <177> 이와 같이, 본 실시예에 따르면,  $\text{Ru}(\text{HFAC})_3$ ,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 이용하여, 가수분해를 이용하여, Ru막을 형성하였기 때문에, 막질이 양호한 Ru막을 형성할 수 있다.
- <178> 예를 들면, 예복시시클로펜타디에닐루테늄( $\text{Ru}(\text{C}_2\text{H}_5\text{OC}_5\text{H}_4)_2$ )의 테트라히드로푸란 용액 등의 Ru의 유기 화합물 용액을 기화하여,  $\text{O}_2$ 와 반응시킴으로써 Ru막을 성막하는 것도 가능하다. 그러나, 이 경우에는, Ru가 산화되지 않도록 불완전 연소를 행함으로써 Ru를 생성하는 반응이다. 그 결과, 탄소나 수소 혹은 이들의 산소화합물 외에, 반응 시에 발생하는 유기 화합물이나 그 산화물이 Ru막 내에 유입되어, Ru막의 막질을 열화시키는 원인이 된다. 또한, 이 이후에 행해지는 열 처리, 예를 들면, Ru막의 치밀화를 위한 열 처리 등에 의해, Ru막 내에 유입된 탄소나 수소 혹은 이들의 산소화합물 등이 기화하여, Ru막의 막질을 열화시킨다. 또한, Ru막 내의 산소나 산소화합물이 접촉층으로 되는 WN막(29)이나 베리어층(23)을 산화시켜, 플러그(22)와 하부 전극(Ru막(30))의 도통 불량을 발생시킨다. 특히, 상술한 바와 같이, 플러그(22)의 직경이 작은 경우에는 도통 불량 발생하기 쉽다.
- <179> 이에 비하여, 본 실시예에 따르면,  $\text{Ru}(\text{HFAC})_3$ 의 가수분해를 이용하여 Ru막을 생성하였기 때문에, Ru막 내에 유입되는 부(副)생성물, 예를 들면, 탄소나 수소 혹은 이들의 화합물을 저장시킬 수 있다. 즉, 결정성이 양호한 Ru막을 형성할 수 있기 때문에, 이 이후에 행해지는 열 처리, 예를 들면, Ru막의 치밀화를 위한 열 처리 등에 의해, Ru막 내에 유입된 탄소나 수소 혹은 이들의 산소화합물 등이 기화되어도, 기화량이 적어 Ru막의 막질을 유지할 수 있다. 또한, 후술하는 하부 전극(Ru막(30)) 상에 형성되는 용량 절연막의 열 처리 시에 있어서도, Ru막 내의 탄소 등의 기화에 의한 막 수축을 작게 할 수 있어, 용량 절연막의 파손을 방지할 수 있다. 그 결과, 정보 축적용 용량 소자 C의 특성을 향상시킬 수 있다. 또한, Ru막 내의 산소나 산소화합물량을 저장할 수 있어, 플러그(22)와 하부 전극(Ru막(30))의 도통 불량을 방지할 수 있다.
- <180> 또한,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 13에 도시하는 그래프 (a)보다 아래의 영역에 위치하도록 제어하는 것은, Ru막의 성막 시에, Ru가 산화되는 것을 억제하기 위해서이다. 즉, Ru막의 성막 시에는, 생성된 Ru와  $\text{H}_2\text{O}$ 의 반응에 의해  $\text{RuO}_2$ (산화루테늄)가 생기는 부반응이 발생할 수 있다. 이하, 이 반응(Ru의 산화)을 억제할 수 있는 이유에 대하여 이하에 설명한다.
- <181> 도 13의 그래프 (a)는, 계1( $\text{RuO}_2+\text{H}_2$ )과 계2( $\text{Ru}+\text{H}_2\text{O}$ )의 평형 상태에서의 평형 상수 k의 대수를 반응 온도에 대하여 나타낸 것이다. 이  $\log k = \log \left( \frac{[\text{H}_2\text{O}]_{\text{eq}}}{[\text{H}_2]_{\text{eq}}} \right) \left( \frac{[\text{H}_2]_{\text{eq}}}{[\text{H}_2\text{O}]_{\text{eq}}} \right)$ : 평형 상태에서의  $\text{H}_2\text{O}$ 의 분압,  $[\text{H}_2]_{\text{eq}}$ : 평형 상태에서의  $\text{H}_2$ 의 분압)로 표현한다. 또한, 이 평형 상수 k는, 계1과 계2의 깁스(Gibbs)의 자유 에너지의 차( $\Delta G$ ) 등에 의해,  $\Delta G = -RT \ln k$ 로부터 구할 수 있다.
- <182> 따라서, 이 그래프 (a)보다 위의 영역에 위치하는 조건 하에서는, Ru가 산화되는 방향으로 평형이 이동한다. 그러나,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 13에 도시하는 그래프 (a)보다 아래의 영역에 위치하도록 제어하면서, Ru막을 성막하면, Ru의 산화를 억제할 수 있다.
- <183> 단, Ru막의 성막에는, 원료인  $\text{Ru}(\text{HFAC})_3$  용액을 기화할 필요가 있고, 또한, 너무 고온에서 처리하면 원료의 분해가 발생할 수 있기 때문에, 반응 온도는 100~200℃(원료 용액의 비점 이상)으로부터 500℃ 정도가 바람직하다고 생각된다.
- <184> 이와 같이, 본 실시예에 따르면,  $\text{Ru}(\text{HFAC})_3$ ,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 이용하고, 또한,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 13에 도시하는 그래프 (a)보다 아래의 영역에 위치하도록 제어하면서 반응을 일으키게 하였기 때문에, Ru막의 산화를 방지하면서, 산소나 탄소 혹은 이들의 화합물의 함유량이 적은 양호한 Ru막을 형성할 수 있다.
- <185> 계속해서, 700℃, 1분간의 열 처리를 행하여 Ru막(30)을 치밀화한다. 또한, 상술한 바와 같이 Ru막의 결정성이 양호하기 때문에, 이 열 처리에 의해 기화하는 Ru막 내의 탄소 등이 적어, Ru막의 막질을 유지할 수 있다.
- <186> 계속해서, 도 15에 도시한 바와 같이, Ru막(30) 상에 포토레지스트막(도시 생략)을 도포하여, 전면 노광을 행한 후, 현상함으로써, 구멍(27) 내에 포토레지스트막(도시 생략)을 잔존시킨다. 이 포토레지스트막은, 다음 공정에서 산화실리콘막(24)의 상부의 불필요한 Ru막(30)을 드라이 에칭으로 제거할 때에, 구멍(27)의 내부(측벽 및 저면)의 Ru막(30)이 제거되는 것을 방지하는 보호막으로서 사용된다. 계속해서, 이 포토레지스트막을 마스크로

하여 드라이 에칭을 행함으로써, 산화실리콘막(24) 상의 Ru막(30)을 제거함으로써 하부 전극(30A)을 형성한다. 계속해서, 구멍(27) 내의 포토레지스트막을 제거한다.

- <187> 다음으로, 하부 전극(30A)이 형성된 구멍(27)의 내부 및 산화실리콘막(24) 상에 캐패시터 절연막이 되는 10nm 정도의 산화탄탈막(32)을 퇴적한다. 산화탄탈막(32)은 펜타에톡시탄탈( $\text{Ta}(\text{OC}_2\text{H}_5)_5$ )과 산소를 원료로 한 CVD법으로 퇴적한다. 그 후, Ar(아르곤) 분위기 중에서 650℃의 열 처리를 실시하여, 산화탄탈을 결정화시킨다. 또한, 상술한 바와 같이 Ru막의 결정성이 양호하기 때문에, 이 열 처리 시의 Ru막의 막 수축을 작게 할 수 있어, 산화탄탈막(32)의 파손을 방지할 수 있다.
- <188> 다음으로, 도 16에 도시한 바와 같이, 산화탄탈막(32)의 상부에 상부 전극(33)을 형성한다. 상부 전극(33)은, 예를 들면 산화탄탈막(32)의 상부에 CVD법으로 Ru막(33a)(막 두께 70nm 정도) 및 W막(33b)(막 두께 100nm 정도)을 퇴적함으로써 형성한다. Ru막(33a)은 Ru막(30)과 마찬가지로 형성해도 된다. W막(33b)은 상부 전극(33)과 상층 배선의 컨택트 저항을 저감하기 위해 사용된다. 또한, Ru막(33a)과 W막(33b) 사이에, 캐패시터 절연막(산화탄탈막(32))으로부터 W막으로의 가스(산소나 수소)의 확산에 의한 저항 증대를 방지하기 위해 TiN막을 형성해도 된다.
- <189> 여기까지의 공정에 의해, Ru막(30)으로 이루어지는 하부 전극(30A), 산화탄탈막(32)으로 이루어지는 캐패시터 절연막 및 W막(33b)/Ru막(33a)으로 이루어지는 상부 전극(33)으로 구성되는 정보 축적용 용량 소자 C가 완성되고, 메모리 셀 선택용 MISFET Qs와 이것에 직렬로 접속된 정보 축적용 용량 소자 C로 구성되는 DRAM의 메모리 셀이 대략 완성된다. 도 17은 정보 축적용 용량 소자 C 형성 후의 반도체 집적 회로 장치의 평면도이다. 도 7은, 예를 들면, 도 17에서의 A-A부의 단면도와 대응한다.
- <190> 그 후, 정보 축적용 용량 소자 C의 상부에 산화실리콘막 등으로 이루어지는 층간 절연막(34)이 형성되고, 또한, 이 층간 절연막 상에 2층 정도의 Al 배선이 형성되며, 최상층의 Al 배선의 상부에 패시베이션막이 형성되지만, 이들의 도시는 생략한다.
- <191> 이상 상술한 바와 같이, 본 실시예에 따르면,  $\text{Ru}(\text{HFAC})_3$ 의 가수분해를 이용하여 Ru막을 생성하였기 때문에, Ru막 내에 유입된 부생성물을 저감할 수 있어, Ru막의 막질을 향상시킬 수 있다.
- <192> 또한, 본 실시예에서는, Ru막의 성막 시에 이용되는  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 13에 도시하는 그래프 (a)보다 아래의 영역에 위치하도록 제어하였기 때문에, Ru막의 성막 시에, Ru의 산화를 억제할 수 있다.
- <193> 그 결과, 정보 축적용 용량 소자 C의 특성을 향상시키고, 또한, 메모리 셀의 특성을 향상시킬 수 있다. 또한, 미세화된 메모리 셀 구조에서도 원하는 용량을 확보할 수 있다.
- <194> (실시예 2)
- <195> 실시예 1에서는,  $\text{Ru}(\text{HFAC})_3$ ,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 원료로 하고,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 13에 도시하는 그래프 (a)보다 아래의 영역에 위치하도록 제어하여, Ru막(30)을 형성하였지만, Ru막 형성 시,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 이하에 설명하는 조건 하에서 형성해도 된다.
- <196> 이하, 본 실시예의 DRAM의 제조 방법을 설명한다. 또한, 접촉층으로서의 기능을 갖는 WN막(29)의 형성 공정까지는, 도 1~도 11까지를 참조하면서 설명한 실시예 1의 경우와 마찬가지로 하기 때문에 그 설명을 생략한다.
- <197> 이 WN막(29)의 상부에, 도 18에 도시한 바와 같이, 스퍼터법에 의해 막 두께 15nm 정도의 Ru막(도시 생략)을 형성하고, 계속해서, CVD법에 의해 막 두께 30nm 정도의 Ru막(230)을 퇴적한다.
- <198> 여기서, 이 Ru막(230)을, 실시예 1과 마찬가지로,  $\text{Ru}(\text{HFAC})_3$ ,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 원료로 하여 형성하지만, 이 때,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 19에 도시하는 그래프 (b)보다 아래의 영역에 위치하도록 제어하면서 반응을 일으키게 한다.
- <199> 도 19의 그래프 (a)는, 계1( $\text{RuO}_2+\text{H}_2$ )과 계2( $\text{Ru}+\text{H}_2\text{O}$ )의 평형 상태에서의 평형 상수 k의 대수를 반응 온도에 대하여 나타낸 것으로, 그래프 (b)는, 계1( $\text{WO}_2+\text{H}_2$ )과 계2( $\text{W}+\text{H}_2\text{O}$ )의 평형 상태에서의 평형 상수 k의 대수를 반응 온도에 대하여 나타낸 것이다. 실시예 1에서 설명한 바와 같이, 이  $\log k = \log \left[ \frac{[\text{H}_2\text{O}]_{\text{eq}}}{[\text{H}_2]_{\text{eq}}} \frac{[\text{H}_2\text{O}]_{\text{eq}}}{[\text{H}_2]_{\text{eq}}} \right]$ : 평형 상태에서의  $\text{H}_2\text{O}$ 의 분압,  $[\text{H}_2]_{\text{eq}}$ : 평형 상태에서의  $\text{H}_2$ 의 분압)로 표현되며, 이 평형 상수 k는 계1과 계2의 깁스의 자유

에너지의 차( $\Delta G$ ) 등에 의해 구할 수 있다.

- <200> 따라서, 이 그래프 (b)보다 위의 영역에 위치하는 조건 하에서는, W가 산화되는 방향으로 평형이 이동하게 된다. 그러나, H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 도 19에 도시하는 그래프 (b)보다 아래의 영역에 위치하도록 제어하면서, Ru막을 성막하면, Ru의 산화를 억제하면서, W의 산화도 억제할 수 있다.
- <201> 그 결과, 실시예 1에서 설명한 효과 외에 접착층의 역할을 행하는 WN막(29)이나 배리어층(23) 내의 W의 산화를 억제할 수 있다. 그 결과, Ru막(230)(하부 전극)과 플러그(22) 사이의 도통 불량을 방지할 수 있다. 또한, WN막(29)이나 배리어층(23)을 W막으로 형성한 경우에도 마찬가지로, W의 산화를 억제할 수도 있다. 또한, WN막(29)이나 배리어층(23)을 TaN막으로 형성한 경우에는, Ru막 형성 시에, H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 도 20에 도시하는 그래프 (c)보다 아래의 영역에 위치하도록 제어하면서 반응을 일으키게 하면, TaN막 내의 Ta의 산화를 억제할 수 있다. 도 20의 그래프 (c)는, 계1(Ta<sub>2</sub>O<sub>5</sub>+H<sub>2</sub>)과 계2(Ta+H<sub>2</sub>O)의 평형 상태에서의 평형 상수 k의 대수를 반응 온도에 대하여 나타낸 것이다.
- <202> 계속해서, 700℃, 1분간의 열 처리를 행하여 Ru막(230)을 치밀화한다.
- <203> 이후의 공정은, 도 15 및 도 16을 참조하면서 설명한 실시예 1의 경우와 마찬가지로 하기 때문에 그 설명을 생략한다.
- <204> 이상 상술한 바와 같이, 본 실시예에 따르면, Ru막(230)을 Ru(HFAC)<sub>3</sub>, H<sub>2</sub>O 및 H<sub>2</sub>를 원료로 하고, 이 중 H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 도 19에 도시하는 그래프 (b)보다 아래의 영역에 위치하도록 제어하면서 형성하였기 때문에, Ru막의 하층에 위치하는 W 혹은 W의 화합물로 이루어지는 막의 산화를 억제할 수 있어, Ru막(230)(하부 전극)과 플러그(22) 사이의 도통 불량을 방지할 수 있다. 그 결과, 정보 축적용 용량 소자 C의 특성을 향상시키고, 또한, 메모리 셀의 특성을 향상시킬 수 있다.
- <205> 또한, 실시예 1 및 실시예 2에서는 Ru막을 예로 들어 설명하였지만, Ir(이리듐)막, Pd(팔라듐)막 혹은 Pt(백금)막 등도 헥사플루오르 아세틸아세톤과 착체 화합물(아세틸아세토네이트 유도체)을 형성할 수 있기 때문에, 이들의 착체 화합물, H<sub>2</sub>O 및 H<sub>2</sub>를 원료로 하여, 실시예 1 및 실시예 2와 같이, H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 제어하면서 이들의 금속막을 형성하면, 마찬가지로의 효과를 얻을 수 있다(도 21 참조). 도 21의 그래프 (d), (e)는, 각각 계1(IrO<sub>2</sub>+H<sub>2</sub>)과 계2(Ir+H<sub>2</sub>O)의 평형 상태에서의 평형 상수 k의 대수, 계1(PdO+H<sub>2</sub>)과 계2(Pd+H<sub>2</sub>O)의 평형 상태에서의 평형 상수 k의 대수를 반응 온도에 대하여 나타낸 것이다. 특히, Ru나 Ir은 상술한 착체 화합물을 얻기 쉬워, 하부 전극으로서 이용하기에 적합하다.
- <206> (실시예 3)
- <207> 실시예 1 및 실시예 2에서는, Ru막 성막 시의 H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 제어하였지만, 캐패시터 절연막이 되는 산화탄탈막(Ta<sub>2</sub>O<sub>5</sub>)을 이하에 설명하는 바와 같이 H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 제어하여 형성해도 된다.
- <208> 이하, 본 실시예의 DRAM의 제조 방법을 설명한다. 또한, 하부 전극(30A) 형성 공정까지는, 도 1~도 15까지를 참조하면서 설명한 실시예 1의 경우와 마찬가지로 하기 때문에 그 설명을 생략한다. 또한, 하부 전극(30A)을 구성하는 Ru막(30)을 실시예 2에서 설명한 방법으로 형성해도 된다.
- <209> 이 하부 전극(30A)이 형성된 구멍(27)의 내부 및 산화실리콘막(24) 상에, 도 22에 도시한 바와 같이, 캐패시터 절연막이 되는 10nm 정도의 산화탄탈막(332)을 퇴적한다. 산화탄탈막(332)은 펜타에톡시탄탈(Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>)과 H<sub>2</sub>O를 원료로 한 CVD법으로 퇴적한다.
- <210> 이와 같이, 본 실시예에 따르면, 펜타에톡시탄탈(Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>)과 H<sub>2</sub>O를 이용하여 산화탄탈막(332)을 형성하였기 때문에, 막질이 양호한 산화탄탈막(332)을 형성할 수 있다.
- <211> 즉, 실시예 1에서 설명한 바와 같이, 펜타에톡시탄탈(Ta(OC<sub>2</sub>H<sub>5</sub>)<sub>5</sub>)과 산소를 원료로 한 CVD법으로 산화탄탈막(332)을 퇴적해도 되지만, 이 경우에는, 탄소 혹은 그 화합물 등이 산화탄탈막(332) 내에 유입되어, 산화탄탈막의 막질을 열화시키는 원인이 된다. 또한, 원료로서 산소를 이용하기 때문에, 산화탄탈막(332)의 하층인 하부 전극(30A)(Ru막), 접착층의 역할을 행하는 WN막(29)이나 배리어층(23)을 산화시킬 우려가 있다. 이들 막이 산화되면, Ru막(30)(하부 전극)과 플러그(22) 사이의 도통 불량이 발생한다. 특히, 플러그의 직경이 작은 경우에

는 도통 불량이 발생하기 쉽다.

- <212> 이에 비하여, 본 실시예에 따르면, 펜타에톡시탄탈( $\text{Ta}(\text{OC}_2\text{H}_5)_5$ )의 가수분해를 이용하여 산화탄탈막(332)을 생성하였기 때문에, 산화탄탈막(332) 내에 유입되는 부생성물, 예를 들면, 탄소나 이 화합물을 저감할 수 있어, 막질이 양호한 산화탄탈막(332)을 형성할 수 있다. 또한, 원료로서 산소를 이용하지 않기 때문에, 산화탄탈막(332)의 하층막의 산화를 방지할 수 있어, 플러그(22)와 하부 전극(Ru막)(30A)의 도통 불량을 방지할 수 있다.
- <213> 또한, 펜타에톡시탄탈( $\text{Ta}(\text{OC}_2\text{H}_5)_5$ )과  $\text{H}_2\text{O}$  외에,  $\text{H}_2$ 를 이용하여 이하에 설명하는 조건으로 산화탄탈막(332)을 형성해도 된다.
- <214> 즉,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 23에 도시하는 그래프 (a)와 그래프 (c)로 둘러싸인 영역에 위치하도록 제어하면서 반응을 일으키게 한다.
- <215> 도 23의 그래프 (c)는, 계1( $\text{Ta}_2\text{O}_5+\text{H}_2$ )과 계2( $\text{Ta}+\text{H}_2\text{O}$ )의 평형 상태에서의 평형 상수 k의 대수를 반응 온도에 대하여 나타낸 것이다. 실시예 1에서 설명한 바와 같이, 이  $\log k = \log \left[ \frac{[\text{H}_2\text{O}]_{\text{eq}}}{[\text{H}_2]_{\text{eq}}} \right]$ : 평형 상태에서의  $\text{H}_2\text{O}$ 의 분압,  $[\text{H}_2]_{\text{eq}}$ : 평형 상태에서의  $\text{H}_2$ 의 분압)로 표현되며, 이 평형 상수 k는 계1과 계2의 깃스의 자유 에너지의 차( $\Delta G$ ) 등에 의해 구할 수 있다.
- <216> 따라서, 이 그래프 (c)보다 아래의 영역에 위치하는 조건 하에서는,  $\text{Ta}_2\text{O}_5$ 가 환원되는 방향으로 평형이 이동하기 때문에, 산화탄탈막(332)을 성막하기 위해서는,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 23에 도시하는 그래프 (c)보다 위의 영역에 위치하도록 제어할 필요가 있다. 여기서, 실시예 1에서 설명한 바와 같이,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 23에 도시하는 그래프 (a)보다 아래의 영역에 위치하도록 제어하면, Ru의 산화를 억제할 수 있다. 단, 산화탄탈막의 성막에는, 원료 용액을 기화할 필요가 있고, 또한, 너무 고온에서 처리하면 원료의 분해가 발생할 수 있기 때문에, 반응 온도는, 100~200℃(원료 용액의 비점 이상)로부터 500℃ 정도가 바람직하다고 생각된다.
- <217> 이와 같이, 본 실시예에 따르면, 펜타에톡시탄탈( $\text{Ta}(\text{OC}_2\text{H}_5)_5$ ),  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 이용하고, 또한,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 23에 도시하는 그래프 (a) 및 그래프 (c)로 둘러싸인 영역에 위치하도록 제어하면서 반응을 일으키게 하였기 때문에, Ru막의 산화를 방지하면서, 산화탄탈막(332)을 성막할 수 있다.
- <218> 또한,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 24에 도시하는 그래프 (b)와 그래프 (c)로 둘러싸인 영역에 위치하도록 제어하면서 반응을 일으키면, 실시예 2에서 설명한 바와 같이 Ru막이나 WN막의 산화를 방지하면서, 산화탄탈막(332)을 성막할 수 있다.
- <219> 계속해서, Ar(아르곤) 분위기 중에서 650℃의 열 처리를 실시하여, 산화탄탈막(332)을 결정화시킨다.
- <220> 계속해서, 실시예 1의 경우와 마찬가지로, 산화탄탈막(332)의 상부에 상부 전극(33)을 형성한다(도 16 참조).
- <221> 이상 상술한 바와 같이, 본 실시예에 따르면, 펜타에톡시탄탈( $\text{Ta}(\text{OC}_2\text{H}_5)_5$ ),  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 이용하고, 또한,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 제어하면서 반응을 일으키게 하였기 때문에, 산화탄탈막(332)의 하층막(Ru막이나 WN막)의 산화를 방지하면서, 산화탄탈막(332)을 성막할 수 있다.
- <222> 따라서, Ru막(30)(하부 전극)과 플러그(22) 사이의 도통 불량을 방지할 수 있다. 그 결과, 정보 축적용 용량 소자 C의 특성을 향상시키고, 또한, 메모리 셀의 특성을 향상시킬 수 있다.
- <223> 또한, 본 실시예에서는, 캐패시터 절연막으로서 산화탄탈막을 이용하였지만,  $\text{Al}_2\text{O}_3$ 이나 BST( $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ )를 이용해도 된다.
- <224>  $\text{Al}(\text{CH}_3)_3\text{H}$ (디메틸알루미늄수소화물),  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 원료로 하여, 본 실시예와 같이,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 제어하면서  $\text{Al}_2\text{O}_3$ 막을 형성하면, 마찬가지로의 효과를 얻을 수 있다.
- <225> 또한, BST막은  $\text{Ba}(\text{C}(\text{CH}_3)_3\text{-CO-CH-CO-C}(\text{CH}_3)_3)_2\text{bis(dipivaloylmetanate)}$  barium,  $\text{Sr}(\text{C}(\text{CH}_3)_3\text{-CO-CH-CO-C}(\text{CH}_3)_3)_2\text{bis(dipivaloylmetanate)}$  strontium, 혹은  $\text{TiO}(\text{C}(\text{CH}_3)_3\text{-CO-CH-CO-}$



$C(CH_3)_3)_2$ titanylbis(dipivaloylmetanate)와,  $H_2O$  및  $H_2$ 를 원료로 하여 형성할 수 있고, 이 경우에도, 본 실시예와 같이,  $H_2O$  및  $H_2$ 의 분압비를 제어하면서 BST막을 형성하면, 마찬가지로의 효과를 얻을 수 있다.

- <226> 또한, 실시예 1~실시예 3에서는 DRAM 메모리 셀을 예로 들어 설명하였지만, DRAM에 한정되지 않고, 본 발명은, MIM(Metal Insulator Metal) 캐패시터를 갖는 반도체 집적 회로에 폭넓게 적용할 수 있다.
- <227> (실시예 4)
- <228> 실시예 1~실시예 3에서는, DRAM의 정보 축적용 용량 소자부에 본 발명을 적용하였지만, 본 발명을 배선부에 적용해도 된다. 다음으로, 본 발명의 실시예인 반도체 집적 회로 장치의 제조 방법에 대하여 설명한다. 도 25~도 28 및 도 32~도 35는, 본 발명의 실시예인 반도체 집적 회로 장치의 제조 방법을 나타낸 기관의 주요부 단면도이다.
- <229> 우선, 도 25에 도시한 바와 같이, 통상의 MISFET 형성 프로세스에 의해, n채널형 MISFET Qn 및 p채널형 MISFET Qp를 형성한다.
- <230> 통상의 MISFET 형성 프로세스에는, 예를 들면, 다음과 같은 것이 있다.
- <231> 우선, p형의 단결정 실리콘으로 이루어지는 반도체 기관(401)을 에칭함으로써 소자 분리홈(402)을 형성하고, 기관(401)을 열 산화함으로써, 홈의 내벽에 얇은 산화실리콘막을 형성한다. 다음으로, 홈의 내부를 포함하는 기관(401) 상에 CVD법으로 산화실리콘막(407)을 퇴적하고, 화학적 기계 연마법으로 홈의 상부의 산화실리콘막(407)을 연마하여, 그 표면을 평탄화한다.
- <232> 다음으로, 기관(401)에 p형 불순물 및 n형 불순물을 이온 주입한 후, 열 처리에 의해 불순물을 확산시킴으로써, p형 웰(403) 및 n형 웰(404)을 형성한 후, 열 산화에 의해 p형 웰(403) 및 n형 웰(404) 각각의 표면에 막 두께 6nm 정도의 청정한 게이트 산화막(408)을 형성한다.
- <233> 다음으로, 게이트 산화막(408)의 상부에 인을 도포한 저저항 다결정 실리콘막(409a)을 CVD법으로 퇴적하고, 계속해서 그 상부에 스퍼터링법으로 얇은 WN막(도시 생략)과 W막(409b)을 퇴적하고, 다시 그 상부에 CVD법으로 질화실리콘막(410)을 퇴적한다.
- <234> 다음으로, 질화실리콘막(410)을 드라이 에칭함으로써, 게이트 전극을 형성하는 영역에 질화실리콘막(410)을 남기고, 질화실리콘막(410)을 마스크로 하여 W막(409b), WN막(도시 생략) 및 다결정 실리콘막(409a)을 드라이 에칭함으로써, 다결정 실리콘막(409a), WN막 및 W막(409b)으로 이루어지는 게이트 전극(409)을 형성한다.
- <235> 다음으로, 게이트 전극(409)의 양측의 p형 웰(403)에 n형 불순물을 이온 주입함으로써 n<sup>-</sup>형 반도체 영역(411)을 형성하고, n형 웰(404)에 p형 불순물을 이온 주입함으로써 p<sup>-</sup>형 반도체 영역(412)을 형성한다.
- <236> 다음으로, 기관(401) 상에 CVD법으로 질화실리콘막을 퇴적한 후, 이방적으로 에칭함으로써, 게이트 전극(409)의 측벽에 측벽 스페이서(413)를 형성한다.
- <237> 다음으로, p형 웰(403)에 n형 불순물을 이온 주입함으로써 n<sup>+</sup>형 반도체 영역(414)(소스, 드레인)을 형성하고, n형 웰(404)에 p형 불순물을 이온 주입함으로써 p<sup>+</sup>형 반도체 영역(415)(소스, 드레인)을 형성한다.
- <238> 여기까지의 공정에서, LDD(Lightly Doped Drain) 구조의 소스, 드레인을 형성한 n채널형 MISFET Qn 및 p채널형 MISFET Qp가 형성된다.
- <239> 이 후, MISFET Qn 및 Qp 상에 산화실리콘막 등의 층간 절연막과 구리막 등의 도전성막을 교대로 퇴적하여, 복수의 배선을 형성하지만, 이하 층간 절연막과 배선 형성에 대하여 도 26~도 35를 참조하면서 상세히 설명한다.
- <240> 우선, 도 26에 도시한 바와 같이 MISFET Qn 및 Qp 상에 CVD법으로 막 두께 700nm~800nm 정도의 산화실리콘막을 퇴적한 후, 산화실리콘막을 화학 기계 연마법으로 연마하여 그 표면을 평탄화함으로써 층간 절연막 TH1을 형성한다.
- <241> 다음으로, 층간 절연막 TH1 상에 포토레지스트막을 형성하고(도시 생략), 이 포토레지스트막을 마스크로 하여 층간 절연막 TH1을 에칭함으로써 반도체 기관(401) 주면의 n<sup>+</sup>형 반도체 영역(414) 및 p<sup>+</sup>형 반도체 영역(415) 상

에 콘택트홀 C1을 형성한다.

- <242> 계속해서, 도 27에 도시한 바와 같이 콘택트홀 C1 내를 포함하는 층간 절연막 TH1 상에, CVD법에 의해 텅스텐막을 퇴적하고, 이 텅스텐막을 층간 절연막 TH1이 노출될 때까지 화학 기계 연마법에 의해 연마함으로써 콘택트홀 C1 내에 플러그 P1을 형성한다. 또한, 텅스텐막의 퇴적 전에, 얇은 TiN막을 퇴적하고, 플러그 P1을 TiN막 등으로 이루어지는 배리어막과 텅스텐막의 적층 구조로 해도 된다.
- <243> 계속해서, 층간 절연막 TH1 및 플러그 P1 상에, 질화실리콘막 H1a 및 산화실리콘막 H1b를 CVD법에 의해 순차적으로 퇴적하고, 이들 막으로 이루어지는 배선흘용 절연막 H1을 형성한다. 제1층 배선 형성 예정 영역의 배선흘용 절연막 H1을 에칭함으로써 배선흘 HM1을 형성한다. 또한, 질화실리콘막 H1a는, 상기 에칭 시의 에칭 스톱퍼로서 이용된다.
- <244> 다음으로, 도 28에 도시한 바와 같이, 배선흘 HM1 내를 포함하는 배선흘용 절연막 H1 상에 질화텅스텐으로 이루어지는 배리어층 M1a를 스퍼터법에 의해 퇴적하고, 계속해서, 배리어층 M1a 상에 구리막 M1b를 CVD법에 의해 형성한다.
- <245> 이 구리막 M1b는 Cu(구리)의 화합물인  $\text{Cu}(\text{HFAC})_2$ ,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 원료로 하여 형성한다. 또한, HFAC는  $(\text{CF}_3\text{COCHCOCF}_3)^-$ 을 의미한다.
- <246> 이  $\text{Cu}(\text{HFAC})_2$ 의 유기 화합물 용액을 기화하여,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 와 반응시킴으로써 성막한다. 또한, 유기 화합물 용액 으로서는 테트라히드로푸란 용액 등을 들 수 있다. 여기서,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 29에 도시하는 그래프 (a')보다 아래의 영역에 위치하도록 제어하면서 반응을 일으키게 한다.
- <247> 이와 같이 제어하는 것은, Cu막의 성막 시에, Cu의 산화를 억제하기 위해서이다. 이 Cu의 산화를 억제할 수 있는 이유에 대해서도 Ru의 경우와 마찬가지로 설명할 수 있다.
- <248> 즉, 도 29는, 계1( $\text{Cu}+\text{H}_2$ )과 계2( $\text{Cu}+\text{H}_2\text{O}$ )의 평형 상태에서의 평형 상수 k의 대수를 반응 온도에 대하여 나타낸 것이다. 이  $\log k = \log \left[ \frac{[\text{H}_2\text{O}]_{\text{eq}}}{[\text{H}_2]_{\text{eq}}} \right] ([\text{H}_2\text{O}]_{\text{eq}}: \text{평형 상태에서의 } \text{H}_2\text{O} \text{의 분압}, [\text{H}_2]_{\text{eq}}: \text{평형 상태에서의 } \text{H}_2 \text{의 분압})$ 로 표현된다. 또한, 이 평형 상수 k는, 계1과 계2의 깁스의 자유 에너지의 차( $\Delta G$ ) 등에 의해,  $\Delta G = -RT \ln k$ 로부터 구할 수 있다.
- <249> 따라서, 이 그래프(a')보다 위의 영역에 위치하는 조건 하에서는, Cu가 산화되는 방향으로 평형이 이동한다. 그러나,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 29에 도시하는 그래프(a')보다 아래의 영역에 위치하도록 제어하면서, Cu막을 성막하면, Cu의 산화를 억제할 수 있다.
- <250> 단, Cu막의 성막에는, 원료인  $\text{Cu}(\text{HFAC})_2$  용액을 기화할 필요가 있고, 또한, 너무 고온에서 처리하면 원료의 분해가 발생할 수 있기 때문에, 반응 온도는 100~200℃(원료 용액의 비점 이상)로부터 500℃ 정도가 바람직하다고 생각된다.
- <251> 이와 같이, 본 실시예에 따르면,  $\text{Cu}(\text{HFAC})_2$ ,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 이용하고, 또한,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 29에 도시하는 그래프 (a')보다 아래의 영역에 위치하도록 제어하면서 반응을 일으키게 하였기 때문에, Cu막의 산화를 방지하면서, 산소나 탄소 혹은 이들의 화합물의 함유량이 적은 양호한 Cu막을 형성할 수 있다.
- <252> 또한, 이 Cu막 M1b를,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 30에 도시하는 그래프 (b)보다 아래의 영역에 위치하도록 제어하면서 반응을 일으키면, 성막 내의 Cu나, 질화텅스텐으로 이루어지는 배리어층 M1a 내의 W의 산화를 억제할 수 있다.
- <253> 도 30의 그래프 (b)는, 계1( $\text{WO}_2+\text{H}_2$ )과 계2( $\text{W}+\text{H}_2\text{O}$ )의 평형 상태에서의 평형 상수 k의 대수를 반응 온도에 대하여 나타낸 것이다. 상술한 바와 같이, 이  $\log k = \log \left[ \frac{[\text{H}_2\text{O}]_{\text{eq}}}{[\text{H}_2]_{\text{eq}}} \right] ([\text{H}_2\text{O}]_{\text{eq}}: \text{평형 상태에서의 } \text{H}_2\text{O} \text{의 분압}, [\text{H}_2]_{\text{eq}}: \text{평형 상태에서의 } \text{H}_2 \text{의 분압})$ 로 표현되며, 이 평형 상수 k는, 계1과 계2의 깁스의 자유 에너지의 차( $\Delta G$ ) 등에 의해 구할 수 있다.
- <254> 따라서, 이 그래프 (b)보다 위의 영역에 위치하는 조건 하에서는, W가 산화되는 방향으로 평형이 이동한다. 그러나,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 30에 도시하는 그래프 (b)보다 아래의 영역에 위치하도록 제어하면서, Cu막을 성

막하면, Cu의 산화를 억제하면서, W의 산화도 억제할 수 있다.

- <255> 따라서, 성막 내의 Cu나, 질화텅스텐으로 이루어지는 배리어층 M1a 내의 W의 산화를 억제할 수 있다. 그 결과, Cu막 M1b와 플러그 P1 사이의 도통 불량을 방지할 수 있다. 또한, 배리어층 M1a 내의 W의 산화를 억제함으로써 배리어성의 저하를 방지할 수 있다. 그 결과, Cu의 절연막 내로의 확산에 의한 배선간 쇼트를 방지할 수 있다.
- <256> 이 구리막 M1b를, Cu의 양이온과 헥사플루오르 아세틸아세톤( $\text{CF}_3\text{COCHCOCF}_3$ )<sup>-</sup> 및 트리메틸비닐실란( $\text{CH}_2\text{CHSi}(\text{CH}_3)_3$ )의 화합물인 Cu(HFAC)(TMVS),  $\text{H}_2\text{O}$  및  $\text{H}_2$ 를 원료로 하여 형성해도 된다. 또한, HFAC는 ( $\text{CF}_3\text{COCHCOCF}_3$ )<sup>-</sup>을, TMVS는 ( $\text{CH}_2=\text{CHSi}(\text{CH}_3)_3$ )을 의미한다.
- <257> 이 Cu(HFAC)(TMVS)의 유기 화합물 용액을 기화하여,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 와 반응시킴으로써 성막한다. 또한, 유기 화합물 용액으로서는 테트라히드로푸란 용액 등을 들 수 있다. 이 Cu막의 성막의 반응을 도 31에 도시한다. 이 반응에서도  $\text{H}_2\text{O}$ 가 촉매적인 기능을 하므로,  $\text{H}_2\text{O}$ 를 첨가함으로써 반응 속도가 커진다.
- <258> 이 반응 시에도, 상술한 바와 같이,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 29에 도시하는 그래프 (a')보다 아래의 영역에 위치하도록 제어하면, Cu의 산화를 억제할 수 있다. 또한,  $\text{H}_2\text{O}$  및  $\text{H}_2$ 의 분압비를 도 30에 도시하는 그래프 (b)보다 아래의 영역에 위치하도록 제어하면, Cu의 산화를 억제하면서, W의 산화도 억제할 수 있다. 그 결과, Cu막 M1b와 플러그 P1 사이의 도통 불량이나 배선간 쇼트를 방지할 수 있다.
- <259> 다음으로, 도 32에 도시한 바와 같이, 배선홈 HM1 외부의 구리막 M1b 및 배리어층 M1a를 화학 기계 연마법에 의해 제거함으로써 구리막 M1b 및 배리어층 M1a로 이루어지는 제1층 배선 M1을 형성한다.
- <260> 다음으로, 도 33에 도시한 바와 같이 제1층 배선 M1 상에, CVD법에 의해 실리콘 질화막을 퇴적함으로써 구리 확산 방지용 절연막 D1을 형성한 후, 층간 절연막 TH2를 형성한다. 층간 절연막 TH2는 상기 층간 절연막 TH1과 마찬가지로 형성한다.
- <261> 계속해서, 층간 절연막 TH2 상에 제1층 배선 M1의 콘택트 영역 상이 개공된 레지스트막(도시 생략)을 형성하고, 이것을 마스크로 하여 제1층 배선 M1의 표면이 노출될 때까지, 층간 절연막 TH2 및 구리 확산 방지용 절연막 D1을 이방적으로 에칭한다.
- <262> 계속해서, 도 34에 도시한 바와 같이, 콘택트홀 C2 내를 포함하는 층간 절연막 TH2 상에, TiN 등의 고융점 금속의 질화물을 30~70nm 퇴적함으로써 배리어층 P2a를 형성한다. 계속해서, 배리어층 P2a 상에 CVD법에 의해 200~500nm 정도의 텅스텐막 P2b를 퇴적한다. 또한, 텅스텐막 P2b는 콘택트홀 C2 내를 완전히 매립하도록 형성한다.
- <263> 계속해서, 콘택트홀 C2 외부의 텅스텐막 P2b 및 배리어층 P2a를 화학 기계 연마에 의해 제거함으로써, 텅스텐막 P2b 및 배리어층 P2a로 이루어지는 플러그 P2를 형성한다.
- <264> 계속해서, 도 35에 도시한 바와 같이, 플러그 P2 상에 제2층 배선 M2를, 제1층 배선 M1과 마찬가지로 형성한다. 즉, 층간 절연막 TH2 및 플러그 P2 상에, 질화실리콘막 H2a 및 산화실리콘막 H2b를 순차적으로 퇴적하고, 이들 막으로 이루어지는 배선홈용 절연막 H2를 에칭함으로써 배선홈 HM2를 형성한다. 다음으로, 배선홈 HM2 내를 포함하는 배선홈용 절연막 H2 상에 질화티탄으로 이루어지는 배리어층 M2a를 퇴적하고, 계속해서, 배리어층 M2a 상에 구리막 M2b를 CVD법에 의해 상술한 조건으로 형성한다. 다음으로, 배선홈 HM2 외부의 구리막 M2b 및 배리어층 M2a를 화학 기계 연마에 의해 제거함으로써 구리막 M2b 및 배리어층 M2a로 이루어지는 제2층 배선 M2를 형성한다.
- <265> 계속해서, 제2층 배선 M2 상에, 구리 확산 방지 절연막 D2 및 층간 절연막 TH3을 형성한다. 이들 막은, 상기 구리 확산 방지 절연막 D1 및 층간 절연막 TH1과 마찬가지로 형성한다. 그 후, 구리 확산 방지 절연막 D2 및 층간 절연막 TH3 내에 콘택트홀 C3을 형성하고, 콘택트홀 C3 내에 플러그 P3을 형성한다. 이 플러그 P3은 플러그 P2와 마찬가지로 형성한다. 계속해서, 층간 절연막 TH3 및 플러그 P3 상에, 배선홈용 절연막 H1 및 배선홈 HM1과 마찬가지로, 배선홈용 절연막 H3 및 배선홈 HM3을 형성하고, 제1층 배선 M1과 마찬가지로 제3층 배선 M3을 형성한다.
- <266> 이 배선 상의 구리 확산 방지 절연막(D3, D4, D5) 및 층간 절연막(TH4, TH5)의 형성, 이들 막 내의 콘택트홀 내

에 형성된 플러그(P4, P5)의 형성 및 플러그 상의 배선(M4, M5)의 형성을 반복함으로써 다층 배선 구조의 반도체 집적 회로 장치를 형성할 수 있다.

- <267> 계속해서, 제5층 배선 M5 상에 질화실리콘막 및 산화실리콘막 등으로 이루어지는 패시베이션막(420)을 형성하고, 이 패시베이션막(420)의 일부를 에칭에 의해 제거함으로써 제5층 배선 M5 상의 본딩 패드부를 노출시킨다(도시 생략). 계속해서, 노출된 제5층 배선 M5 상에 금 등으로 이루어지는 범프 지지 기반 전극을 형성하고, 범프 지지 기반 전극 상에 금 혹은 텅스텐 등으로 이루어지는 범프 전극을 형성한다(도시 생략).
- <268> 이 후, 패키지 기판 등에 실장되어 반도체 집적 회로 장치가 완성되지만, 이들 설명은 생략한다.
- <269> 또한, 본 실시예에서는 5층의 배선을 형성하였지만, 5층 이하 혹은 5층 이상의 배선을 형성해도 된다. 또한, 본 실시예에서는, 반도체 소자로서 MISFET Qn 및 Qp를 형성하였지만, 이들 MISFET에 한정되지 않고, 바이폴라 트랜지스터 등의 그 밖의 소자를 형성할 수도 있다. 또한, CVD법에 의해 형성된 금속 배선을 갖는 반도체 집적 회로 장치에 폭넓게 적용할 수 있다.
- <270> (실시예 5)
- <271> 실시예 1에서는, Ru막의 성막 시에 H<sub>2</sub>O 및 H<sub>2</sub>의 분압비를 제어하였지만, 이 막을 H<sub>2</sub> 대신에 알콜을 이용하여 성막해도 된다.
- <272> 이하, 본 실시예의 DRAM의 제조 방법을 설명하지만, Ru막의 성막 시에, 환원제로서 H<sub>2</sub> 대신에 알콜을 이용하는 것 외에는, 실시예 1의 경우와 마찬가지로 하기 때문에, Ru막의 성막 공정에 대해서만 이하에 설명한다.
- <273> 예를 들면, 실시예 1에서 설명한 도 11의 WN막(29)의 상부에, 스퍼터법에 의해 막 두께 15nm 정도의 Ru막(도시 생략)을 형성하고, 계속해서, CVD법에 의해 막 두께 30nm 정도의 Ru막(30)을 퇴적한다(도 12 참조).
- <274> 여기서, 이 Ru막(30)을, Ru(HFAC)<sub>3</sub>, H<sub>2</sub>O 및 알콜을 원료로 하여 형성한다. 이 알콜로서는 2급 이하의 알콜, 예를 들면, 메탄올, 에탄올 혹은 이소프로필 알콜 등을 이용할 수 있다.
- <275> 우선, 이 Ru막의 성막의 반응 기구에 대하여 설명한다. Ru(HFAC)<sub>3</sub>은, 우선, H<sub>2</sub>O와 반응하여(H<sub>2</sub>O에 의해 분해되어), 수산화물 Ru(OH)<sub>3</sub>으로 된다. 계속해서, 이 수산화물 Ru(OH)<sub>3</sub>이 알콜(R-OH)에 의해 환원되어, Ru가 생성된다. 이 때, 알콜은 산화되어 알데히드 혹은 케톤으로 된다.
- <276> 도 36은 이소프로필 알콜을 이용한 경우의 반응 기구를 도시한다. 또한, Ru(HFAC)<sub>3</sub> 대신에 Ru(DPM)<sub>3</sub>을 이용해도 된다(도 37). 여기서, DPM이란 ((CH<sub>3</sub>)<sub>3</sub>CCOCHCOC(CH<sub>3</sub>)<sub>3</sub>)<sup>-</sup>을 의미한다. 이러한 반응은 상온, 대기압 하에서, 68kJ 정도의 발열 반응으로, 용이하게 진행된다.
- <277> 이와 같이, 본 실시예에 따르면, Ru(HFAC)<sub>3</sub>, H<sub>2</sub>O 및 알콜을 이용하여, 가수분해를 이용하여, Ru막을 형성하였기 때문에, 실시예 1에서 설명한 바와 같이, 막질이 양호한 Ru막을 형성할 수 있다.
- <278> 또한, 알콜은 H<sub>2</sub>에 비해 취급이 용이하기 때문에, 용이하게 Ru막을 형성할 수 있다.
- <279> 또한, 본 실시예에서는 Ru막을 예로 들어 설명하였지만, Ir 화합물, H<sub>2</sub>O 및 알콜을 원료로 하여 Ir막을 형성하면, 마찬가지로의 효과를 얻을 수 있다.
- <280> 또한, 실시예 4에서 설명한 배선을 구성하는 Cu막을, Cu 화합물, H<sub>2</sub>O 및 알콜을 원료로 하여 형성하면, 마찬가지로의 효과를 얻을 수 있다. 이 배선부에 Cu막을 갖는 반도체 집적 회로 장치의 제조 방법도, 환원제로서 H<sub>2</sub> 대신에 알콜을 이용하는 것 외에는, 실시예 4의 경우와 마찬가지로 하기 때문에, 그 설명을 생략한다.
- <281> 이상, 본 발명자에 의해 이루어진 발명을 실시예에 기초하여 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것이 아니라, 그 요지를 일탈하지 않는 범위에서 다양하게 변경 가능한 것은 물론이다.

### 발명의 효과

- <282> 본원에 의해 개시되는 발명 중, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 이하와 같다.
- <283> CVD법에 의해 형성되는 금속막, 예를 들면, 정보 축적 용량 소자의 하부 전극을 구성하는 Ru막이나 배선을 구성

하는 Cu막 등의 막질을 향상시킬 수 있다.

- <284> 또한, CVD법에 의해 형성되는 금속 산화막, 예를 들면, 정보 축적 용량 소자의 용량 절연막을 구성하는 산화탄탈막 등의 막질을 향상시킬 수 있다.
- <285> 또한, CVD법에 의해 형성되는 금속막이나 금속 산화막의 하층에 위치하는 금속막이나 금속 질화막의 산화를 억제할 수 있어, 도통 불량을 저감할 수 있다.
- <286> 그 결과, 반도체 집적 회로 장치의 특성의 향상을 도모할 수 있다.

### 도면의 간단한 설명

- <1> 도 1은 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <2> 도 2는 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 평면도.
- <3> 도 3은 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <4> 도 4는 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <5> 도 5는 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <6> 도 6은 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <7> 도 7은 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <8> 도 8은 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <9> 도 9는 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <10> 도 10은 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <11> 도 11은 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <12> 도 12는 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <13> 도 13은 Ru막 형성 시의  $H_2O$  및  $H_2$ 의 분압비를 나타내는 도면.
- <14> 도 14는 Ru막의 성막의 반응 기구를 나타내는 도면.
- <15> 도 15는 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <16> 도 16은 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <17> 도 17은 본 발명의 실시예 1인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 평면도.
- <18> 도 18은 본 발명의 실시예 2인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <19> 도 19는 Ru막 형성 시의  $H_2O$  및  $H_2$ 의 분압비를 나타내는 도면.
- <20> 도 20은 Ru막 형성 시의  $H_2O$  및  $H_2$ 의 분압비를 나타내는 도면.
- <21> 도 21은 Ru막 형성 시의  $H_2O$  및  $H_2$ 의 분압비를 나타내는 도면.
- <22> 도 22는 본 발명의 실시예 3인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.



- <23> 도 23은 산화탄탈막 형성 시의  $H_2O$  및  $H_2$ 의 분압비를 나타내는 도면.
- <24> 도 24는 산화탄탈막 형성 시의  $H_2O$  및  $H_2$ 의 분압비를 나타내는 도면.
- <25> 도 25는 본 발명의 실시예 4인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <26> 도 26은 본 발명의 실시예 4인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <27> 도 27은 본 발명의 실시예 4인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <28> 도 28은 본 발명의 실시예 4인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <29> 도 29는 Cu막 형성 시의  $H_2O$  및  $H_2$ 의 분압비를 나타내는 도면.
- <30> 도 30은 Cu막 형성 시의  $H_2O$  및  $H_2$ 의 분압비를 나타내는 도면.
- <31> 도 31은 Cu막의 성막 반응을 나타내는 도면.
- <32> 도 32는 본 발명의 실시예 4인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <33> 도 33은 본 발명의 실시예 4인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <34> 도 34는 본 발명의 실시예 4인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <35> 도 35는 본 발명의 실시예 4인 반도체 집적 회로 장치의 제조 방법을 나타내는 반도체 기관의 주요부 단면도.
- <36> 도 36은 Ru막의 성막 반응을 나타내는 도면.
- <37> 도 37은 Ru막의 성막 반응을 나타내는 도면.
- <38> <도면의 주요 부분에 대한 부호의 설명>
- <39> 1 : 반도체 기관
- <40> 2 : 소자 분리
- <41> 3 : p형 웰
- <42> 4 : 산화실리콘막
- <43> 5 : 게이트 절연막
- <44> 6 : 게이트 전극
- <45> 7 : 질화실리콘막
- <46> 8 : n형 반도체 영역
- <47> 9 : 질화실리콘막
- <48> 10 : 산화실리콘막
- <49> 11 : 콘택트홀
- <50> 12 : 콘택트홀
- <51> 13 : 플러그

<52>	14 : 산화실리콘막
<53>	15 : 관통 홀
<54>	16 : 플러그
<55>	17 : 산화실리콘막
<56>	18 : 질화실리콘막
<57>	19 : 관통 홀
<58>	20 : 다결정 실리콘막
<59>	21 : 측벽 스페이서
<60>	22 : 플러그
<61>	23 : 배리어층
<62>	24 : 산화실리콘막
<63>	26 : 하드 마스크
<64>	27 : 구멍
<65>	29 : WN막
<66>	30 : Ru막
<67>	30A : 하부 전극
<68>	32 : 산화탄탈막( $Ta_2O_5$ )
<69>	33 : 상부 전극
<70>	33a : Ru막
<71>	33b : W막
<72>	34 : 층간 절연막
<73>	230 : Ru막
<74>	332 : 산화탄탈막
<75>	401 : 반도체 기판
<76>	402 : 소자 분리홈
<77>	403 : p형 웰
<78>	404 : n형 웰
<79>	407 : 산화실리콘막
<80>	408 : 게이트 산화막
<81>	409 : 게이트 전극
<82>	409a : 다결정 실리콘막
<83>	409b ; W막
<84>	410 : 질화실리콘막
<85>	411 : n <sup>-</sup> 형 반도체 영역
<86>	412 : p <sup>-</sup> 형 반도체 영역

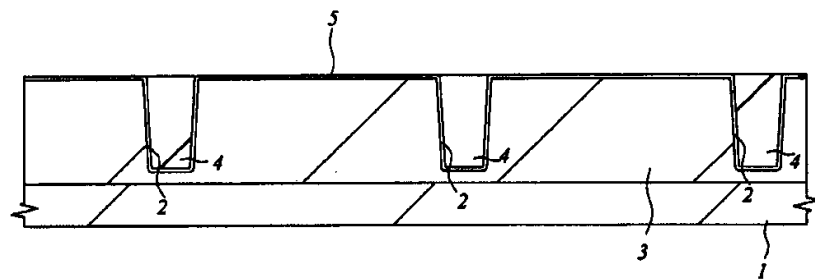
<87>	413 : 측벽 스페이서
<88>	414 : $n^+$ 형 반도체 영역
<89>	415 : $p^+$ 형 반도체 영역
<90>	420 : 패시베이션막
<91>	BL : 비트선
<92>	C : 정보 축적용 용량 소자(캐패시터)
<93>	C1 : 콘택트홀
<94>	C2 : 콘택트홀
<95>	C3~C5 : 콘택트홀
<96>	D1 : 구리 확산 방지 절연막
<97>	D2~D5 : 구리 확산 방지 절연막
<98>	H1 : 배선홈용 절연막
<99>	H1a : 질화실리콘막
<100>	H1b : 산화실리콘막
<101>	H2 : 배선홈용 절연막
<102>	H2a : 질화실리콘막
<103>	H2b : 산화실리콘막
<104>	H3~H5 : 배선홈용 절연막
<105>	HM1 : 배선홈
<106>	HM2 : 배선홈
<107>	HM3 : 배선홈
<108>	L : 활성 영역
<109>	M1 : 제1층 배선
<110>	M1a : 배리어층
<111>	M1b : Cu(구리)막
<112>	M2 : 제2층 배선
<113>	M2a : 배리어층
<114>	M2b : 구리막
<115>	M3 : 제3층 배선
<116>	M4 : 제4층 배선
<117>	M5 : 제5층 배선
<118>	P1 : 플러그
<119>	P2 : 플러그
<120>	P2a : 배리어층
<121>	P2b : 텅스텐막



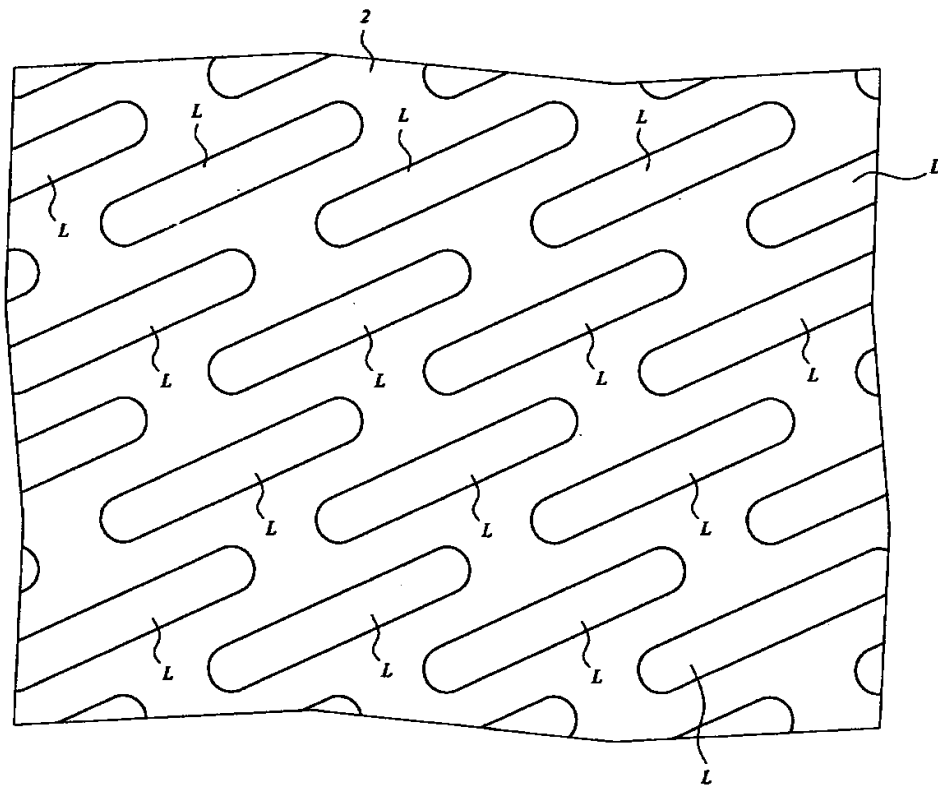
- <122> P3~P5 : 플러그
- <123> Qn : n채널형 MISFET
- <124> Qp : p채널형 MISFET
- <125> Qs : 메모리 셀 선택용 MISFET
- <126> TH1 : 층간 절연막
- <127> TH2 : 층간 절연막
- <128> TH3~TH5 : 층간 절연막

## 도면

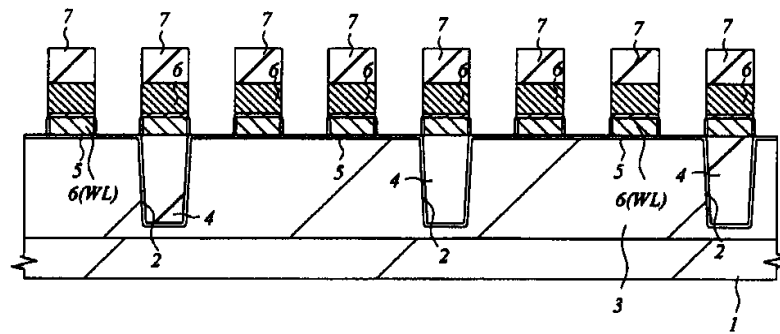
도면1



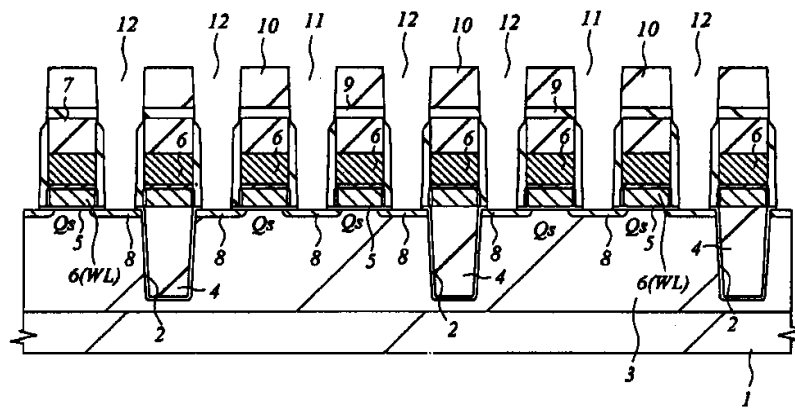
도면2



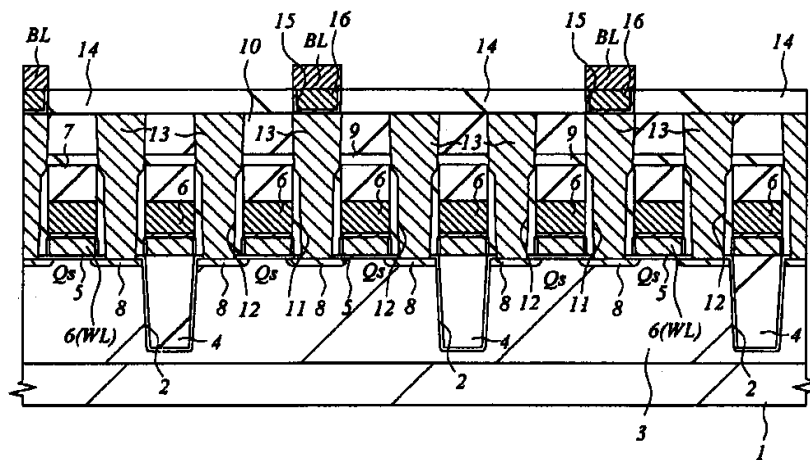
도면3



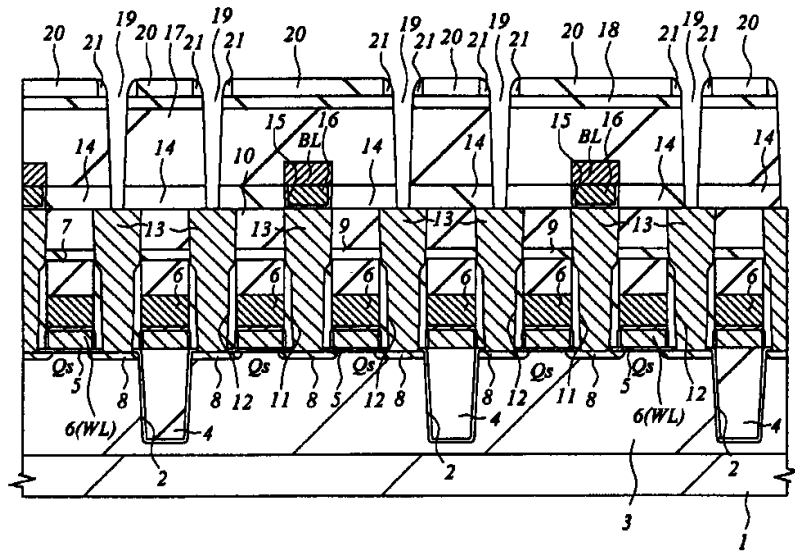
도면4



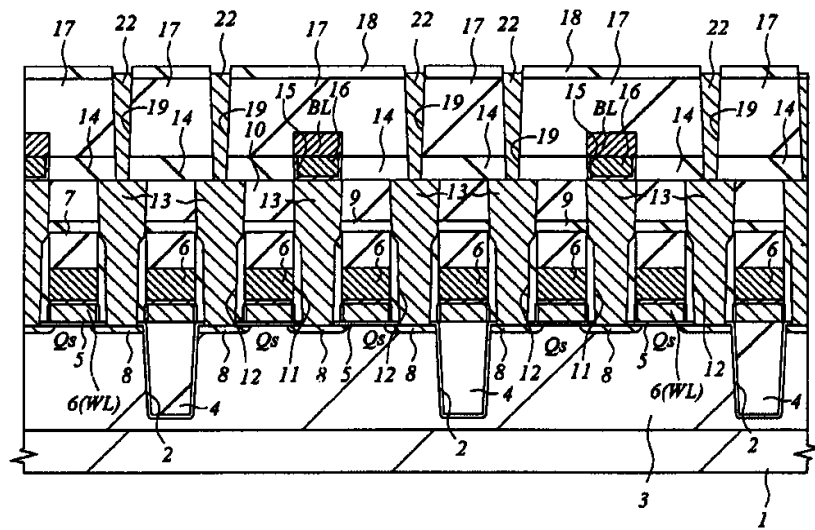
도면5



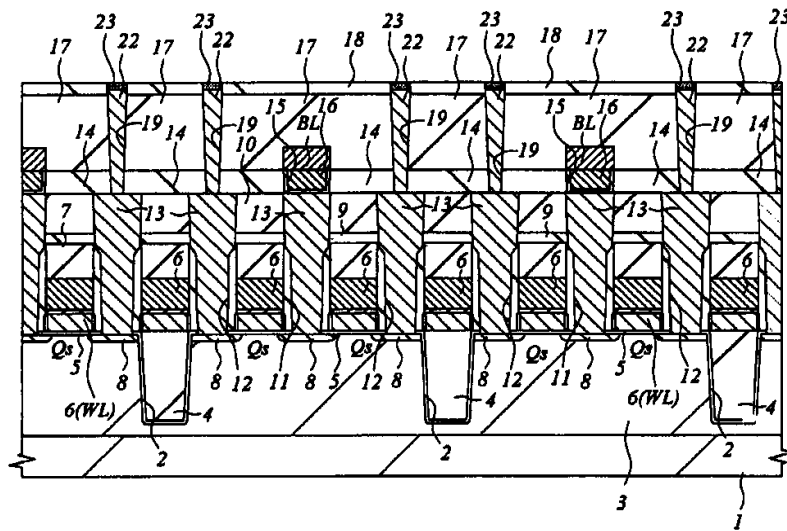
도면6



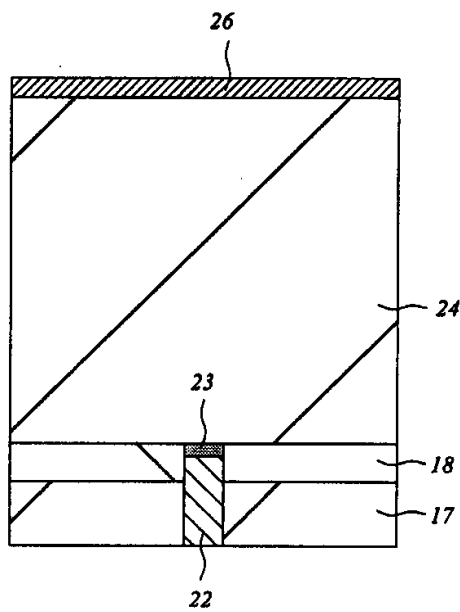
도면7



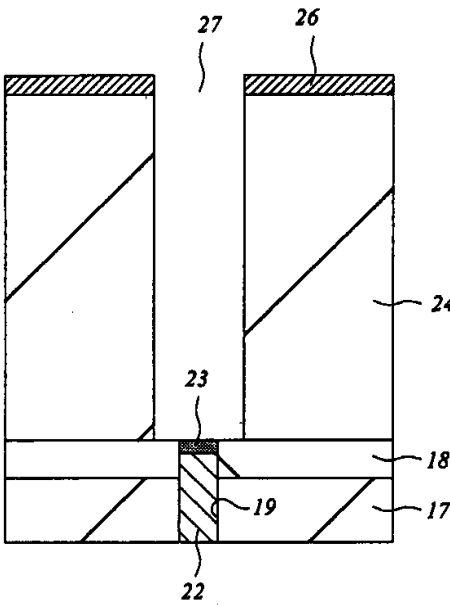
도면8



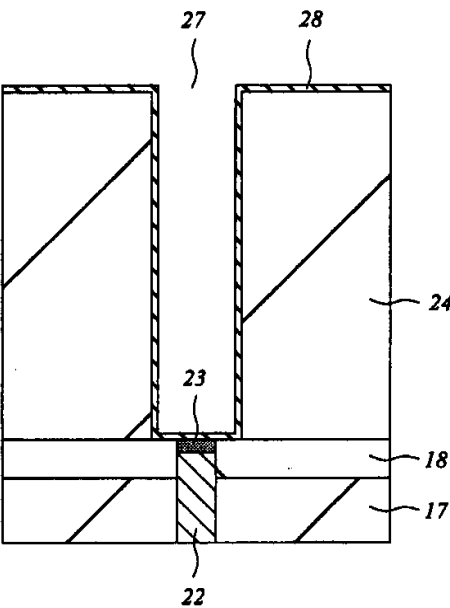
도면9



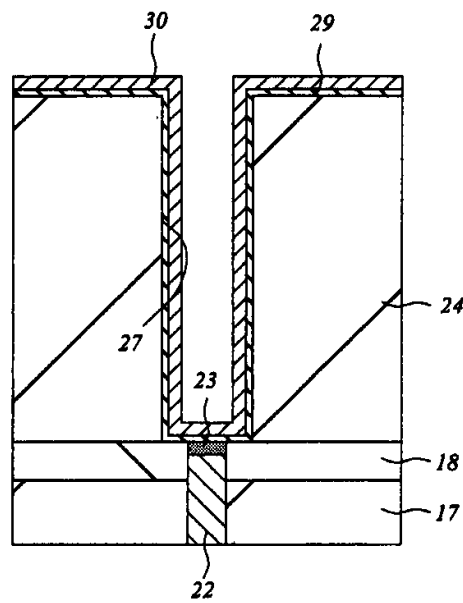
도면10



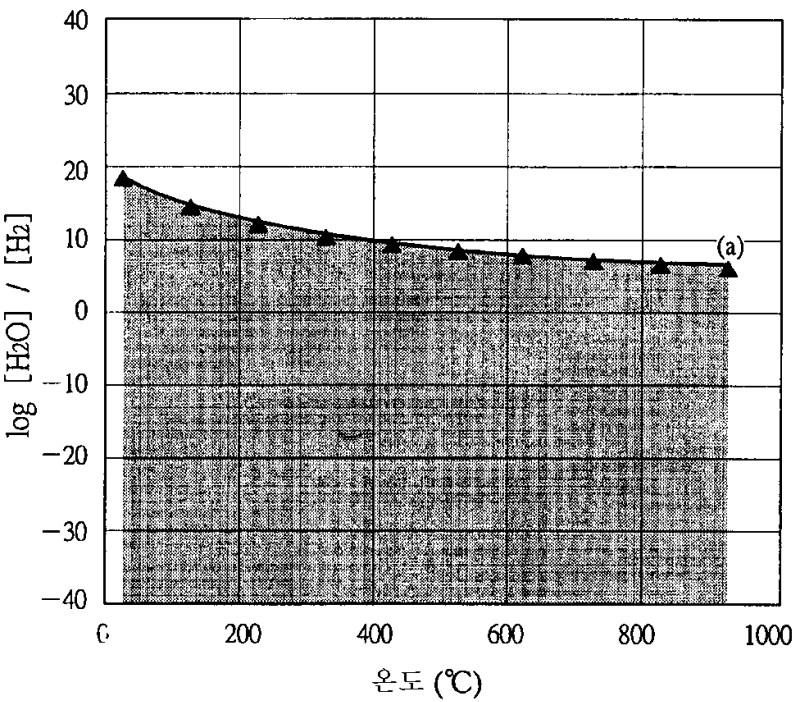
도면11



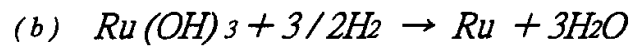
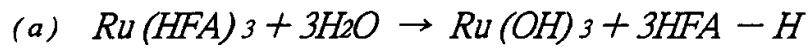
도면12



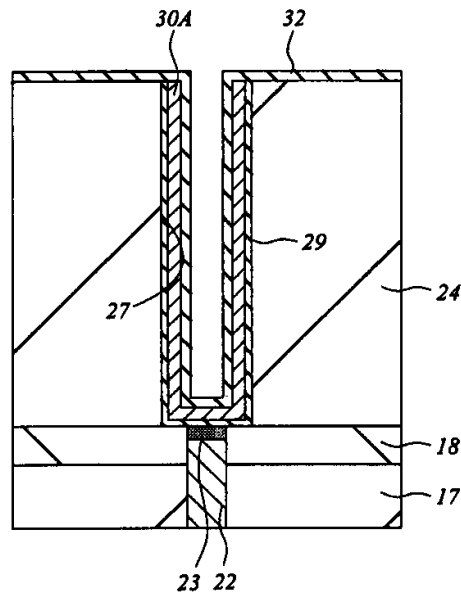
도면13



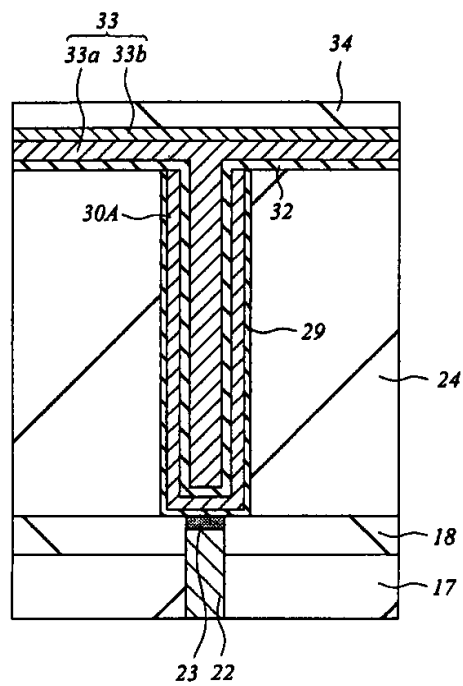
도면14



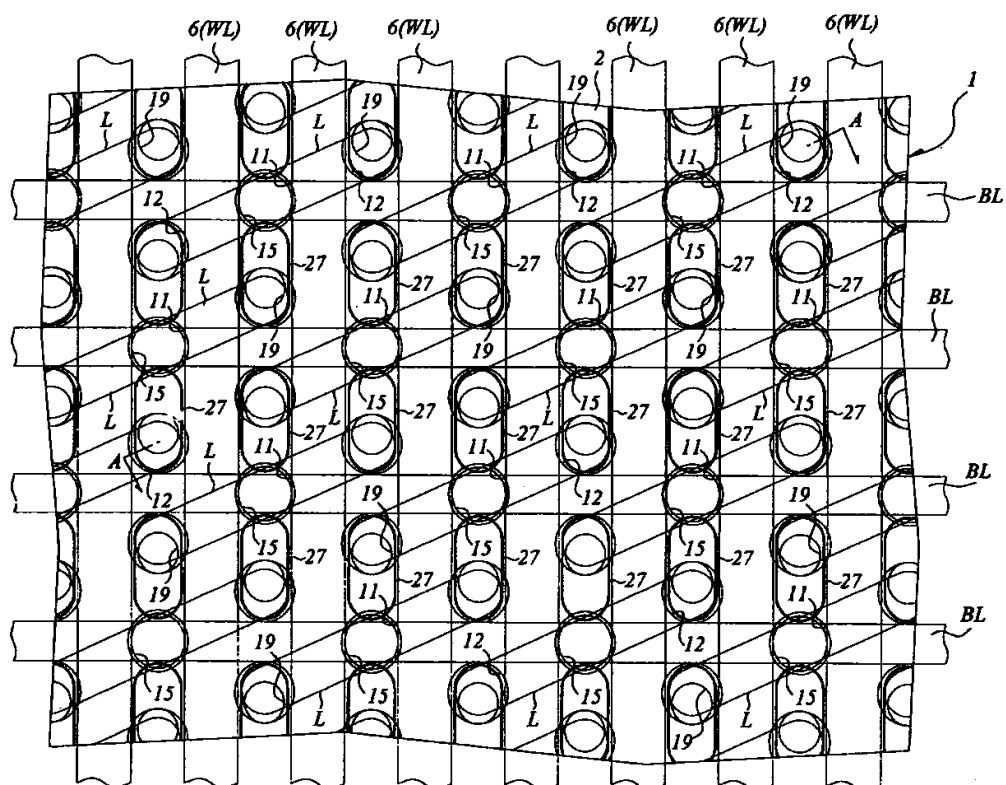
도면15



도면16

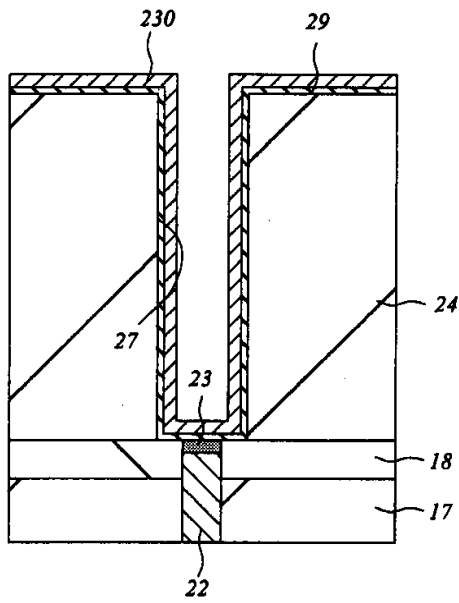


도면17

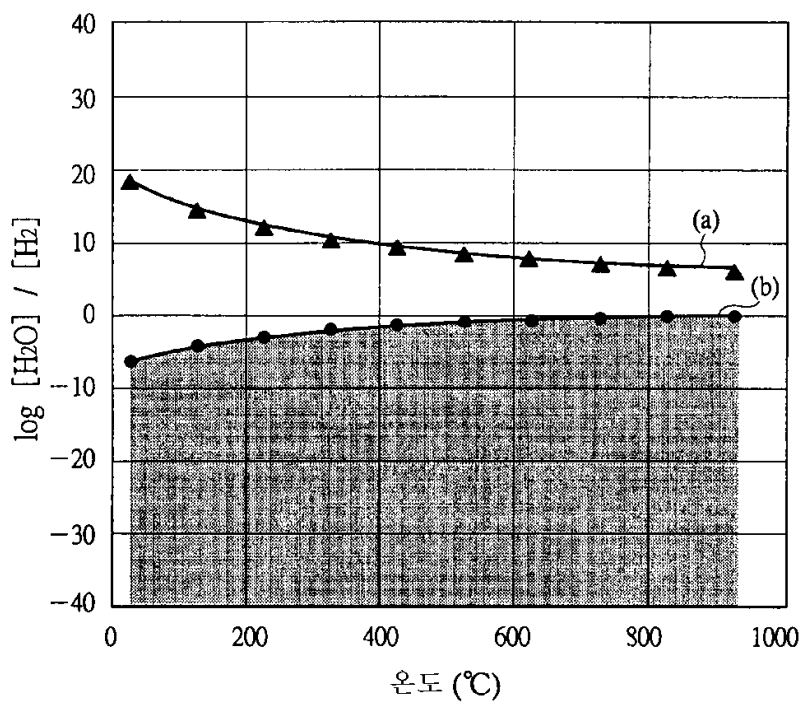




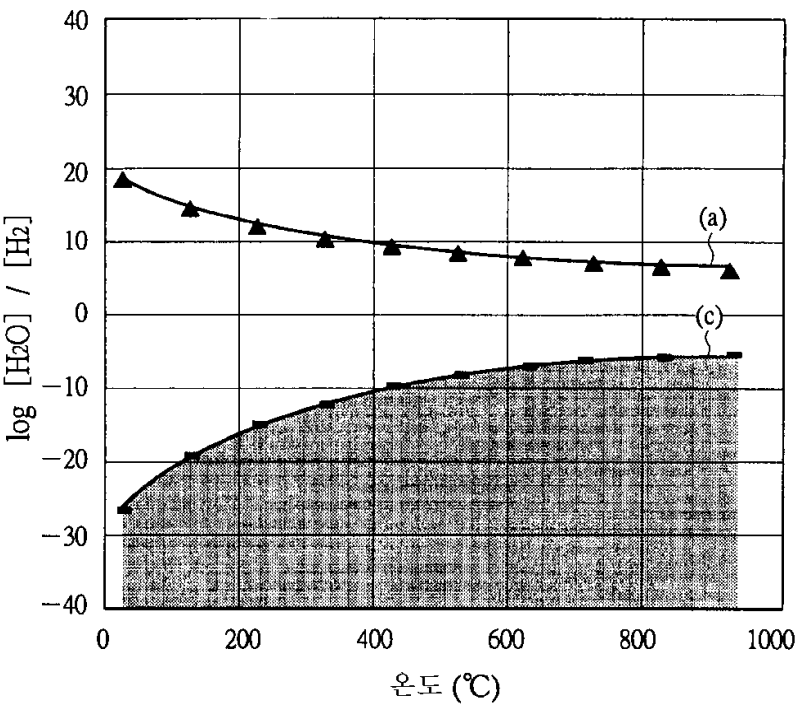
도면18



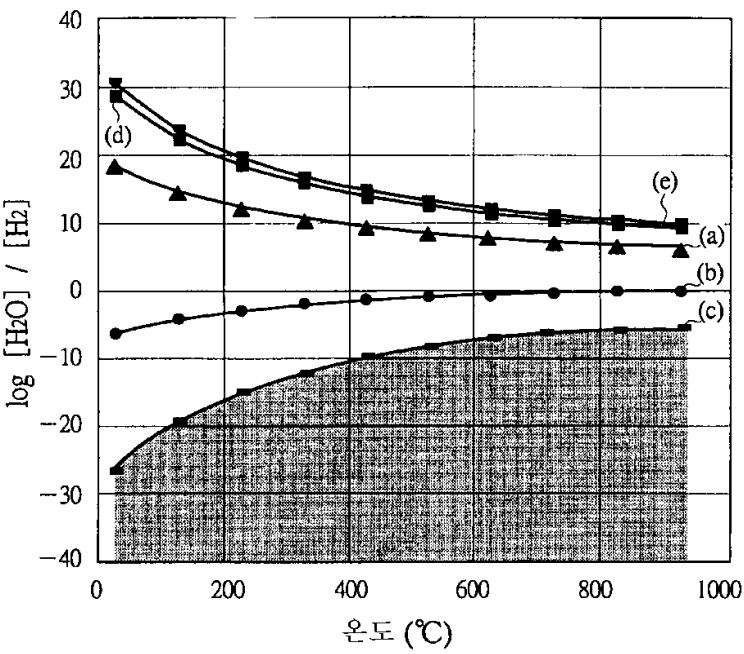
도면19



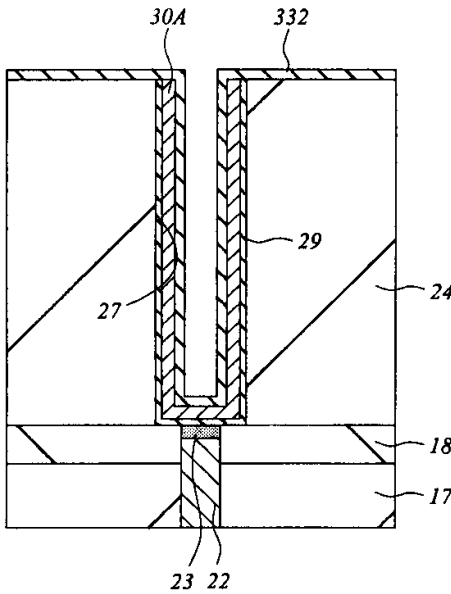
도면20



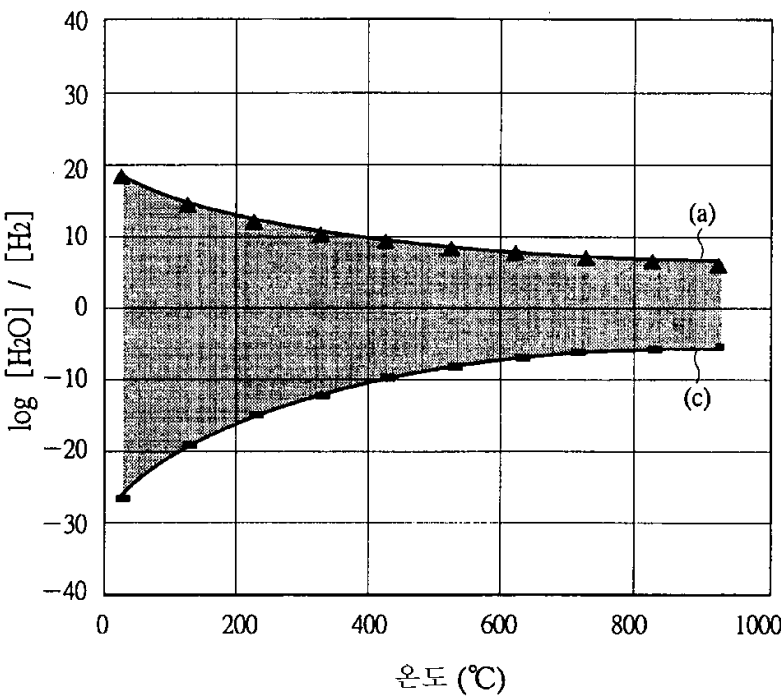
도면21



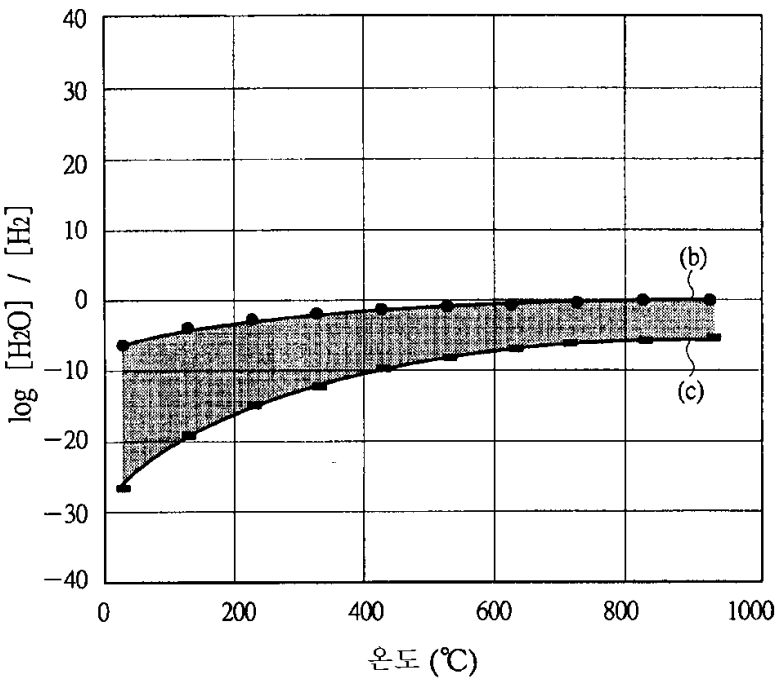
도면22



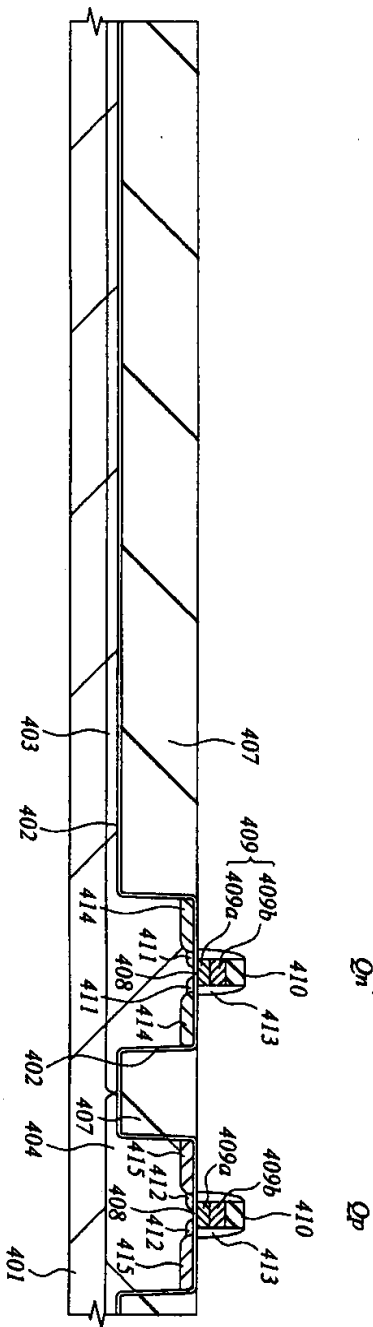
도면23



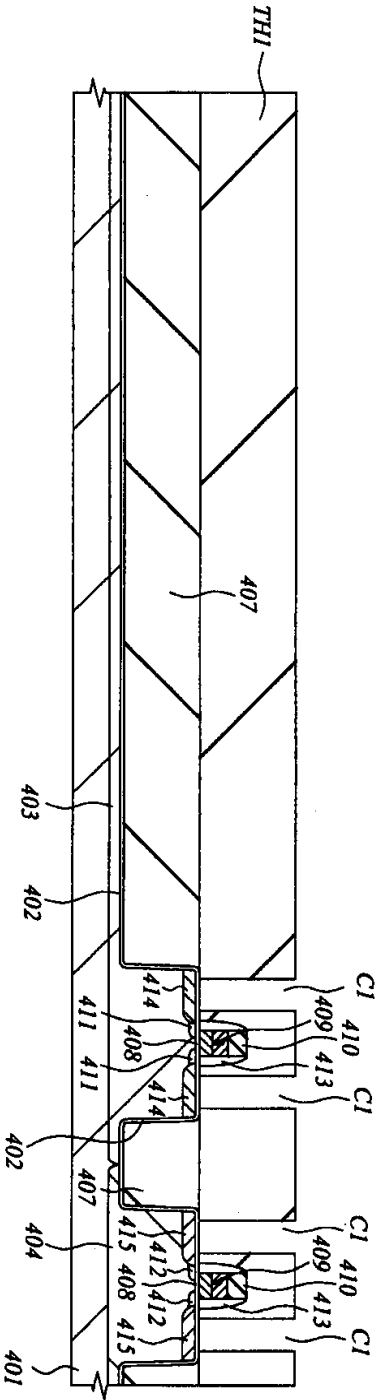
도면24



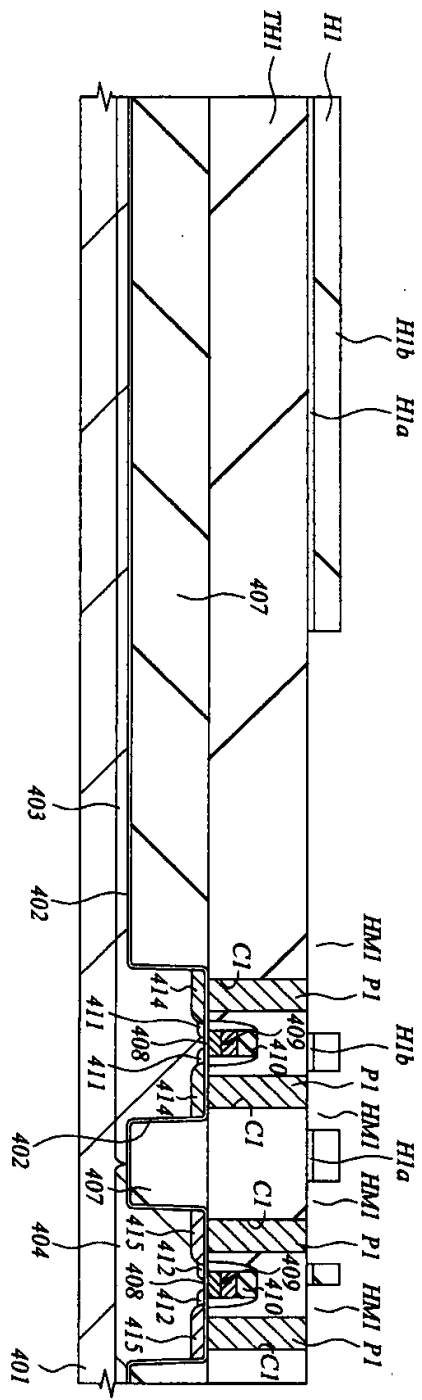
도면25



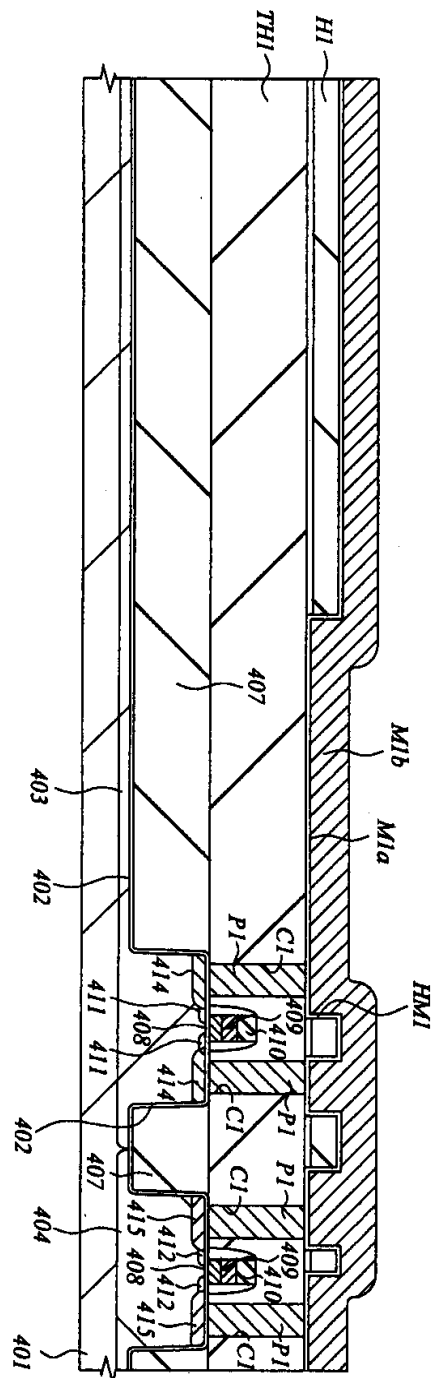
도면26



도면27

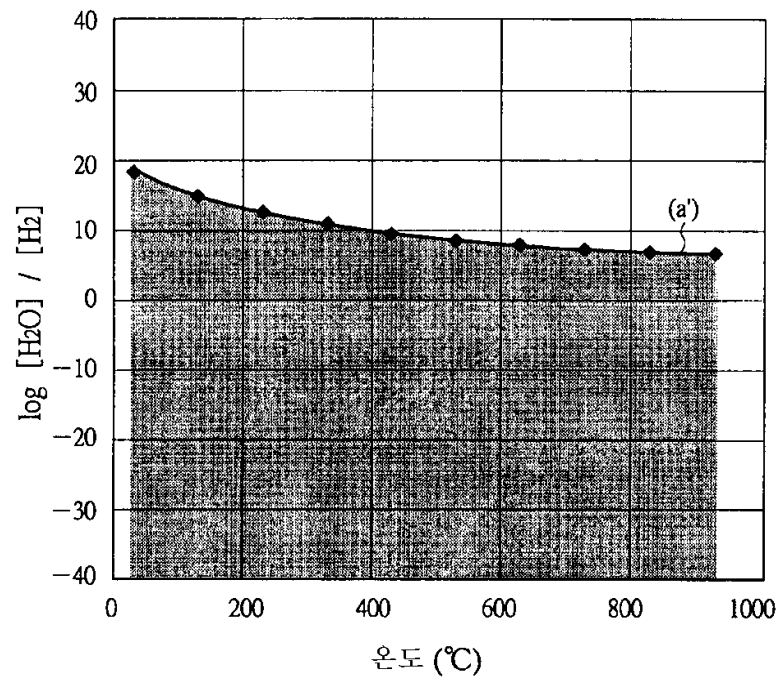


도면28

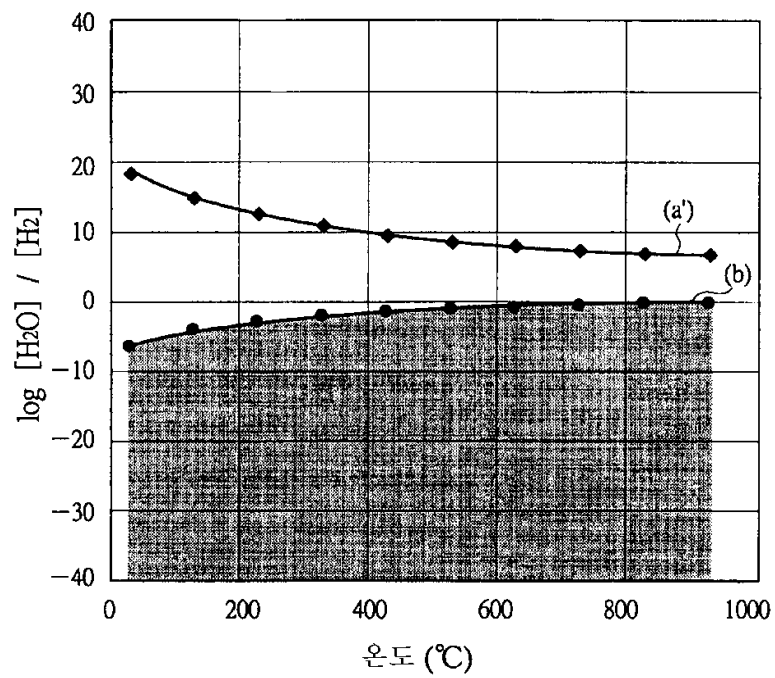




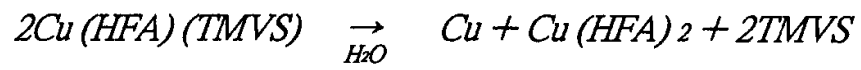
도면29



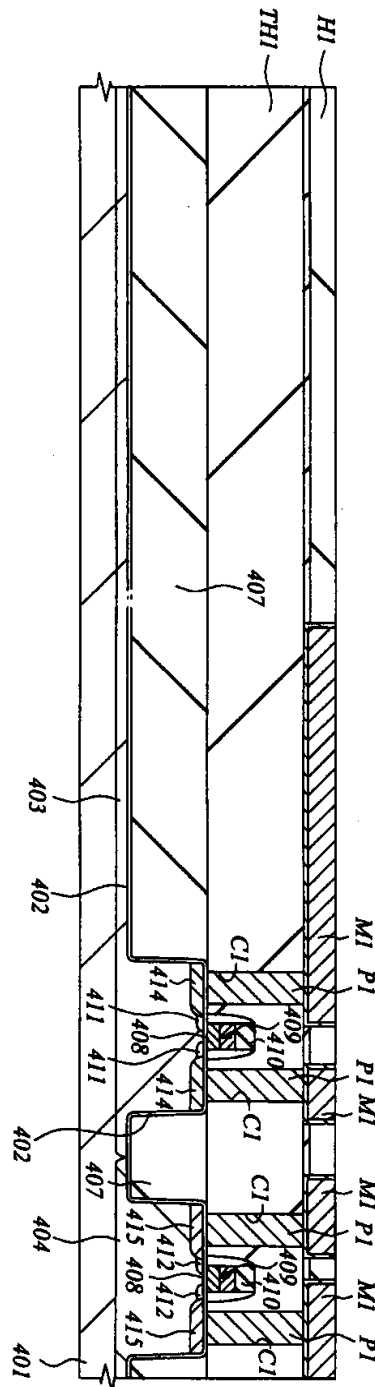
도면30



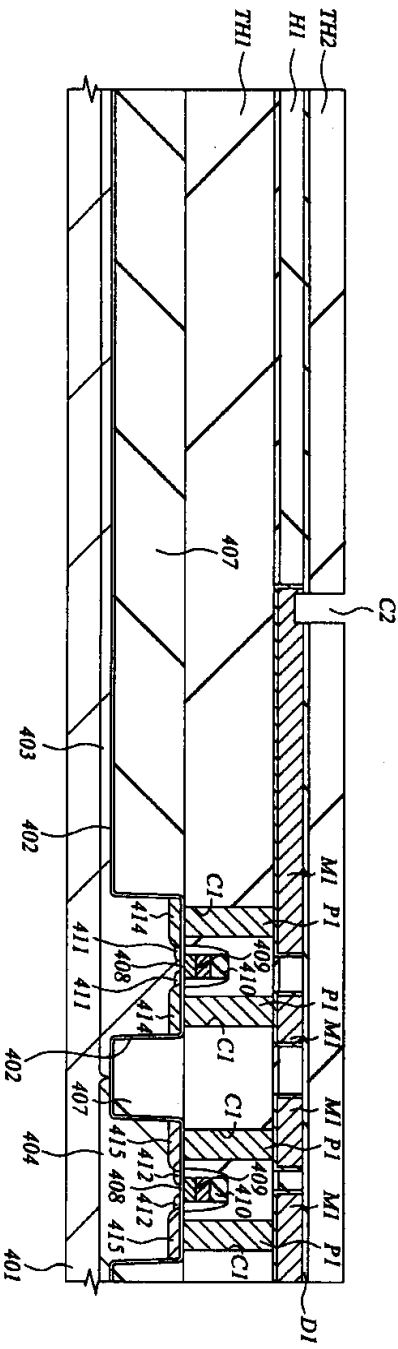
도면31



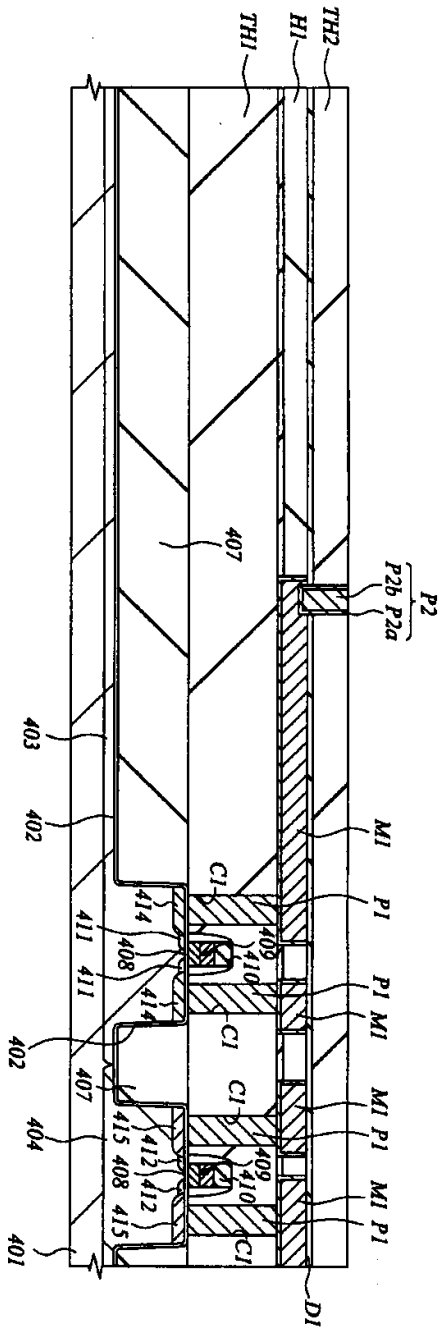
도면32



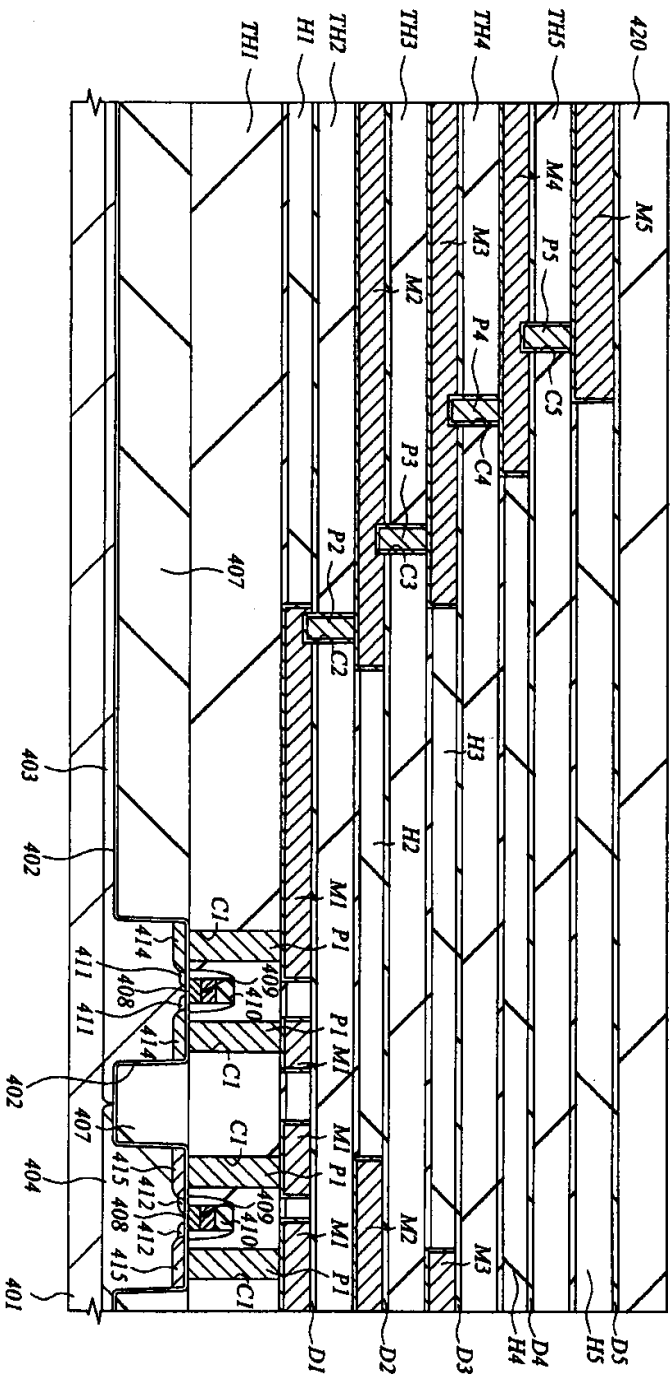
도면33



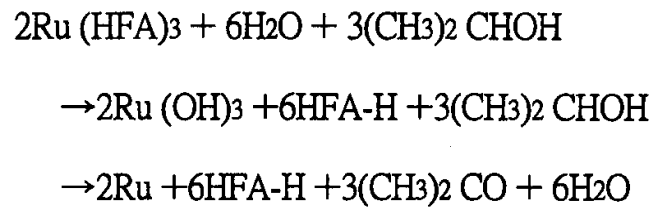
도면34



도면35



도면36



도면37

