

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G05F 3/16 (2006.01)

H01L 29/78 (2006.01)



[12] 发明专利说明书

专利号 ZL 200480028965.6

[45] 授权公告日 2009 年 2 月 4 日

[11] 授权公告号 CN 100458638C

[22] 申请日 2004.9.10

[21] 申请号 200480028965.6

[30] 优先权

[32] 2003.10.14 [33] US [31] 10/685,091

[86] 国际申请 PCT/US2004/029297 2004.9.10

[87] 国际公布 WO2005/040952 英 2005.5.6

[85] 进入国家阶段日期 2006.4.4

[73] 专利权人 半导体元件工业有限责任公司

地址 美国亚利桑那

[72] 发明人 约瑟夫·哈拉米克

杰斐逊·W·哈尔

[56] 参考文献

US2003/117825A1 2003.6.26

US5477175A 1995.12.19

CN1139836A 1997.1.8

EP0585788A 1994.3.9

审查员 崔朝利

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

代理人 秦 晨

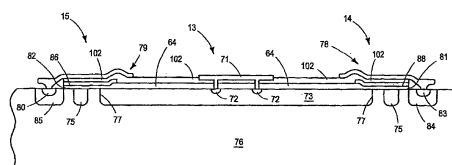
权利要求书 2 页 说明书 14 页 附图 6 页

[54] 发明名称

高电压多输出电流装置和形成其的方法

[57] 摘要

一种高电压多输出电流装置和形成其的方法，使用两个分开的电流来控制功率控制系统(25)的启动工作。两个电流分流到接地以抑制功率控制系统(25)的工作，且两个电流之一被禁用以使功率耗散最小化。这两个独立受控电流由多输出电流高电压装置(12)响应于两个分开的控制信号(23、24)来产生。



1. 一种形成高电压多输出电流装置的方法，包括：

提供第一导电类型的衬底；

在衬底的第一部分上形成第二导电类型的第一掺杂区域（73），包括将第一掺杂区域形成具有中心和第一周边（77）的第一封闭几何形状，其中第一周边的第一部分具有第一轮廓而第一周边的第二部分具有第二轮廓，其中第一掺杂区域（73）包括 J-FET 晶体管（13）的漏极和源极、第一 MOS 晶体管（14）的漏极以及第二 MOS 晶体管（15）的漏极；

在衬底上形成第二导电类型的第二掺杂区域（84），它具有第二周边，其中第二周边的一部分与第一周边（77）的第一部分并列，并具有形状与第一轮廓相同的第三轮廓，其中第二掺杂区域为第一 MOS 晶体管（14）的源极；以及

在衬底上形成第二导电类型的第三掺杂区域（85），它具有第三周边，其中第三周边的一部分与第一周边的第二部分并列，并具有形状与第二轮廓相同的第四轮廓，其中第三掺杂区域为第二 MOS 晶体管的源极。

2. 根据权利要求 1 的方法，进一步包括形成第一 MOS 晶体管的栅极（88），覆盖在第一周边的第一部分的一部分和第二周边的该部分上，其中第一 MOS 晶体管的栅极的一部分具有形状与第一轮廓相同的第五轮廓，还包括形成第二 MOS 晶体管的栅极（86），覆盖在第一周边的第二部分的一部分和第三周边的该部分上，其中第二 MOS 晶体管的栅极的一部分具有形状与第二轮廓相同的第六轮廓。

3. 根据权利要求 1 的方法，其中包括将第一掺杂区域形成具有中心和第一周边的第一封闭几何形状的、在衬底的第一部分上形成第二导电类型的第一掺杂区域包括将第一掺杂区域形成具有距离中心的第一半径的圆形。

4. 根据权利要求 1 的方法，进一步包括在第一掺杂区域（73）

中形成第二导电类型的第四掺杂区域(72)。

5. 一种高电压多输出电流装置, 包括:

第一导电类型的衬底;

在衬底的第一部分上的第二导电类型的第一掺杂区域(73), 第一掺杂区域形成为具有中心和第一周边的第一封闭几何形状, 其中第一周边的第一部分具有第一轮廓而第一周边的第二部分具有第二轮廓, 其中第一掺杂区域为 J-FET 晶体管的漏极和源极、第一 MOS 晶体管的漏极以及第二 MOS 晶体管的漏极;

在衬底上的第二导电类型的第二掺杂区域(84), 具有第二周边, 其中第二周边的一部分与第一周边的第一部分并列, 并具有形状与第一轮廓相同的第三轮廓, 其中第二掺杂区域为第一 MOS 晶体管(14)的源极; 以及

在衬底上的第二导电类型的第三掺杂区域(86), 具有第三周边, 其中第三周边的一部分与第一周边的第二部分并列, 并具有形状与第二轮廓相同的第四轮廓, 其中第三掺杂区域为第二 MOS 晶体管(15)的源极。

6. 根据权利要求 5 的高电压多输出电流装置, 进一步包括第一栅极结构(78), 覆盖在第一周边和第二周边的第一部分的一部分上, 还包括第二栅极结构(79), 覆盖在第一周边和第三周边的第二部分的一部分上。

7. 根据权利要求 5 的高电压多输出电流装置, 进一步包括位于第一掺杂区域中的第二导电类型的第四掺杂区域(72), 第四掺杂区域具有比第一掺杂区域更重的掺杂。

8. 根据权利要求 5 的高电压多输出电流装置, 进一步包括低导电阻晶体管(97), 被耦连为接收来自第一 MOS 晶体管的电流并作为响应将 ESD 传导至电压回路。

高电压多输出电流装置和形成其的方法

技术领域

本发明一般地涉及电子学，更具体地，涉及形成半导体装置和结构的方法。

背景技术

过去，电子工业利用各种方法和装置来控制高值或大输入电压以提供受控输出电压和电流。1995年12月19日授予 Tisinger 等人的美国专利号 5477175 公开了这种装置的一个例子，称作离线自举启动电路，此处将其引入作为参考。自举启动电路接收大输入电压并产生输出电流，对电容器充电并引起输出电压。然而许多应用需要一系列电流，可以控制来对电容器充电并形成输出电压。然而，使用多个自举启动电路增加了制作成本和所得半导体产品以及使用该产品的应用的复杂性。

因此，需要有能够接收具有高电压值的输入电压并从该输入电压产生一系列电流的启动电路。

发明内容

根据本发明的第一方面，提供一种形成高电压多输出电流装置的方法，包括：提供第一导电类型的衬底；在衬底的第一部分上形成第二导电类型的第一掺杂区域，包括将第一掺杂区域形成为具有中心和第一周边的第一封闭几何形状，其中第一周边的第一部分具有第一轮廓而第一周边的第二部分具有第二轮廓，其中第一掺杂区域包括 J-FET 晶体管的漏极和源极、第一 MOS 晶体管的漏极以及第二 MOS 晶体管的漏极；在衬底上形成第二导电类型的第二掺杂区域，它具有第二周边，其中第二周边的一部分与第一周边的第一部分并列，并具

有形状与第一轮廓相同的第三轮廓，其中第二掺杂区域为第一 MOS 晶体管的源极；以及在衬底上形成第二导电类型的第三掺杂区域，它具有第三周边，其中第三周边的一部分与第一周边的第二部分并列，并具有形状与第二轮廓相同的第四轮廓，其中第三掺杂区域为第二 MOS 晶体管的源极。

根据本发明的第二方面，提供一种高电压多输出电流装置，包括：第一导电类型的衬底；在衬底的第一部分上的第二导电类型的第一掺杂区域，第一掺杂区域形成为具有中心和第一周边的第一封闭几何形状，其中第一周边的第一部分具有第一轮廓而第一周边的第二部分具有第二轮廓，其中第一掺杂区域为 J-FET 晶体管的漏极和源极、第一 MOS 晶体管的漏极以及第二 MOS 晶体管的漏极；在衬底上的第二导电类型的第二掺杂区域，具有第二周边，其中第二周边的一部分与第一周边的第一部分并列，并具有形状与第一轮廓相同的第三轮廓，其中第二掺杂区域为第一 MOS 晶体管的源极；以及在衬底上的第二导电类型的第三掺杂区域，具有第三周边，其中第三周边的一部分与第一周边的第二部分并列，并具有形状与第二轮廓相同的第四轮廓，其中第三掺杂区域为第二 MOS 晶体管的源极。

附图说明

图 1 示意性示出根据本发明的高电压多输出电流装置的一个部分的实施方案；

图 2 示出图 1 的根据本发明的高电压多输出电流装置的实施例的一个部分的放大俯视图；

图 3 示出图 2 的根据本发明的高电压多输出电流装置的一个部分的放大剖视图；

图 4 示意性示出利用图 2 的根据本发明的高电压多输出电流装置的功率控制电路的一部分的实施方案；

图 5 图示出图 4 的根据本发明的功率控制电路的某些信号；以及

图 6 示意性示出利用图 2 的根据本发明的高电压多输出电流装置

的静电放电（ESD）保护电路的一部分的实施方案。

为了例示简单和清楚，图中的元件并不一定是成比例的，不同附图中的类似参考号表示类似元件。另外，为了描述简单，省略了众所周知的步骤的描述和细节。用于此处，载流电极指的是装置的承载通过该装置的电流的元件，例如 MOS 晶体管的源极或漏极，或双极晶体管的发射极和收集极，控制电极指的是装置的控制通过该装置的电流的元件，例如 MOS 晶体管的栅极，或双极晶体管的基极。

具体实施方式

图 1 示例性示出高电压多输出电流装置 12 的一部分的实施方案，它能够由单个高电压输入引起多个独立受控输出电流。装置 12 包括高电压多输出元件 11，优选地形成成为包括 JFET 晶体管 13、第一 MOS 晶体管 14，和第二 MOS 晶体管 15。装置 12 还包括第一偏置电阻 17 和第二偏置电阻 18，用于分别向晶体管 14 和 15 的栅极提供偏置电流。装置 12 接收高电压输入 22 处的高电压并分别响应施加到输入 23 和 24 上的控制信号而分别在输出 19 和 21 处引起第一输出电流和第二输出电流。

为了提供这一功能，晶体管 13 的漏极与输入 22 相连，源极与公共节点 16 相连。晶体管 14 和 15 的漏极与晶体管 13 的源以及公共节点 16 相连。晶体管 14 的栅极与输入 23 以及电阻 17 的第一接线端相连，源极与输出 19 相连。晶体管 15 具有与输入 24 以及电阻 18 的第一接线端相连的栅极以及与输出 21 相连的源极。电阻 17 和 18 的第二接线端与晶体管 13 的源极以及晶体管 14 和 15 的漏极相连。在图 3 的描述中将更详细地解释晶体管 13 的栅极连接。在优选实施方案中，晶体管 14 和 15 都是 N 沟道 MOS 晶体管，而晶体管 13 为 N 沟道 J-FET 晶体管。在其它实施方案中，晶体管 14 和 15 可以是其它晶体管结构，例如 J-FET 和双极晶体管。

当电压施加到输入 22 上时，由施加到控制输入 23 和 24 上的电压控制输出 19 和 21。晶体管 14 和 15 独立地启用和禁用，这样，每

个相应的输出 19 和 21 具有独立受控的输出电流。如果没有外部电压施加到输入 23 或 24 上,例如输入 23 或 24 浮动,相应的电阻 17 或 18 提供来自晶体管 13 的偏置电流以启用装置 12 和相应的晶体管以在相应的输出 19 或 21 处引起输出电流。在实际运作的电路中,控制电压通常施加到输入 23 和 24 上以控制输出电流的值。当施加到输入 23 或 24 上的电压产生小于相应的晶体管的预置电压的栅-源电压时,该晶体管通常被禁用。即使当晶体管 14 或 15 被禁用时,还是有电流流经相应的电阻 17 或 18,这样,电阻 17 和 18 被设计用来确保偏置电流非常小,以使装置 12 的功率耗散最小化。禁用晶体管 14 和 15 就禁用了装置 12。当施加到输入 23 上的电压产生大于晶体管 14 的阈值电压的栅-源电压时,晶体管 14 被启用,电流流经晶体管 13 和 14 到达输出 19。类似地,当施加到输入 24 上的电压大于晶体管 15 的阈值电压时,晶体管 13 和 15 被启用,电流流经晶体管 13 和 15 到达输出 21。正如以下所要见到的,装置 12 的新颖结构以及元件 11 有助于由一个装置引起这两个不同的且独立受控的输出电流。装置 12 所提供的输出电流的最大值通过调节晶体管 14 和 15 的沟道宽度来选择。

晶体管 13、14 和 15 的击穿电压取决于应用和各种其它因素。在用于环球线电压应用的一个实施方案中,晶体管 13 的漏极关于衬底 76 的击穿电压可以超过四百伏特(400V),而晶体管 14 和 15 的源极处可承受的电压可超过五十伏特(50V)。

图 2 示出在图 1 的描述中所解释的装置 12 的实施方案的一部分的放大俯视图。图 3 示出示于图 2 中的装置 12 沿 3-3 线的放大剖视图。这一描述参考了图 2 和图 3。晶体管 14 和 15 一般地由图 2 中的虚线标示。晶体管 13、14 和 15 形成为半导体衬底 76 表面上的封闭几何形状。通常这些封闭几何形状具有同心的中心,并具有一些重叠的边缘。在优选实施方案中,封闭几何形状形成为具有不同同心半径的圆形或圆形的弧。为了解释清楚,说明了优选实施方案,然而,本领域技术人员将意识到,也可使用其它封闭形状——例如椭圆形、方形、五边形、六边形等——代替圆形,并且晶体管 13、14 和 15 可具有不

同的长度和宽度。

在优选实施方案中，晶体管 13 的封闭几何形状形成半径递增的同心圆。晶体管 14 和 15 的几何形状的第一部分形成圆形，而第二部分形成圆形的弧，其半径大于晶体管 13、14 和 15 的圆形部分的半径。晶体管 13 包括漏极接触 72 和覆盖在接触 72 上的漏极电极 71。晶体管 14 还包括一对掺杂区域，形状为圆形的弧，形成一对源极区域 84，还包括栅极多晶硅 88，形状为圆形的弧。晶体管 15 包括一对掺杂区域，形状为圆形的弧，形成一对源极区域 85，还包括栅极多晶硅 86，形状为圆形的弧。

在优选实施方案中，晶体管 13 的漏极接触 72 形成衬底 76 表面上的掺杂区域。接触 72 形状为具有第一半径和中心 70 的中空第一圆形。圆形掺杂区域 73 形成在衬底 76 表面上，与接触 72 同心，具有大于接触 72 的半径的第二半径。因为接触 72 的中空圆形形状，区域 73 的第一圆形内部位于接触 72 下方（见图 3）。区域 73 的第二圆形部分从接触 72 的外围延伸到多晶硅 88 和 86 的内缘，形成晶体管 13 的沟道。衬底 76 与区域 73 位于接触 72 之下的部分以及区域 73 的第二部分之间的界面用作 J-FET 晶体管 13 的栅极。通常，衬底 76（从而晶体管 13 的栅极）与使用装置 12 的电路中最低的电势相连。区域 73 位于多晶硅 88 和 86 的内弧下方的弧形成晶体管 13 的源极以及每个晶体管 14 和 15 的漏极。这一第三圆形区域径向延伸到区域 73 的外缘 77。从而晶体管 13 的漏极和源极形成封闭几何形状，源极半径大于漏极半径。此外，一个掺杂区域用来形成晶体管 13 的源极和漏极以及晶体管 14 和 15 的漏极。

晶体管 14 的源极区域 84 形成两个掺杂区域，每一个的形状都是圆形的弧，半径大于晶体管 14 的漏极的半径。通常，源极区域 84 的内部位于多晶硅 88 的下方。源极接触 83 形成在源极区域 84 内。源极区域 84 的两个掺杂区域由沿多晶硅 88 的外围形成的开孔 114 隔开。多晶硅 88 的一部分延伸通过开孔 114 并形成凸出部（tab）116，帮助形成与多晶硅 88 的接触。电阻 17 形成衬底 76 表面上的掺杂区域。

电阻 17 的一端在凸出部 116 的下方延伸——虚线所示——以在节点 16 处形成与区域 73 的电接触。电阻 17 的第二端通过金属连接 118 与凸出部 116 相连。类似地，晶体管 15 的源极区域 85 形成为两个掺杂区域，每一个都是弧形，半径大于晶体管 15 的漏极的半径。通常，源极区域 85 的内部位于多晶硅 86 的下方。源极接触 80 形成在源极区域 85 内。源极区域 85 的两个掺杂区域由沿多晶硅 86 的外围形成的开孔 115 隔开。多晶硅 86 的一部分延伸通过开孔 115 并形成凸出部 117，帮助形成与多晶硅 86 的接触。电阻 18 形成为衬底 76 表面上的掺杂区域。电阻 18 的一端在凸出部 117 的下方延伸——虚线所示——以在节点 16 处形成与区域 73 的电接触。电阻 18 的第二端通过金属连接 119 与凸出部 117 相连。对每个晶体管 14 和 15 的源极使用两个掺杂区域有助于每个晶体管与栅极电极的连接以及形成电阻 17 和 18。

正如图 2 和 3 的说明中可见，由区域 73 形成的晶体管 14 和 15 的圆形部分的内围合并到晶体管 13 的外围中以形成合并到晶体管 14 和 15 的漏极中的晶体管 13 的源极。区域 73 的外围具有曲线轮廓，而区域 84 和 85 的内围具有与区域 73 的周边形状相同的形状。另外，栅极结构 78 和 79 具有与区域 73 的外围形状相同的轮廓。使用相同的轮廓有助于为晶体管 14 和 15 形成控制良好的沟道。

在优选实施方案中，漏电极 71 形成为绝缘体 64——例如场氧化层——上和层间电介质 102 上的封闭圆形。由于漏极接触 72 具有中空圆形结构，电极 71 与接触 72 重叠的部分延伸通过绝缘体 64 和电介质 102 直到接触 72。电极 71 还用作焊接点以形成与装置 12 的接触。接触 72 中央部分的开孔部分有助于在不损伤装置 12 的情况下与电极 71 的焊接。在其它实施方案中，接触 72 可以形成为区域 73 中的封闭圆形。

参见图 3，晶体管 13、14 和 15 形成在衬底 76 的表面上。衬底 76 表面的一部分进行掺杂以形成圆形区域 73。区域 73 的一部分更重掺杂以形成区域 73 内的同心中空圆形漏极接触 72。源极区域 85 和源极区域 84 形成为衬底 76 表面上的掺杂区域，并与区域 73 的圆周隔开。

源极接触 83 和 80 形成在相应的源极区域 84 和 85 中。

晶体管 14 的体区域 75 形成为衬底 76 表面上的掺杂区域，位于多晶硅 88 下方。区域 75 的一部分延伸通过开孔 114 (图 2) 以帮助形成与区域 75 的接触。类似地，晶体管 15 的体区域 74 形成为衬底 76 表面上的掺杂区域，位于多晶硅 86 下方。为了使附图清楚，通过开孔 114 和 115 的延伸部分没有示出。区域 74 的一部分延伸通过开孔 115 (图 2) 以帮助形成与区域 74 的接触。栅极结构 78 形成在衬底 76 上，插入源极区域 84 和区域 73 之间，栅极区域 79 形成在衬底 76 上，插入源极区域 85 和区域 73 之间。栅极结构 78 包括形成在衬底 76 上的栅极绝缘体 81、形成在绝缘体 81 上的栅极多晶硅 88 以及形成在多晶硅 88 上的电介质 102。类似地，栅极结构 79 包括形成在衬底 76 上的栅极绝缘体 82、形成在绝缘体 81 上的栅极多晶硅 86、形成在多晶硅 86 上的电介质 102，以及形成在电介质 102 上的栅极电极。通常，结构 78 的一个边缘覆盖在源极区域 84 的一部分上，而另一边缘覆盖在区域 73 的一部分上。类似地，结构 79 的一个边缘覆盖在源极区域 85 的一部分上，而另一边缘覆盖在区域 73 的一部分上。因此，根据以上说明，可以看出区域 84 和 85 的内部部分与区域 73 的外部边缘并列。优选地，衬底 76 为 P 型材料，区域 73、源极区域 85 和源极区域 84 为 N 型材料，从而晶体管 13 形成为 N 沟道 J-FET 晶体管而晶体管 14 和 15 形成为 N 沟道 MOS 晶体管。

本领域技术人员将意识到装置 12 的圆形的封闭几何图形也可以是这样的：区域 73 形成为椭圆形而区域 84 和 85 形成为弧形，或区域 73 形成为方形而区域 84 和 85 形成为沿方形每一边的矩形，或区域 73 形成为五边形而区域 84 和 85 形成为沿五边形某些边的矩形，或区域 73 形成为六边形而区域 84 和 85 形成为沿六边形某些边的矩形，等等。

图 4 示意性示出使用装置 12 的功率控制系统 25 的一部分的实施方案。功率控制系统 25 使用装置 12 和启动控制电路 34 用于控制系统 25 的高电压加电序列和抑制系统 25 的工作。系统 25 接收电压输入 57 和电压回路 (voltage return) 58 之间的输入电压。其它元件通常从外

部与电路 34 连接, 以提供系统 25 所需要的功能。例如, 储能电容 49, 具有初级电感 54、次级电感 55 和辅助电感 60 的变压器 53, 整流二极管 61, 另一存储电容 62, 脉宽调制器 (PWM) 控制器 51, 功率晶体管 52, 抑制晶体管 35, 以及负载 63 通常都是系统 25 的一部分。示出电容 49 和 62、变压器 53、控制器 51、晶体管 52 以及二极管 61 和 30 只不过是帮助描述装置 12 和电路 34 的工作。本领域技术人员能够理解在图 4 中未示出的元件和功能通常也包括在其中, 形成完整的功率控制系统。在多数实施方案中, 电容 49 和 62、变压器 53、控制器 51、晶体管 35 以及二极管 61 和 30 不在形成装置 12 和电路 34 的半导体单元片上。在某些实施方案中, 控制器 51 和晶体管 52 可以是形成装置 12 和电路 34 的半导体单元片的另一部分或不在单元片上。在优选实施方案中, 晶体管 14 具有比晶体管 15 更窄的沟道宽度, 向输出 19 提供比晶体管 15 提供给输出 21 更小的输出电流。在这一优选实施方案中, 晶体管 15 具有大约六百 (600) 微米的宽度, 而晶体管 14 具有大约一百 (100) 微米的宽度。本领域技术人员将意识到, 取决于所需的电流密度和晶体管设计规则, 晶体管 14 和 15 可以具有大约相等的宽度或各种其它宽度。

装置 12 和电路 34 用来提供初始电压, 用于激励系统 25 中的电路, 从而系统 25 可以提供施加给与系统 25 相连的其它电路——例如控制器 51——初始电压序列的平滑受控的启动。电路 34 具有第一输出 46 和第二输出 47, 提供基本等于来自装置 12 的输出 19 的第一输出电流和来自输出 21 的第二输出电流的两个受控电流。在优选实施方案中, 输出 46 和 47 连在一起以形成输出 48 以及电路 34 的相关受控输出电流。在其它实施方案中, 输出 46 和 47 可以分开, 用于为不同的电路功能提供电流。为了控制装置 12 的输出电流, 装置 34 具有第一电流控制回路, 包括第一检测电阻 26、第一检测晶体管 28, 以及包括第一参考晶体管 32 和第一镜像晶体管 33 的第一电流镜 31。电路 34 的第二电流控制回路包括第二检测电阻 27、第二检测晶体管 29, 以及包括第二参考晶体管 37 和第二镜像晶体管 38 的第二电流镜 36。第一

控制回路控制输出 19 处产生的第一输出电流。输出 19 处的电流流经电阻 26 并在电阻 26 上产生相应的电压降。电阻 26 连接在晶体管 28 的栅极和源极之间，形成晶体管 28 的栅 - 源电压，从而降落在电阻 26 上的电压建立流经晶体管 28 的第一检测电流。电流镜 31 接收来自晶体管 28 的第一检测电流，并作为响应控制施加到控制输入 23 上的电压，从而控制晶体管 14 的栅极电压和第一输出电流的值。随着输出 19 处的输出电流增大，第一检测电流相应增大，降低了晶体管 28 的栅极电压并相应地降低了输入 23 上的控制电压，从而减小输出电流值。因此，这一负反馈回路用于控制晶体管 14 中的电流。类似地，第二控制环包括第二偏置电阻 27，用于接收输出 21 处的第二输出电流，并作为响应为晶体管 29 产生栅 - 源电压并产生流经晶体管 29 的第二检测电流。晶体管 29 与第二电流镜 36 耦合，后者接收来自晶体管 29 的第二检测电流，并作为响应控制施加到第二控制输入 24 上的控制电压，从而控制晶体管 15 的栅极电压和第二输出电流的值。在某些实施方案中可省略这两个电流控制回路。

电路 34 还包括工作电压探测器 39 和初始电压探测器 40，用于对装置 12 的工作进行排序。在启动周期期间，探测器 39 和 40 根据在输出 48 处形成的电压的值控制晶体管 14 和 15 的工作。在某些实施方案中，输出 46 和 47 可以是分开的，用于向不同的电路功能提供电流，从而，探测器 39 和 40 可以与电路 34 或其它电路（见，例如图 6）的相同或不同输出相连。电压参考电路 56 在参考电路 56 的第一和第二输出上提供两个参考电压。探测器 39 和 40 利用这两个参考电压来设置探测电平用于探测初始电压值和所需工作电压值。控制器 51 具有启用输入，由探测器 39 的输出控制，以保证控制器 51 不会驱动主级电感 54，直到达到所需工作电压。本领域技术人员将意识到，只要控制回路控制电流，并且探测器根据输出 46 和 47 上的电压控制装置 12，那么就可以用很多种设计来实现电流控制电路以及探测器 39 和 40。

随着输入 57 和 22 处的电压从零开始并随时间增大，输出 46 和 47 处的输出电压从零开始并增大超过初始电压值并达到所需的工作

电压值。所需的工作电压值通常选定为为其它位于电路 34 外部的电路——例如控制器 51 和负载 63——提供正常工作的值。初始电压值通常远小于所需工作值，并且一般是能用来开动某些基本电路功能的电压值的下限。例如，初始电压值可以是在输出电压达到所需工作值之前某些基本的比较器和其它电路需要在这个值处工作的值。初始电压值通常用于开动参考电路 56 和探测器 39 和 40。为了提供这一初始电压，输出 48 与电容 49 相连，来自输出 46 和 47 的电流对电容 49 充电以在输出 48 上形成电路 34 的输出电压。电路 34 接收这一输出电压并作为响应控制装置 12 的排序。初始电压选择为尽可能低，从而电容 49 可以尽快充电至初始电压以减小启动系统 25 所需要的总时间。

只要输出电压小于初始电压值，探测器 40 就接收输出电压并作为响应禁用晶体管 15 并启用装置 12 以提供来自晶体管 14 的电流。当输出电压等于或大于初始电压值时，探测器 40 也启用晶体管 15 从而装置 12 能够产生第一和第二输出电流。当输出电压等于或大于所需工作电压时，探测器 39 接收输出 48 上的输出电压并作为响应禁用装置 12。在优选实施方案中，探测器 39 具有滞后以防止输出电压在所需工作电压值附近略微变化时探测器 39 的开和关。由于滞后输入，当输出电压下降到大约等于所需工作电压值减去探测器 39 的滞后偏移电压的第三值时，探测器 39 重新启用装置 12。为了辅助这一功能，探测器 39 具有与输出 48 耦合的输入，以及分别与第一禁用晶体管 41 和第二禁用晶体管 42 耦合的两个输出。探测器 39 和 40 以及相应的参考电路可以由本领域技术人员所熟知的多种电路来形成，包括单个 MOS 晶体管，利用晶体管的阈值来建立参考电压值。

图 5 为一曲线图，具有曲线 43 和 45，分别示出电路 34 的输出电压和输出电流。这一描述参考了图 4 和图 5。在向输入 57 施加功率之前，电容 62 和 49 放电，输出 48 为零伏特。因此，电路 34 不工作，没有来自装置 12 的输出电流。当在时间 T0 处输入电压施加到输入 57 上时，电流开始流经电感 54 并流入装置 12 的输入 22。随着输入 22 上的电压增大，晶体管 13 开启并通过电阻 17 和 18 向晶体管 14 和 15

提供偏置电流。探测器 39 的输出为低而探测器 40 的输出为高，从而，晶体管 41 和 42 被禁用而晶体管 44 被启用以将输入 24 拉低并禁用晶体管 15。电阻 17 拉动控制输入 23——从而拉动晶体管 14 的栅极——拉到输入 22 的输入电压并启用晶体管 14 向电路 34 提供第一输出电流。电路 34 控制输出电流以输出电流值 68 向输出 48 提供第一控制电流（见曲线 45）。输出电流开始对电容 49 充电。在时间 T1，电容 49 充电至初始电压值 65，探测器 40 的输出切换至低值，从而禁用晶体管 44 并使电阻 18 能够启动晶体管 15。电路 34 接收第二输出电流并控制该值以向输出 48 提供第二控制电流。电路 34 还向控制器 51 提供第三输出。晶体管 14 保持启用，从而，输出 48 处的受控输出电流增大到值 69，电容 49 现在被来自装置 12 的第一和第二输出电流充电。当输出 48 上的电压的值在时间 T2 处增大到所需工作电压值 66 时，探测器 39 的输出切换至高值，从而启用晶体管 41 和 42 以将控制输入 23 和 24 拉低并禁用装置 12。探测器 39 的输出上的高电压也启用控制器 51，且晶体管 52 开始响应于控制器 51 驱动输入 22。系统 25 开始向负载 63 施加功率。如果输出 48 上的输出电压增大到第三电压值 67，则探测器 39 的滞后偏移在时间 T3 处探测到低电压并禁用晶体管 41 和 42，从而启用装置 12 以向输出 48 提供第一和第二输出电流，并再一次将电容 49 充电至工作电压值 66。第三电压值 67 可以是任何值，包括非常接近值 65 的值。

在系统工作过程中，有可能需要禁用或抑制系统 25。例如，负载 63 可能探测到需要禁用系统 25 的条件。在这样的情形中，负载 63 或另一电路（未示出）可启用晶体管 35 以将输出 48 拉低并抑制系统 25 的工作。将输出 48 拉低使得电容 49 放电。当电容 49 放电至小于初始电压值的值时，探测器 40 启用晶体管 44 来禁用装置 12 的晶体管 15。禁用晶体管 15 抑制了系统 25 提供第二输出电流并保持装置 12 能够提供第一输出电流。由于第一输出电流远小于第二输出电流——优选地至少小十倍，保持晶体管 14 启用禁用了控制器 51 并防止了系统 25 向负载 63 提供电压，并使得装置 12 能够提供第一输出电流作为待机

电流。这样,这一方法提供了简单的方法来抑制系统 25 的工作而同时又保持待机电流,并提供了在负载 63 禁用晶体管 35 时能够容易地对电容 49 进行重新充电的方法。重要的是在系统 25 被抑制时使耗散的总功率最小化。由于第一输出电流的低电流,这一抑制系统 25 的方法使得因向输入 57 提供电压而耗散的功率总量最小化。通常第一输出电流的值被选择为小于认证标准——例如 ENERGY STAR®——中所指定的待机电流。可以看出装置 12 和晶体管 35 形成系统控制器 50 和系统 25 的抑制电路。

本领域技术人员将理解,可以在工作序列中的任意时刻启用晶体管 35,抑制功能开始于在那一时间存在的输出电压和电流值。另外,探测器 39 和 40 也能够使用其它控制序列,例如在探测到初始电压值滞后启用装置 12 以仅提供第二输出电流,或者倒转次序在探测到初始电压值之前提供第二输出电流并在探测到初始电压值滞后提供第一输出电流,等等。

图 6 示意性示出静电放电 (ESD) 保护电路 90 的一部分的实施方案。电路 90 利用装置 12 的输出 21 作为启动电流源来保护输出 91 处的受控启动电压,还利用输出 19 来为与输入 57 相连的电路启用 ESD 保护。在电路工作过程中,电路常常会受到来自外部源的 ESD 放电。这样的 ESD 放电能够容易地破坏与 ESD 放电源相连且离得很近的半导体装置。在 ESD 事件过程中,电路 90 利用装置 12 的晶体管 14 来启用晶体管,97 并使用晶体管 15 来提供电路 90 的输出 91 上的输出电压受控启动。这样,晶体管 14 和 15 独立工作以实现来自晶体管 13 的输出的两个不同功能。探测器 39 和晶体管 41 用于控制晶体管 15 来提供输出电压的控制启动,ESD 探测器 96 用于禁用晶体管 14 除非发生 ESD 事件。电路 90 还包括参考电路 93,提供用于探测输出 91 上的所需工作电压值的第一参考电压,并提供用于禁用晶体管 14 的第二参考电压。

工作电压探测器 39 控制晶体管 15 对电容 49 充电直到输出 91 上的电压达到所需工作电压值。当施加到输入 22 上的输入电压最初施加

到电路 90 上时, 电容 49 被放电。输入电压充分增大来开启晶体管 13, 并通过电阻 18 向晶体管 15 提供偏置电流。探测器 39 的输出开始于低电压值并保持低直到输出 91 上的输出电压达到所需工作电压值。低电压禁用晶体管 41, 使得电阻 18 能够启用晶体管 15 以形成输出电流对电容 49 进行充电并形成输出电压。当电容 49 充电至所需工作电压值时, 探测器 39 的输出变高, 启用晶体管 41 并禁用装置 12 的晶体管 15。探测器 39 的滞后用于将输出电压保持在所需工作电压值, 如图 4 的描述中所解释的那样。探测器 39 对晶体管 14 没有作用。

当 ESD 事件发生时, ESD 对晶体管 14 的栅极充电, 从而启用晶体管 14。晶体管 14 用于提供足以将晶体管 97 驱动至低阻抗状态的驱动电流。晶体管 97 通常为低导通电阻功率晶体管, 当晶体管 97 处于低阻抗状态中时能容易地吸收 ESD 放电导致的电流。只要电路 90 没有处在大于探测器 96 的参考输入电压的输出 91 所确定的正常工作状态中, 则晶体管 14 就将被探测器 96 的高输出状态启用。在电路 90 的正常工作状态下, 晶体管 14 将被禁用从而使得驱动器控制块 98 能够控制晶体管 97。

本领域技术人员将注意到探测器 96 可具有多种实现方式。一个示例实现方式包括比较器 94, 接收倒转输入上的输出电压和非倒转输入上的 ESD 探测电压。比较器 94 的输出与装置 12 的输入 23 相连。

考虑到上面所有的, 显然公开了新装置、形成该装置的方法, 以及使用该装置的方法。在其它特征中还包括了通过将启动装置的输入拉至低电压来抑制功率控制系统的工作。输出上的低电压导致启动装置禁用充电电流并抑制功率控制系统的工作, 同时耗散尽可能低的电流。还包括了使用一个掺杂区域来形成 J-FET 晶体管的源极和漏极以及两个 MOS 晶体管的漏极。该单个掺杂区域形成为封闭几何形状。对所有三个晶体管使用一个掺杂区域使得高电压多输出电流装置的成本最小化。封闭形状还有助于形成邻近于单个掺杂区域的两个 MOS 晶体管的源极, 进一步使得用于高电压多输出电流的空间最小化。独立受控 MOS 晶体管有助于将高电压多输出电流装置用于两个不同电

流，用于对功率控制电路和其它需要多个独立受控输出电流的电路的启动进行排序。

应当指出，元件 11 和装置 12 可包括多于两个的输出以及像晶体管 14 和 15 这样的晶体管。例如，元件 11 和装置 12 可包括与晶体管 14 和 15 并联的第三晶体管。第三晶体管还可具有与节点 16 相连的漏极、形成装置 12 的第三输出的源极，以及形成装置 12 的第三输入的栅极。第三晶体管可具有相关的第三电阻，它具有与节点 16 相连的第一端和与第三晶体管的栅极相连的第二端。第三晶体管可形成与第一和第二输出电流不同的第三输出电流。使用全部三个晶体管的应用的例子可包括晶体管 14 和 15 提供第一和第二输出电流，如图 4 的描述中所解释的那样，第三晶体管可提供第三输出电流来驱动晶体管 97，如图 6 的描述中所解释的那样。另外，元件 11 和装置 12 可具有任意数目的这样的晶体管和相关电阻。

图1

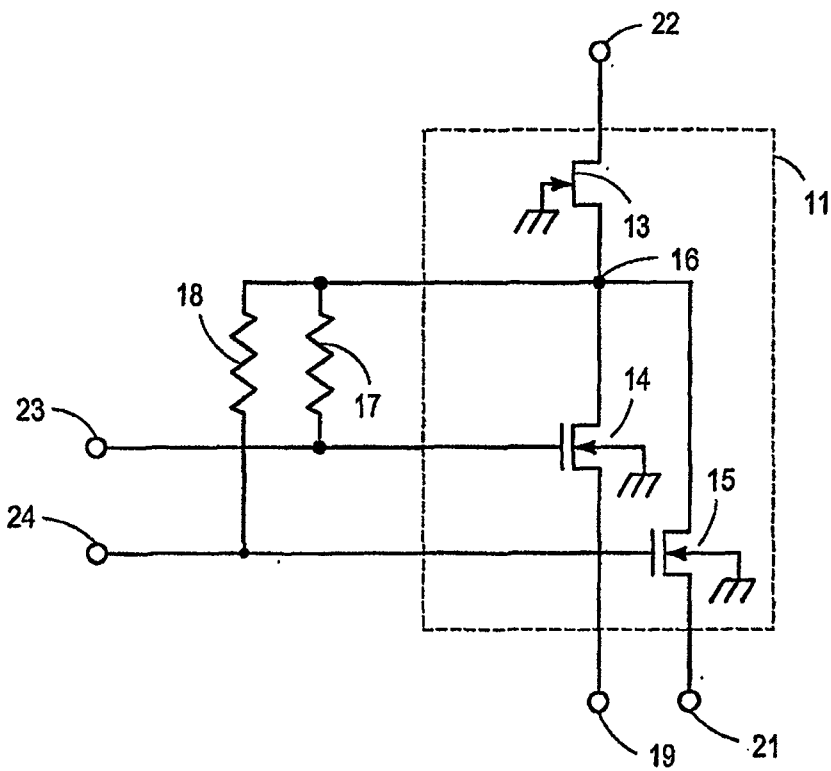


图 2

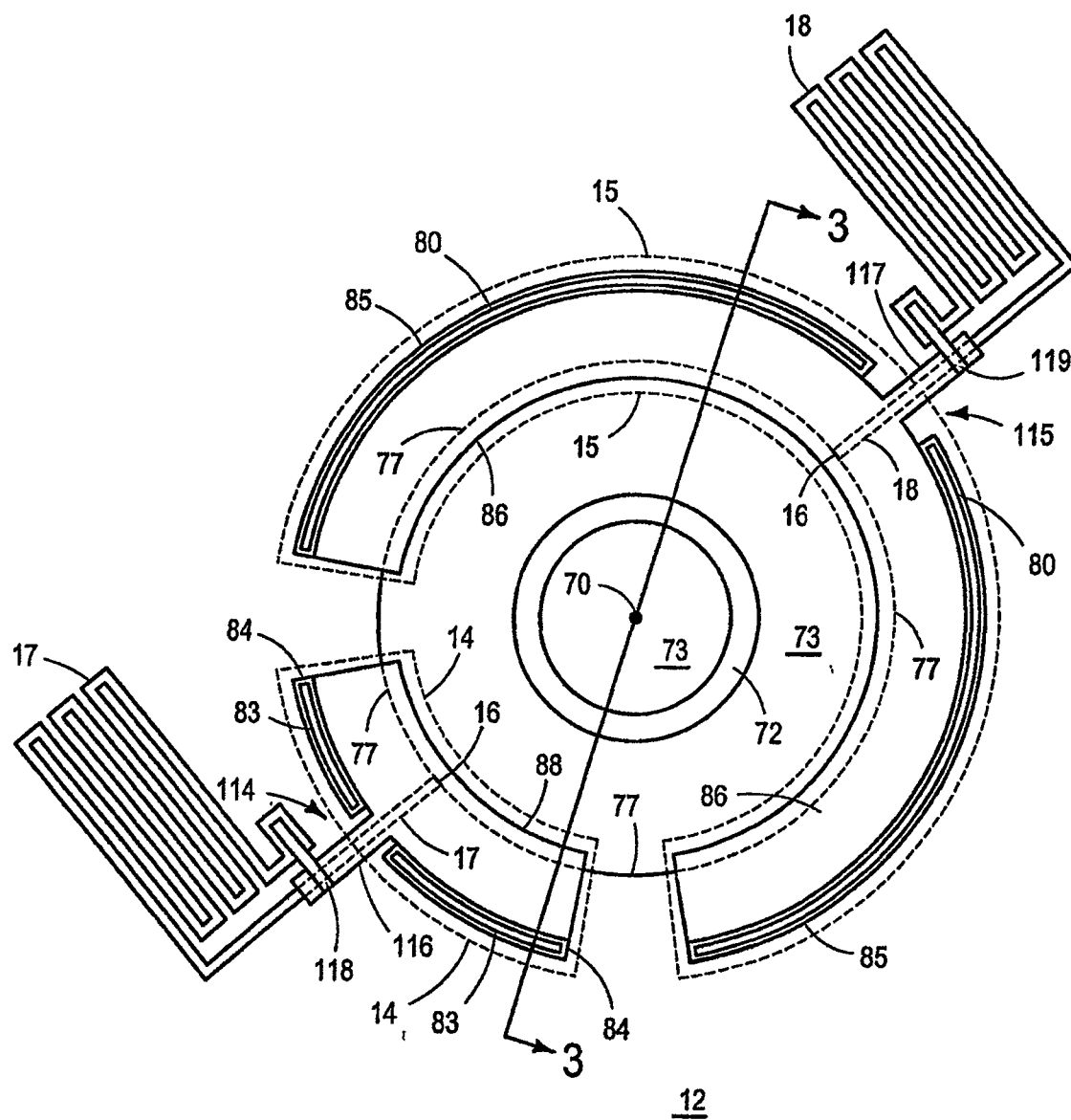


图 4

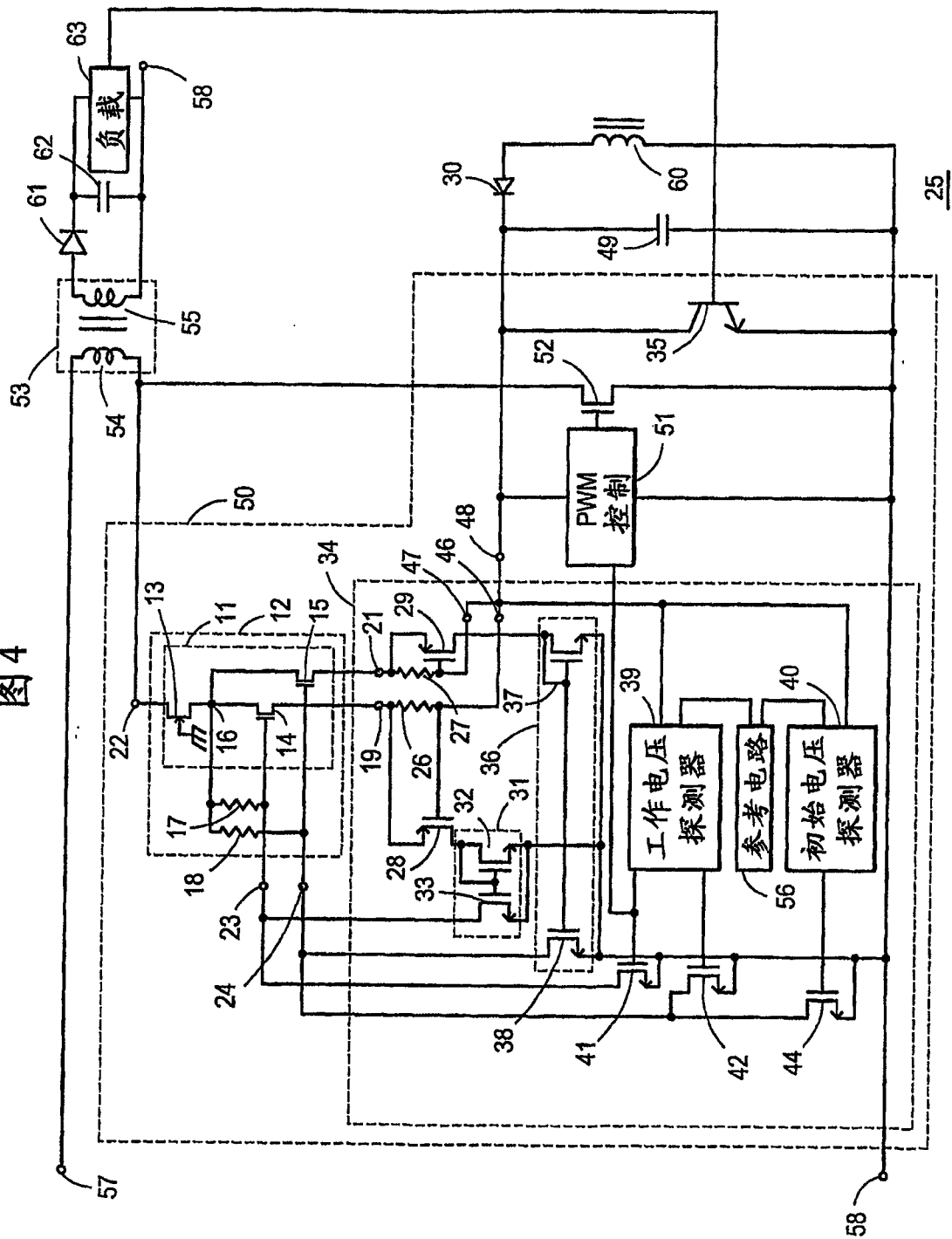


图5

