

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5780711号
(P5780711)

(45) 発行日 平成27年9月16日 (2015. 9. 16)

(24) 登録日 平成27年7月24日 (2015. 7. 24)

(51) Int. Cl.

F I

H O 1 L 27/146 (2006. 01)

H O 1 L 27/14 A

H O 4 N 5/374 (2011. 01)

H O 4 N 5/335 7 4 O

H O 4 N 5/357 (2011. 01)

H O 4 N 5/335 5 7 O

請求項の数 7 (全 11 頁)

(21) 出願番号 特願2010-88080 (P2010-88080)
 (22) 出願日 平成22年4月6日 (2010. 4. 6)
 (65) 公開番号 特開2011-222631 (P2011-222631A)
 (43) 公開日 平成23年11月4日 (2011. 11. 4)
 審査請求日 平成25年4月5日 (2013. 4. 5)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100090273
 弁理士 國分 孝悦
 (72) 発明者 小倉 正徳
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 (72) 発明者 山下 雄一郎
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 (72) 発明者 小泉 徹
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

光電変換により画素信号を生成する複数の画素と、
 前記複数の画素により生成された画素信号が出力される複数の信号出力線と、
 前記信号出力線毎に設けられ、前記複数の信号出力線の画素信号を増幅する複数の増幅器とを有し、
 前記増幅器は、
 同一の電圧がゲート電極に供給される第1及び第2の電界効果トランジスタと、
 前記第1及び第2の電界効果トランジスタのゲート電極を接続する第1の配線と、
 前記複数の増幅器に接続される前記第1の配線同士を接続し、前記同一の電圧が供給さ
 れる共通バイアス配線とを有し、
 前記第1及び第2の電界効果トランジスタは、前記複数の増幅器が配列される方向に対
 して垂直方向に配列され、
 前記第1の電界効果トランジスタは、各々のゲート電極が相互に接続される並列接続の
 複数の第1のトランジスタを有し、
 前記第2の電界効果トランジスタは、各々のゲート電極が相互に接続される並列接続の
 複数の第2のトランジスタを有し、
 前記複数の第1のトランジスタ及び前記複数の第2のトランジスタは同一線上に並んでお
 り、

前記第1の配線の材料は、前記第1及び第2の電界効果トランジスタのゲート電極の材

料より抵抗率が小さく、

前記第 1 及び第 2 の電界効果トランジスタのチャネルは、同一方向に揃っていることを特徴とする固体撮像装置。

【請求項 2】

前記第 1 の配線は、

前記共通バイアス配線に接続される第 2 の配線と、

前記第 2 の配線に接続される第 1 のプラグと、

前記第 1 のプラグに接続される第 3 の配線と、

前記第 3 の配線及び前記第 1 の電界効果トランジスタのゲート電極間に接続される第 2 のプラグと、

10

前記第 3 の配線及び前記第 2 の電界効果トランジスタのゲート電極間に接続される第 3 のプラグとを有することを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】

前記第 3 の配線上において、前記第 1 のプラグは、前記第 2 のプラグと前記第 3 のプラグとの間に配置されることを特徴とする請求項 2 記載の固体撮像装置。

【請求項 4】

前記第 2 の電界効果トランジスタのドレイン又はソースは、前記増幅器の出力端子に接続されることを特徴とする請求項 1 ～ 3 のいずれか 1 項に記載の固体撮像装置。

【請求項 5】

前記第 2 の電界効果トランジスタのゲート電極は、前記増幅器の出力端子と容量結合されていることを特徴とする請求項 4 記載の固体撮像装置。

20

【請求項 6】

前記同一方向は、前記複数の画素の列に沿った方向であることを特徴とする請求項 1 ～ 5 のいずれか 1 項に記載の固体撮像装置。

【請求項 7】

前記増幅器は、前記信号出力線の画素信号を入力する第 1 の入力トランジスタと、基準電圧を入力する第 2 の入力トランジスタとを有し、

前記第 1 の入力トランジスタは、前記第 2 の電界効果トランジスタに直列に接続され、

前記第 2 の入力トランジスタは、前記第 1 の電界効果トランジスタに直列に接続され、

前記第 1 の入力トランジスタ、前記第 2 の電界効果トランジスタ、前記第 2 の入力トランジスタ及び前記第 1 の電界効果トランジスタが、この順に配列され、

30

前記第 1 及び第 2 の入力トランジスタのチャネルは、前記第 1 及び第 2 の電界効果トランジスタのチャネルと同一方向になるように形成されていることを特徴とする請求項 1 ～ 6 のいずれか 1 項に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、固体撮像装置に関する。

【背景技術】

【0002】

40

CMOS イメージセンサのようなアクティブ型の固体撮像装置は、光電変換素子を含む画素と画素の電気信号を処理する信号処理回路とを有する。下記の特許文献 1 には、信号処理回路を有する固体撮像装置が開示されている。複数の画素の一行分は、信号出力線を介して画素信号を増幅又は信号処理をする信号処理回路に接続されている。画素面積の縮小化による感度低下を補うために信号処理回路において高ゲインをかける手法が有効である。そのため、トランジスタによって構成されたカスコード回路が用いられた増幅器が使用される。

【先行技術文献】

【特許文献】

【0003】

50

【特許文献1】特開2005-217158号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

近年の多画素化による画素サイズの縮小化に伴い、信号処理回路のレイアウト寸法も縮小する必要がある。2次元行列状に配列された画素の列方向に配置される信号処理回路はマトリクスの縦方向に細長く配置されるが、画素サイズが縮小するとより細い幅に回路をレイアウトする必要がある。特許文献1において、信号処理回路レイアウトの幅を縮小するためには、トランジスタの各寸法を縮小するか、トランジスタのチャンネルの向きを変更する必要がある。トランジスタの各寸法は回路の電源電圧、製造工程で使用する露光機の解像度および位置合わせ精度などで制約される。特に、電源電圧は固体撮像装置の性能上、容易には低減できない。何故なら固体撮像装置の信号処理回路はアナログ回路で構成されており、電源電圧の低下がダイナミックレンジの低下に直結するからである。配線の幅が狭くなると、配線の抵抗が大きくなり、電圧が変動した際の信号の変動を抑制しにくくなる。これにより、一部の信号処理回路の信号により、他の信号処理回路の信号に「偽信号」が生じるという課題が発生する。

10

【0005】

本発明の目的は、偽信号を抑制することができる固体撮像装置を提供することである。

【課題を解決するための手段】

【0006】

20

本発明の固体撮像装置は、光電変換により画素信号を生成する複数の画素と、前記複数の画素により生成された画素信号が出力される複数の信号出力線と、前記信号出力線毎に設けられ、前記複数の信号出力線の画素信号を増幅する複数の増幅器とを有し、前記増幅器は、同一の電圧がゲート電極に供給される第1及び第2の電界効果トランジスタと、前記第1及び第2の電界効果トランジスタのゲート電極を接続する第1の配線と、前記複数の増幅器に接続される前記第1の配線同士を接続し、前記同一の電圧が供給される共通バイアス配線とを有し、前記第1及び第2の電界効果トランジスタは、前記複数の増幅器が配列される方向に対して垂直方向に配列され、前記第1の電界効果トランジスタは、各々のゲート電極が相互に接続される並列接続の複数の第1のトランジスタを有し、前記第2の電界効果トランジスタは、各々のゲート電極が相互に接続される並列接続の複数の第2
のトランジスタを有し、前記複数の第1のトランジスタ及び前記複数の第2のトランジスタは同一線上に並んでおり、前記第1の配線の材料は、前記第1及び第2の電界効果トランジスタのゲート電極の材料より抵抗率が小さく、前記第1及び第2の電界効果トランジスタのチャンネルは、同一方向に揃っていることを特徴とする。

30

【発明の効果】

【0007】

第1の配線の抵抗を下げることで、一部の増幅器の出力信号によって生じる他の増幅器の偽信号を抑制することができる。

【図面の簡単な説明】

【0008】

40

【図1】本発明の第1の実施形態による固体撮像装置の構成例を示す図である。

【図2】第1の実施形態の固体撮像素子の等価回路図である。

【図3】第1の実施形態の増幅器の等価回路図である。

【図4】第1の実施形態の固体撮像装置の読み出し模式図である。

【図5】第1の実施形態の増幅器のパターンレイアウト図である。

【図6】第1の実施形態の増幅器の断面図である。

【図7】第2の実施形態の増幅器のパターンレイアウト図である。

【図8】第1の実施形態の固体撮像装置の入出力の模式図である。

【発明を実施するための形態】

【0009】

50

(第1の実施形態)

図1は、本発明の第1の実施形態による固体撮像装置の構成例を示すブロック図である。固体撮像装置は、例えばデジタル一眼レフカメラ、コンパクトデジタルカメラ、ビデオカメラ、携帯用デジタルカメラ、放送用デジタルカメラ等である。固体撮像装置は、光学系101、固体撮像素子102、AFE103、DFE104、画像エンジン105、タイミングジェネレータ106、レンズ制御部107、カメラ制御部108、インターフェース109等を有する。AFE103はアナログフロントエンドであり、DFEはデジタルフロントエンドである。光学系101は、被写体からの入射光を固体撮像素子2の撮像面上に結像するレンズ101aと、当該レンズ101a、シャッタ101cを経た入射光の光量を制御する絞り101bと、固体撮像素子102への光入射時間を制御するシャッタ101cを有している。レンズ制御部107は、光学系101を制御する。固体撮像素子102は、光学系101を通して入射した光を画素単位で光電変換して画像信号を電気信号として出力する。タイミングジェネレータ106は、固体撮像素子102を制御する。AFE103は、固体撮像素子102により出力される画像信号に対してアナログ信号処理を行う。DFE104は、AFE103の出力信号に対してデジタル信号処理を行う。画像エンジン105は、カメラ制御部108との通信により、画像処理を行い、画像信号を出力する。インターフェース109は、カメラ制御部108との通信により、外部に対して信号の入出力を行う。カメラ制御部108は、レンズ制御部107、タイミングジェネレータ106、AFE103及びDFE104を制御する。

【0010】

図2は、図1の固体撮像素子102の構成例を示す回路図である。固体撮像素子102は、例えばCMOSイメージセンサである。画素201a、201b、201cは、それぞれ、フォトダイオード213及び複数のトランジスタ214、215を有する。フォトダイオード213は、光電変換により画素信号を生成する光電変換素子である。トランジスタ214は、フォトダイオード213により生成された画素信号を読み出すための転送トランジスタである。トランジスタ215は、転送トランジスタ214により読み出された画素信号を信号出力線204a、204b、204cに出力するための行選択トランジスタである。配線202、203は、垂直走査回路に接続され、画素201a、201b、201cの信号を読み出すためのパルス信号を供給する配線であり、水平方向に画素201a、201b、201cに共通に接続される。204a、204b、204cは、画素201a、201b、201cにより生成された画素信号が出力される信号出力線である。信号処理回路205a、205b、205cは、それぞれ、増幅器206、複数の容量216、217及びトランジスタを有し、信号出力線204a、204b、204c毎に設けられ、信号出力線204a、204b、204cの画素信号を増幅する。信号処理回路205a、205b、206cの出力信号は、トランジスタ207a、207b、207cを介して容量208a、208b、208cで保持される。水平走査回路から順次供給される制御線211a、211b、211cの信号により、トランジスタ209a、209b、209cが順次オンし、容量208a~208cに保持された信号は水平信号出力線210に読み出される。アンプ212は、水平信号出力線210の信号を増幅して出力する。

【0011】

図3は、図2の増幅器206の構成例を示す回路図である。図3に示すように、図2の電圧VBLは、所定方向に配線が設けられ、各信号処理回路205a~205cの増幅器206のカスコード回路に共通に入力される。図2では簡単のために3行3列の画素配列を例にあげているが、実際には多くの信号処理回路が配列されている。また、電圧VREF、VBT、VBH、VBL、駆動信号PCOR等も同様に各信号処理回路205a~205cに入力される。

【0012】

図3において、第1の電界効果トランジスタ1101及び第2の電界効果トランジスタ1102は、ゲート電極に同一の電圧VBLのノードが接続されるカスコード回路である

10

20

30

40

50

。カスコード回路を構成するトランジスタ 1101 と 1102 のゲート間の距離が大きくなると、ゲート配線 218 に寄生抵抗が生じる。容量 219 は、トランジスタ 1102 のゲート - ドレイン間に生じる寄生容量である。ゲート - ドレイン (又はソース) 間容量 219 は、図 3 に限らず MOS トランジスタであれば生じるゲートまたはゲートに接続されている配線とドレインに接続されている配線との寄生容量によっても発生する。トランジスタ 1103 はトランジスタ 1101 に直列に接続され、トランジスタ 1104 はトランジスタ 1102 に直列に接続される。A 点は、トランジスタ 1102 のゲートであり、寄生抵抗 218 を介して電圧 V_{BL} が供給される。トランジスタ 1106 は、トランジスタ 1101 及び 1103 に対して直列に接続され、ゲートに正入力信号 $IN+$ を入力する。トランジスタ 1105 は、トランジスタ 1102 及び 1104 に対して直列に接続され、ゲートに負入力信号 $IN-$ を入力する。

10

【0013】

図 4 は、図 2 の信号処理回路 205a、205b、205c の出力波形を示す図である。画素 201a は光を照射して明部にし、画素 201b、201c は暗部、もしくは遮光した場合の各信号処理回路 205a、205b、205c の出力と図 3 の A 点の電圧 V_{BL} の変動を示している。時刻 t_1 に、垂直走査回路から配線 202 を介して画素 201a ~ 201c の行選択トランジスタ 215 のゲートにハイレベルの選択パルス信号 202 が供給され、行選択トランジスタ 215 がオンする。次に、時刻 t_2 に、垂直走査回路から配線 203 を介して画素 201a、201b、201c の転送トランジスタ 214 のゲートにハイレベルの転送パルス信号 203 が供給され、転送トランジスタ 214 がオンする。画素 201a、201b、201c のフォトダイオード 213 の画素信号は、信号出力線 204a、204b、204c を介してそれぞれ信号処理回路 205a、205b、205c に入力される。明部の画素 201a に対応する信号処理回路 205a の出力 OUT が信号の大きさに比例して上昇する。すると、寄生容量 219 を介して、電圧 V_{BL} が与えられている信号処理回路 205a ~ 205c の A 点に V_{BL} の電位変動が生ずる。この変動は、寄生容量 219 による、明部の画素 201a に対応する信号処理回路 205a の出力 OUT と A 点の容量結合の結果である。即ち、信号処理回路 205a の出力 OUT の光信号 (sig) に応じて、信号処理回路 205a の増幅器 206 の A 点の電位が V_{BL} 変動する。また、信号処理回路 205a ~ 205c は、水平方向に共通の配線で電圧 V_{BL} が供給されているため、明部の信号処理回路 205a の A 点の V_{BL} の変動が暗部の信号処理回路 205b、205c にも影響する。その結果、信号処理回路 205b、205c の A 点の電位が V_{BL} 変動し、その変動が更に暗部の信号処理回路 205b、205c の出力 OUT を変動させる。この信号処理回路 205b、205c の出力 OUT の変動は本来の画像信号ではない「偽信号」である。

20

30

【0014】

電圧 V_{BL} を供給する電源回路は、これらの電位変動を抑えるべく電流を引き込み、本来の電圧 V_{BL} に戻そうとするが、寄生抵抗 218 により長い時間を要する (期間 $t_2 \sim t_3$)。限られた時間の中で信号処理回路 205a ~ 205c の信号読み出しが完了する場合、A 点の電位上昇が残る。暗部の信号処理回路 205b、205c では、A 点が電圧上昇すると、トランジスタ 1102 のゲート - ドレイン間容量 219 により出力端子 OUT の電位が上昇し、本来の暗部信号より明るい偽信号を出力する。信号読み出し時間 (期間 $t_2 \sim t_3$) を長くすれば、この問題は緩和されるが、駒速やフレームレートが低下する。また、詳細な説明は省略するが、電圧 V_{BH} についてもトランジスタ 1103 及び 1104 のゲートに寄生抵抗が生じると同じ問題が生じる。

40

【0015】

図 2 は画素配列が 3×3 の場合を例示しているが、実際は図 8 (A) 及び (B) のように数千列 \times 数千行の画素配列になる。図 8 (A) は入射光の画素領域の様子を示し、画素領域は明部 L 及び暗部 D を有する。図 8 (B) は固体撮像装置の出力画像を示し、偽信号 F の画像が生じる。偽信号 F は、明部 L と同じ行の左右の暗部 D で生じる。数千列の信号処理回路 205a ~ 205c 等の出力が上昇すると、数千列の寄生容量 219 による容量

50

結合を受けるので、 V_{BL} は非常に大きくなり、偽信号が大きくなる。以上では、A点の電位が上昇する場合の偽信号を例にあげたが、A点の電位が下降する場合、実際の入射光よりも暗い出力を与える偽信号を出力することになる。本実施形態では、カスコード回路を構成するトランジスタ1101及び1102のゲートと電圧 V_{BL} を供給する配線の間の寄生抵抗218を低減することで、変動電位 V_{BL} を抑制する。

【0016】

図5は、本実施形態の固体撮像素子102の信号処理回路205a~205cの増幅器206のパターンレイアウト図である。信号処理回路205a~205cは、画素201a~201cから画素信号が読み出される複数の信号出力線204a~204cに対応して形成され、画素信号を増幅又は信号処理を行う信号処理回路であり、カスコード回路を有する増幅器206を含む。1101G、1102Gはカスコード回路を含むトランジスタ1101、1102のゲート電極であり、ゲート電極と同じ材料であるポリシリコンを主成分とする材料で電氣的に接続されている。1105Gはトランジスタ1105の負入力信号IN-の負入力ゲート電極、1106Gはトランジスタ1106の正入力信号IN+の正入力ゲート電極である。402はカスコード回路に供給する電圧 V_{BL} を導く導電材料の配線であり、信号処理回路205a~205cの配列の方向Xに配置されており、複数の信号処理回路205a~205c内の増幅器206のカスコード回路に供給されている。403は異なる配線層を接続するプラグであり、配線402と404を接続する。404はカスコード回路を構成するトランジスタ1101、1102のゲート電極1101G、1102Gを接続する導電材料の配線であり、配線402とは直交し、別層である。405、406は異なる配線層を接続するプラグであり、配線404とゲート電極1101G、1102Gとを接続する。

【0017】

図6(A)~(C)は、図5のV-V'断面図である。図6(A)において、407は各種の電圧を供給する導電材料の配線であり、信号処理回路205a~205cの配列の方向に配置されており、信号処理回路205a~205cに共通で供給される電源電圧配線として使用される。配線402、403、404、405、406の材料は、ゲート電極1101G、1102Gの材料より抵抗率が小さいものを用いることにより、配線402から低抵抗で電圧 V_{BL} をゲート電極1101G、1102Gに供給することができる。その結果、出力端子OUTの変化によって電圧 V_{BL} が変動しても短い時間で電荷を充放電し、本来の電圧 V_{BL} をカスコード回路に供給することができた。その結果、一部の信号処理回路205aの出力信号による他の信号処理回路205b、205cの出力信号への影響による偽信号を低減でき、入射光を忠実に反映した信号を得ることができた。また、図6(B)のようにプラグ405、406を複数用いても良い。また、図6(C)のように、配線402でゲート電極1101Gと1102Gを接続してもよい。

【0018】

カスコード回路を構成するトランジスタ1101と1102の間には正入力トランジスタ1106が位置することが多く、その場合は図2の基準電圧 V_{REF} の配線層407を水平方向に配置することになる。その場合は、図6(A)、(B)のように、配線層402とは異なる配線層403を直交させて、ゲート電極1101G及び1102Gを接続する方法が有効となる。

【0019】

また、本実施形態では、トランジスタのゲート電極1101G及び1102Gの材料がポリシリコンである場合を例に説明した。Co、W、Ti、Ni等の金属シリサイドを用いることでソース・ドレイン抵抗を低減する手法がある。これらのシリサイド化では、ポリシリコン抵抗のおよそ数分の1に抵抗が下がる。

【0020】

一方、本実施形態のように、配線402、403、404、405、406の配線材料としてアルミニウムや銅を用いることにより、ゲート電極1101G及び1102Gのポリシリコンのおよそ千分の一に抵抗を下げることもできる。本実施形態の配置、接続形態

10

20

30

40

50

を採用すれば、ポリシコンでもポリサイドでも材料抵抗の低減効果以上の効果が得られる。

【0021】

増幅器206は、第1の電界効果トランジスタ1101、第2の電界効果トランジスタ1102及び第1の配線402～406を有する。第1の電界効果トランジスタ1101のゲート電極1101G及び第2の電界効果トランジスタ1102のゲート電極1102Gは、同一の電圧ノード(VBL)に接続される。第1の配線402～406は、電圧ノード(VBL)と第1及び第2の電界効果トランジスタ1101、1102のゲート電極1101G、1102Gとの間に接続される。第1及び第2の電界効果トランジスタ1101、1102は、複数の増幅器206が配列される方向Xに対して垂直方向Yに配列される。第1の配線402～406の材料は、第1及び第2の電界効果トランジスタ1101、1102のゲート電極1101G、1102Gの材料より抵抗率が小さい。

10

【0022】

第1の配線402～406は、第2の配線402と、第1のプラグ403と、第3の配線404と、第2のプラグ405と、第3のプラグ406とを有する。第2の配線402は、電圧ノード(VBL)に接続される。第1のプラグ403は、第2の配線402に接続される。第3の配線404は、第1のプラグ403に接続される。第2のプラグ405は、第3の配線404及び第1の電界効果トランジスタ1101のゲート電極1101G間に接続される。第3のプラグ406は、第3の配線404及び第2の電界効果トランジスタ1102のゲート電極1102G間に接続される。第3の配線404上において、第1のプラグ403は、第2のプラグ405と第3のプラグ406との間に配置される。第2の電界効果トランジスタ1102のドレイン又はソースは、増幅器206の出力端子OUTに接続される。第2の電界効果トランジスタ1102のゲート電極1102Gは、寄生容量219により増幅器206の出力端子OUTと容量結合されている。

20

【0023】

画素面積の縮小化による感度低下を補うために信号処理回路205a～205cにおいて高ゲインを掛ける手法、或いは図2の容量216及び217の容量比を可変にすることでゲイン切り替え機能を持つ信号処理回路205a～205cを用いることができる。一般的に、高ゲインの回路は応答性が悪くなり、信号処理時間や読み出し時間が長くなる。そのような状況では、ゲート電極1101G及び1102G間の抵抗が大きいことによって生じるVBLの電位変動は、この電位変動を吸収する時間(期間t1～t3)が大きくなるが故に、高速化の妨げとなる。従って、本実施形態による効果は、多画素化による画素縮小、周辺回路の縮小でより顕著となる。

30

【0024】

(第2の実施形態)

図7は、本発明の第2の実施形態による信号処理回路205a～205cの増幅器206のパターンレイアウト図である。トランジスタ1101、1102、1105、1106は、櫛歯形状のゲート電極1101G、1102G、1105G、1106Gを有する。これにより、各トランジスタ1101、1102、1105、1106は、複数のトランジスタの並列接続回路で構成されるので、チャネル幅Wを広くし、高いgmを得て、高い開ループゲインを得ることができる。その場合、カスコード回路を構成するトランジスタ1101のゲート電極1101Gとトランジスタ1102のゲート電極1102Gの距離D14がさらに大きくなる為、本実施形態の効果はさらに顕著になる。また、第1の実施形態と同様に、シリサイドゲート材料であっても本実施形態の効果は得られる。

40

【0025】

第1及び第2の実施形態によれば、信号処理回路205a～205cのカスコード回路を構成する複数のトランジスタ1101、1102のゲート電極1101G、1102Gに接続する配線402～406の抵抗を下げる。これにより、一部の信号処理回路205aの増幅器206の出力信号によって生じる他の信号処理回路205b、205cの増幅器206の偽信号を抑制することができる。

50

【 0 0 2 6 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

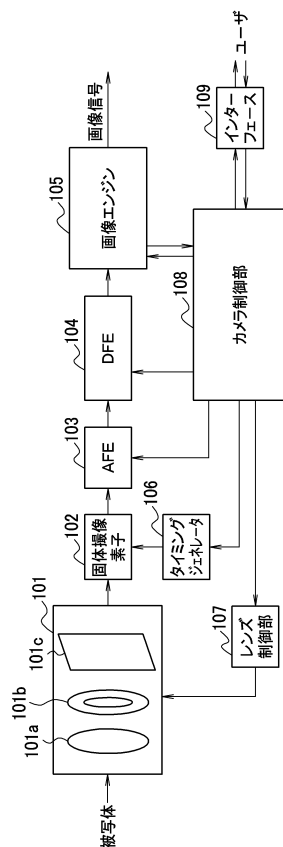
【 符号の説明 】

【 0 0 2 7 】

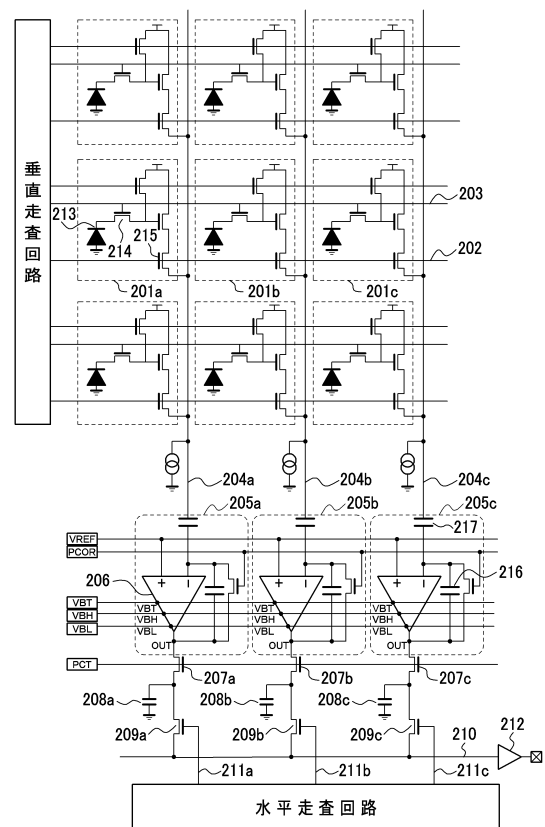
2 0 1 a ~ 2 0 1 c 画素、2 0 4 a ~ 2 0 4 c 信号出力線、2 0 6 増幅器、1 1 0 1 ~ 1 1 0 6 トランジスタ、1 1 0 1 G ~ 1 1 0 6 G トランジスタのゲート電極、4 0 2 , 4 0 4 配線、4 0 3 , 4 0 5 , 4 0 6 プラグ

10

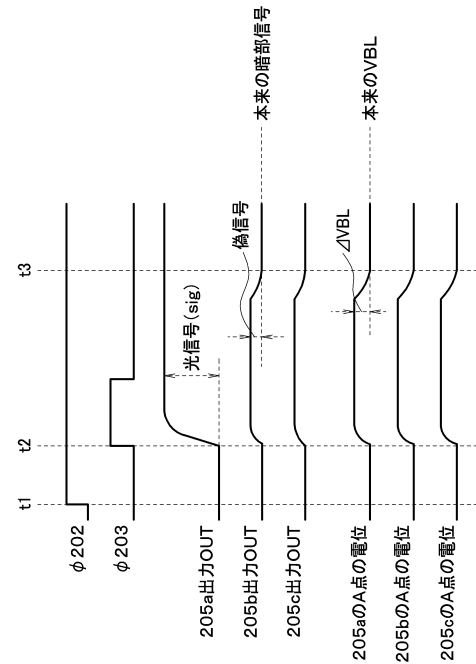
【 図 1 】



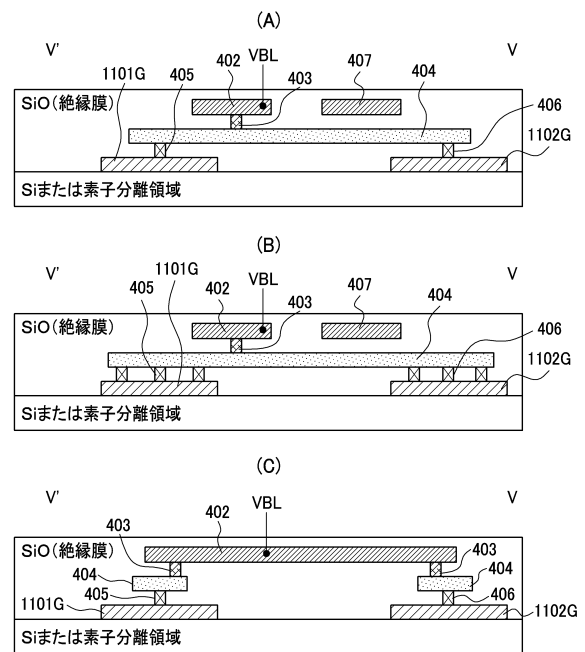
【 図 2 】



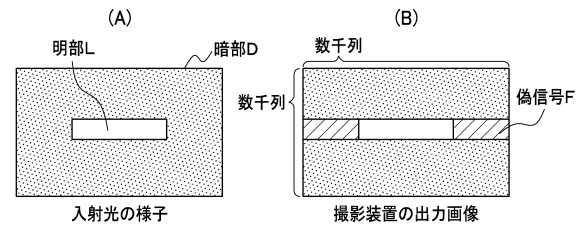
【 図 4 】



【 図 6 】



【 図 8 】



フロントページの続き

審査官 榎本 剛

(56)参考文献 特開 2 0 0 8 - 0 6 0 9 4 9 (J P , A)
特開 2 0 0 9 - 0 9 4 5 7 1 (J P , A)
国際公開第 2 0 0 9 / 0 7 8 1 1 2 (W O , A 1)
特開 2 0 0 7 - 0 2 0 1 9 4 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 7 / 1 4 6
H 0 4 N 5 / 3 5 7
H 0 4 N 5 / 3 7 4