

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2012年2月2日(02.02.2012)

PCT

(10) 国際公開番号
WO 2012/014477 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2011/004274
- (22) 国際出願日: 2011年7月28日(28.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2010-171143 2010年7月29日(29.07.2010) JP
- (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社(PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小野 晋也(ONO, Shinya). 戎野 浩平(EBISUNO, Kouhei).
- (74) 代理人: 新居 広守(NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

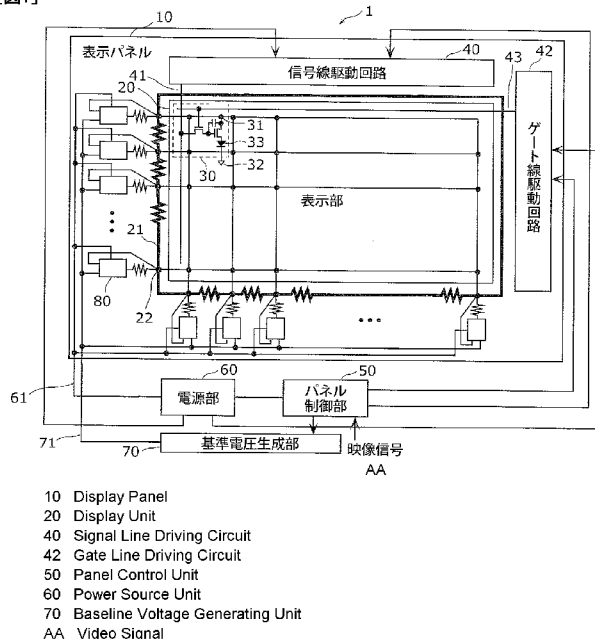
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: ORGANIC EL DISPLAY DEVICE

(54) 発明の名称: 有機EL表示装置

【図1】



(57) Abstract: In the disclosed organic EL display device (1), bus wiring (21) is disposed at the edge of a display unit (20) in a display panel (10). A feedback circuit unit (80) is installed outside of the bus wiring (21), and the output voltage of the feedback circuit unit (80) is applied to a connection section (22) on the bus wiring (21). A baseline voltage from a baseline voltage generating unit (70) is applied to the feedback circuit unit (80) and a power source voltage from a power source unit (60) is supplied to the feedback circuit unit (80), and monitoring voltage is fed back from the connection section (22) on the bus wiring (21). The feedback circuit unit (80) contains a switching control circuit and a transistor, and by means of supplying or cutting off the aforementioned power source voltage to an output terminal, the output voltage is feedback-controlled in a manner so that the voltage of the connection section (22) becomes a target voltage prescribed by the baseline voltage.

(57) 要約: 有機EL表示装置(1)において、表示パネル(10)内の表示部(20)の縁にバス配線(21)を配置する。バス配線(21)の外には帰還回路部(80)を設置し、帰還回路部(80)の出力電圧はバス配線(21)上の接続部(22)に印加される。帰還回路部(80)へは、基準電圧生成部(70)から基準電圧が印加され、電源部(60)から電源電圧が供給され、バス配線(21)上の接続部(22)からモニター電圧がフィードバックされる。帰還回路部(80)は、スイッチング制御回路とトランジスタを含み、前記電源電圧を出力端子に供給するかまたは遮断することにより、接続部(22)の電圧が基準電圧で規定される目標電圧になるよう、出力電圧をフィードバック制御する。

0) から基準電圧が印加され、電源部(60)から電源電圧が供給され、バス配線(21)上の接続部(22)からモニター電圧がフィードバックされる。帰還回路部(80)は、スイッチング制御回路とトランジスタを含み、前記電源電圧を出力端子に供給するかまたは遮断することにより、接続部(22)の電圧が基準電圧で規定される目標電圧になるよう、出力電圧をフィードバック制御する。

WO 2012/014477 A1

明 細 書

発明の名称：有機EL表示装置

技術分野

[0001] 本発明は有機EL (Electro Luminescence) 表示装置に関し、特に、有機EL表示装置における表示品位を向上する技術に関する。

背景技術

[0002] 有機EL表示装置は、有機化合物の電界発光現象を利用して、高速な応答性および広い視野角を有する自発光を得ることができる薄型軽量の発光表示装置として知られている。有機EL表示装置は、個別に発光を制御される多数の画素部が平面状に配列された表示部と、画素部の発光を制御する制御部とからなる。一般的に、表示部内の各画素部を発光させるための画素電流は、表示部の外周に設けられた電源バス配線（単にバス配線とも言う）を通して供給される。

[0003] バス配線の電圧が不均一だと、バス配線から複数の発光画素部に不均一な電圧が供給され、その結果、発光輝度が表示面内で不均一になる不都合が生じる。そのため、従来、バス配線に生じる電圧の不均一を低減するための種々の構成が提案されている。

[0004] 例えば、特許文献1に開示される発光表示装置は、表示部の上下に2つの電源線（バス配線）を配し、各電源線と電源とをそれぞれ好適な長さの配線にて接続することで、電源から各電源線までの配線抵抗が等しくなるように構成される。これにより、各電源線の電圧降下が均一になることで、発光輝度が均一になる。

[0005] また、例えば、特許文献2に開示されるディスプレイ装置は、表示部の両側に2つのサブ電圧パッド（バス配線）を対向して配置し、2つのサブ電極パッド同士を低抵抗の連結部で接続して構成される。このようなディスプレイ装置では、2つのサブ電圧パッドの電圧が均一になることで、画面全体の

輝度の均一化が図られる。

先行技術文献

特許文献

[0006] 特許文献1：特許第4 4 2 4 5 4 9 号公報

特許文献2：特許第4 4 2 6 5 6 1 号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、従来の技術では、表示パターンに依存して画素電流の大きさが表示面内で偏っている場合に、バス配線と電源とを接続する配線の抵抗やバス配線自体の抵抗に起因してバス配線に生じる電圧の不均一を解消することができない。

[0008] バス配線に生じる電圧の不均一は、例えば、有機EL表示装置が大型化かつ狭額縁化し、要求される画素電流に対して十分に低抵抗な（大きな面積の）バス配線を設けることができない場合においては、特に顕著になる。

[0009] 図19は、従来の課題を、一般的な有機EL表示装置9の例を用いて説明する図である。

[0010] 有機EL表示装置9は、表示パネル19、パネル制御部50、電源部60、配線61から構成される。表示パネル19は、表示部20、バス配線21、信号線駆動回路40、ゲート線駆動回路42から構成される。

[0011] 表示部20内には、個別に発光を制御される図示しない多数の画素部が平面状に配列されている。表示部20の外周部にはバス配線21が設けられ、バス配線21は、複数の接続部22において、配線61を介して電源部60に接続されている。バス配線21の各接続部22から表示部20の内部へ延びる配線により画素電流が供給される。

[0012] パネル制御部50は、有機EL表示装置9の外部から、有機EL表示装置9にて表示されるべき映像を表す映像信号を受信し、映像信号に応じて信号線駆動回路40およびゲート線駆動回路42を制御する。

- [0013] 表示部 20 内の各画素部は、信号線駆動回路 40 およびゲート線駆動回路 42 からの制御に応じて、バス配線 21 の各接続部 22 から供給される画素電流を用いて、個別の輝度で発光する。これにより、表示部 20 には、映像信号で表される映像が表示される。
- [0014] 図 19 において、バス配線 21 および配線 61 の抵抗が示されている。これらの抵抗は、実際には、表示パネル 19 上に形成される配線の抵抗や表示パネル 19 に取り付けられるフレキシブル基板の配線の抵抗を含んでいる。
- [0015] 一例として、図 19 で示されるように、図面の左下隅の領域が高輝度（例えば白）であり、他の領域が均一な低輝度（例えば均一なグレー）である映像を表示することを考える。このとき、高輝度領域内に位置する画素部には、他の画素部と比べて多くの画素電流が流れ、画素電流の大きさが表示面内で偏る。
- [0016] そのような均一でない画素電流は、バス配線 21 および配線 61 の抵抗によって構成される回路網上に複雑な電圧の分布を形成する。その結果、各接続部 22 の電圧 V_{x1} 、 V_{y1} ・・・は不均一になる。具体的に、バス配線 21 が正電源を供給する場合、高輝度領域の近くに位置する接続部 22 の電圧は、他の接続部 22 の電圧よりも低くなる。
- [0017] バス配線 21 における各接続部 22 の電圧が不均一となることで、画素部の輝度（より正確には、画素部に含まれる駆動トランジスタの動作点から決定される画素電流）が不均一となり、表示される映像の品位が劣化する。具体的には図 19 で示されるように、均一なグレーで表示されるべき領域が、白の領域の近傍では暗く、白の領域から離れるにつれて明るくなるといった輝度むらが生じる。
- [0018] 本発明は、上記の事情に鑑みてなされたものであり、表示部内の各画素部を発光させるための画素電流が、表示部の外周に設けられた電源線であるバス配線を通して供給される有機 EL 表示装置であって、バス配線に生じる電圧の不均一に起因する表示品位の劣化を軽減するための好適な構成を持つ有機 EL 表示装置を提供することを目的とする。

課題を解決するための手段

[0019] 上記課題を解決するために、本発明に係る有機EL表示装置の1つの態様は、基板上に有機EL素子を含む画素部を複数配置した表示部と、前記表示部の外周に配置され、前記表示部に含まれる各画素部を駆動するための駆動電圧を各画素部に供給する電源バス配線と、出力電圧を生成して前記電源バス配線に供給する帰還回路部と、前記帰還回路部を駆動するための高電源電圧と前記高電源電圧よりも低い低電源電圧とからなる電源電圧を前記帰還回路部に供給する電源部と、前記電源バス配線の電圧に適用される目標電圧を規定する基準電圧を前記帰還回路部に供給する基準電圧生成部と、を具備し、前記帰還回路部は、前記電源部から供給された電源電圧に基づいて前記出力電圧を生成し、前記帰還回路部は、前記電源電圧のうち前記高電源電圧が印加される第1電源端子と、前記電源電圧のうち前記低電源電圧が印加される第2電源端子と、前記基準電圧が印加される第1入力端子と、前記電源バス配線の一部である接続部と接続された出力端子と、前記電源バス配線の前記接続部での電圧が印加される第2入力端子と、前記第1電源端子、前記第2電源端子、前記第1入力端子、及び前記第2入力端子と接続されたスイッチング制御回路と、一方の端子を前記第1電源端子及び前記第2電源端子のうちのいずれか一方の電源端子に接続され、他方の端子を前記出力端子に接続されたトランジスタと、を含み、前記トランジスタのオンとオフとに応じて、前記一方の電源端子に印加される前記電源電圧を前記出力端子に供給するかまたは遮断することにより、前記電源バス配線の前記接続部での電圧が前記基準電圧で規定される前記目標電圧と等しくなるように、前記電源バス配線の前記接続部での電圧に差分を加算した電圧を前記出力電圧として前記出力端子に出力し、加算される前記差分は、前記帰還回路部の出力端子と前記電源バス配線の前記接続部との間の抵抗と、前記帰還回路部の出力端子と前記電源バス配線の前記接続部との間に流れる電流と、の積によって求められる電圧降下量に対応するものである。

発明の効果

[0020] 本発明によると、バス配線を表示部の縁に沿って配置し、複数の帰還回路部を表示部外に配置し、帰還回路部は出力電圧を生成して、生成された出力電圧をバス配線の一部である接続部に印加するとともに、接続部の電圧をモニターする。帰還回路部には基準電圧が印加され、帰還回路部は、モニターされた電圧が印加された基準電圧で規定される目標電圧と等しくなるように、出力電圧を調整するので、バス配線の接続部の電圧は表示パターンによらず均等になり、表示品位が向上する。

[0021] この構成では、バス配線の低抵抗化を必要とせず、表示パターンに依存しないバス配線の電圧の均一化が実現される。よって表示品位が向上すると共に、バス配線を大きな面積に設ける必要がないので、狭額縁化の点でも有利である。

図面の簡単な説明

[0022] [図1]図1は、本発明の実施の形態における有機EL表示装置の機能的な構成の一例を示すブロック図である。

[図2]図2は、本発明の実施の形態における有機EL表示装置の要部の一例を示すブロック図である。

[図3]図3は、本発明の実施の形態における帰還回路部の一例を示す回路図である。

[図4]図4は、本発明の実施の形態における帰還回路部の一例を示す回路図である。

[図5]図5は、本発明の実施の形態における帰還回路部の一例を示す回路図である。

[図6]図6は、本発明の実施の形態における有機EL表示装置による表示例を示す図である。

[図7]図7は、本発明の実施の形態における有機EL表示装置の機能的な構成の一例を示すブロック図である。

[図8A]図8Aは、本発明の実施の形態における要部の配線形状の一例を示す平面図である。

[図8B]図 8 B は、本発明の実施の形態における要部の配線形状の一例を示す平面図である。

[図9]図 9 は、本発明の実施の形態における有機 E L 表示装置の要部の実際的な一例を示す等価回路図である。

[図10]図 1 0 は、本発明の実施の形態における帰還回路部の一例を示すブロック図である。

[図11]図 1 1 は、本発明の実施の形態における帰還回路部の動作の一例を示すタイミングチャートである。

[図12]図 1 2 は、本発明の実施の形態における帰還回路部の一例を示すブロック図である。

[図13]図 1 3 は、本発明の実施の形態における帰還回路部の動作の一例を示すタイミングチャートである。

[図14]図 1 4 は、本発明の実施の形態における有機 E L 表示装置の機能的な構成の一例を示すブロック図である。

[図15]図 1 5 は、本発明の実施の形態における有機 E L 表示装置による表示例を示す図である。

[図16]図 1 6 は、本発明の実施の形態における帰還回路部の一例を示すブロック図である。

[図17]図 1 7 は、本発明の実施の形態における帰還回路部の動作の一例を示すタイミングチャートである。

[図18]図 1 8 は、本発明の実施の形態における有機 E L 表示装置を用いたテレビジョンセットの一例を示す外観図である。

[図19]図 1 9 は、従来の有機 E L 表示装置による表示例を示す図である。

[図20]図 2 0 は、出力端子に供給する電圧をオペアンプを用いて制御する比較例における電力ロスを説明する図である。

発明を実施するための形態

[0023] 本発明に係る有機 E L 表示装置の 1 つの態様は、基板上に有機 E L 素子を含む画素部を複数配置した表示部と、前記表示部の外周に配置され、前記表

示部に含まれる各画素部を駆動するための駆動電圧を各画素部に供給する電源バス配線と、出力電圧を生成して前記電源バス配線に供給する帰還回路部と、前記帰還回路部を駆動するための高電源電圧と前記高電源電圧よりも低い低電源電圧とからなる電源電圧を前記帰還回路部に供給する電源部と、前記電源バス配線の電圧に適用される目標電圧を規定する基準電圧を前記帰還回路部に供給する基準電圧生成部と、を具備し、前記帰還回路部は、前記電源部から供給された電源電圧に基づいて前記出力電圧を生成し、前記帰還回路部は、前記電源電圧のうち前記高電源電圧が印加される第1電源端子と、前記電源電圧のうち前記低電源電圧が印加される第2電源端子と、前記基準電圧が印加される第1入力端子と、前記電源バス配線の一部である接続部と接続された出力端子と、前記電源バス配線の前記接続部での電圧が印加される第2入力端子と、前記第1電源端子、前記第2電源端子、前記第1入力端子、及び前記第2入力端子と接続されたスイッチング制御回路と、一方の端子を前記第1電源端子及び前記第2電源端子のうちのいずれか一方の電源端子に接続され、他方の端子を前記出力端子に接続されたトランジスタと、を含み、前記トランジスタのオンとオフとに応じて、前記一方の電源端子に印加される前記電源電圧を前記出力端子に供給するかまたは遮断することにより、前記電源バス配線の前記接続部での電圧が前記基準電圧で規定される前記目標電圧と等しくなるように、前記電源バス配線の前記接続部での電圧に差分を加算した電圧を前記出力電圧として前記出力端子に出力し、加算される前記差分は、前記帰還回路部の出力端子と前記電源バス配線の前記接続部との間の抵抗と、前記帰還回路部の出力端子と前記電源バス配線の前記接続部との間に流れる電流と、の積によって求められる電圧降下量に対応する。

[0024] 本態様によると、前記電源バス配線の前記接続部での電圧が前記基準電圧で規定される目標電圧と等しくなるように、前記電源バス配線の前記接続部での電圧に差分を加算した電圧を前記出力電圧として前記出力端子に出力させる。

[0025] ここで、加算される前記差分は、前記帰還回路部の出力端子と前記電源バ

ス配線の前記接続部との間の抵抗と、前記帰還回路部の出力端子と前記電源バス配線の前記接続部との間に流れる電流と、の積によって求められる電圧降下量に対応する。

[0026] これにより、前記帰還回路部の出力端子と前記電源バス配線の前記接続部との間の抵抗で生じる電圧降下がキャンセルされるように、前記電源バス配線の前記接続部での電圧を前記基準電圧で規定される目標電圧に補正するので、前記電圧降下量が変動しても、前記接続部での電圧の変動を防止できる。そのため、各画素部に供給される前記駆動電圧の変動を抑制でき、映像の表示品質を向上することができる。

[0027] さらに、前記帰還回路部は、スイッチング制御回路及びトランジスタを含む構成であり、スイッチング制御回路はトランジスタのオンオフを制御している。従って、前記トランジスタのオンとオフとに応じて、前記一方の電源端子に印加される前記電源電圧を前記出力端子に供給するかまたは遮断する。これにより、前記電源バス配線の前記接続部での電圧に差分を加算した電圧を前記出力電圧として前記出力端子に出力し、前記電源バス配線の前記接続部での電圧が前記基準電圧で規定される前記目標電圧と等しくなるようにすることができる。

[0028] また、前記帰還回路部内部において、一方の端子を前記一方の電源端子と接続し、他方の端子を前記出力端子と接続したトランジスタを用いることにより、前記電源バス配線の前記接続部での電圧が目標電圧よりも高い場合、電源電圧から出力端子に電圧を供給する必要はなくなり、該トランジスタを遮断し、前記電源バス配線の前記接続部での電圧が目標電圧よりも低い場合、電源電圧から出力端子に電圧を供給する必要があり、該トランジスタを十分低抵抗で導通させる。

[0029] また、前記有機EL表示装置は、さらに、第1電極と第2電極とを有し、前記第1電極が前記バス配線と接続され、前記第2電極が固定電位に接続される容量素子を備えてもよい。

[0030] 本態様によると、前記容量素子によって前記バス配線の電圧を平滑化する

ことができる。

- [0031] また、前記スイッチング制御回路は、比較器により前記接続部での電圧と前記基準電圧とを用いた比較動作を行い、前記接続部での電圧が、前記基準電圧で規定される前記目標電圧よりも小さいと判定されると前記トランジスタをオンさせるレベル V_{on} のゲート信号を出力し、前記接続部での電圧が前記目標電圧より大きいと判定されるとトランジスタを遮断させるレベル V_{off} のゲート信号を出力してもよい。
- [0032] 本態様によると、前記比較器により前記比較動作が行われる結果、前記電源バス配線の前記接続部での電圧が前記基準電圧で規定される前記目標電圧と等しくなるようにすることができる。
- [0033] また、前記帰還回路部は、前記電源バス配線の前記接続部での電圧が、前記目標電圧より大きいと判定すると、前記出力電圧の供給を停止して前記駆動電圧を低減してもよい。
- [0034] 本態様によると、上記の電圧降下量が減少した場合、前記出力電圧の供給を停止して前記駆動電圧を低減する。
- [0035] また、前記帰還回路部は、前記電源バス配線の前記接続部での電圧が、前記目標電圧より小さいと判定すると、前記出力電圧の供給を再開して前記駆動電圧を増加してもよい。
- [0036] 本態様によると、上記の電圧降下量が増加した場合、前記電源電圧の供給を再開して前記駆動電圧を増加させて、前記目標電圧に収束させることができる。
- [0037] また、前記帰還回路部は、前記電源バス配線の前記接続部での電圧が、前記目標電圧より小さいと判定すると、前記出力電圧の供給を停止して前記駆動電圧を増加してもよい。
- [0038] 本態様によると、上記の電圧降下量が減少した場合、前記出力電圧の供給を停止して前記駆動電圧を増加する。
- [0039] また、前記帰還回路部は、前記電源バス配線の前記接続部での電圧が、前記目標電圧より大きいと判定すると、前記出力電圧の供給を再開して前記駆

動電圧を低減してもよい。

[0040] 本態様によると、上記の電圧降下量が増加した場合、前記電源電圧の供給を再開して前記駆動電圧を低減させて、前記目標電圧に収束させることができる。

[0041] また、さらに1つ以上の帰還回路部が設けられ、前記複数の帰還回路部は、前記電源バス配線と複数の接続部にて接続されていてもよい。

[0042] 本態様によると、前記帰還回路部の出力端子及び前記電源バス配線の接続部と前記帰還回路部の出力端子との間の抵抗で生じる電圧降下を、複数の接続部にて補正するので、前記帰還回路部の出力端子及び前記電源バス配線の接続部と前記帰還回路部の出力端子との間に電圧降下が発生しても、各接続部での電位を均一にすることができる。そのため、各画素部に供給される前記駆動電圧のばらつきを抑制でき、映像の表示品質を向上することができる。

[0043] また、前記複数の接続部の各々は、前記電源バス配線において一定の間隔で設けられていてもよい。

[0044] 前記複数の帰還回路部の各々と前記電源バス配線との接続部の電位を前記第基準電圧と等しくなるように制御した場合でも、前記電源バス配線の各接続部の間で、電圧降下が発生する。そのため、各接続部の間隔が等間隔でない場合、各接続部間の電圧降下量にばらつきが発生し、前記表示部に供給する電圧にばらつきが生じる。具体的には、接続部間の距離が短いほど電圧降下による変動量が小さく、接続部間の距離が大きいほど電圧降下による変動量が大きくなる。

[0045] そこで、本態様によると、前記複数の帰還回路部の各々を前記電源バス配線と一定の間隔で接続する。これにより、前記複数の帰還回路部の各々と前記電源バス配線との接続部の間隔を一定にするので、前記電源バス配線の各接続部間で発生する電圧降下量を均一にすることができる。その結果、表示むらをより抑制することができる。

[0046] また、前記複数の帰還回路部の各々は、前記第1入力端子に入力された前

記基準電圧に 1 よりも大きいゲインを乗じて得られる電圧を前記目標電圧として設定してもよい。

[0047] 本態様によると、前記第 1 入力端子に入力された前記基準電圧を増幅して（つまり 1 よりも大きいゲインを乗じて）前記目標電圧を設定する。これにより、前記基準電圧を増幅して前記目標電圧を設定するので、前記基準電圧生成部から供給する前記基準電圧を小さくできる。そのため、前記基準電圧生成部から供給する前記基準電圧を低減しつつ所望の電圧に対応する前記駆動電圧を出力することができ、消費電力を低減することができる。

[0048] また、前記複数の帰還回路部の各々は、前記第 1 入力端子に入力された前記基準電圧を前記目標電圧として設定し、前記電源バス配線の前記接続部での電圧が前記基準電圧と等しくなるように前記電源バス配線の前記接続部での電圧を増減させてもよい。

[0049] 本態様によると、前記電源バス配線の前記接続部での電圧が前記基準電圧と等しくなるように前記電源バス配線の接続部での電圧を増減させる。

[0050] また、前記複数の帰還回路部の各々は、前記表示部の左右の少なくとも一方の周辺部に設けられてもよい。

[0051] 本態様によると、前記複数の帰還回路部を、前記表示部の左右の少なくとも一方の周辺部に設けるものである。

[0052] また、前記複数の帰還回路部の各々は、前記表示部の上下の少なくとも一方の周辺部に設けられてもよい。

[0053] 本態様によると、前記複数の帰還回路部を、前記表示部の上下の少なくとも一方の周辺部に設けるものである。

[0054] また、前記有機 EL 表示装置は、各画素部に含まれる前記有機 EL 素子の第 1 電極に電氣的に接続される複数の第 1 電源線と、各画素部に含まれる前記有機 EL 素子の第 2 電極に電氣的に接続される複数の第 2 電源線と、を有し、前記複数の第 1 電源線及び前記複数の第 2 電源線のうちの一方は、前記電源バス配線に接続されてもよい。

[0055] また、前記複数の帰還回路部の各々は、前記電源バス配線の短辺側で前記

電源バス配線に接続され、前記複数の第 1 電源線及び前記複数の第 2 電源線の前記一方は、前記複数の帰還回路部の各々の出力端子と前記電源バス配線との各接続部から分岐して前記表示部の横方向に配置されてもよい。

[0056] また、前記複数の帰還回路部の各々は、前記電源バス配線の長辺側で前記電源バス配線に接続され、前記複数の第 1 電源線及び前記複数の第 2 電源線の前記一方は、前記複数の帰還回路部の各々の出力端子と前記電源バス配線との各接続部から分岐して前記表示部の縦方向に配置されてもよい。

[0057] また、前記複数の帰還回路部の各々は、前記電源バス配線の短辺側及び長辺側で前記電源バス配線に接続され、前記複数の第 1 電源線及び前記複数の第 2 電源線の前記一方は、前記複数の帰還回路部の各々の出力端子と前記電源バス配線との各接続部から分岐して前記表示部の横方向及び縦方向に配置されてもよい。

[0058] また、前記電源バス配線は、前記表示部の外周に環状に設けられてもよい。

[0059] これらの態様によると、表示部の外周において、前記複数の帰還回路部の種々の配置が可能となる。

[0060] また、前記接続部は、前記帰還回路部の前記出力端子に給電線を介して接続される給電点と、前記帰還回路部の前記出力端子にモニター線を介して接続されるモニター点と、を有し、前記給電点と前記モニター点との距離は前記電源バス配線の配線幅以下であるとしてもよい。

[0061] 本態様によると、前記給電点と前記モニター点とが前記電源バス配線の配線幅以下に近接して設けられるので、前記電源バス配線の前記給電点と前記モニター点との間の電圧降下に起因して生じる、前記駆動電圧の前記目標電圧に対する誤差を、前記電源バス配線の配線幅に応じた上限値以下に抑制できる。

[0062] また、基板上に有機 EL 素子を含む画素部を複数配置した表示部と、前記表示部の外周に配置され、前記表示部に含まれる各画素部を駆動するための駆動電圧を各画素部に供給する電源バス配線と、出力電圧を生成して前記電

源バス配線に供給する帰還回路部と、前記帰還回路部を駆動するための電源電圧を前記帰還回路部に供給する電源部と、前記帰還回路部から出力される駆動電圧より低い電位の電圧であって前記帰還回路部から出力される駆動電圧の絶対値を当該絶対値より小さい電位の電圧に変換するための第1基準電圧を前記帰還回路部に供給し、前記帰還回路部から出力される駆動電圧より低い電位の電圧であって前記変換された電圧を調整する基準となる第2基準電圧を前記帰還回路部に供給する基準電圧生成部と、を具備し、前記帰還回路部は、前記電源部から供給された電源電圧に基づいて前記出力電圧を生成し、前記帰還回路部は、前記電源電圧が印加される電源端子と、前記電源バス配線の一部である接続部と接続された出力端子と、前記第1基準電圧が印加される第1入力端子と、前記電源バス配線の前記接続部での電圧が印加される第2入力端子と、前記第2基準電圧が印加される第3電源端子と、前記第1入力端子と前記第2入力端子との間に直列に設けられ、前記第1入力端子と前記第2入力端子との間に印加された電圧を分圧する第1抵抗及び第2抵抗と、を含み、前記第1抵抗および前記第2抵抗にて分圧された電圧が前記第2基準電圧と等しくなるように、前記電源バス配線の前記接続部での電圧に差分を加算した電圧を前記出力電圧として前記出力端子に出力し、加算される前記差分は、前記帰還回路部の出力端子と前記電源バス配線の前記接続部との間の抵抗と、前記帰還回路部の出力端子と前記電源バス配線の前記接続部との間に流れる電流と、の積によって求められる電圧降下量に対応する。

[0063] 本態様によると、前記基準電圧生成部から前記帰還回路部に供給される第1基準電圧及び第2基準電圧の各々を、前記帰還回路部から出力される駆動電圧より低い電位の電圧に設定して、前記帰還回路部から出力される駆動電圧を調整できる。そのため、前記第1基準電圧及び前記第2基準電圧を低い電位の電圧としているので、前記第1基準電圧及び前記第2基準電圧を振幅の低い信号として供給できる。その結果、第1基準電圧及び前記第2基準電圧を供給する前記基準電圧生成部の回路負荷が軽減し、前記基準電圧生成

部を簡易で小型化できる。

[0064] (実施の形態)

以下、本発明の実施の形態に係る有機ＥＬ表示装置について、図面を参照しながら詳細に説明する。

[0065] 図１は、本発明の実施の形態における有機ＥＬ表示装置１の機能的な構成の一例を示すブロック図である。有機ＥＬ表示装置１では、従来技術の項で説明した図１９の有機ＥＬ表示装置９の表示パネル１９に代えて帰還回路部８０を有する表示パネル１０が設けられ、基準電圧生成部７０、基準電圧線７１が追加されている。また、図１では、表示部２０の内部構造がより詳細に示されている。

[0066] 表示部２０内には、有機ＥＬ素子３３を含む複数の画素部３０が平面状に配列される。複数の第１電源線３１が、バス配線２１の各接続部２２から分岐して表示部２０内に延設される。また、詳細な図示は省略されているが、複数の第２電源線３２が表示部２０内に設けられる。

[0067] 有機ＥＬ素子３３の第１電極（アノード）は第１電源線３１に電氣的に接続され、有機ＥＬ素子３３の第２電極（カソード）は第２電源線３２に電氣的に接続されている。

[0068] 信号線駆動回路４０は、信号線４１を介して画素部３０に輝度信号を供給する。ゲート線駆動回路４２は、ゲート線４３を介して画素部３０に走査信号を供給する。

[0069] 画素部３０は、ゲート線４３から走査信号を印加されるに応じて、信号線４１から輝度信号を取得し、取得された輝度信号で指示される輝度で有機ＥＬ素子３３を発光させる。有機ＥＬ素子３３は、第１電源線３１および第２電源線３２から供給される電流にて発光する。

[0070] 電源部６０は、各帰還回路部８０を駆動するための電源電圧を、配線６１を介して、各帰還回路部８０に供給する。配線６１は、例えば、電源電圧の高電位と低電位とを供給するための２本の配線で構成される。

[0071] 基準電圧生成部７０は、バス配線２１の電圧に適用される目標電圧を規定

するための基準電圧を生成し、生成された基準電圧を、基準電圧線 7 1 を介して各帰還回路部 8 0 に供給する。

[0072] 帰還回路部 8 0 は、フィードバック制御による電圧調整器であって、配線 6 1 を介して供給される電源電圧から、出力電圧を生成する。帰還回路部 8 0 は、バス配線 2 1 の接続部 2 2 での電圧と、基準電圧生成部 7 0 から印加される基準電圧で規定される目標電圧とが等しくなるように、生成される出力電圧をフィードバック制御する。生成された出力電圧は、配線抵抗を介してバス配線 2 1 の一部である接続部 2 2 に印加される。

[0073] なお、帰還回路部 8 0、接続部 2 2、第 1 電源線 3 1 の配置は、図 1 の例示に限定されない。

[0074] 例えば、帰還回路部 8 0 は、表示部 2 0 の左右の少なくとも一方の周辺部に設けられるものであり、図 1 に示されるように表示部 2 0 の左側の周辺部のみに設けられる他に、表示部 2 0 の右側の周辺部のみに設けられてもよく、左右両側の周辺部に設けられてもよい。また、帰還回路部 8 0 は、表示部 2 0 の上下の少なくとも一方の周辺部に設けられるものであり、図 1 に示されるように表示部 2 0 の下側の周辺部のみに設けられる他に、表示部 2 0 の上側の周辺部のみに設けられてもよく、さらに、上下両側の周辺部に設けられてもよい。

[0075] また、図 1 に示されるように帰還回路部 8 0 は表示部 2 0 の短辺側および長辺側でバス配線 2 1 に接続され、第 1 電源線 3 1 は表示部 2 0 の横方向および縦方向に配置される他に、帰還回路部 8 0 は表示部 2 0 の短辺側のみでバス配線 2 1 に接続され、第 1 電源線 3 1 は表示部 2 0 の横方向のみに配置されてもよく、また、帰還回路部 8 0 は表示部 2 0 の長辺側のみでバス配線 2 1 に接続され、第 1 電源線 3 1 は表示部 2 0 の縦方向のみに配置されてもよい。

[0076] 帰還回路部 8 0 の詳細について、説明を続ける。

[0077] 図 2 は、帰還回路部 8 0 およびバス配線 2 1 の接続部 2 2 を含む有機 EL 表示装置 1 の要部の一例を示すブロック図である。

[0078] 帰還回路部 80 は、第 1 電源端子 83 a、第 2 電源端子 83 b、第 1 入力端子 84、第 2 入力端子 86、および出力端子 85 を有している。

[0079] 第 1 電源端子 83 a および第 2 電源端子 83 b には、配線 61 を構成している配線 61 a、61 b を介して電源電圧の高電位および低電位がそれぞれ印加される。第 1 入力端子 84 には、基準電圧線 71 を介して基準電圧が印加される。

[0080] 出力端子 85 は、給電線 81 を介して接続部 22 に接続され、第 2 入力端子 86 は、モニター線 82 を介して接続部 22 に接続される。

[0081] 図 3 は、帰還回路部 80 の具体例としての帰還回路部 80 a の回路図である。

[0082] 帰還回路部 80 a は、誤差増幅器 87 から構成される。誤差増幅器 87 は、第 1 電源端子 83 a および第 2 電源端子 83 b に印加される電源電圧にて動作する。誤差増幅器 87 のマイナス入力には、接続部 22 の電圧 V_{CONN} がモニター電圧 V_{MON} として印加される。誤差増幅器 87 のプラス入力には、基準電圧 V_{REF} が印加される。

[0083] 誤差増幅器 87 は、モニター電圧 V_{MON} と基準電圧 V_{REF} とを比較することによって、出力端子 85 における出力電圧を調整する。モニター電圧 V_{MON} は、モニター電圧 V_{MON} に、給電線 81 の抵抗と、出力端子 85 に流れる電流との積によって求められる電圧降下量を加算した電圧となるように調整される。

[0084] これにより、帰還回路部 80 a からの出力電圧は、給電線 81 の抵抗に生じる電圧降下をキャンセルするように増減するので、接続部 22 の電圧 V_{CONN} は、基準電圧 V_{REF} と等しくなるように維持される。その結果、バス配線 21 の各接続部 22 での電圧が、表示パターンによらず、目標電圧に均一化される。

[0085] 図 4 は、帰還回路部 80 の他の具体例としての帰還回路部 80 b の回路図である。

[0086] 帰還回路部 80 b は、帰還回路部 80 a と比べて、第 3 電源端子 83 c が

追加されるとともに、ゲイン抵抗 R_1 、 R_2 が追加される。帰還回路部 80 b において、第 1 入力端子 84 には、第 1 基準電圧としての基準電圧 V_{REF} が印加され、さらに第 3 電源端子 83 c には、第 2 基準電圧としてのバイアス電圧 V_{BIAS} が印加される。

[0087] ゲイン抵抗 R_1 、 R_2 は、第 1 入力端子 84 と第 2 入力端子 86 との間に印加された電圧、つまり、モニター電圧 V_{MON} と基準電圧 V_{REF} との差電圧を分圧する。分圧された電圧は、誤差増幅器 87 のマイナス入力に印加される。

[0088] バイアス電圧 V_{BIAS} は、例えば、基準電圧生成部 70 によって生成され、図示しない配線を介して供給されてもよい。また、接地電圧である 0 V を、バイアス電圧 V_{BIAS} として用いてもよい。バイアス電圧 V_{BIAS} は、誤差増幅器 87 のプラス入力に印加される。

[0089] ここで、第 1 基準電圧としての基準電圧 V_{REF} は、帰還回路部 80 b からの出力電圧より低い電位の電圧であって、帰還回路部 80 b から出力される出力電圧の絶対値を当該絶対値より小さい電位の電圧に変換するための基準電圧である。

[0090] また、第 2 基準電圧としてのバイアス電圧 V_{BIAS} は、帰還回路部 80 b からの出力電圧より低い電位の電圧であって、前記出力電圧を調整するための基準電圧である。

[0091] 帰還回路部 80 b によれば、ゲイン抵抗 R_1 、 R_2 の抵抗値をそれぞれ R_1 、 R_2 とするとき、接続部 22 の電圧 V_{CONN} は、基準電圧 V_{REF} とバイアス電圧 V_{BIAS} とで規定される目標電圧である $-(R_2/R_1)V_{REF} + (1 + R_2/R_1)V_{BIAS}$ になるように維持される。

[0092] つまり、ゲイン抵抗 R_1 、 R_2 の抵抗値を $R_2 > R_1$ となるように選択することで、基準電圧 V_{REF} に 1 よりも大きいゲインを乗じた電圧が接続部 22 の電圧 V_{CONN} に対する目標電圧として用いられる。これにより、低電圧の基準電圧 V_{REF} を用いて所望の目標電圧を規定することができるので、基準電圧生成部 70 を低電圧の回路構成とすることが可能となり、基準電圧生成部 70

における回路面積の削減及び消費電力の低減が可能となる。

[0093] 図5は、帰還回路部80の他の具体例としての帰還回路部80cの回路図である。

[0094] 帰還回路部80cは、帰還回路部80aに対して、バイアス電圧 V_{BIAS} を印加される第3電源端子83cが追加されるとともに、ゲイン抵抗 R_1 、 R_2 が追加される。バイアス電圧 V_{BIAS} は、例えば、基準電圧生成部70から供給されてもよく、また接地電圧である0Vを用いてもよい。

[0095] 帰還回路部80cによれば、ゲイン抵抗 R_1 、 R_2 の抵抗値をそれぞれ R_1 、 R_2 とすると、接続部22の電圧 V_{CONN} は、基準電圧 V_{REF} とバイアス電圧 V_{BIAS} とで規定される目標電圧である $(1 + R_2/R_1) V_{REF} + (R_2/R_1) V_{BIAS}$ になるように維持される。

[0096] つまり、ゲイン抵抗 R_1 、 R_2 の抵抗値によらず、基準電圧 V_{REF} に1よりも大きいゲインを乗じた電圧が接続部22の電圧 V_{CONN} に対する目標電圧として用いられる。これにより、低電圧の基準電圧 V_{REF} を用いて所望の目標電圧を規定することができるので、基準電圧生成部70を低電圧の回路構成とすることが可能となり、基準電圧生成部70における回路面積の削減及び消費電力の低減が可能となる。

[0097] 図6は、有機EL表示装置1において、図19の説明で用いた映像を表示した場合に得られる表示結果の一例を示す図である。

[0098] 図6に示されるように、有機EL表示装置1では、バス配線21の各接続部22における電圧が基準電圧に応じた目標電圧 V に均一化されるので、従来の有機EL表示装置9において見られるような表示品位の劣化、すなわち、均一な輝度で表示されるべき領域内において輝度の不均一が生じる不都合が軽減される。

[0099] 以上説明したように、有機EL表示装置1によれば、帰還回路部80によってバス配線21の接続部22での電圧が基準電圧 V_{REF} で規定される目標電圧に維持されるので、バス配線21の低抵抗化を必要とせず、かつ表示パターンによらず、バス配線21の各接続部22での電圧が均一になる。その結

果、高輝度領域を含む映像を表示した場合でも、高輝度領域の近傍領域の輝度が低下することがなく、表示品位が向上する。また、バス配線 2 1 の低抵抗化が必要ないために、バス配線を大面積に設ける必要がなく、狭額縁化に適している。

[0100] なお、各帰還回路部 8 0 には独立した基準電圧が印加されてもよいし、バス配線 2 1 の各接続部 2 2 における目標電圧 V は、表示パターンに応じてそれぞれ異なる電圧であってもよい。

[0101] 図 7 は、そのような変形に係る有機 EL 表示装置 2 の機能的な構成の一例を示すブロック図である。

[0102] 図 7 に示されるように、有機 EL 表示装置 2 において、表示パネル 1 1 には、帰還回路部 8 0 の各々に対応して設けられた複数の配線から構成される基準電圧線 7 3 が設けられる。基準電圧生成部 7 2 は、個々の帰還回路部 8 0 に対して独立した基準電圧を生成し、生成した基準電圧を基準電圧線 7 3 の中の対応する配線を介して帰還回路部 8 0 へ印加する。

[0103] このような構成において、例えば、高輝度領域の近くに位置する帰還回路部 8 0 に対して、他の帰還回路部 8 0 に対するよりも高い基準電圧を印加してもよい。それにより、接続部 2 2 から表示部 2 0 の内部へ延びる第 1 電源線 3 1 で生じる電圧降下が補償されるので、表示品位がさらに向上することが期待される。

[0104] 次に、接続部 2 2 のより実地的な構成について説明する。

[0105] 上記では簡明のため、帰還回路部 8 0 の出力端子 8 5 および第 2 入力端子 8 6 は、いずれもバス配線 2 1 の一部である接続部 2 2 に接続されるとだけ説明したが、実際には、出力端子 8 5 は給電線 8 1 を介して、また第 2 入力端子 8 6 はモニター線 8 2 を介して、それぞれバス配線 2 1 の接続部 2 2 内におけるある大きさをもった領域に接続される。

[0106] 図 8 A、図 8 B は、接続部 2 2 の近傍におけるバス配線 2 1、給電線 8 1、モニター線 8 2 の配線形状の一例を示した平面図であり、バス配線 2 1 に、図面の左方から、給電線 8 1 およびモニター線 8 2 が接続される様子が示

されている。

[0107] バス配線 2 1 と、給電線 8 1 およびモニター線 8 2 のそれぞれとが接続される領域が点線の囲みで示されている。本明細書では、バス配線 2 1 と給電線 8 1 との接続領域の中心点を給電点 2 3 と定義し、バス配線 2 1 とモニター線 8 2 との接続領域の中心点をモニター点 2 4 と定義する。

[0108] 図 9 は、このような実地的な構成に対応する等価回路図である。

[0109] 図 9 の等価回路図は、図 3 の回路図と比べて、給電点 2 3 とモニター点 2 4 とがバス配線 2 1 の異なる位置に設けられ、バス配線 2 1 が有している抵抗で接続される。

[0110] 給電線 8 1 の抵抗値を R_1 、給電線 8 1 に生じる電圧降下量を ΔV_{R1} 、給電点 2 3 とモニター点 2 4 との間のバス配線 2 1 の抵抗値を R_2 、接続部 2 2 とモニター点 2 4 との間に生じる電圧降下量を ΔV_{R2} とするとき、給電点 2 3 の電圧 V_{CONN} は、モニター点 2 4 の電圧 V_{MON} と比べて ΔV_{R2} 高い電圧に維持される。

[0111] ここで、目標電圧に維持されるのはモニター点 2 4 の電圧 V_{MON} であり、画素部 3 0 へ供給される駆動電圧は給電点 2 3 の電圧 V_{CONN} であるため、 ΔV_{R2} は、駆動電圧の目標電圧に対する誤差になる。

[0112] この誤差を低減するために、本発明の有機 EL 表示装置 1 では、一例として、図 8 A、図 8 B に示されるように、給電点 2 3 とモニター点 2 4 との間の距離 d が、バス配線 2 1 の幅 w 以下であると規定する。すなわち、図 8 A が、給電点 2 3 とモニター点 2 4 とが最も近接して設けられた形状の一例を表し、図 8 B が、給電点 2 3 とモニター点 2 4 とが最も離間して設けられた形状の一例を表している。

[0113] 以上、帰還回路部 8 0 の誤差増幅器を用いたいくつかの具体例および、接続部の実地的な構成例について説明した。続いて、帰還回路部 8 0 のさらに他の具体例について説明する。

[0114] 図 1 0 は、帰還回路部 8 0 のさらに他の具体例としての帰還回路部 9 0 a の回路図である。なお、接続部 2 2 は再び簡略化されている。

- [0115] 帰還回路部 90a は、スイッチング動作を行う原理的な帰還回路部の一例であり、スイッチング制御回路 91a とトランジスタ 92 とから構成される。スイッチング制御回路 91a は、内蔵する比較器（不図示）にて接続部 22 の電圧 V_{CONN} ($= V_{\text{MON}}$) と基準電圧 V_{REF} とを用いた比較動作を行う。そして、接続部 22 の電圧 V_{CONN} が、基準電圧 V_{REF} で規定される目標電圧よりも小さいと判定されるとトランジスタ 92 をオンさせるレベル V_{on} のゲート信号 V_G を出力し、電圧 V_{CONN} が前記目標電圧より大きいと判定されるとトランジスタ 92 を遮断させるレベル V_{off} のゲート信号 V_G を出力する。
- [0116] トランジスタ 92 は、一方のソースドレイン端子を第 1 電源端子 83a に接続され、他方のソースドレイン端子を出力端子 85 に接続され、スイッチング制御回路 91a から印加されるゲート信号 V_G に応じて、第 1 電源端子 83a に印加される電源電圧を出力端子 85 に供給するかまたは遮断する。接続部 22 の電圧 V_{CONN} は、バス配線 21 及び接続部 22 から表示部 20 の内部へ延設される第 1 電源線 31（図 1）の容量であるコンデンサ 88a によって平滑化される。なお、このコンデンサ 88a は、パネルの寄生容量であってもよい。また、コンデンサ 88a として、第 1 電極と第 2 電極とを有し、前記第 1 電極がバス配線 21 と接続され、前記第 2 電極が固定電位に接続される容量素子を設けてもよい。
- [0117] ここで、図 20 を参照して、出力端子に供給する電圧をオペアンプを用いて制御する比較例について説明する。この比較例では、正電源側のスイッチはアナログ制御電圧で制御される。これにより、正電源側と A 点ではアナログ制御電圧で制御されたスイッチを介することにより、電圧降下が生じる。その電圧降下量は、正電源の電位を V_+ とし、A 点での電位を V_A とすると、 $(V_+ - V_A)$ である。そのため、流れる電流 I_{tot} との積である $(V_+ - V_A) \times I_{\text{tot}}$ が電力ロスとなる。
- [0118] それに対し、本態様では、帰還回路部 90a は、スイッチング制御回路 91a 及びトランジスタ 92 を含む構成であり、スイッチング制御回路 91a はトランジスタ 92 のオンオフを制御している。さらに、帰還回路部 90a

の内部において、一方の端子を電源端子 83 a と接続し、他方の端子を出力端子 85 と接続したトランジスタ 92 を用いることにより、バス配線 21 の接続部 22 での電圧が目標電圧より低い場合、電源電圧から出力端子 85 に電圧を供給する必要はなくなり、トランジスタ 92 を遮断し、バス配線 21 の接続部 22 での電圧が目標電圧より高い場合、電源電圧から出力端子 85 に電圧を供給するため、トランジスタ 92 を低抵抗（理想はゼロオーム）となるようにオンする。これにより、オペアンプを用いた比較例において生じる電力ロスを低減でき、効率良く、電源電圧から出力端子に目標電圧を供給することができる。

[0119] 図 11 は、帰還回路部 90 a の動作の一例を示すタイミングチャートである。このタイミングチャートでは、第 1 電源端子 83 a に印加される電源電圧は V_{DD1} 、基準電圧 V_{REF} で規定される目標電圧は V_{DD} と表記される。図 11 には、それぞれ異なる大きさの画素電流に対応する 2 例の波形が示される。具体的に、図 11 の左側の波形は明るい画を表示しているために大きな画素電流が流れる場合を示し、図 11 の右側の波形は暗い画を表示しているために小さな画素電流が流れる場合を示している。

[0120] ゲート信号 V_G が V_{on} レベルになりトランジスタ 92 がオンすると、第 1 電源端子 83 a に印加された電源電圧 V_{DD1} が出力端子 85 から接続部 22 に供給され、大きさが i_{on} の出力電流 i_{OUT} が流れる。接続部 22 の電圧 V_{CONN} は、バス配線 21 および表示部 20 内の第 1 電源線 31 の容量と i_{on} とで決まる時定数で V_{DD1} に向かって上昇する。

[0121] 時刻 t_1 において、接続部 22 の電圧 V_{CONN} が目標電圧 V_{DD} より高くなると、スイッチング制御回路 91 a による固有の遅延時間の後にゲート信号 V_G が V_{off} レベルになってトランジスタ 92 がオフする。また、固有の遅延時間とは、実際に接続部 22 の電圧 V_{CONN} が目標電圧 V_{DD} を超えた時と、その時以降であってスイッチング制御回路が電圧 V_{CONN} と目標電圧 V_{DD} とを比較しトランジスタ 92 をオフとする動作を開始した時との時間差である。

[0122] その結果、出力端子 85 から接続部 22 への電源電圧の供給は遮断され出力電流 i_{OUT} は停止する。接続部 22 の電圧 V_{CONN} は、バス配線 21 および表示部 20 内の第 1 電源線 31 の容量と表示部を構成する画素回路群の抵抗成分（抵抗成分とは電圧 V_{CONN} が単位電圧あたり変化した時のパネル電流値の変化率の逆数）とで決まる時定数で（つまり、明るい画を表示しているときは暗い画を表示しているときに比べて相対的に小さい時定数で、暗い画を表示しているときは明るい画を表示しているときに比べて相対的に大きな時定数で）接地電圧である 0V に向かって降下する。

[0123] このようにしてオン電流 i_{on} が断続的に流れる結果、出力電流 i_{OUT} の平均値として、明るい画を表示しているときには大きな平均電流 i_a が流れ、暗い画を表示しているときには小さな平均電流 i_b が流れる。

[0124] 時刻 t_2 において、接続部 22 の電圧 V_{CONN} が目標電圧 V_{DD} より低くなると、スイッチング制御回路 91a の固有の遅延時間の後にゲート信号 V_G が V_{on} レベルになってトランジスタ 92 がオンする。

[0125] このような動作が繰り返されることにより、接続部 22 の電圧 V_{CONN} は目標電圧 V_{DD} を含む所定の電圧範囲に維持される。

[0126] 図 12 は、帰還回路部 80 のさらに他の具体例としての帰還回路部 90b の回路図である。

[0127] 帰還回路部 90b は、PWM（パルス幅変調）スイッチング動作を行う、より実用的な帰還回路部の一例であり、スイッチング制御回路 91b、トランジスタ 92、93、およびコイル 94 から構成される。スイッチング制御回路 91b は、誤差増幅器 95、PWM 比較器 96、PWM 制御器 97、および三角波生成器 98 から構成される。

[0128] 図 13 は、帰還回路部 90b の動作の一例を示すタイミングチャートである。タイミングチャートでは、第 1 電源端子 83a に印加される電源電圧は V_{DD1} 、第 2 電源端子 83b に印加される電源電圧は V_{DD2} 、基準電圧 V_{REF} で規定される目標電圧は V_{DD} と表記される。図 13 には、図 11 と同様に、表示される画の明暗に応じてそれぞれ異なる画素電流に対応する 2 例の

波形が示される。

- [0129] 最初に、スイッチング制御回路 91b から印加されるゲート信号 V_{G1} 、 V_{G2} に応じて、トランジスタ 92 は ON、トランジスタ 93 は OFF となっており、コイル 94 は第 1 電源端子 83a に接続されているとする。
- [0130] 接続部 22 の電圧 V_{CONN} は、第 1 電源端子 83a に印加される電源電圧 V_{DD1} に近づこうとする。誤差増幅器 95 は、第 2 入力端子 86 に印加される電圧 V_{MON} ($= V_{CONN}$) と第 1 入力端子 84 に印加される電圧 V_{REF} とを用いた比較動作を行う。
- [0131] 時刻 t_1 において、接続部 22 の電圧 V_{CONN} が目標電圧 V_{DD} よりも大きくなり、誤差増幅器 95 の比較結果が反転すると、PWM制御器 97 は、ゲート信号 V_{G1} 、 V_{G2} のそれぞれのレベルを、順次時間差を与えて反転することにより、トランジスタ 92 をオフさせた後、トランジスタ 93 をオンさせる。これにより、コイル 94 の接続が第 1 電源端子 83a から第 2 電源端子 83b に切り替わる。
- [0132] このとき、第 1 電源端子 83a からトランジスタ 92 およびコイル 94 を経由して出力端子 85 へ流れていた出力電流 i_{OUT} は、コイル 94 の接続が切り替わった後も、コイル 94 の自己誘導により、第 2 電源端子 83b からトランジスタ 93 およびコイル 94 を経由して出力端子 85 へ流れ続ける。
- [0133] コイル 94 に蓄えられていた自己誘導のエネルギーは時間と共に減少し、出力電流 i_{OUT} が減少して出力端子 85 の電圧が小さくなり、接続部 22 の電圧 V_{CONN} は第 2 電源端子 83b の電圧の V_{DD2} に近づこうとする。
- [0134] 時刻 t_2 において、接続部 22 の電圧 V_{CONN} が目標電圧 V_{DD} よりも小さくなり、誤差増幅器 95 の比較結果が反転すると、PWM制御器 97 は、ゲート信号 V_{G2} 、 V_{G1} のそれぞれのレベルを、順次時間差を与えて反転することにより、トランジスタ 93 をオフさせた後、トランジスタ 92 をオンさせる。これにより、コイル 94 の接続が第 2 電源端子 83b から第 1 電源端子 83a に切り替わる。
- [0135] このような動作が繰り返されることにより、接続部 22 の電圧 V_{CONN} は目

標電圧VDDを含む所定の電圧範囲に維持される。

[0136] スイッチング制御回路を用いて帰還回路部を構成することにより、帰還回路部内における電力消費が削減されるので、有機EL表示装置の電力効率を向上し、また発熱対策を簡素化できる効果が期待される。

[0137] 上記では、バス配線21を各画素部30に対する正電源として用いる構成について説明してきた。例えば、図1の有機EL表示装置1では、帰還回路部80によって目標電圧に制御されたバス配線21の駆動電圧を、各画素部30に対する高位側の電源電圧として用いることで、バス配線21から各画素部30へ画素電流が供給される。

[0138] これに対し、バス配線21を負電源として用いる別の構成を考えることができる。以下では、そのような構成について説明する。

[0139] 図14は、バス配線21を負電源として用いる有機EL表示装置3の機能的な構成の一例を示すブロック図である。

[0140] 有機EL表示装置3では、図1の有機EL表示装置1の表示パネル10に代えて、表示パネル12が用いられる。表示パネル12は、負電源を供給可能な帰還回路部90cを有し、複数の第2電源線32が、バス配線21の各接続部22から分岐して表示部25内に延設される。また、詳細な図示は省略されているが、複数の第1電源線31が表示部25内に設けられる。

[0141] 有機EL素子33の第1電極（アノード）は、駆動トランジスタを介し、第1電源線31に電氣的に接続され、有機EL素子33の第2電極（カソード）は第2電源線32に電氣的に接続されている。

[0142] 図15に示されるように、有機EL表示装置3では、帰還回路部90cによって目標電圧に制御されたバス配線21の駆動電圧を、各画素部30に対する低位側の電源電圧として用いることで、各画素部30からバス配線21へ画素電流が引き抜かれる。

[0143] 図16は、帰還回路部90cの一例を示す回路図である。

[0144] 帰還回路部90cは、図10の帰還回路部90aと比べて、スイッチング制御回路91cの機能と、トランジスタ92の接続とが変更される。

- [0145] スイッチング制御回路 91c は、内蔵する比較器（不図示）にて接続部 22 の電圧 V_{CONN} ($= V_{\text{MON}}$) と基準電圧 V_{REF} とを用いた比較動作を行う。そして、接続部 22 の電圧 V_{CONN} が、基準電圧 V_{REF} で規定される目標電圧よりも大きいと判定されるとトランジスタ 92 をオンさせるレベル V_{on} のゲート信号 V_G を出力し、電圧 V_{CONN} が前記目標電圧より小さいと判定されるとトランジスタ 92 を遮断させるレベル V_{off} のゲート信号 V_G を出力する。
- [0146] トランジスタ 92 は、一方のソースドレイン端子を第 2 電源端子 83b に接続され、他方のソースドレイン端子を出力端子 85 に接続され、スイッチング制御回路 91c から印加されるゲート信号 V_G に応じて、第 2 電源端子 83b に印加される電源電圧を出力端子 85 に供給するかまたは遮断する。接続部 22 の電圧 V_{CONN} は、バス配線 21 及び接続部 22 から表示部 25 の内部へ延設される第 2 電源線 32（図 14）の容量であるコンデンサ 88b によって平滑化される。
- [0147] 図 17 は、帰還回路部 90c の動作の一例を示すタイミングチャートである。このタイミングチャートでは、第 2 電源端子 83b に印加される電源電圧は V_{DD2} 、基準電圧 V_{REF} で規定される目標電圧は V_{DD} と表記される。また、帰還回路部 90c の出力電流は吸い込み方向であることを考慮して i_{out} と表記される。図 17 には、図 11 と同様に、表示される画の明暗に応じてそれぞれ異なる大きさの画素電流に対応する 2 例の波形が示される。
- [0148] 図 17 に示されるように、帰還回路部 90c は、帰還回路部 90a とは対称的に動作する。このような動作によって、バス配線 21 の接続部 22 での電圧 V_{CONN} は目標電圧 V_{DD} を含む所定の電圧範囲に維持される。
- [0149] ここまで、帰還回路部によりバス配線の電圧を均等化する有機 EL 表示装置 1～3 について、誤差増幅器を用いて帰還回路部を構成した有機 EL 表示装置、およびスイッチング制御回路（例えば、直流電圧変換器または DC-DC 変換器）を用いて帰還回路部を構成した有機 EL 表示装置の具体例を示して説明してきた。このような有機 EL 表示装置 1～3 は、テレビジョンセット、パーソナルコンピュータ、携帯型情報端末などの各種の機器において

、高品位の映像を表示するために用いることができる。

[0150] 図18は、有機EL表示装置1、2または3を用いたテレビジョンセット100の外観を示す外観図である。テレビジョンセット100では、有機EL表示装置1、2または3が用いられることで、例えば、部分的に高輝度領域を含むような映像を、高輝度領域以外の領域の輝度の不均一を抑えて、高品位に表示することができる。

[0151] 以上、本発明の有機EL表示装置について実施の形態に基づいて説明した。本発明は、これらの実施の形態に限定されるものではない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を各実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて得られる形態も、本発明の範囲内に含まれる。

産業上の利用可能性

[0152] 本発明は、有機EL表示装置などの映像表示装置に適用できる。

符号の説明

[0153] 1、2、3、9 有機EL表示装置
 10、11、12、19 表示パネル
 20、25 表示部
 21 バス配線
 22 接続部
 23 給電点
 24 モニタ一点
 30 画素部
 31 第1電源線
 32 第2電源線
 33 有機EL素子
 40 信号線駆動回路
 41 信号線
 42 ゲート線駆動回路

- 4 3 ゲート線
- 5 0 パネル制御部
- 6 0 電源部
- 6 1、6 1 a、6 1 b 配線
- 7 0、7 2 基準電圧生成部
- 7 1、7 3 基準電圧線
- 8 0、8 0 a、8 0 b、8 0 c、9 0 a、9 0 b、9 0 c 帰還回路
部
- 8 1 給電線
- 8 2 モニター線
- 8 3 a 第 1 電源端子
- 8 3 b 第 2 電源端子
- 8 3 c 第 3 電源端子
- 8 4 第 1 入力端子
- 8 5 出力端子
- 8 6 第 2 入力端子
- 8 7 誤差増幅器
- 8 8 a、8 8 b コンデンサ
- 9 1 a、9 1 b、9 1 c スイッチング制御回路
- 9 2、9 3 トランジスタ
- 9 4 コイル
- 9 5 誤差増幅器
- 9 6 PWM比較器
- 9 7 PWM制御器
- 9 8 三角波生成器
- 1 0 0 テレビジョンセット

請求の範囲

[請求項1]

基板上に有機EL素子を含む画素部を複数配置した表示部と、
前記表示部の外周に配置され、前記表示部に含まれる各画素部を駆動するための駆動電圧を各画素部に供給する電源バス配線と、
出力電圧を生成して前記電源バス配線に供給する帰還回路部と、
前記帰還回路部を駆動するための高電源電圧と前記高電源電圧よりも低い低電源電圧とからなる電源電圧を前記帰還回路部に供給する電源部と、
前記電源バス配線の電圧に適用される目標電圧を規定する基準電圧を前記帰還回路部に供給する基準電圧生成部と、を具備し、
前記帰還回路部は、前記電源部から供給された電源電圧に基づいて前記出力電圧を生成し、
前記帰還回路部は、
前記電源電圧のうち前記高電源電圧が印加される第1電源端子と、
、
前記電源電圧のうち前記低電源電圧が印加される第2電源端子と、
、
前記基準電圧が印加される第1入力端子と、
前記電源バス配線の一部である接続部と接続された出力端子と、
前記電源バス配線の前記接続部での電圧が印加される第2入力端子と、
前記第1電源端子、前記第2電源端子、前記第1入力端子、及び前記第2入力端子と接続されたスイッチング制御回路と、
一方の端子を前記第1電源端子及び前記第2電源端子のうちのいずれか一方の電源端子に接続され、他方の端子を前記出力端子に接続されたトランジスタと、を含み、
前記トランジスタのオンとオフとに応じて、前記一方の電源端子に印加される前記電源電圧を前記出力端子に供給するかまたは遮断す

ることにより、前記電源バス配線の前記接続部での電圧が前記基準電圧で規定される前記目標電圧と等しくなるように、前記電源バス配線の前記接続部での電圧に差分を加算した電圧を前記出力電圧として前記出力端子に出力し、

加算される前記差分は、

前記帰還回路部の出力端子と前記電源バス配線の前記接続部との間の抵抗と、前記帰還回路部の出力端子と前記電源バス配線の前記接続部との間に流れる電流と、の積によって求められる電圧降下量に対応する、

有機 E L 表示装置。

[請求項2] さらに、第 1 電極と第 2 電極とを有し、前記第 1 電極が前記バス配線と接続され、前記第 2 電極が固定電位に接続される容量素子を備える、

請求項 1 に記載の有機 E L 表示装置。

[請求項3] 前記スイッチング制御回路は、

比較器により前記接続部での電圧と前記基準電圧とを用いた比較動作を行い、前記接続部での電圧が、前記基準電圧で規定される前記目標電圧よりも小さいと判定されると前記トランジスタをオンさせるレベル V_{on} のゲート信号を出力し、前記接続部での電圧が前記目標電圧より大きいと判定されるとトランジスタを遮断させるレベル V_{off} のゲート信号を出力する、

請求項 1 又は 2 に記載の有機 E L 表示装置

[請求項4] 前記帰還回路部は、

前記電源バス配線の前記接続部での電圧が、前記目標電圧より大きいと判定すると、前記出力電圧の供給を停止して前記駆動電圧を低減する、

請求項 1 から請求項 3 のいずれか 1 項に記載の有機 E L 表示装置。

[請求項5] 前記帰還回路部は、

前記電源バス配線の前記接続部での電圧が、前記目標電圧より小さいと判定すると、前記出力電圧の供給を再開して前記駆動電圧を増加する、

請求項 4 に記載の有機 E L 表示装置。

[請求項 6]

前記帰還回路部は、

前記電源バス配線の前記接続部での電圧が、前記目標電圧より小さいと判定すると、前記出力電圧の供給を停止して前記駆動電圧を増加する、

請求項 1 から請求項 3 のいずれか 1 項に記載の有機 E L 表示装置。

[請求項 7]

前記帰還回路部は、

前記電源バス配線の前記接続部での電圧が、前記目標電圧より大きいと判定すると、前記出力電圧の供給を再開して前記駆動電圧を低減する、

請求項 6 に記載の有機 E L 表示装置。

[請求項 8]

さらに 1 つ以上の帰還回路部が設けられ、

前記複数の帰還回路部は、前記電源バス配線と複数の接続部にて接続されている、

請求項 1 から請求項 7 のいずれか 1 項に記載の有機 E L 表示装置。

[請求項 9]

前記複数の接続部の各々は、前記電源バス配線において一定の間隔で設けられている、

請求項 8 に記載の有機 E L 表示装置。

[請求項 10]

前記複数の帰還回路部の各々は、

前記第 1 入力端子に入力された前記基準電圧に 1 よりも大きいゲインを乗じて得られる電圧を前記目標電圧として設定する、

請求項 8 又は 9 に記載の有機 E L 表示装置。

[請求項 11]

前記複数の帰還回路部の各々は、

前記第 1 入力端子に入力された前記基準電圧を前記目標電圧として設定し、前記電源バス配線の前記接続部での電圧が前記基準電圧と等

しくなるように前記電源バス配線の前記接続部での電圧を増減させる、

請求項 10 に記載の有機 EL 表示装置。

[請求項12] 前記複数の帰還回路部の各々は、前記表示部の左右の少なくとも一方の周辺部に設けられる、

請求項 8 から請求項 11 のいずれか 1 項に記載の有機 EL 表示装置

。

[請求項13] 前記複数の帰還回路部の各々は、前記表示部の上下の少なくとも一方の周辺部に設けられる、

請求項 1 から請求項 12 のいずれか 1 項に記載の有機 EL 表示装置

。

[請求項14] 各画素部に含まれる前記有機 EL 素子の第 1 電極に電氣的に接続される複数の第 1 電源線と、

各画素部に含まれる前記有機 EL 素子の第 2 電極に電氣的に接続される複数の第 2 電源線と、を有し、

前記複数の第 1 電源線及び前記複数の第 2 電源線のうちの一方は、前記電源バス配線に接続される、

請求項 1 から請求項 13 のいずれか 1 項に記載の有機 EL 表示装置

。

[請求項15] 前記複数の帰還回路部の各々は、前記電源バス配線の短辺側で前記電源バス配線に接続され、

前記複数の第 1 電源線及び前記複数の第 2 電源線の前記一方は、前記複数の帰還回路部の各々の出力端子と前記電源バス配線との各接続部から分岐して前記表示部の横方向に配置される、

請求項 14 に記載の有機 EL 表示装置。

[請求項16] 前記複数の帰還回路部の各々は、前記電源バス配線の長辺側で前記電源バス配線に接続され、

前記複数の第 1 電源線及び前記複数の第 2 電源線の前記一方は、前

記複数の帰還回路部の各々の出力端子と前記電源バス配線との各接続部から分岐して前記表示部の縦方向に配置される、

請求項 14 に記載の有機 EL 表示装置。

[請求項17] 前記複数の帰還回路部の各々は、前記電源バス配線の短辺側及び長辺側で前記電源バス配線に接続され、

前記複数の第 1 電源線及び前記複数の第 2 電源線の前記一方は、前記複数の帰還回路部の各々の出力端子と前記電源バス配線との各接続部から分岐して前記表示部の横方向及び縦方向に配置される、

請求項 14 に記載の有機 EL 表示装置。

[請求項18] 前記電源バス配線は、前記表示部の外周に環状に設けられる、
請求項 1 から請求項 17 のいずれか 1 項に記載の有機 EL 表示装置。

[請求項19] 前記接続部は、
前記帰還回路部の前記出力端子に給電線を介して接続される給電点と、

前記帰還回路部の前記出力端子にモニター線を介して接続されるモニター点と、

を有し、

前記給電点と前記モニター点との距離は前記電源バス配線の配線幅以下である、

請求項 1 から請求項 18 のいずれか 1 項に記載の有機 EL 表示装置。

[請求項20] 基板上に有機 EL 素子を含む画素部を複数配置した表示部と、
前記表示部の外周に配置され、前記表示部に含まれる各画素部を駆動するための駆動電圧を各画素部に供給する電源バス配線と、
出力電圧を生成して前記電源バス配線に供給する帰還回路部と、
前記帰還回路部を駆動するための電源電圧を前記帰還回路部に供給する電源部と、

前記帰還回路部から出力される駆動電圧より低い電位の電圧であって前記帰還回路部から出力される駆動電圧の絶対値を当該絶対値より小さい電位の電圧に変換するための第1基準電圧を前記帰還回路部に供給し、前記帰還回路部から出力される駆動電圧より低い電位の電圧であって前記変換された電圧を調整する基準となる第2基準電圧を前記帰還回路部に供給する基準電圧生成部と、を具備し、

前記帰還回路部は、前記電源部から供給された電源電圧に基づいて前記出力電圧を生成し、

前記帰還回路部は、

前記電源電圧が印加される電源端子と、

前記電源バス配線の一部である接続部と接続された出力端子と、

前記第1基準電圧が印加される第1入力端子と、

前記電源バス配線の前記接続部での電圧が印加される第2入力端子と、

前記第2基準電圧が印加される第3電源端子と、

前記第1入力端子と前記第2入力端子との間に直列に設けられ、前記第1入力端子と前記第2入力端子との間に印加された電圧を分圧する第1抵抗及び第2抵抗と、を含み、

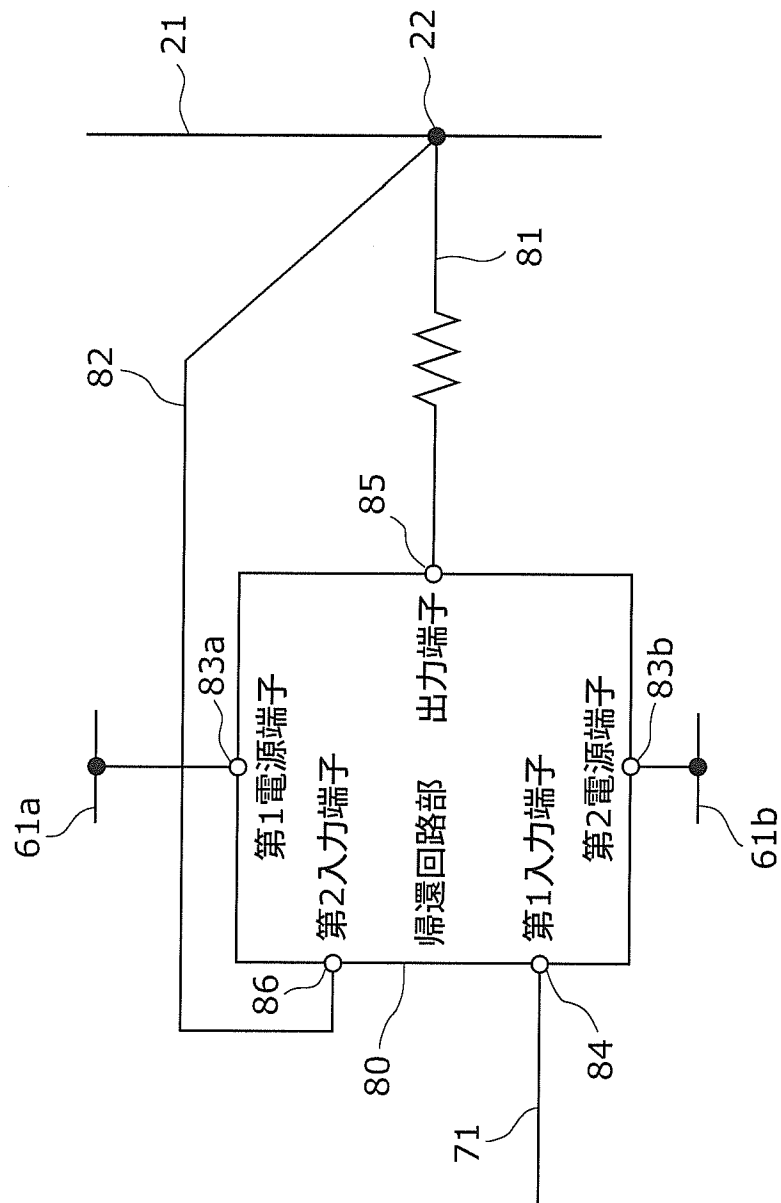
前記第1抵抗および前記第2抵抗にて分圧された電圧が前記第2基準電圧と等しくなるように、前記電源バス配線の前記接続部での電圧に差分を加算した電圧を前記出力電圧として前記出力端子に出力し、

加算される前記差分は、

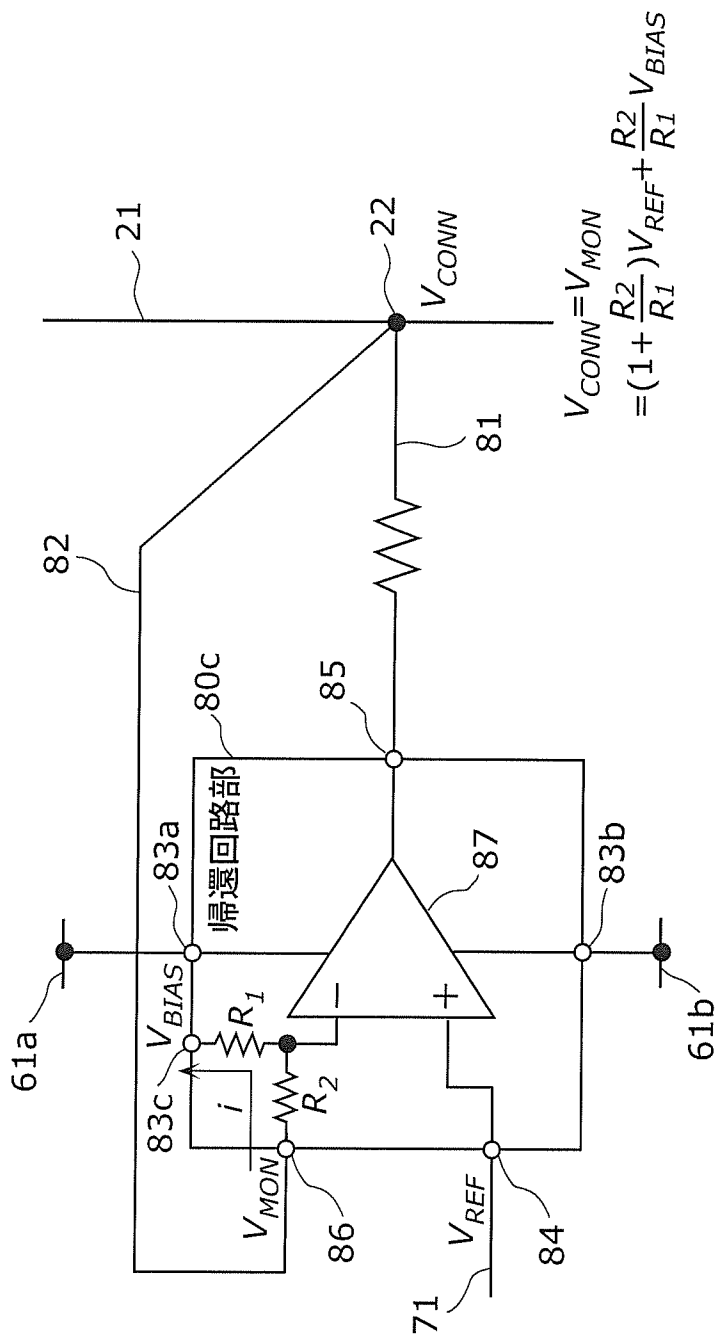
前記帰還回路部の出力端子と前記電源バス配線の前記接続部との間の抵抗と、前記帰還回路部の出力端子と前記電源バス配線の前記接続部との間に流れる電流と、の積によって求められる電圧降下量に対応する、

有機EL表示装置。

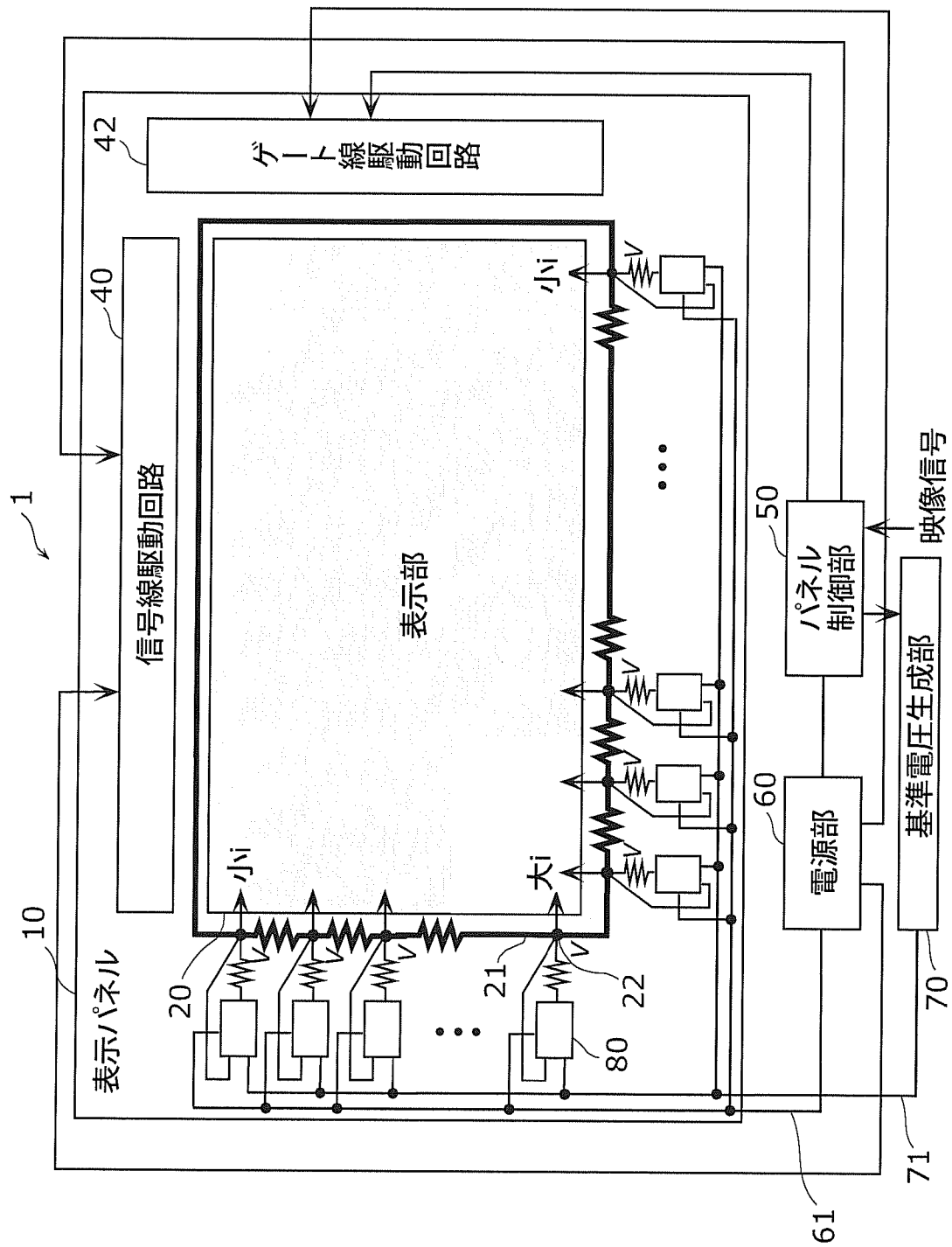
[図2]



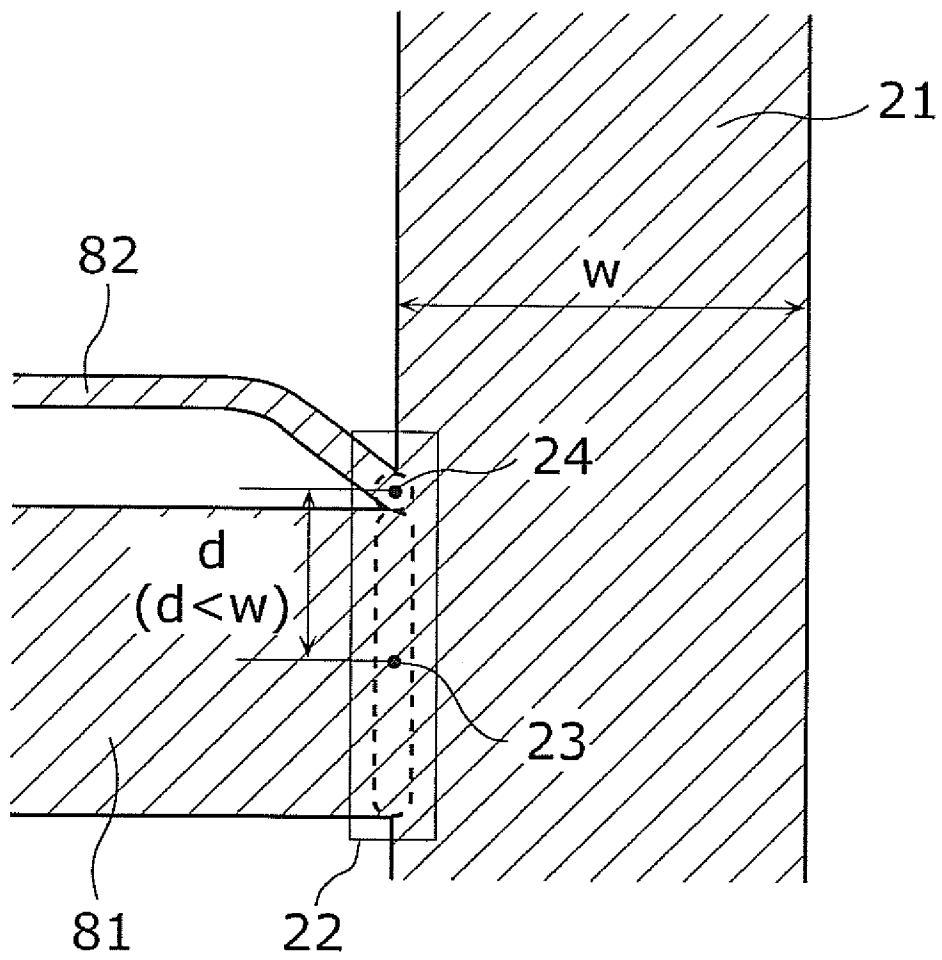
[図5]



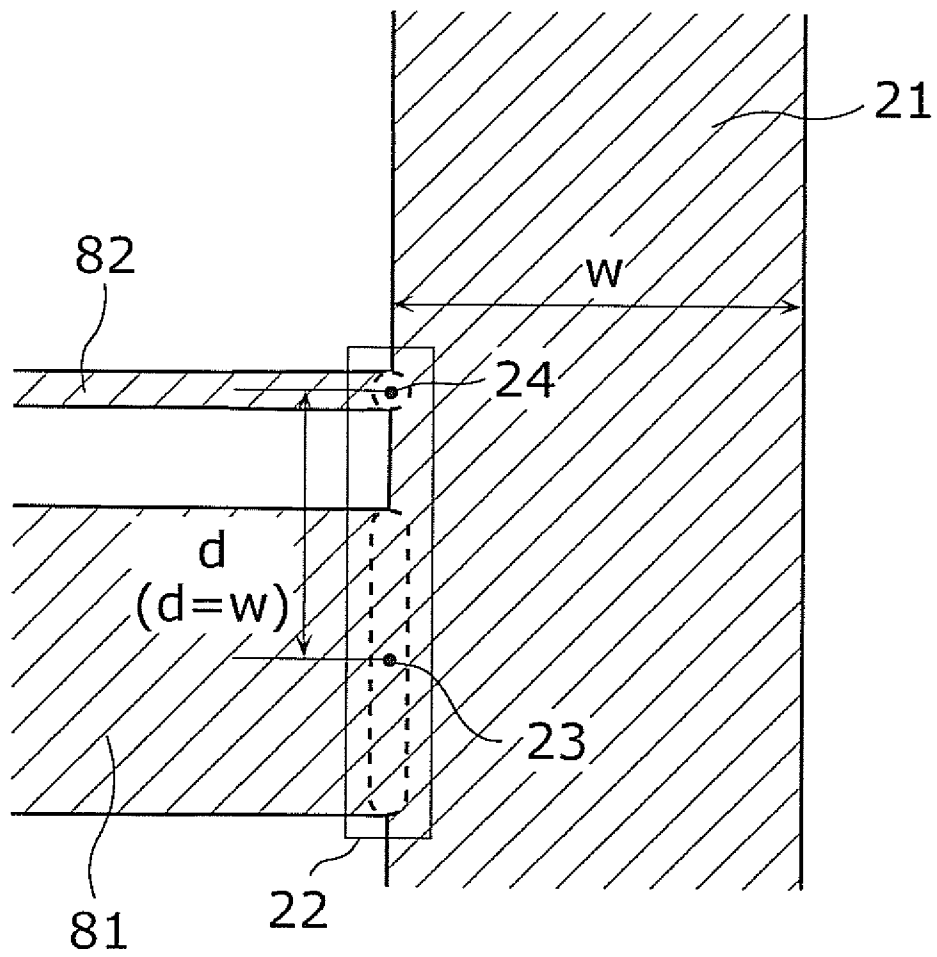
[図6]



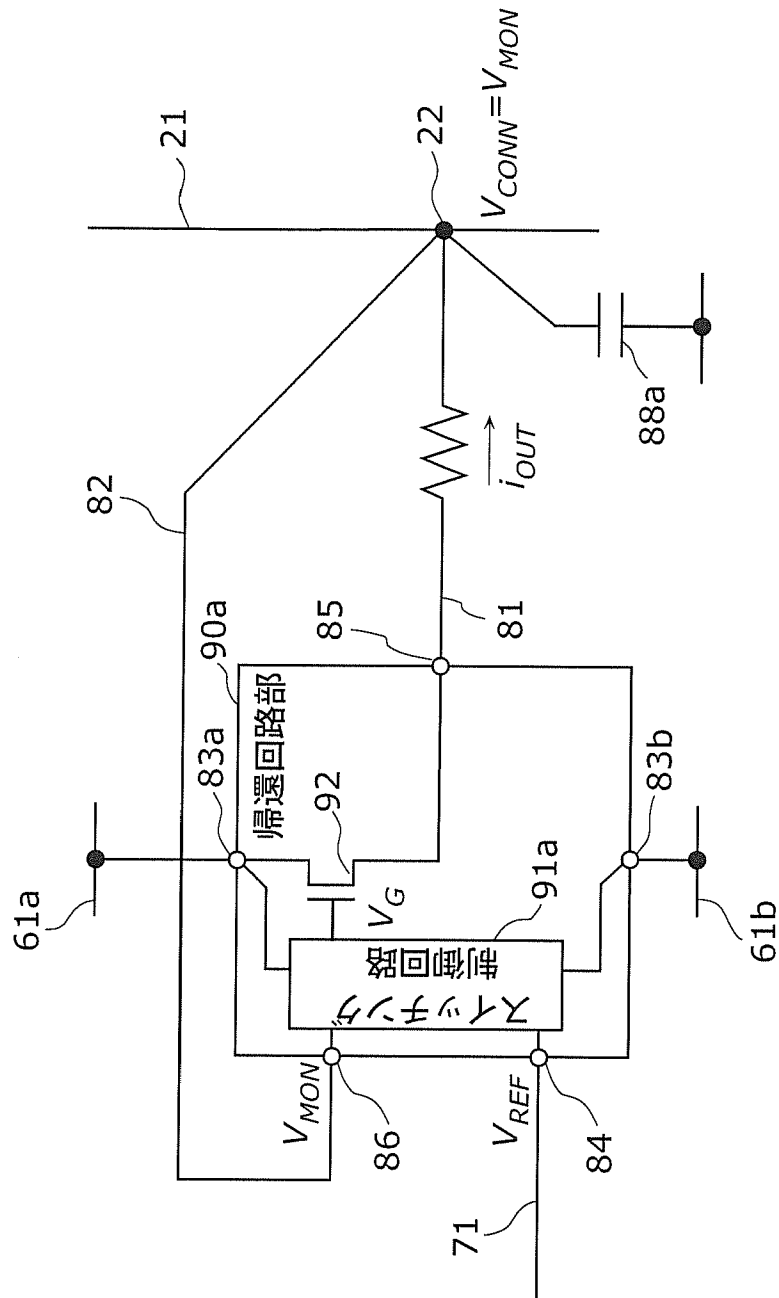
[図8A]



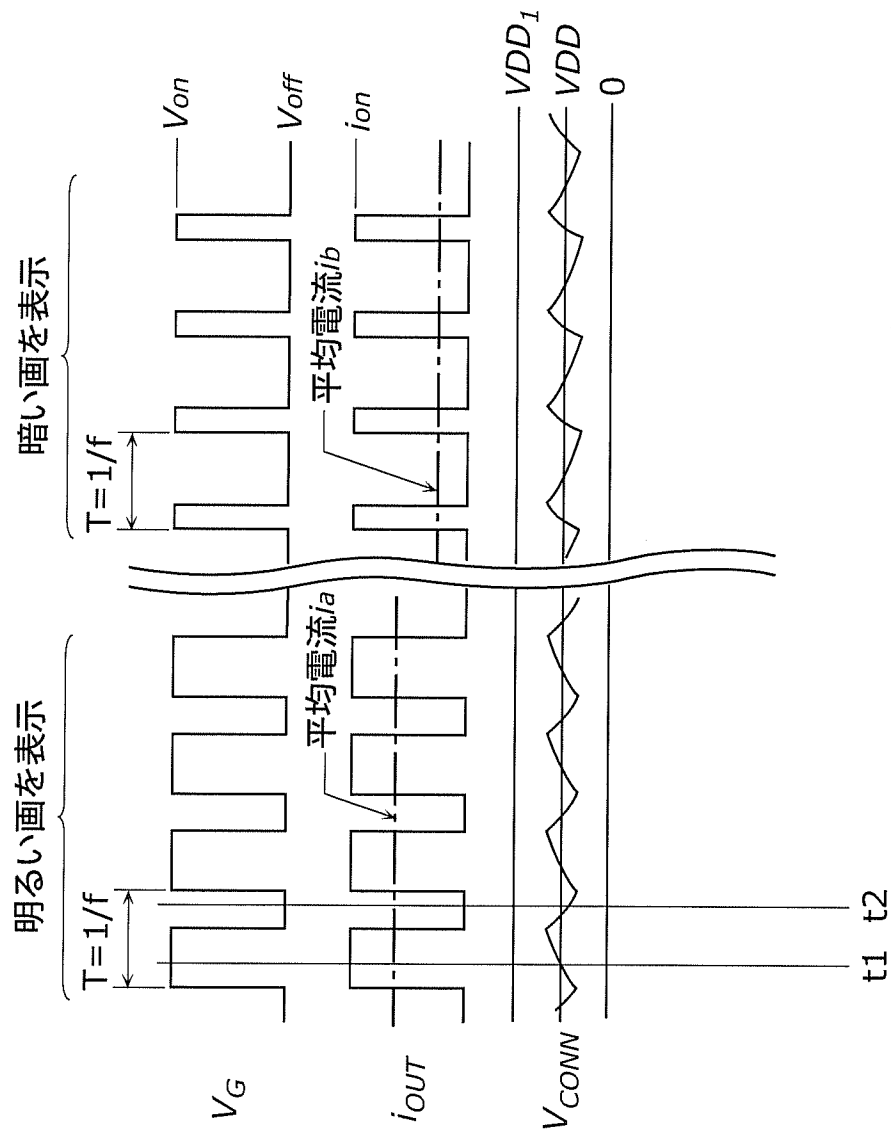
[図8B]



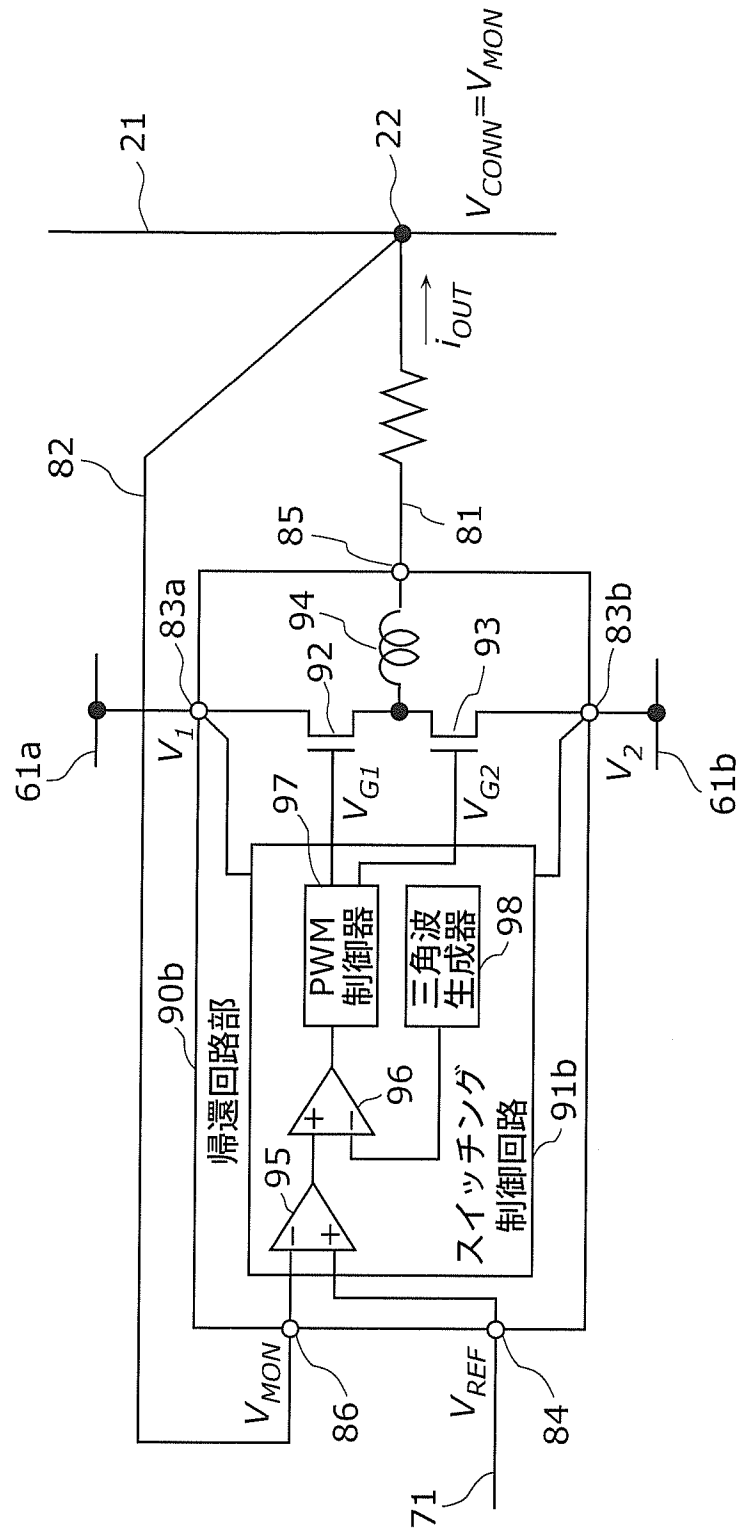
[図10]



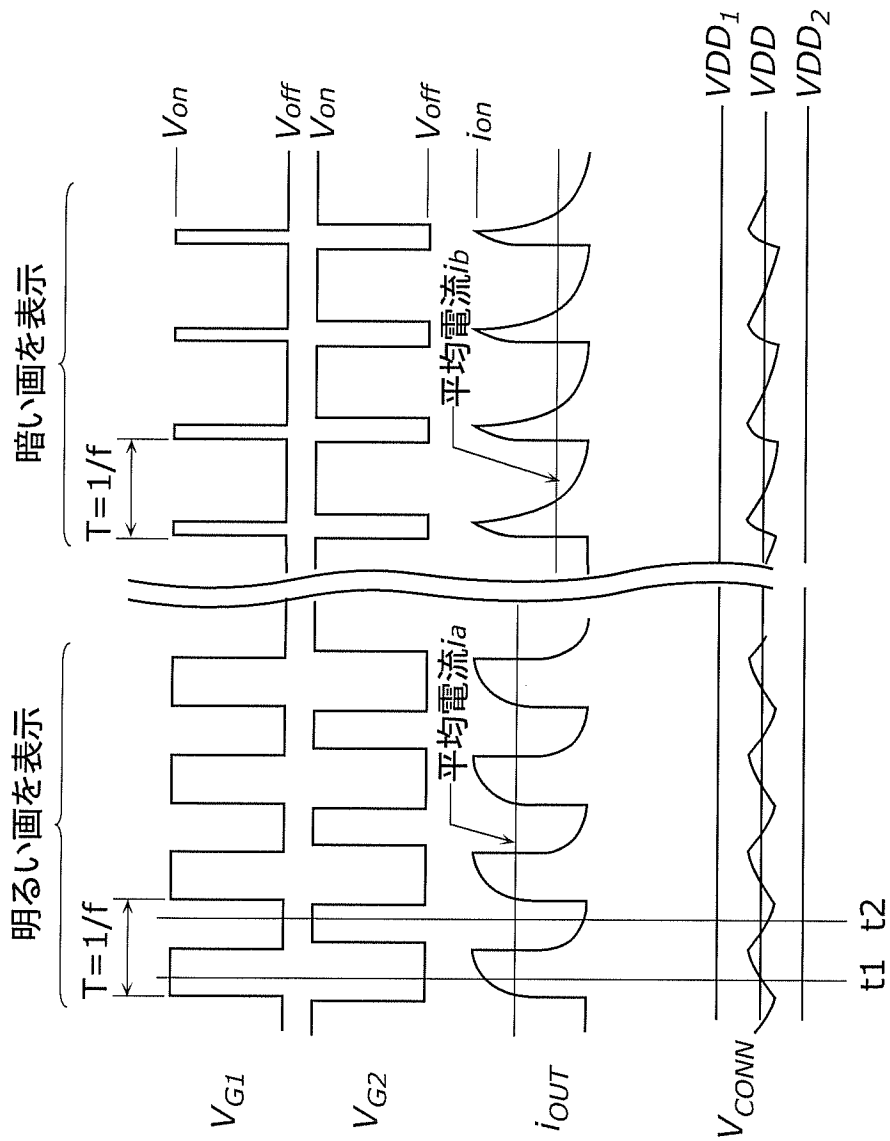
[図11]



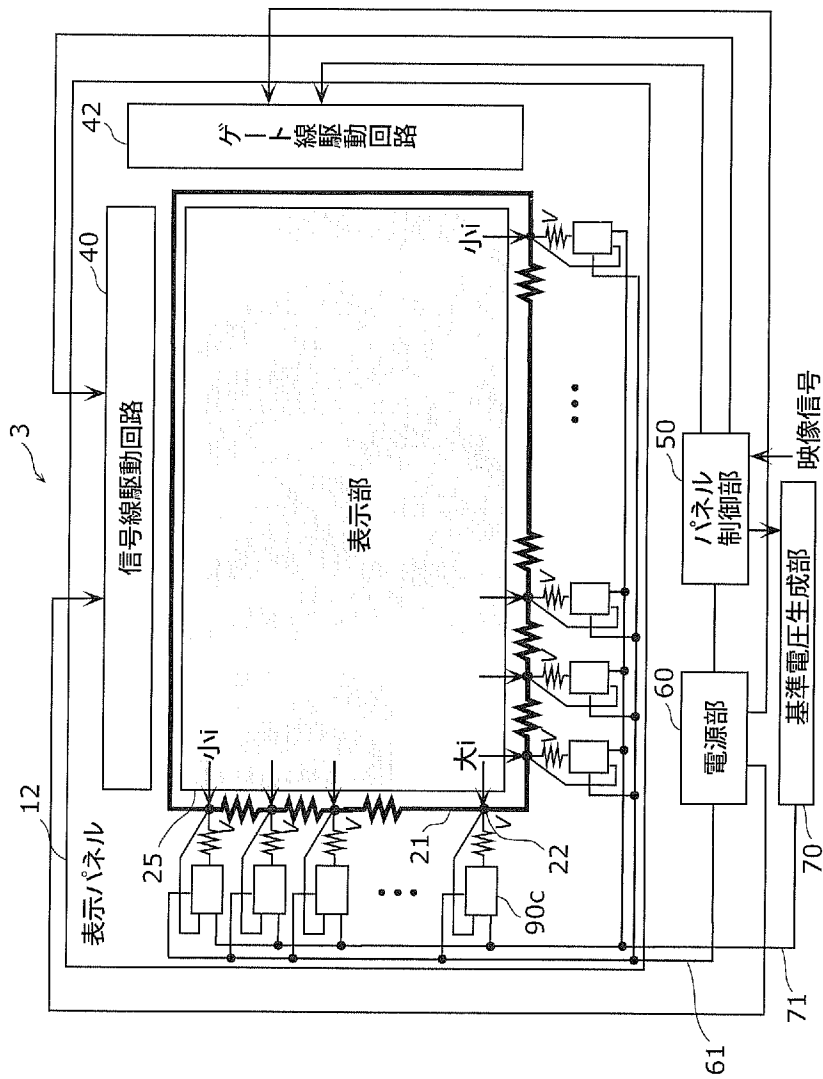
[図12]



[図13]

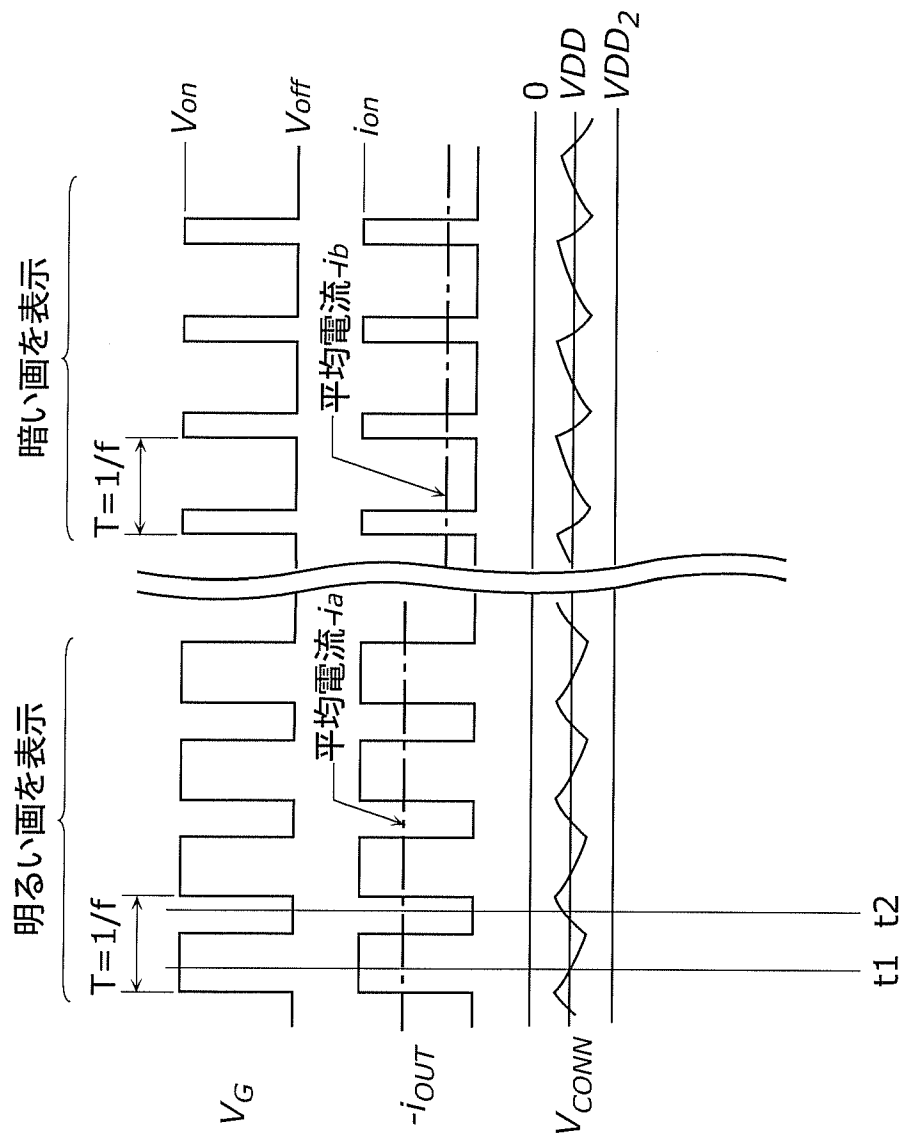


[図15]

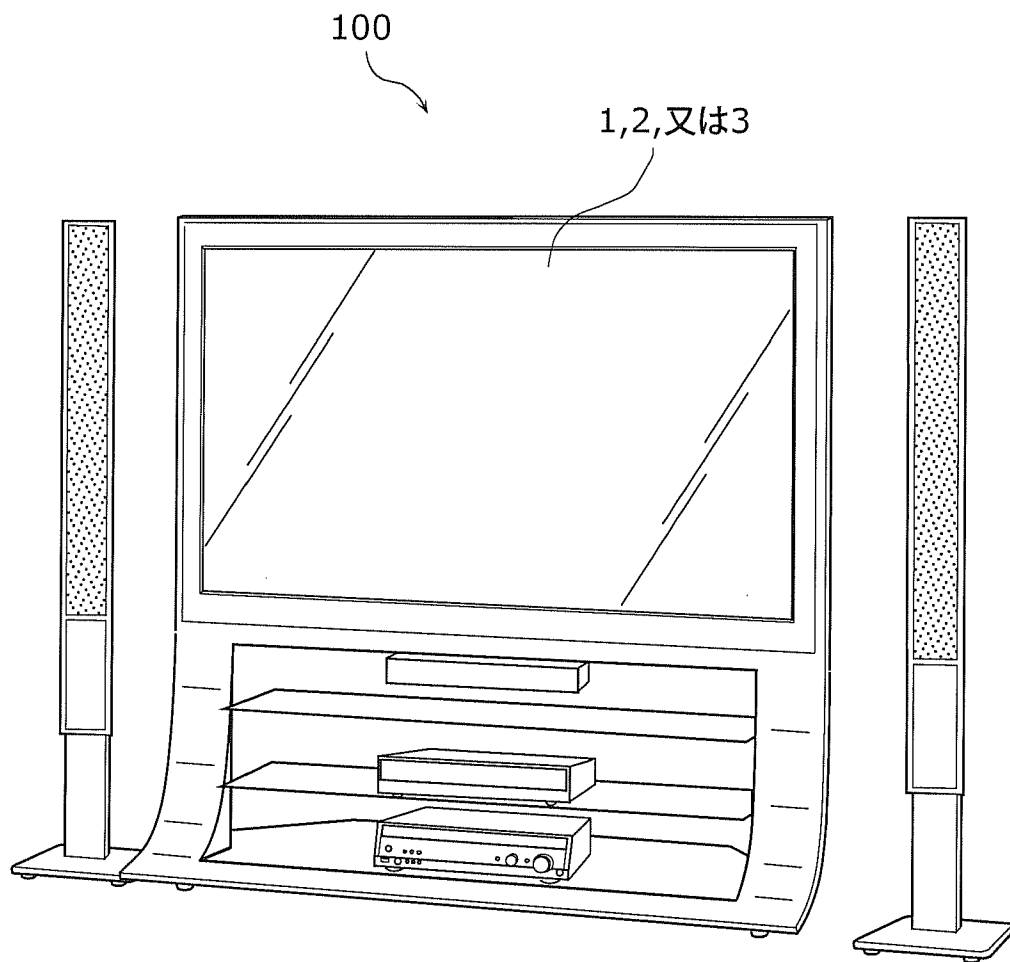


[illegible]

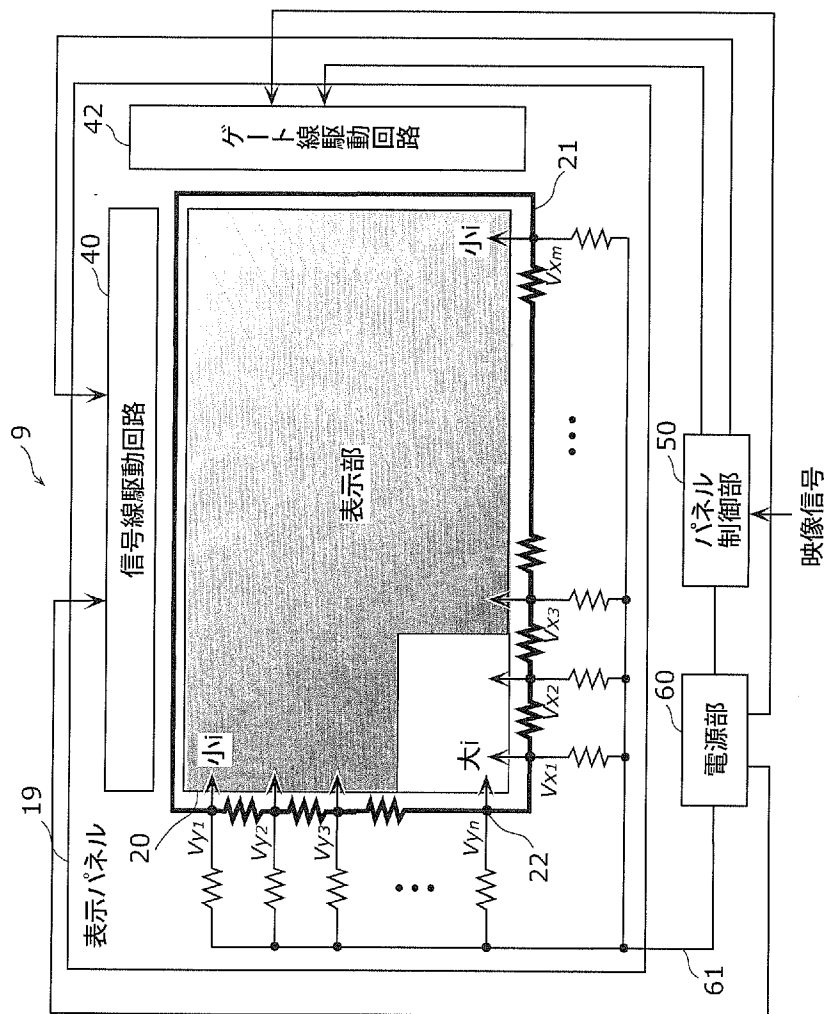
[図17]



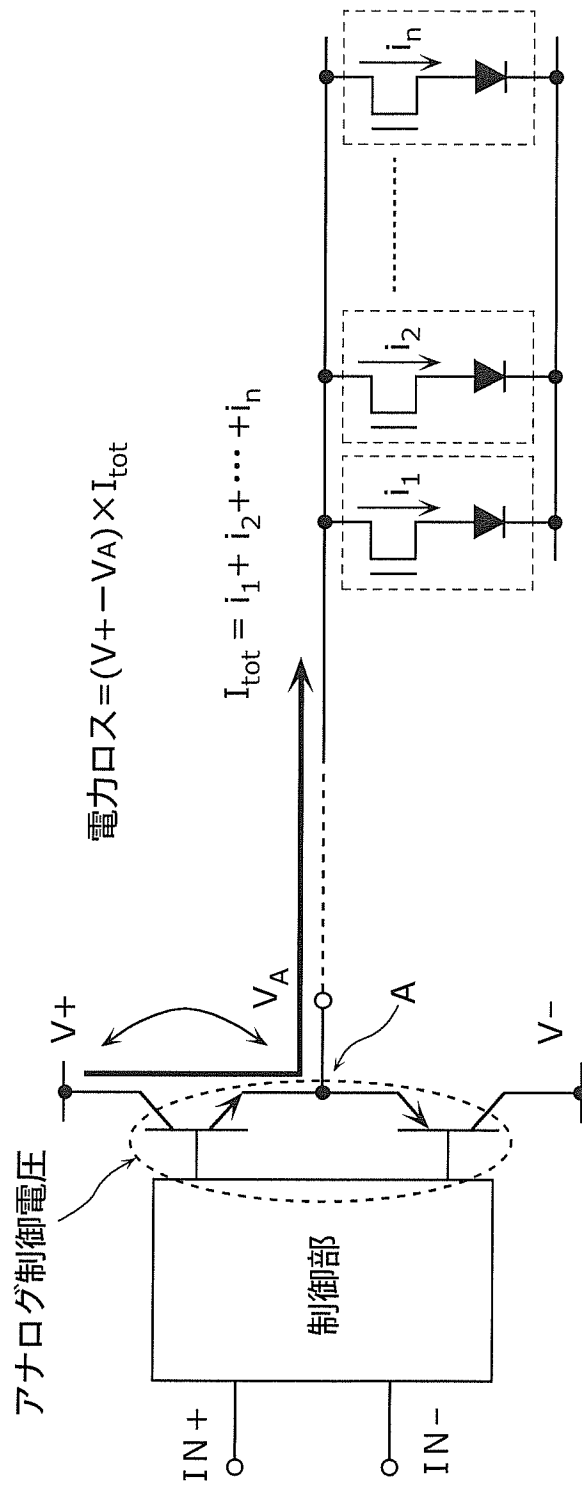
[図18]



[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004274

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01) i, G09G3/20(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/30, G09G3/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-032037 A (Semiconductor Energy Laboratory), 31 January 2002 (31.01.2002), paragraphs [0077] to [0084]; fig. 5 & US 2001/0043168 A1 & US 2007/0080917 A1 & TW 000554637 B & TW 000554638 B & KR 10-2006-0063837 A & KR 10-2007-0092694 A	1-9, 12-20 10-11
Y	JP 2005-236848 A (Toshiba Micro-Electronics Corp.), 02 September 2005 (02.09.2005), fig. 2 (Family: none)	1-9, 12-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

18 August, 2011 (18.08.11)

Date of mailing of the international search report

30 August, 2011 (30.08.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004274

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 08-171081 A (Sharp Corp.), 02 July 1996 (02.07.1996), entire text; all drawings (Family: none)	1-20
A	JP 09-281928 A (Pioneer Corp.), 31 October 1997 (31.10.1997), entire text; all drawings (Family: none)	1-20

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G09G3/30, G09G3/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2011年
日本国実用新案登録公報	1996-2011年
日本国登録実用新案公報	1994-2011年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	J P 2002-032037 A (半導体エネルギー研究所) 2002.01.31 段落0077-0084, 図5	1-9, 12-20
A	& US 2001/0043168 A1 & US 2007/0080917 A1 & TW 000554637 B & TW 000554638 B & KR 10-2006-0063837 A & KR 10-2007-0092694 A	10-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

18.08.2011

国際調査報告の発送日

30.08.2011

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

福村 拓

2G

3308

電話番号 03-3581-1101 内線 3226

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	J P 2005-236848 A (東芝マイクロエレクトロニクス株式会社) 2005.09.02 図2 (ファミリーなし)	1-9, 12-20
A	J P 08-171081 A (シャープ株式会社) 1996.07.02 全文、全図 (ファミリーなし)	1-20
A	J P 09-281928 A (パイオニア株式会社) 1997.10.31 全文、全図 (ファミリーなし)	1-20