



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2018년06월22일  
(11) 등록번호 10-1870552  
(24) 등록일자 2018년06월18일

(51) 국제특허분류(Int. Cl.)  
H01L 29/78 (2006.01) H01L 21/28 (2006.01)  
H01L 29/423 (2006.01) H01L 29/739 (2006.01)  
(52) CPC특허분류  
H01L 29/78 (2013.01)  
H01L 21/28 (2013.01)  
(21) 출원번호 10-2016-7029038  
(22) 출원일자(국제) 2014년10월29일  
심사청구일자 2016년10월19일  
(85) 번역문제출일자 2016년10월19일  
(65) 공개번호 10-2016-0136366  
(43) 공개일자 2016년11월29일  
(86) 국제출원번호 PCT/JP2014/078815  
(87) 국제공개번호 WO 2015/162811  
국제공개일자 2015년10월29일  
(30) 우선권주장  
JP-P-2014-087462 2014년04월21일 일본(JP)  
(56) 선행기술조사문헌  
JP2013084922 A\*  
JP2006303145 A\*  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
미쓰비시덴키 가부시카가이샤  
일본국 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고  
(72) 발명자  
후루카와 아키히코  
일본 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고  
미쓰비시덴키 가부시카가이샤 내  
오리타 쇼이치  
일본 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고  
미쓰비시덴키 가부시카가이샤 내  
(뒷면에 계속)  
(74) 대리인  
제일특허법인

전체 청구항 수 : 총 9 항

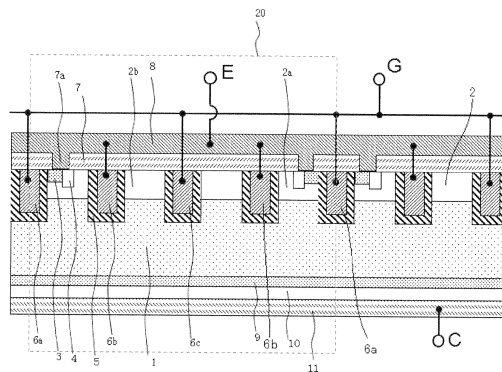
심사관 : 최정민

(54) 발명의 명칭 전력용 반도체 장치

(57) 요약

전력용 반도체 장치는, 제 1 도전형의 제 1 베이스 영역과, 제 2 도전형의 제 2 베이스 영역과, 제 2 베이스 영역의 표면으로부터 제 1 베이스 영역에 이르도록 마련된 서로 평행한 적어도 3개의 홈부이며, 제 2 홈부를 사이에 두고 제 1 홈부와 제 3 홈부가 배치된 홈부와, 홈부의 내벽을 덮는 절연막과, 절연막 위에 충전된 도전성의 트렌치 게이트와, 제 1 홈부와 제 2 홈부의 사이의 제 2 베이스 영역에, 제 1 홈부에 접하도록 마련되고, 이미터 전극에 접속된 제 1 도전형의 이미터 영역과, 제 1 베이스 영역에 마련된 제 2 도전형의 컬렉터 영역을 포함하고, 제 1, 제 3 홈부에 매립된 트렌치 게이트는 게이트 전극에 접속되고, 제 2 홈부에 매립된 트렌치 게이트는, 이미터 전극에 접속된다.

대표도 - 도1



(52) CPC특허분류

*H01L 29/42356* (2013.01)

*H01L 29/4236* (2013.01)

*H01L 29/739* (2013.01)

(72) 발명자

**무라오카 히로키**

일본 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고  
미쓰비시덴키 가부시키키가이샤 내

**나라자키 아츠시**

일본 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고  
미쓰비시덴키 가부시키키가이샤 내

**가와카미 츠요시**

일본 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고  
미쓰비시덴키 가부시키키가이샤 내

**무라카미 유지**

일본 도쿄도 지요다쿠 마루노우치 2쵸메 7반 3고  
미쓰비시덴키 가부시키키가이샤 내

## 명세서

### 청구범위

#### 청구항 1

이미터 전극과 컬렉터 전극의 사이의 전류를 게이트 전극에 인가하는 전압으로 제어하는 전력용의 반도체 장치로서,

제 1 주면(主面)과, 상기 제 1 주면에 대향하는 제 2 주면을 갖는 제 1 도전형의 제 1 베이스 영역과,

상기 제 1 베이스 영역의 제 1 주면에 마련된 제 2 도전형의 제 2 베이스 영역과,

상기 제 2 베이스 영역을 관통하여 상기 제 1 베이스 영역에 이르도록 마련된 서로 평행한 적어도 3개의 홈부이며, 제 2 홈(groove)부를 사이에 두고 제 1 홈부와 제 3 홈부가 배치된 홈부와,

각각의 상기 홈부의 내벽을 덮는 절연막과,

상기 절연막 상에 충전된 도전성의 트렌치 게이트와,

상기 제 1 홈부와 상기 제 2 홈부의 사이의 상기 제 2 베이스 영역에, 상기 제 1 홈부에 접하도록 마련되고, 상기 이미터 전극과 전기적으로 접속된 제 1 도전형의 이미터 영역과,

상기 제 1 베이스 영역의 상기 제 2 주면상에 마련되어 상기 컬렉터 전극과 전기적으로 접속된 제 2 도전형의 컬렉터 영역을 포함하되,

상기 제 1 홈부는 상기 이미터 영역의 표면으로부터 상기 제 2 베이스 영역을 관통해서 형성되고,

상기 제 2 홈부와 상기 제 3 홈부는 상기 제 2 베이스 영역의 표면으로부터 상기 제 2 베이스 영역을 관통해서 형성되며,

상기 제 2 홈부와 상기 제 3 홈부의 사이의 상기 제 2 베이스 영역에는, 제 1 도전형의 상기 이미터 영역이 형성되지 않고,

제 1 홈부 및 제 3 홈부에 매립된 트렌치 게이트는, 상기 게이트 전극과 전기적으로 접속되고,

상기 제 2 홈부에 매립된 트렌치 게이트는, 상기 이미터 전극과 전기적으로 접속되는 것

을 특징으로 하는 반도체 장치.

#### 청구항 2

제 1 항에 있어서,

상기 제 3 홈부의 양측에 각각 상기 제 2 홈부가 적어도 1개 이상 마련되고, 상기 제 2 홈부를 사이에 두고 상기 제 3 홈부와 반대측에 각각 상기 제 1 홈부가 마련된 것을 특징으로 하는 반도체 장치.

#### 청구항 3

제 1 항에 있어서,

2개의 상기 제 3 홈부가 인접하도록 마련되고, 2개의 상기 제 3 홈부를 사이에 두도록 상기 제 2 홈부가 각각 적어도 1개 이상 마련되고,

2개의 상기 제 3 홈부의 사이의 상기 제 2 베이스 영역에는, 제 1 도전형의 상기 이미터 영역이 형성되지 않고,

상기 제 2 홈부를 사이에 두고 상기 제 3 홈부와 반대측에 상기 제 1 홈부가 각각 마련된 것을 특징으로 하는 반도체 장치.

#### 청구항 4

제 3 항에 있어서,

2개의 상기 제 3 홈부 사이에 끼워진 상기 제 2 베이스 영역에, 상기 이미터 전극과 전기적으로 접속된 제 2 도전형의 콘택트 영역이 마련된 것을 특징으로 하는 반도체 장치.

#### 청구항 5

제 1 항에 있어서,

상기 제 1 홈부와 상기 제 2 홈부 사이에 끼워진 상기 제 2 베이스 영역에, 상기 제 1 홈부의 길이 방향을 따르는 방향으로, 상기 이미터 영역과, 제 2 도전형의 콘택트 영역이 교대로 마련된 것을 특징으로 하는 반도체 장치.

#### 청구항 6

이미터 전극과 컬렉터 전극의 사이의 전류를 게이트 전극에 인가하는 전압으로 제어하는 전력용의 반도체 장치로서,

제 1 주면과, 상기 제 1 주면에 대향하는 제 2 주면을 갖는 제 1 도전형의 제 1 베이스 영역과,

상기 제 1 베이스 영역의 제 1 주면의 특정의 영역에 마련된 제 2 도전형의 제 2 베이스 영역과,

상기 제 1 베이스 영역에 이르도록 마련된 서로 평행한 적어도 3개의 홈부이며, 제 2 홈부를 사이에 두고 제 1 홈부와 제 3 홈부가 배치된 홈부와,

각각의 상기 홈부의 내벽을 덮는 절연막과,

상기 절연막 상에 충전된 도전성의 트렌치 게이트

를 포함하되,

상기 제 1 홈부, 또는 상기 제 1 홈부 및 상기 제 2 홈부는, 상기 제 2 베이스 영역을 관통하여 상기 제 1 베이스 영역에 이르도록 마련되고,

상기 반도체 장치는,

상기 제 1 홈부와 상기 제 2 홈부의 사이의 상기 제 2 베이스 영역에, 상기 제 1 홈부에 접하도록 마련되고, 상기 이미터 전극과 전기적으로 접속된 제 1 도전형의 이미터 영역과,

상기 제 1 베이스 영역의 상기 제 2 주면상에 마련되어 상기 컬렉터 전극과 전기적으로 접속된 제 2 도전형의 컬렉터 영역

을 더 포함하고,

상기 제 1 홈부는 상기 이미터 영역의 표면으로부터 상기 제 2 베이스 영역을 관통해서 형성되고,

상기 제 2 홈부는 상기 제 2 베이스 영역의 표면으로부터 상기 제 2 베이스 영역을 관통해서 형성되며,

상기 제 3 홈부는 상기 제 1 베이스 영역의 표면으로부터 그 내부를 향해서 형성되고,

상기 제 2 홈부와 상기 제 3 홈부의 사이의 상기 제 2 베이스 영역에는, 제 1 도전형의 상기 이미터 영역이 형성되지 않고,

제 1 홈부 및 제 3 홈부에 매립된 트렌치 게이트는, 상기 게이트 전극과 전기적으로 접속되고,

상기 제 2 홈부에 매립된 트렌치 게이트는, 상기 이미터 전극과 전기적으로 접속되는 것

을 특징으로 하는 반도체 장치.

#### 청구항 7

제 6 항에 있어서,

상기 제 3 홈부의 양측에 각각 상기 제 2 홈부가 적어도 1개 이상 마련되고, 상기 제 2 홈부를 사이에 두고 상기 제 3 홈부와 반대측에 각각 상기 제 1 홈부가 마련된 것을 특징으로 하는 반도체 장치.

#### 청구항 8

제 6 항에 있어서,

2개의 상기 제 3 홈부가 인접하도록 마련되고, 2개의 상기 제 3 홈부를 사이에 두도록 상기 제 2 홈부가 각각 적어도 1개 이상 마련되고, 상기 제 2 홈부를 사이에 두고 상기 제 3 홈부와 반대측에 상기 제 1 홈부가 각각 마련된 것을 특징으로 하는 반도체 장치.

#### 청구항 9

제 6 항에 있어서,

상기 제 1 홈부와 상기 제 2 홈부 사이에 끼워진 상기 제 2 베이스 영역에, 상기 제 1 홈부의 길이 방향을 따르는 방향으로, 상기 이미터 영역과, 제 2 도전형의 콘택트 영역이 교대로 마련된 것을 특징으로 하는 반도체 장치.

#### 청구항 10

삭제

#### 청구항 11

삭제

### 발명의 설명

### 기술 분야

[0001] 본 발명은, 전력용 반도체 장치에 관한 것이며, 특히 IGBT(Insulated Gate Bipolar Transistor : 절연 게이트 바이폴러 트랜지스터) 등의 트랜치 게이트 부착 반도체 장치에 관한 것이다.

### 배경 기술

[0002] IGBT 등의 전력용 반도체 장치에서는, 반도체 기판 표면에 스트라이프 형상으로 형성된 트랜치 게이트를 고밀도 화합으로써, 도통 손실을 저감할 수 있다. 예를 들면, 트랜치 게이트 부착 IGBT(이하 「트랜치 IGBT」라고 한다.)에서는, 반도체 기판에, 그 표면에서 이면을 향해, n형 이미터 영역 및 p형 콘택트 영역, p형 베이스 영역, n형 베이스 영역, n형 버퍼 영역, p형 컬렉터 영역이 차례로 형성된다. 트랜치 게이트는, 기판 표면에 스트라이프 형상으로 형성되고, n형 이미터 영역과 인접하도록 n형 이미터 영역 및 p형 베이스 영역을 관통하여, n형 베이스 영역에 도달하도록 형성된다. 또, 각 트랜치 게이트에 인접하는 n형 이미터 영역의 외측에는 p형 콘택트 영역이 형성된다.

[0003] 트랜치 IGBT에서는, 표면층의 n형 이미터 영역으로부터, 트랜치 게이트에 인접한 p형 베이스 영역에 전자를 주입한다. 이 p형 베이스 영역으로의 전자의 주입량은 트랜치 게이트에 인가하는 전압에 의해 제어된다. 즉, 트랜치 게이트에 오프 전압이 인가된 상태에서는, 표면층의 n형 이미터 영역으로부터 p형 베이스 영역으로 전자는 주입되지 않고, 도통이 오프로 된다. 한편, 트랜치 게이트에 온 전압이 인가된 상태에서는, 표면층의 n형 이미터 영역으로부터 p형 베이스 영역으로 전자가 주입된 결과, n형 베이스 영역으로도 전자가 주입된다. 또, 온

상태에서는, 이면측의 p형 컬렉터 영역으로부터 n버퍼 영역을 경유하여 n형 베이스 영역으로 정공이 주입된다. 즉, 표면측으로부터 전자가 주입되어 이면측으로부터 정공이 주입됨으로써, 온 상태의 n형 베이스 영역의 전자 및 정공의 캐리어 농도가 원래의 n형 베이스 영역의 전자 농도보다 2자리수 이상 높아지는 전도도 변조 효과가 일어난다. 이것으로 인해, n형 베이스 영역의 저항이 매우 낮아져 도통 손실을 저감하는 것이 가능해진다.

[0004] 또한, 특허 문헌 1에 기재된 트랜치 IGBT에서는, 스트라이프 형상으로 형성된 복수의 트랜치 게이트의 사이의 소정의 영역에 n형 이미터 영역 등을 형성하지 않고, n형 이미터 영역과 접하지 않은 트랜치 게이트를 마련하고 있다. 이들의 트랜치 게이트는, 더미 트랜치 게이트나 불활성 트랜치 게이트로 불리우고, 이미터 전극에 접속되어 있다. 이러한 구조를 이용함으로써, 도통 손실을 유지하면서, 트랜치 IGBT의 게이트 용량(게이트 전극-이미터 전극간 용량 및 게이트 전극-컬렉터 전극간 용량)을 저감하고 있다.

[0005] 또, 특허 문헌 2에 기재된 트랜치 IGBT에서는, 모든 더미 트랜치 게이트를 게이트 전극에 접속하고, 게이트 용량을 유지하면서, 도통 손실을 저감하고 있다.

[0006] [선행기술문헌]

[0007] [특허문헌]

[0008] (특허문헌 1) 일본 공개 특허 공보 제 2002-016252 호

[0009] (특허문헌 2) 일본 공개 특허 공보 제 2005-032941 호

## 발명의 내용

### 해결하려는 과제

[0010] IGBT의 도통 손실을 더 저감하려면, 스트라이프 형상의 트랜치 게이트의 피치를 좁게 하여 고밀도화하는 것이나, 이미터 전극에 접속되는 더미 트랜치 게이트의 개수를 증가시켜 게이트 용량을 더 저감하는 것이 필요하다. 여기서, 인버터 등에 사용되는 IGBT의 고성능화에는, 도통 손실의 저감에 더하여, 스위칭 동작시의 손실의 저감도 동시에 실현하는 것이 필요하다. 스위칭 손실은, IGBT가 오프로부터 온으로 전환할 때의 턴 온 손실과, 온으로부터 오프로 전환할 때의 턴 오프 손실의 2 성분으로 이루어지지만, 트랜치 게이트를 고밀도화하고, 더미 트랜치 게이트의 개수를 증가시킨 IGBT에서는, 도통 손실과 턴 오프 손실은 저감할 수 있지만, 컬렉터 전압의 시간 변화율이 일정한 조건의 경우에 있어서, 턴 온 손실이 저감될 수 없다고 하는 문제가 있었다.

[0011] 그래서, 본 발명은, 도통 손실과 턴 오프 손실의 저감에 더하여, 컬렉터 전압의 시간 변화율이 일정한 조건의 경우에서도, 턴 온 손실의 저감이 가능한 전력용의 반도체 장치의 제공을 목적으로 한다.

### 과제의 해결 수단

[0012] 본 발명은, 이미터 전극과 컬렉터 전극의 사이의 전류를 게이트 전극에 인가하는 전압으로 제어하는 전력용의 반도체 장치로서,

[0013] 제 1 주면(主面)과, 상기 제 1 주면에 대향하는 제 2 주면을 갖는 제 1 도전형의 제 1 베이스 영역과,

[0014] 상기 제 1 베이스 영역의 제 1 주면에 마련된 제 2 도전형의 제 2 베이스 영역과,

[0015] 상기 제 2 베이스 영역의 표면으로부터 상기 제 2 베이스 영역을 관통하여 상기 제 1 베이스 영역에 도달하도록 마련된 서로 평행한 적어도 3개의 홈(groove)부이며, 제 2 홈부를 사이에 두고 제 1 홈부와 제 3 홈부가 배치된 홈부와, 각각의 상기 홈부의 내벽을 덮는 절연막과, 상기 절연막 위에 충전된 도전성의 트랜치 게이트와,

[0016] 상기 제 1 홈부와 상기 제 2 홈부의 사이의 상기 제 2 베이스 영역에, 상기 제 1 홈부에 접하도록 마련되고, 상기 이미터 전극과 전기적으로 접속된 제 1 도전형의 이미터 영역과,

[0017] 상기 제 1 베이스 영역의 제 2 주면 상에 마련된 제 2 도전형의 컬렉터 영역

[0018] 을 포함하고,

[0019] 제 1 홈부 및 제 3 홈부에 매립된 트랜치 게이트(액티브 트랜치 게이트, 액티브 더미 트랜치 게이트)는, 게이트 전극과 전기적으로 접속되고,

[0020] 상기 제 2 홈부에 매립된 트랜치 게이트(아이스레이티드 더미 트랜치 게이트)는, 이미터 전극과 전기적으로 접

속되는 것을 특징으로 하는 반도체 장치이다.

### 발명의 효과

[0021] 본 발명에 따르면, 액티브 트렌치 게이트(6a)에 인가되는 게이트 전위에 의해 컬렉터 전류의 온, 오프 제어가 행해지지만, 액티브 트렌치 게이트(6a)를 사이에 두도록, 이미터 전위에 고정된 아이솔레이티드 더미 트렌치 게이트(6b)를 마련함으로써, 컬렉터 전류에 기여하는 전도도 변조 효과를 높일 수 있다. 또, 이들을 사이에 두도록 게이트 전위에 고정된 액티브 더미 트렌치 게이트(6c)를 마련함으로써, 게이트 전극과 컬렉터 전극의 사이의 기생 용량에 의해 컬렉터 전압의 시간 변화율을 완만하게 할 수 있고, 컬렉터 전압의 시간 변화율이 일정 조건 하에서, 턴 온 손실의 저감이 가능해진다.

### 도면의 간단한 설명

[0022] 도 1은 본 발명의 실시의 형태 1에 따른 트렌치 IGBT의 단면도이다.  
 도 2a는 본 발명의 실시의 형태 1에 따른 트렌치 IGBT의 제조 공정의 단면도이다.  
 도 2b는 본 발명의 실시의 형태 1에 따른 트렌치 IGBT의 제조 공정의 상면도이다.  
 도 3a는 본 발명의 실시의 형태 1에 따른 트렌치 IGBT의 제조 공정의 단면도이다.  
 도 3b는 본 발명의 실시의 형태 1에 따른 트렌치 IGBT의 제조 공정의 상면도이다.  
 도 4a는 본 발명의 실시의 형태 1에 따른 트렌치 IGBT의 제조 공정의 단면도이다.  
 도 4b는 본 발명의 실시의 형태 1에 따른 트렌치 IGBT의 제조 공정의 상면도이다.  
 도 5는 본 발명의 실시의 형태 1에 따른 다른 트렌치 IGBT의 단면도이다.  
 도 6a는 본 발명의 실시의 형태 1에 따른 다른 트렌치 IGBT의 제조 공정의 단면도이다.  
 도 6b는 본 발명의 실시의 형태 1에 따른 다른 트렌치 IGBT의 제조 공정의 상면도이다.  
 도 7은 본 발명의 실시의 형태 1에 따른 다른 트렌치 IGBT의 단면도이다.  
 도 8은 비교예에 따른 트렌치 IGBT의 단면도이다.  
 도 9는 트렌치 IGBT의 스위칭 시험 회로를 나타내는 회로도이다.  
 도 10a은 본 발명의 실시의 형태 1에 따른 다른 트렌치 IGBT의, 스위칭 시험에서의 턴 온 특성 곡형을 나타낸다.  
 도 10b는 비교예에 따른 트렌치 IGBT의, 스위칭 시험에서의 턴 온 특성 곡형을 나타낸다.  
 도 11은 본 발명의 실시의 형태 1에 따른 다른 트렌치 IGBT와, 비교예에 따른 트렌치 IGBT의, 턴 온 손실과 다이오드 전압의 시간 변화율의 관계를 나타낸다.  
 도 12는 본 발명의 실시의 형태 2에 따른 트렌치 IGBT의 단면도이다.  
 도 13은 본 발명의 실시의 형태 3에 따른 트렌치 IGBT의 단면도이다.  
 도 14는 본 발명의 실시의 형태 4에 따른 트렌치 IGBT의 단면도이다.  
 도 15는 본 발명의 실시의 형태 4에 따른 다른 트렌치 IGBT의 단면도이다.

### 발명을 실시하기 위한 구체적인 내용

[0023] 실시의 형태 1.  
 [0024] 도 1은, 전체가 20으로 표시되는, 본 발명의 실시의 형태 1에 따른 중형 트렌치 IGBT의 단면도이며, 파선으로 둘러싸인 부분이 단위 IGBT이다. 트렌치 IGBT(20)는, 제 1 주면(표면)과, 제 1 주면에 대향하는 제 2 주면(이면)을 갖는 n형(제 1 도전형) 베이스 영역(1)(제 1 도전형의 제 1 베이스 영역)을 구비한다. n형 베이스 영역(1)의 제 1 주면측의 표면에는, 선택적으로 형성된 p형(제 2 도전형) 베이스 영역(2)을 구비한다.  
 [0025] 또, 트렌치 IGBT(20)는, p형 베이스 영역(2)의 제 1 주면측의 표면에 선택적으로, p형 베이스 영역(2)보다 얇고

또한 스트라이프 형상으로 형성된 n형 이미터 영역(3)(제 1 도전형의 이미터 영역)과, p형 베이스 영역(2)보다 얇게 형성된 p형 컨택트 영역(4)(제 2 도전형의 제 1 컨택트 영역)을 구비한다.

[0026] 또, 트렌치 IGBT(20)는, 제 1 주면으로부터 n형 베이스 영역(1)에 이르는 스트라이프 형상의 홈부와, 홈부의 내측의 표면을 덮도록 형성된 게이트 절연막(5)과, 게이트 절연막(5) 상에, 홈부를 충전하도록 형성된 제 1 트렌치 게이트(「액티브 트렌치 게이트」라고 부른다.)(6a)를 구비한다. 또, n형 이미터 영역(3)은 홈부를 사이에 두고 접하도록 형성되어 있다. p형 베이스 영역(2)의 제 1 주면측의 표면상에는, 층간 절연막(7)을 구비하고, 추가로, 층간 절연막(7) 위에는, n형 이미터 영역(3), p형 컨택트 영역(4)과 전기적으로 접속된 이미터 전극(8)을 구비한다.

[0027] 또한, 트렌치 IGBT(20)는, 제 1 트렌치 게이트(6a)를 양측으로부터 끼우도록 형성된, 제 1 주면으로부터 n형 베이스 영역(1)에 이르는 스트라이프 형상의 홈부와, 홈부의 내표면을 덮도록 형성된 게이트 절연막(5)과, 게이트 절연막(5) 상에 있어서, 홈부를 충전하도록 형성된 제 2 트렌치 게이트(「아이솔레이티드 더미 트렌치 게이트」라고 부른다.)(6b)를 구비한다.

[0028] 또, 트렌치 IGBT(20)는, 제 1 트렌치 게이트(6a)의 양측에 마련된 2개의 제 2 트렌치 게이트(6b)를 외측으로부터 끼우도록 형성된, 제 1 주면으로부터 n형 베이스 영역(1)에 이르는 스트라이프 형상의 홈부와, 홈부의 내측의 표면을 덮도록 형성된 게이트 절연막(5)과, 게이트 절연막(5) 상에 있어서, 홈부를 충전하도록 형성된 제 3 트렌치 게이트(「액티브 더미 트렌치 게이트」라고 부른다.)(6c)를 구비한다. 즉, 액티브 트렌치 게이트(6a)와 아이솔레이티드 더미 트렌치 게이트(6b)와 액티브 더미 트렌치 게이트(6c)의 3 종류의 트렌치 게이트를 구비한다. 각각의 게이트는 이하와 같은 특징을 갖는다.

[0029] 액티브 트렌치 게이트(6a) : 트렌치 게이트의 양측의 벽을 따라 n형 이미터 영역(3)이 형성된다. 구동 전압이 인가된다. 구동 전압에 따라서, n형 이미터 영역으로부터 p형 베이스 영역을 거쳐서 n형 베이스 영역으로의 전자 주입을 제어한다.

[0030] 액티브 더미 트렌치 게이트(6c) : 트렌치 게이트의 양측의 벽을 따라 이미터 영역이 형성되어 있지 않다. 또, 구동 전압이 인가된다. 게이트와 컬렉터 사이의 귀환 용량 소자로서 동작한다.

[0031] 아이솔레이티드 더미 트렌치 게이트(6b) : 트렌치 게이트의 양측의 벽을 따르는 n형 이미터 영역(3)의 유무는 상관없다. 트렌치 게이트가 이미터 전극에 접속되어 있다.

[0032] 또한, 트렌치 IGBT(20)는, 제 1 트렌치 게이트(6a)와 제 3 트렌치 게이트(6c)에 접속되는 게이트 전극(G)과, 제 2 트렌치 게이트(6b)에 접속되는 이미터 전극(8)(E)을 구비한다.

[0033] 한편, 트렌치 IGBT(20)는, n형 베이스 영역(1)의 제 2 주면측에 차례로 형성된, n형 버퍼 영역(9)(제 1 도전형의 버퍼 영역)과, p형 컬렉터 영역(10)(제 2 도전형의 컬렉터 영역)과, p형 컬렉터 영역(10)과 전기적으로 접속된 컬렉터 전극(11)(C)을 구비한다.

[0034] 다음으로, 도 2a ~ 도 4b를 이용하여, 트렌치 IGBT(20)의 제조 방법에 대해 설명한다. 도 2a, 도 3a, 도 4a는 각 제조 공정의 단면도이며, 도 2b, 도 3b, 도 4b에 나타내는 평면도의 A-A에 있어서의 단면에 상당한다.

[0035] 트렌치 IGBT(20)의 제조 방법에서는, 우선, 도 2a, 도 2b에 나타내는 바와 같이, FZ(Floating Zone) 법으로 제작된 n형 실리콘 기판을 준비한다. 실리콘 기판에는, 이하의 공정으로 각종 영역이 형성되지만, 각종 영역이 형성되지 않는 잔여 부분은, 드리프트(drift) 층인 n형 베이스 영역(1)으로 된다.

[0036] 계속해서, 준비한 실리콘 기판 표면의 소정의 위치에, 포토리소그래피, 이온 주입, 및 열처리를 행함으로써, p형 베이스 영역(2)(2a, 2b)을 형성한다. 구체적으로는, 도 2a에 나타내는 바와 같이, p형 베이스 영역(2)을 실리콘 기판의 표면 측에 형성한다. p형 베이스 영역(2)의 두께는 1 ~ 4 $\mu$ m 정도이다.

[0037] 다음으로, p형 베이스 영역(2)의 소정의 위치에, 포토리소그래피, 이온 주입, 및 열처리를 행하여, n형 이미터 영역(3) 및 p형 컨택트 영역(4)을 형성한다. 구체적으로는, 도 2b에 나타내는 바와 같이, n형 이미터 영역(3)을 일정 간격(일정 피치, 피치 길이 : p1)으로 스트라이프 형상으로 형성하고, n형 이미터 영역(3)에 인접하여, p형 컨택트 영역(4)을 반복 형성한다.

[0038] 계속해서, 도 3a, 도 3b에 나타내는 바와 같이, 일정 간격(일정 피치, 피치 길이 : p2)으로 스트라이프 형상으로 홈부를 형성한다. 일부의 홈부는, n형 이미터 영역(3) 내에, n형 이미터 영역(3)을 나누도록 형성한다. 홈부는, 실리콘 기판 표면으로부터, p형 베이스 영역(2)(및 n형 이미터 영역(3))을 관통하여, n형 베이스 영역



(1)에 이르도록, 즉, p형 베이스 영역(1)의 상부를 도려내도록 형성한다. 또, 홈부의 깊이는, 실리콘 기판 표면으로부터 일정한 깊이이며, p형 베이스 영역(2)의 두께보다 깊은 1 ~ 8 $\mu$ m 정도이다.

[0039] 여기서, 홈부에 의해 분단된 p형 베이스 영역(2)은, n형 이미터 영역(3)과 p형 컨택트 영역(4)이 형성되어 있는 것을 p형 베이스 영역(2a)이라 부르고, 어느 것도 형성되어 있지 않은 영역을 p형 베이스 영역(2b)이라고 부른다.

[0040] 다음으로, 홈부의 내벽을 따라 게이트 절연막(5)을 형성한다. 계속해서, 게이트 절연막(5)이 형성된 홈부를 충전하도록, n형의 폴리실리콘을 매립하여, 트렌치 게이트(6)를 형성한다. 트렌치 게이트(6) 중, n형 이미터 영역(3)을 구분하는 홈부에 형성되는 것을 제 1 트렌치 게이트(6a)로 하고, 액티브 트렌치 게이트라고 부른다. 제 1 트렌치 게이트(6)를 사이에 둔 양측의 홈부에 형성되는 것을 제 2 트렌치 게이트(6b)로 하고, 아이솔레이티드 더미 트렌치 게이트라고 부른다. 또한, 제 2 트렌치 게이트(6b)를 사이에 두고 제 1 트렌치 게이트(6a)와 반대측의 홈부에 형성되는 것을 제 3 트렌치 게이트(6c)로 하고, 액티브 더미 트렌치 게이트라고 부른다. 바꾸어 말하면, 액티브 트렌치 게이트(6a)의 양측에 아이솔레이티드 더미 트렌치 게이트(6b)가 배치되고, 또한 그 외측에 액티브 더미 트렌치 게이트(6c)가 배치된다.

[0041] 계속해서, 도 4a, 도 4b에 나타내는 바와 같이, 제 1, 제 2, 제 3 트렌치 게이트(6a, 6b, 6c) 등이 형성된 실리콘 기판 표면을 덮도록, 층간 절연막(7)을 형성한다. 층간 절연막(7)은, 예를 들면 실리콘 산화막으로 이루어진다. 다음으로, 적어도 n형 이미터 영역(3) 및 p형 컨택트 영역(4)의 일부가 노출하도록 층간 절연막(7)에 개구 영역(7a)을 형성한다.

[0042] 다음으로, n형 이미터 영역(3) 및 p형 컨택트 영역(4)과 전기적으로 접속하도록, 층간 절연막(7) 위에 이미터 전극(8)을 형성한다.

[0043] 다음으로, n형 베이스 영역(1)(실리콘 기판)의 제 2 주면(이면) 상에 n형 버퍼 영역(9)을 형성하고, 그 위에 p형 컬렉터 영역(10)을 형성한다. 계속해서, p형 컬렉터 영역(10)과 전기적으로 접속하도록, p형 컬렉터 영역(10) 위에 컬렉터 전극(11)을 형성한다.

[0044] 이상의 제조 공정으로, 도 1에 나타내는 트렌치 IGBT(20)가 완성된다.

[0045] 도 5는, 전체가 21로 표시되는, 본 발명의 실시의 형태 1에 따른 다른 트렌치 IGBT의 단면도(변형예 1)이며, 파선으로 둘러싸인 부분이 단위 IGBT이다. 또, 도 6a, 도 6b는 제조 공정의 단면도 및 상면도이며, 도 6a는 도 6b의 B-B에 있어서의 단면에 상당한다. 도 5, 도 6a, 도 6b 중, 도 1과 동일한 부호는, 동일 또는 상당 개소를 나타낸다. 또, 도 5는 도 6b의 B-B에 있어서의 단면에 대응한다.

[0046] 도 3a, 도 3b와, 도 6a, 도 6b를 비교하면 알 수 있는 바와 같이, 트렌치 IGBT(21)와 트렌치 IGBT(20)의 차이점은, n형 이미터 영역(3)과 p형 컨택트 영역(4)의 배치(형상)이다. 즉, 도 3b에서는, 제 1 트렌치 게이트(6a)와 평행하게, n형 이미터 영역(3) 및 p형 컨택트 영역(4)이 p형 베이스 영역(2a) 중에 형성되어 있지만, 도 6b에서는, p형 베이스 영역(2a) 중에, 제 1 트렌치 게이트(6a)를 따르는 방향으로, n형 이미터 영역(3)과 p형 이미터 영역(4)이 교대로 반복 배치되어 있다. 그 외의 구성은 IGBT(20)와 같다.

[0047] 트렌치 IGBT(21)에서는, n형 이미터 영역(3)과 p형 이미터 영역(4)을 교대로 배치함으로써, 도 4a에 나타내는 층간 절연막(7)에 컨택트 개구 영역(7a)을 형성하는 공정으로, 위치 맞춤이 조금 어긋난 경우에도, n형 이미터 영역(3)과 p형 이미터 영역(4)의 쌍방을 개구할 수 있어, 프로세스 마진을 크게 할 수 있다.

[0048] 도 7은, 전체가 22a로 표시되는, 본 발명의 실시의 형태 1에 따른 다른 트렌치 IGBT의 단면도(변형예 2)이며, 파선으로 둘러싸인 부분이 단위 IGBT이다. 도 7 중, 도 1과 동일한 부호는, 동일 또는 상당 개소를 나타낸다.

[0049] 도 7과 도 1을 비교하면 알 수 있는 바와 같이, 트렌치 IGBT(22a)와 트렌치 IGBT(20)의 차이점은, 액티브 더미 트렌치 게이트(6c)의 배치이다. 즉, 트렌치 IGBT(20)에서는, 2개의 아이솔레이티드 더미 트렌치 게이트(6b)의 사이에, 1개의 액티브 더미 트렌치 게이트(6c)가 끼워지도록 배치되지만, 도 7의 트렌치 IGBT(22a)에서는, 2개의 아이솔레이티드 더미 트렌치 게이트(6b)의 사이에, 2개의 액티브 더미 트렌치 게이트(6c)가 끼워지도록 배치되어 있다.

[0050] 다음으로, 트렌치 IGBT(22a)의 작용 및 효과에 대해, 도 8에 나타내는 비교예와 대비하면서 설명한다. 또, 트렌치 IGBT(22a)와 IGBT(20)는 액티브 더미 트렌치 게이트의 개수만이 다르며 다른 구성은 동일하기 때문에, 작용 및 효과는 거의 동일하다.

- [0051] 도 8에 나타내는 비교예의 트랜치 IGBT(22b)에서는, 도 7에 나타내는 트랜치 IGBT(22a)에 액티브 더미 트랜치 게이트(6c)를 형성하지 않고, 그 대신에, 일반적인 더미 트랜치 게이트(6b)가 형성되어 있다. 즉, 2개의 트랜치 게이트(6a)의 사이에, 4개의 더미 트랜치 게이트(6b)가 끼워진 구조로 되어 있다.
- [0052] 도 9는, 본 발명의 실시의 형태 1에 따른 트랜치 IGBT(22a)와, 비교예에 따른 트랜치 IGBT(22b)의 평가에 이용한, 전력 변환용의 하프 브리지(half-bridge) 평가 회로의 회로도이다. 도 9에 나타내는 바와 같이, 하프 브리지 평가 회로에서는, IGBT의 게이트 전극(G)에는, 외부 저항(Rg)과 게이트 인가용 펄스 전원(V1)이 접속되어 있다. 또, IGBT의 컬렉터 전극(C)에는 기생 인덕턴스(Ls)와 부하 인덕턴스(Lm)와 DC 전원(V2)이 접속되어 있다. 또한, 부하 인덕턴스에 대해서 병렬로 환류용의 프리 휠(free wheel) 다이오드(Diode)가 접속되어 있다.
- [0053] 도 9의 하프 브리지 평가 회로에서는, 예를 들면, 게이트 전압 인가용의 전원의 전압치(V1)는 15V/0V, 기생 인덕턴스(Ls)는 50  $\mu$ H, 부하 인덕턴스(Lm)는 200  $\mu$ H, DC 전원의 전압치는 600V이고, 외부 저항(Rg)은 가변으로 한다. 또, IGBT의 정격 전류는 150A, 정격 전압은 1200V로 한다.
- [0054] 도 10a, 도 10b는, 도 9의 하프 브리지 평가 회로를 이용한 스위칭 시험의 디바이스 시뮬레이션 결과이며, 시험 온도는 125℃로 했다.
- [0055] 도 10a는 본 발명의 실시의 형태 1에 따른 트랜치 IGBT(22a)의 턴 온시의 컬렉터 전압과 컬렉터 전류의 파형을 나타낸 것이고, 도 10b는 비교예의 트랜치 IGBT(22b)의 턴 온시의 전압과 전류의 파형을 나타낸 것이다. 각각, 실선이 컬렉터 전압, 파선이 컬렉터 전류를 나타낸다. 도 10a, 도 10b에서는, 컬렉터 전압 파형에 있어서의 전압의 시간 변화율(dV/dt)의 최대치가 동일 레벨로 되도록, 가변의 외부 저항(Rg)을 조정하고 있다. 즉, 본 발명의 실시의 형태 1에 따른 트랜치 IGBT(22a)에서는, 비교예의 IGBT(22b)보다 낮은 값의 외부 저항(Rg)이 적용되어 있어, 턴 온 동작이 빨라지는 것이 분명하다.
- [0056] 다음으로, 도 11에, 도 10a 및 도 10b의 전압과 전류 파형의 관계로부터 얻어지는 IGBT의 턴 온 손실과, 프리 휠 다이오드(Diode)의 전압의 시간 변화율의 최대치의 관계를 나타낸다. 도 11의 가로축은, 도 9의 회로도에 나타내는 외부 저항(Rg)을 파라미터로 하여, 컬렉터 전류 150A에 있어서의 IGBT의 턴 온 손실을 계산한 것이다. 한편, 세로축은, 그 외부 저항값으로, 컬렉터 전류 1.5A(상술의 컬렉터 전류의 1/100의 값)에서의 다이오드측의 전압의 시간 변화율을 계산한 것이다.
- [0057] 도 11으로부터, 다이오드의 시간 변화율을 20000V/ $\mu$ s(도 11 중에 파선으로 표시)의 조건에서는, 비교예의 트랜치 IGBT(22b)에 비해, 트랜치 IGBT(22a)의 턴 온 손실이 대략 절반으로 되는 것을 알 수 있다. 즉, 본 실시의 형태 1에 따른 트랜치 IGBT(22a)를 이용함으로써, 턴 온 손실이 작아진다. 이것은, 액티브 더미 트랜치 게이트(6c)를 마련함으로써, 액티브 더미 트랜치 게이트(6c)가 접속된 게이트 전극(G)과 컬렉터 전극(C)의 사이의 귀환 용량이, 비교예에 따른 트랜치 IGBT(22b)보다 크게 된 것에 기인한다.
- [0058] 이와 같이, 본 발명의 실시의 형태 1에서는, 컬렉터 전류의 온, 오프의 제어를 담당하는 게이트 전극에 접속된 제 1 트랜치 게이트(6a)를 사이에 두고, 이미터 전극에 접속되는 아이솔레이티드 더미 트랜치 게이트(6b)를 배치하고, 또한 그들을 사이에 두고, 게이트 전극에 접속되는 액티브 더미 트랜치 게이트(6c)를 배치함으로써, 게이트 전극과 컬렉터 전극의 사이의 귀환 용량을 종래의 트랜치 IGBT보다 크게 할 수 있다. 이 결과, IGBT의 턴 온 동작시의 환류용의 다이오드의 전압의 시간 변화율을 억제하면서, IGBT의 턴 온 손실을 저감할 수 있다.
- [0059] 또, 게이트 전극에 접속된 액티브 트랜치 게이트(6a)와, 액티브 더미 트랜치 게이트(6c)의 사이에 이미터 전극에 접속되는 아이솔레이티드 더미 트랜치 게이트(6b)를 배치함으로써, 액티브 트랜치 게이트(6a)와 액티브 더미 트랜치 게이트(6c)의 사이의 상호 간섭이 억제되어, 안정된 스위칭 동작이나 부하 단락 동작이 얻어진다.
- [0060] 또, 도 1, 도 5, 도 7에서는, 액티브 트랜치 게이트(6a)와 액티브 더미 트랜치 게이트(6c)의 사이에, 1개의 아이솔레이티드 더미 트랜치 게이트(6b)가 배치되어 있지만, 2 이상의 아이솔레이티드 더미 트랜치 게이트(6b)를 배치해도 상관없다.
- [0061] 실시의 형태 2.
- [0062] 도 12는, 전체가 23으로 표시되는, 본 발명의 실시의 형태 2에 따른 트랜치 IGBT의 단면도이며, 파선으로 둘러싸인 부분이 단위 IGBT이다. 도 12 중, 도 1과 동일한 부호는, 동일 또는 상당 개소를 나타낸다.
- [0063] 본 발명의 실시의 형태 2에 따른 트랜치 IGBT(23)는, 실시의 형태 1의 변형예에 따른 트랜치 IGBT(22a)(도 7 참조)로서, 2개의 액티브 더미 트랜치 게이트(6c)에 끼워진 p형 베이스 영역(2b) 중에, p형 콘택트 영역(4)이 마련된 구조로 되어 있다. p형 콘택트 영역(4)의 일부가 노출하도록, 층간 절연막(7)에 개구 영역(7c)이 형성되

고, p형 컨택트 영역(4)은 이미터 전극(8)에 접속된다.

- [0064] 이와 같이, 2개의 액티브 더미 트렌치 게이트(6c)에 끼워진 p형 베이스 영역(2b)에만 p형의 컨택트 영역(4)을 마련함으로써, 액티브 더미 트렌치 게이트(6c)가 접속된 게이트 전극(G)과 컬렉터 전극(C)의 사이의 귀환 용량의 일부가, 게이트 전극(G)과 이미터 전극(E)의 사이의 용량으로 치환되지만, 종래의 트렌치 IGBT보다 귀환 용량이 크기 때문에, IGBT의 턴 온 동작시의 환류용의 다이오드의 전압의 시간 변화율을 억제하면서, IGBT의 턴 온 손실을 저감할 수 있다.
- [0065] 또한, 2개의 액티브 더미 트렌치 게이트(6c)에 끼워진 p형 베이스 영역(2b)에, 이미터 전극(8)에 접속되는 p형 컨택트 영역(4)을 마련함으로써, 전자 및 정공의 캐리어 중 정공을 효율 좋게 배출하는 것이 가능하게 되고, 특히 부하 단락시에 있어 안정된 동작이 가능해진다.
- [0066] 실시의 형태 3.
- [0067] 도 13은, 전체가 24로 표시되는, 본 발명의 실시의 형태 3에 따른 트렌치 IGBT의 단면도이며, 과선으로 둘러싸인 부분이 단위 IGBT이다. 도 13 중, 도 1과 동일한 부호는, 동일 또는 상당 개소를 나타낸다.
- [0068] 본 발명의 실시의 형태 3에 따른 트렌치 IGBT(24)는, 실시의 형태 1에 따른 트렌치 IGBT(20)(도 1 참조)에 있어, 액티브 트렌치 게이트(6a)와 아이솔레이티드 더미 트렌치 게이트(6b)의 사이의 거리와 비교하여, 아이솔레이티드 더미 트렌치 게이트(6b)와 액티브 더미 트렌치 게이트(6c)의 사이의 거리를 좁게 한 구조로 되어 있다. 즉, 아이솔레이티드 더미 트렌치(6b)와 액티브 더미 트렌치 게이트(6c)의 사이의 p형 베이스 영역에 컨택트 영역을 마련할 필요가 없기 때문에, 반도체 프로세스의 최소 설계 룰까지 아이솔레이티드 더미 트렌치 게이트(6b)와 액티브 더미 트렌치 게이트(6c)의 사이의 거리를 좁게 할 수 있다.
- [0069] 본 발명의 실시의 형태 3에 따른 트렌치 IGBT(24)에서는, 액티브 더미 트렌치 게이트(6c)가 접속되는 게이트 전극(G)과 컬렉터 전극(C)의 사이의 귀환 용량은, 실시의 형태 1에 따른 트렌치 IGBT(20)와 동일하기 때문에, IGBT의 턴 온 동작시의 환류용의 다이오드의 전압의 시간 변화율을 억제하면서, IGBT의 턴 온 손실을 저감할 수 있다.
- [0070] 또한, 액티브 트렌치 게이트(6a)와 아이솔레이티드 더미 트렌치 게이트(6b)의 사이의 거리와 비교하여, 아이솔레이티드 더미 트렌치 게이트(6b)와 액티브 더미 트렌치 게이트(6c)의 사이의 거리를 좁게 함으로써, 단위 면적당의 액티브 트렌치 게이트(6a)가 차지하는 비율을 크게 할 수 있어, 실시의 형태 1에 따른 트렌치 IGBT(20)의 컬렉터 전류보다, 컬렉터 전류를 증가시키는 것이 가능하게 된다.
- [0071] 실시의 형태 4.
- [0072] 도 14는, 전체가 25로 표시되는, 본 발명의 실시의 형태 4에 따른 트렌치 IGBT의 단면도이며, 과선으로 둘러싸인 부분이 단위 IGBT이다. 또, 도 15는, 전체가 26으로 표시되는, 본 발명의 실시의 형태 4에 따른 다른 트렌치 IGBT의 단면도이며, 과선으로 둘러싸인 부분이 단위 IGBT이다. 도 14 중, 도 15 중, 도 1과 동일한 부호는, 동일 또는 상당 개소를 나타낸다.
- [0073] 본 발명의 실시의 형태 4에 따른 트렌치 IGBT(25)는, 실시의 형태 1에 따른 트렌치 IGBT(20)(도 1 참조)에 있어서, 아이솔레이티드 더미 트렌치 게이트(6b)와 액티브 더미 트렌치 게이트(6c)에 끼워진 p형 베이스 영역(2b) 대신에, 아이솔레이티드 더미 트렌치 게이트(6b)가 형성되는 홈부에만 접하도록 p형 베이스 영역(2c)이 마련된 구조로 되어 있다.
- [0074] 이와 같이, 아이솔레이티드 더미 트렌치 게이트(6b)가 형성되는 홈부에만 접하도록 p형 베이스 영역(2c)을 마련함으로써, 액티브 더미 트렌치 게이트(6c)가 접속된 게이트 전극(G)과 컬렉터 전극(C)의 사이의 귀환 용량을, 트렌치 IGBT(20)보다 증가시킬 수 있어, IGBT의 턴 온 동작시의 환류용의 다이오드의 전압의 시간 변화율을 억제하면서, IGBT의 턴 온 손실을 저감할 수 있다.
- [0075] 또, 도 15에 나타내는 바와 같이, 본 발명의 실시의 형태 4에 따른 다른 트렌치 IGBT(26)는, 트렌치 IGBT(20)(도 1 참조)에 있어서, 아이솔레이티드 더미 트렌치 게이트(6b)와 액티브 더미 트렌치 게이트(6c)에 끼워진 영역에 p형 베이스 영역(2b)을 마련하지 않은 구조로 되어 있다.
- [0076] 이와 같이, p형 베이스 영역(2b)을 마련하지 않음으로써, 액티브 더미 트렌치 게이트(6c)와 n형 베이스 영역(1)의 사이의 귀환 용량을 증가시킬 수 있어, IGBT의 턴 온 동작시의 환류용의 다이오드의 전압의 시간 변화율을 억제하면서, IGBT의 턴 온 손실을 저감할 수 있다.

[0077] 또, 도 14, 도 15에서는, 액티브 트랜치 게이트(6a)와 액티브 더미 트랜치 게이트(6c)의 사이에, 1개의 아이솔레이티드 더미 트랜치 게이트(6b)가 배치되어 있지만, 2 이상의 아이솔레이티드 더미 트랜치 게이트(6b)를 배치해도 상관없다. 또, 도 7과 마찬가지로, 2개의 아이솔레이티드 더미 트랜치 게이트(6b)의 사이에, 액티브 더미 트랜치 게이트(6c)를 2개 이상 배치해도 상관없다. 또, 도 5와 마찬가지로, p형 베이스 영역(2a) 중에, 제 1 트랜치 게이트(6a)를 따르는 방향으로, n형 이미터 영역(3)과 p형 이미터 영역(4)이 교대로 반복 배치되어도 상관없다.

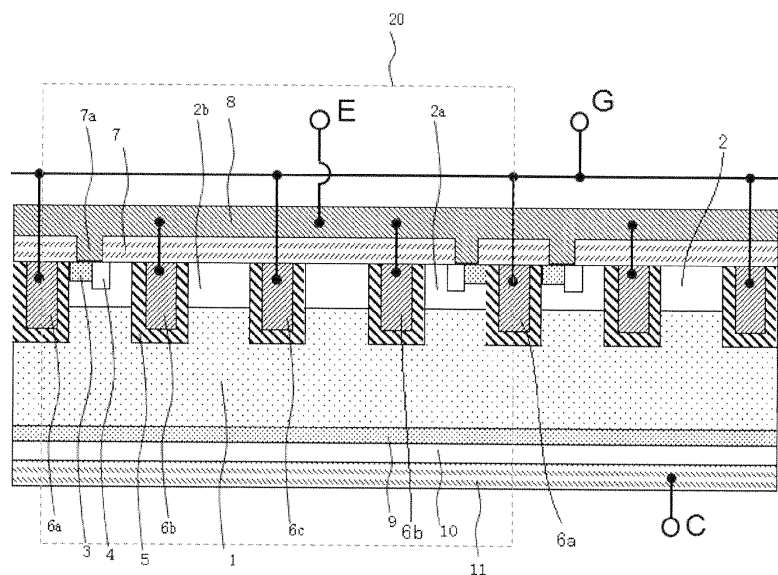
[0078] 또, 본 발명의 실시의 형태 1 ~ 4에서는, 제 1 도전형을 n형, 제 2 도전형을 p형으로 하여 설명했지만, 제 1 도전형을 p형, 제 2 도전형을 n형으로 해도 좋다. 또, 실리콘 반도체로 구성되는 트랜치 IGBT를 예로 설명했지만, 탄화 실리콘 반도체로 구성되는 트랜치 IGBT로 해도 좋다.

### 부호의 설명

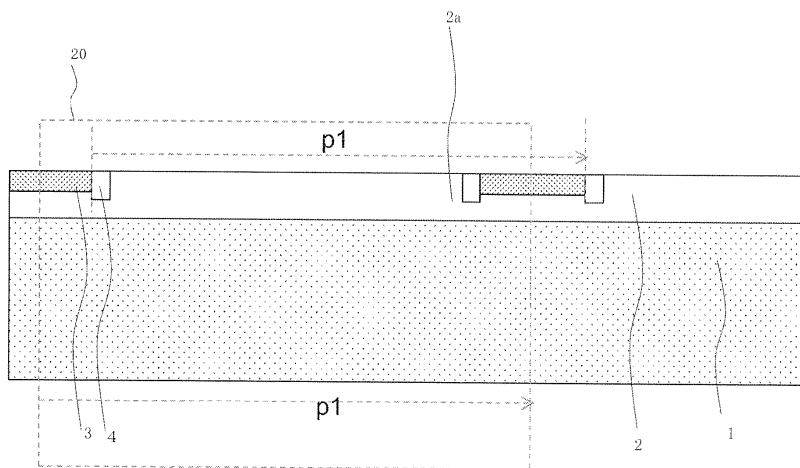
- [0079]
- |   |                        |
|---|------------------------|
| 1 : n형 베이스 영역                           | 2a, 2b, 2c : p형 베이스 영역 |
| 3 : n형 이미터 영역                           | 4 : p형 컨택트 영역          |
| 5 : 게이트 절연막                             |                        |
| 6a : 제 1 트랜치 게이트(액티브 트랜치 게이트)           |                        |
| 6b : 제 2 트랜치 게이트(아이솔레이티드 더미 트랜치 게이트)    |                        |
| 6c : 제 3 트랜치 게이트(액티브 더미 트랜치 게이트)        |                        |
| 7 : 층간 절연막                              | 7a, 7c : 개구 영역         |
| 8 : 이미터 전극                              | 9 : n형 버퍼 영역           |
| 10 : p형 컬렉터 영역                          | 11 : 컬렉터 전극            |
| 20, 21, 22a, 22b, 23, 24, 25, 26 : IGBT |                        |

### 도면

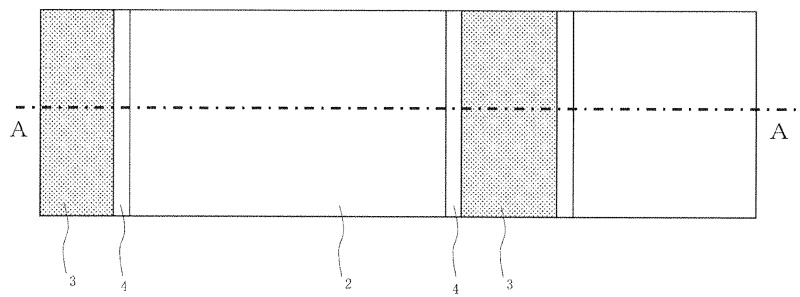
#### 도면1



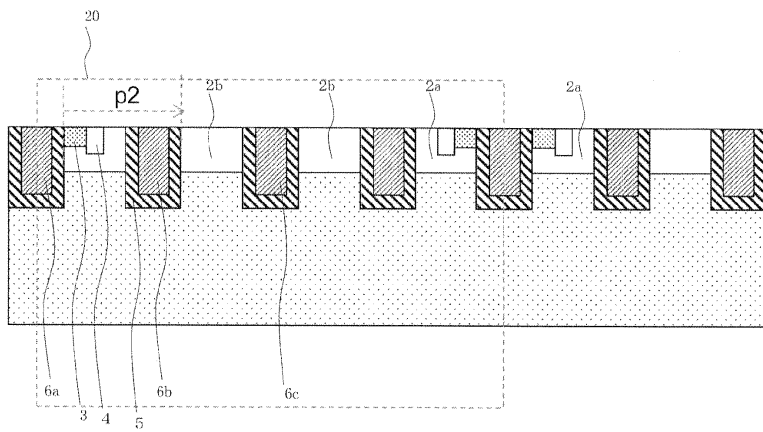
도면2a



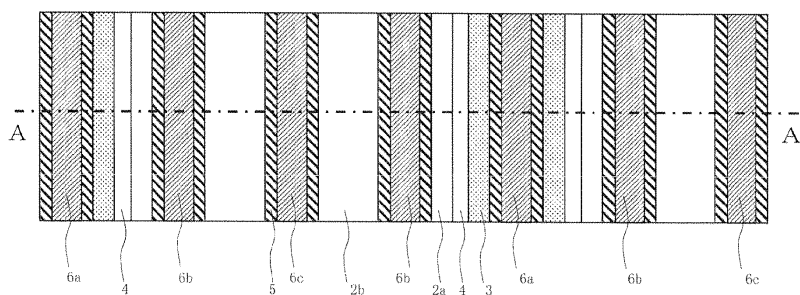
도면2b



도면3a

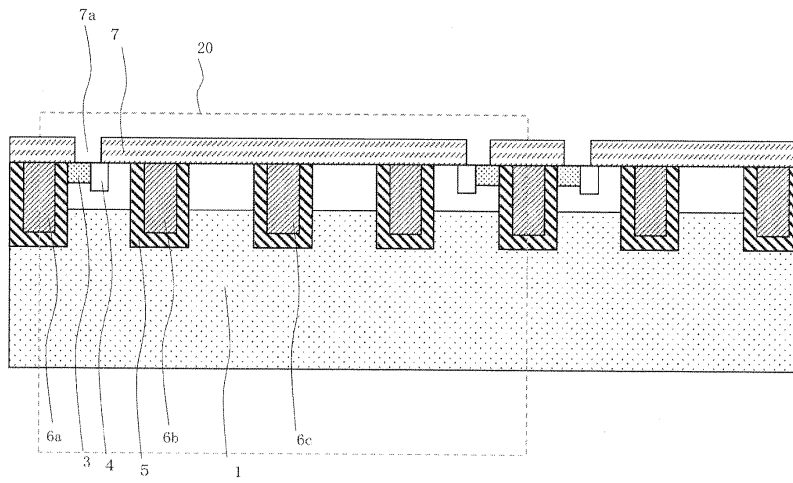


도면3b

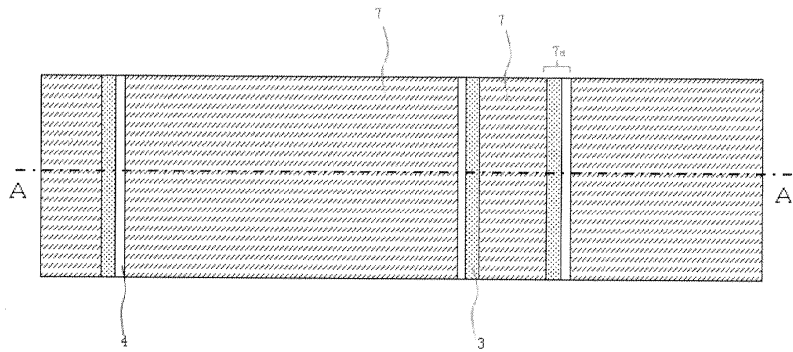




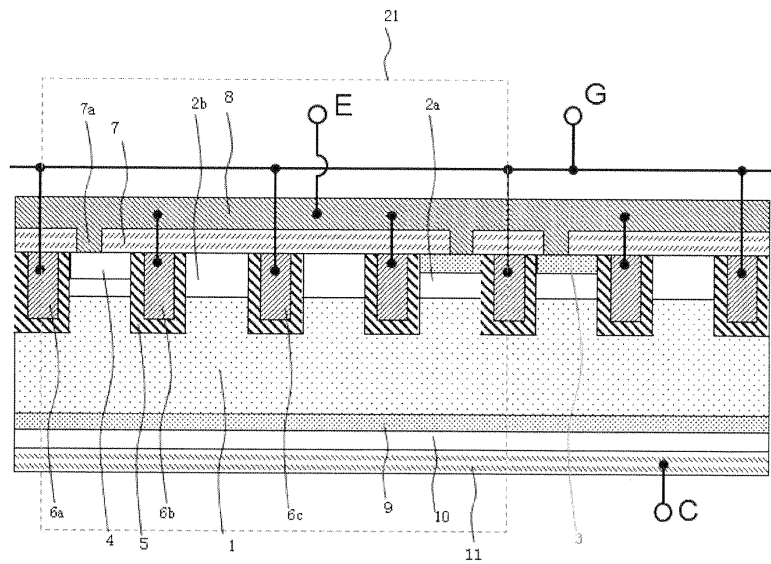
도면4a



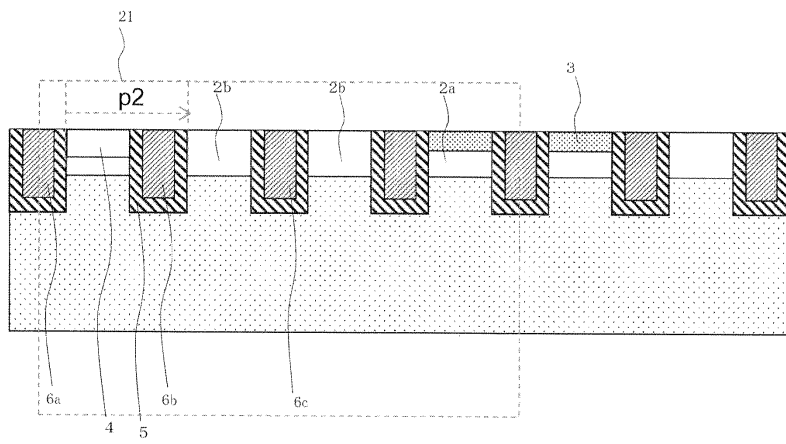
도면4b



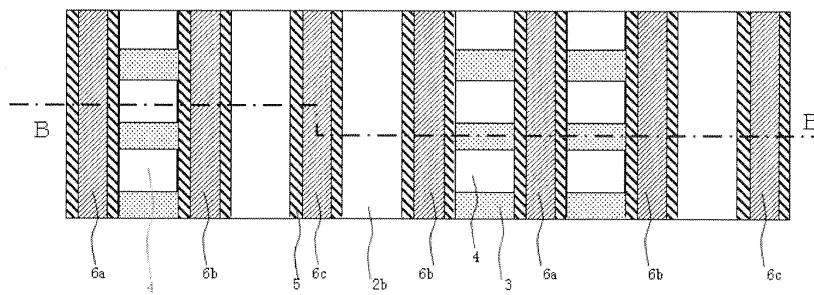
도면5



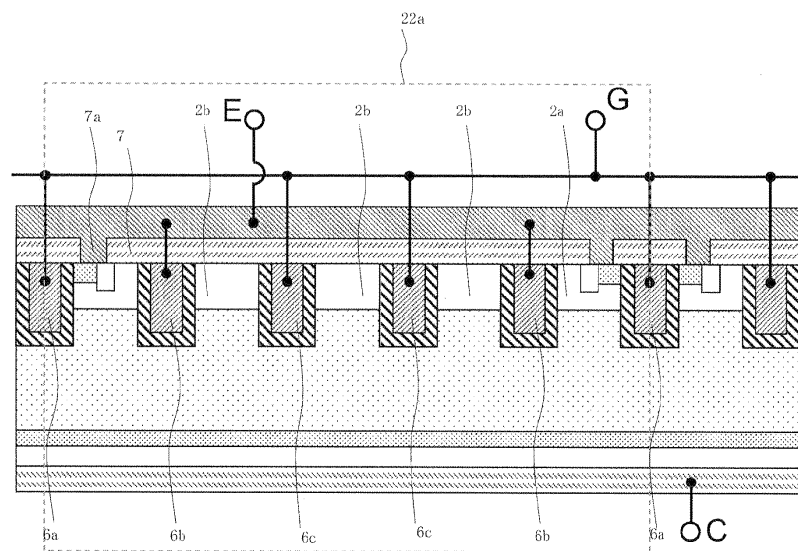
도면6a



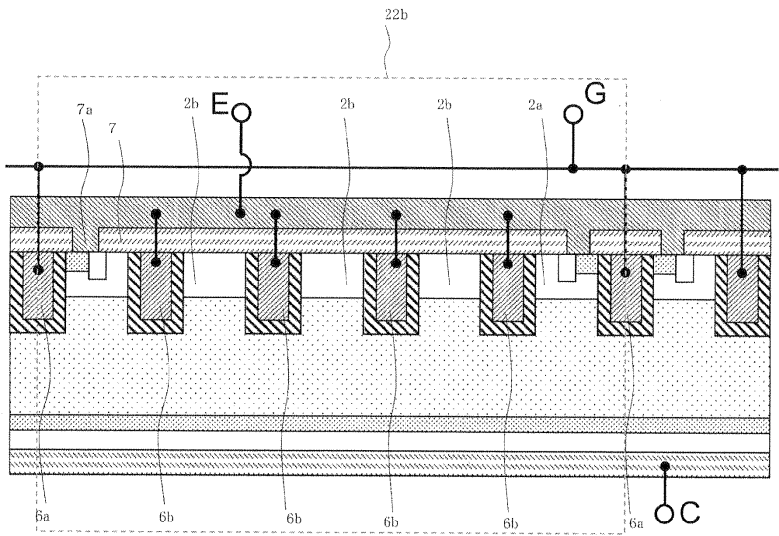
도면6b



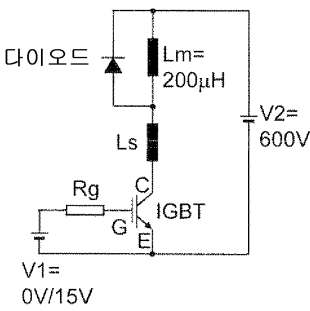
도면7



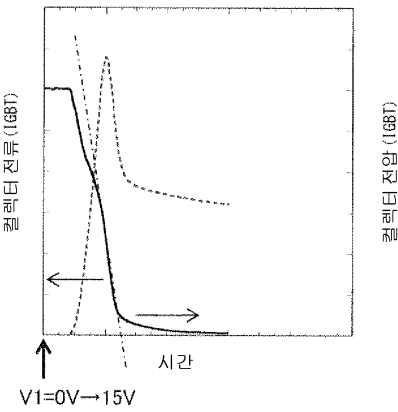
도면8



도면9

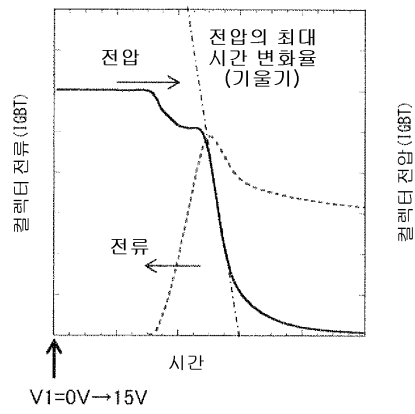


도면10a

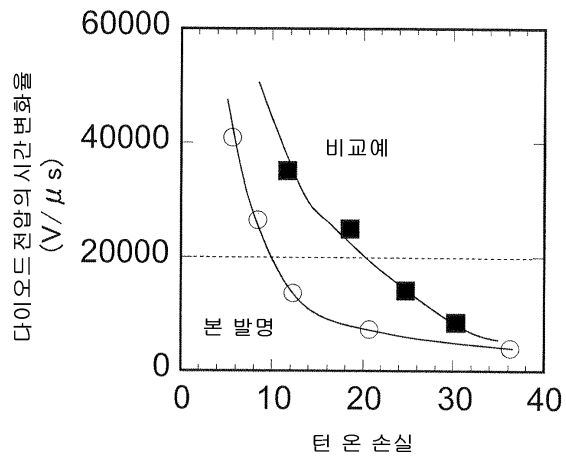




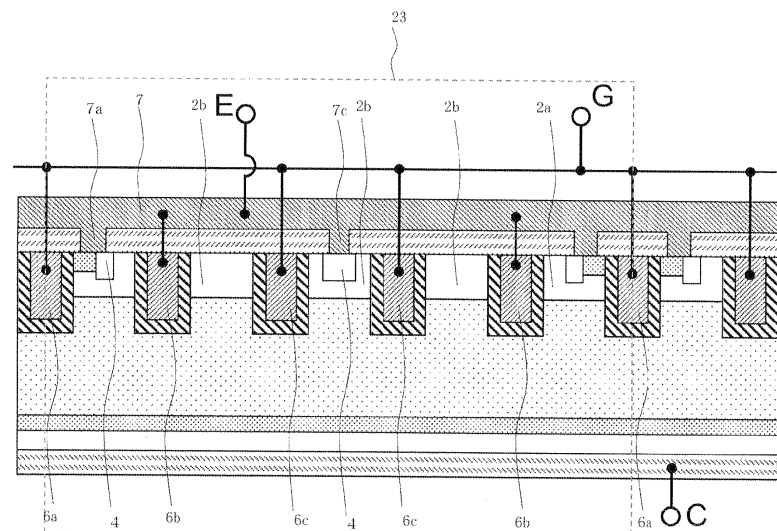
도면10b



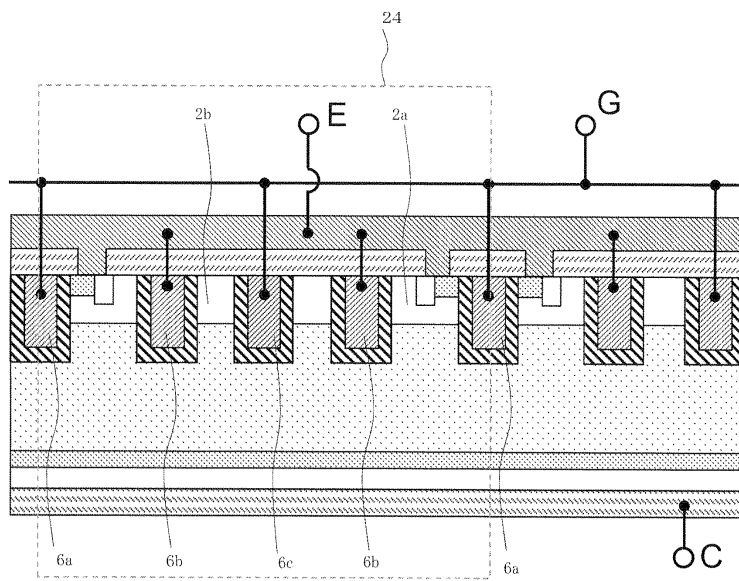
도면11



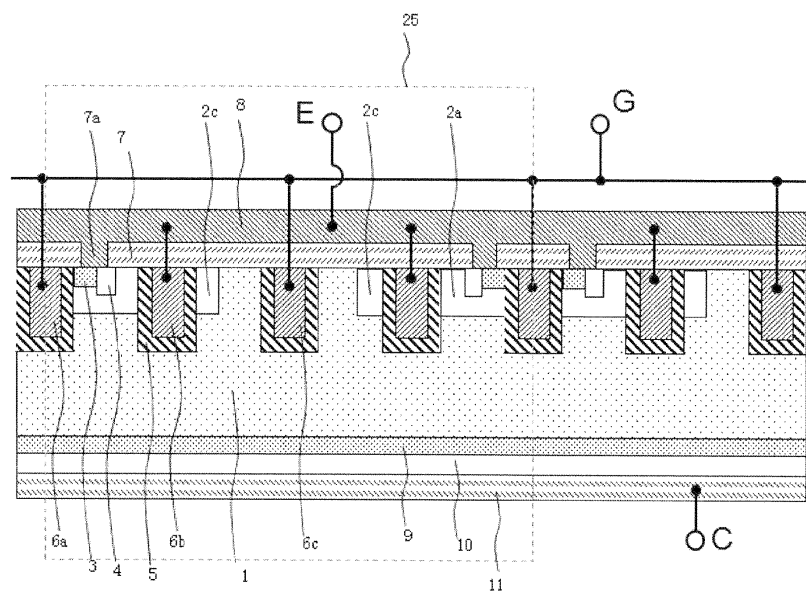
도면12



도면13



도면14



도면15

