

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月30日(30.12.2020)



(10) 国際公開番号

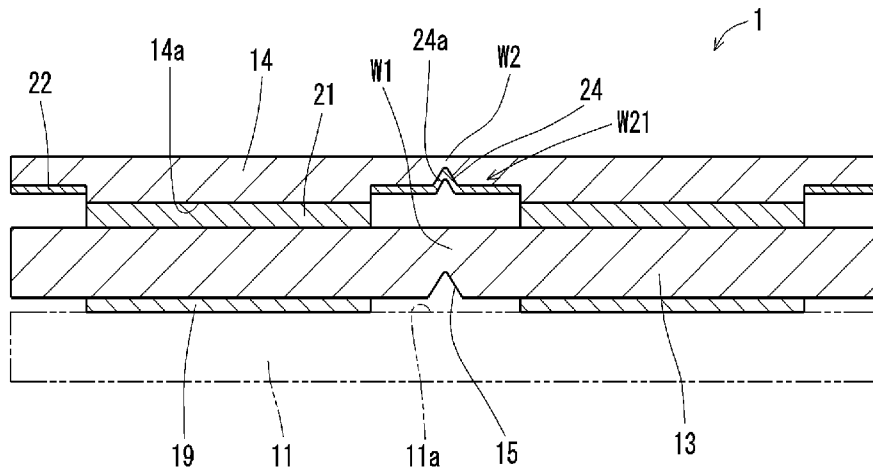
WO 2020/262560 A1

- (51) 国際特許分類:
H01L 21/02 (2006.01) H01S 5/02 (2006.01)
H01L 21/301 (2006.01)
- (21) 国際出願番号: PCT/JP2020/025107
- (22) 国際出願日: 2020年6月25日(25.06.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-119035 2019年6月26日(26.06.2019) JP
- (71) 出願人: 京セラ株式会社 (KYOCERA CORPORATION) [JP/JP]; 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 Kyoto (JP).
- (72) 発明者: 村川 賢太郎 (MURAKAWA, Kentaro); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP). 正
- 木 克明 (MASAKI, Katsuaki); 〒6128501 京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内 Kyoto (JP).
- (74) 代理人: 西教 圭一郎 (SAIKYO, Keiichiro); 〒5410052 大阪府大阪市中央区安土町1丁目8番15号 野村不動産大阪ビル9階 西教特許事務所 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: LAYERED BODY AND LAYERED BODY PRODUCTION METHOD

(54) 発明の名称: 積層体および積層体の製造方法

FIG. 12



(57) Abstract: The present invention includes: a ground substrate having a first surface; a semiconductor element layer which can be divided into a plurality of element sections and which is positioned above the first surface of the ground substrate; and a support substrate having a second surface which faces the first surface and above which the semiconductor element layer is positioned. The support substrate and the semiconductor element layer have a fragile section for dividing the semiconductor element layer into the plurality of element sections.

(57) 要約: 第1面を有する下地基板と、複数の素子部に分割可能な1つの半導体素子層であって、下地基板の第1面上に位置している半導体素子層と、第1面に対向する第2面を有し、第2面上に半導体素子層が位置している支持基板と、を含む。支持基板および半導体素子層は、半導体素子層を複数の素子部に分割するための脆弱部を有する。



WO 2020/262560 A1

ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

明 細 書

発明の名称：積層体および積層体の製造方法

関連出願の参照

[0001] 本出願は、2019年6月26日に日本国に特許出願された特願2019-119035の優先権を主張するものであり、この先の出願の開示全体を、ここに参照のために取り込む。

技術分野

[0002] 本開示は、複数の半導体素子の個片に分割する前の積層体および積層体の製造方法に関する。

背景技術

[0003] 従来から、下地基板の結晶成長面である第1面上に、ストライプ状のマスクパターンを有するマスク層を形成する。その後、選択成長によって、マスク層のウインドウ領域の底面（ウインドウ領域から露出する第1面）からGaN層を成長させる。そして、GaN層をマスク層上に横方向成長させることによって、半導体素子層を形成する。この半導体素子層に支持基板を接合し、半導体素子層を下地基板から剥離しながら支持基板を分割して、個片化またはチップ化された半導体素子を製造する技術が知られている。このような従来技術は、たとえば、特許文献1に記載されている。

先行技術文献

特許文献

[0004] 特許文献1：特開2009-253062号公報

発明の概要

[0005] 本開示の積層体は、第1面を有する下地基板と、
複数の素子部に分割可能な1つの半導体素子層であって、前記下地基板の前記第1面上に位置している半導体素子層と、
前記第1面に対向する第2面を有し、前記第2面上に前記半導体素子層が位置している支持基板と、を含み、

前記支持基板および前記半導体素子層は、前記半導体素子層を前記複数の素子部に分割するための脆弱部を有している構成であってもよい。

- [0006] また本開示の積層体は、第1面を有する下地基板と、
複数の素子部に分割可能な1つの半導体素子層であって、前記下地基板の前記第1面上に位置している半導体素子層と、
前記第1面に対向する第2面を有し、前記第2面上に前記半導体素子層が位置している支持基板と、を含み、
前記半導体素子層は、前記半導体素子層13を前記複数の素子部に分割するための脆弱部を有し、
前記支持基板は、前記脆弱部Wに対向していない複数の支持基板部分を有する構成であってもよい。

- [0007] また本開示の半導体装置は、前記積層体と、
前記積層体の前記複数の素子部のそれぞれに位置している電極部と、を備える構成であってもよい。

- [0008] また本開示の積層体の製造方法は、第1面を有する下地基板を準備する下地基板準備工程と、
前記第1面に対向する第2面を有する支持基板を準備する支持基板準備工程と、
前記下地基板の前記第1面上に、複数の素子部に分割可能な1つの半導体素子層を形成する素子層形成工程と、
前記素子層形成工程で形成した前記半導体素子層に、前記支持基板の前記第2面を接合する素子層接合工程と、
前記素子層接合工程で接合した前記半導体素子層および前記支持基板のそれぞれに、前記半導体素子層を前記複数の素子部に分割するための脆弱部を形成する脆弱部形成工程と、を含む構成であってもよい。

図面の簡単な説明

- [0009] 本発明の目的、特色、および利点は、下記の詳細な説明と図面とからより明確になるであろう。

[図1]本開示の一実施形態の積層体の下地基板の第1面にマスク層が形成された状態を示す断面図である。

[図2]本開示のマスク層が形成された下地基板上に半導体素子層が形成された状態を示す断面図である。

[図3]発光層形成後の被処理物に保護層を形成した状態を示す断面図である。

[図4]保護層形成後の被処理物に金属層を形成した状態を示す断面図である。

[図5]金属層形成後の被処理物からマスク層を除去した状態を示す断面図である。

[図6]マスク層除去後の被処理物上に支持基板を配置した状態を示す断面図である。

[図7]支持基板を接合した被処理物から下地基板を除去した状態を示す断面図である。

[図8]下地基板を除去した被処理物からダメージ層を除去した状態を示す断面図である。

[図9]ダメージ層を除去した被処理物に金属層を形成した状態を示す断面図である。

[図10]図9の切断面線X-Xから見た被処理物の断面図である。

[図11]ダメージ層を除去した被処理物を図10の下方から見た底面図である。

[図12]金属層を形成した被処理物に脆弱部を形成した状態を示す断面図である。

[図13]脆弱部を形成した被処理物を脆弱部で劈開して個片に分割された半導体素子を示す断面図である。

[図14]複数の個片に分割した半導体素子の端面に保護層を形成した状態を示す断面図である。

[図15]本開示の他の実施形態の積層体を示す断面図である。

[図16]本開示のさらに他の実施形態の積層体を示す断面図である。

[図17]本開示のさらに他の実施形態の積層体を示す断面図である。

発明を実施するための形態

- [0010] 本開示の積層体およびこの積層体の製造方法に係る実施形態について、模式的に示した図1から図16を参照しながら説明する。
- [0011] 図1から図13は、本開示の一実施形態の積層体の製造手順を説明するための断面図である。まず、図12および図13を参照して、本実施形態の積層体1の構成について説明する。
- [0012] 図12は本開示の一実施形態の積層体1を示す断面図であり、図13は積層体1を個片に分割した分割片2を示す断面図である。本実施形態の積層体1は、第1面11aを有する下地基板11と、複数の素子部12に分割可能な1つの半導体素子層13であって、下地基板11の第1面11a上に位置している半導体素子層13と、第1面11aに対向する第2面14aを有し、第2面14a上に半導体素子層13が位置している支持基板14と、を含んで構成される。半導体素子層13は、半導体素子層13を複数の素子部12に分割して個片化するための第1脆弱部W1を有し、支持基板14は平面的に半導体素子層13の第1脆弱部W1に対向する位置に形成された第2脆弱部W2を有する。
- [0013] 各脆弱部W1, W2は、切欠きなどの凹部15, 24を有している。このような脆弱部W1, W2は、支持基板14が接合された半導体素子層13を下地基板11から剥離した後、例えば、レーザスクライブ法またはエッチングなどによって作製できる。具体的には、図12の左右方向である共振方向に交わる方向（例えば、垂直な方向：図12の紙面に垂直方向）に延びる切欠きなどの凹部15, 24をそれぞれ形成し、これにより、同方向に連続的に延びる脆弱部を形成することができる。他の実施形態では、脆弱部W1, W2は、共振方向に交わる方向に間隔をあけて複数箇所位置するように断続的に形成されてもよい。
- [0014] ここで、従来、下地基板上に形成した半導体素子層に、転写用の支持基板を接合した積層体を複数の半導体素子に分割する製造工程中で、半導体素子層の劈開起点と支持基板の分離起点とを平面的に位置を一致させて、正確に

分割することは容易ではないと考えられる。このように、半導体素子の生産性向上に改善の余地がある。

[0015] これに対して、本開示の積層体によれば、積層体1は、半導体素子層13および支持基板14が脆弱部W1、W2を有している。これにより、半導体素子層13および支持基板14を、平面的に対向する位置（例えば、平面的に同一位置）で同時に分割し、容易かつ正確に積層体1を個片化し、複数の素子部12を作製することができる。また、積層体1を分割すると、同時に支持基板14および半導体素子層13は劈開して、各素子部12に劈開面17a、17bが形成される。これにより、支持基板14および半導体素子層13を個別に分割する場合に比べて、工程数が削減され、分割面である劈開面17a、17bに欠陥を有する不良部品の発生数を少なくして、歩留まりおよび生産性を向上することができる。これらの劈開面17a、17bは、共振器面として用いることができる。

[0016] 以下に、前述の積層体1の製造方法について説明する。本実施形態の積層体は、下地基板準備工程と、支持基板準備工程と、素子層形成工程と、素子層接合工程と、脆弱部形成工程とを含む。

[0017] 下地基板準備工程では、第1面11aを有する下地基板11を準備する。支持基板準備工程では、第1面11aに対向する第2面14aを有する支持基板14を準備する。素子層形成工程では、下地基板11の第1面11a上に、複数の素子部12に分割可能な1つの半導体素子層13を形成する。素子層接合工程では、素子層形成工程で形成した半導体素子層13に、支持基板14の第2面14aを接合する。脆弱部形成工程では、素子層接合工程で接合した半導体素子層13および支持基板14に、半導体素子層13を複数の素子部12に分割して個片化するための脆弱部W1、W2を形成する。

[0018] 本実施形態の脆弱部W1、W2は、共振方向に交わる方向（例えば、垂直な方向：図12の紙面に垂直な方向）に連続的に延びて形成されるが、本開示の他の実施形態では、振方向に交わる方向（例えば、垂直な方向）に間隔をあけて複数箇所に位置するように断続的に延びて形成されてもよい。また

、本実施形態の第2脆弱部W2は、凹部24を有する薄肉部を有しているが、凹部24のみ有していてもよい。また、脆弱部W1、W2は、共振方向に交わる方向のみに配されていてもよい。

[0019] 下地基板準備工程と支持基板準備工程とは、必ずしもこの順序に限るものではない。例えば、下地基板準備工程と支持基板準備工程とが並行して行われてもよく、支持基板準備工程の後に下地基板準備工程が行われてもよい。半導体素子は、例えば、半導体レーザ、発光ダイオード、フォトダイオード、ショットキーダイオードなどを用いることができ、これらに限定されない。

[0020] 次に、図1から図13を参照して、積層体1の製造手順について具体的に説明する。

[0021] 図1に示すように、下地基板準備工程では、下地基板11を準備する。下地基板11としては、結晶成長し易い(0001)面を第1面11aとし、この第1面11aに格子整合した結晶成長面が必要である。このため、下地基板11としては、例えば、サファイア基板またはGaAs基板などのヘテロ下地結晶上にGaNを成長させたGaNテンプレート基板を使用する。下地基板11には、結晶成長面が所定の面方向になるように、GaN単結晶インゴットから切り出したGaN基板を使用することも可能である。下地基板11としては、窒化物半導体基板であればよい。また、窒化物半導体中に不純物がドーピングされたn型半導体基板であってもよく、またはp型半導体基板であってもよい。

[0022] 次に、下地基板11の第1面11a上にマスク層18を形成する。まず、下地基板11の第1面11a上に、マスクの材料となる、例えば、酸化シリコン(SiO₂)などを、PCVD(Plasma Chemical Vapor Deposition)法などによって、10nmから500nm程度堆積させる。

[0023] 続いて、フォトリソグラフィ法と、バッファードフッ酸(Buffered Hydrogen Fluoride; BHF)によるウェットエッチングとによって、SiO₂層をパターニングして、図1に示されるマスク層18を形成する。マスク層1

8は、帯状部18aを所定の間隔で複数本、平行に並べたストライプ状である。

[0024] 隣り合う帯状部18aの間の開口部18bの幅B1は、例えば、 $2\mu\text{m}$ から $20\mu\text{m}$ 程度であり、好ましくは $5\mu\text{m}$ 程度であってもよい。また、帯状部18aの幅B2は、例えば、 $50\mu\text{m}$ から $1000\mu\text{m}$ 程度であり、好ましくは $165\mu\text{m}$ であってもよい。

[0025] マスク層18を選択形成するためのマスク材料としては、 SiO_2 のほか、例えば、気相成長によって、マスク表面から半導体層が成長しない非晶質材料であればよい。マスク材料としては、パターニングが可能な非晶質材料、例えば、 ZrO_x 、 TiO_x または AlO_x などの酸化物、 SiN_x などの窒化物、あるいは、WまたはCrなどの遷移金属を使用することもできる。マスク層18の堆積方法としては、蒸着法、スパッタリング、または塗布硬化など、マスク材料に適合した方法を適宜用いることが可能である。

[0026] 図2は下地基板11にマスク層18を形成した被処理物に半導体素子層13が形成された状態を示す断面図である。素子層形成工程では、前述の下地基板準備工程において、マスク層18を形成した下地基板11上に、 GaN 半導体を横方向エピタキシャル気相成長 (Epitaxial Lateral Overgrowth; ELO) 法によって析出させ、半導体素子層13が形成される。

[0027] このような半導体素子層13は、下地基板11の結晶成長面である第1面11aが非晶質である SiO_2 によって覆われる。これにより、下地基板11のミスフィット転位の発生をしにくくし、ウインドウとも呼ばれる開口部18bに露出している第1面11aの結晶成長面から選択横方向成長 (Epitaxial Lateral Overgrowth; ELO) によって、半導体素子層13を形成することができる。半導体素子層13の材料としては、例えば、窒化物系半導体が用いられる。

[0028] 結晶成長方法としては、原料のIII族元素として塩化物を用いる塩化物輸送法によるクロライド気相成長 (Vapor Phase Epitaxy; VPE) または、原料のIII族元素として有機金属を用いる有機金属気相成長 (Metal Organ

ic Chemical Vapor Deposition ; MOCVD) 法または、ハイドライト気相成長法 (Hydride Vapor Phase Epitaxy ; HVPE) を用いることが可能である。成長工程中に III 族元素の原料ガスの割合、不純物の原料ガスの割合などを変化させて、半導体素子層 13 を LED (Light Emitting Diode) または LD などの発光層を構成する多層膜によって形成される。

[0029] 例えば、MOCVD法による n 型不純物として Si がドーパされた n+ 型 GaN から成る下地基板 11 の結晶成長面である第 1 面 11a から (0001) 面方位に島状に成長させる。この n+ 型 GaN 層の成長には、例えば、原料ガスとして TMG および NH₃ を使い、キャリアガスとして H₂ および N₂ を使い、n 型ドーパントとして窒素で希釈した SiH₄ を用いることができる。

[0030] 開口部 18b 内でエピタキシャル成長した結晶がマスク層 18 の開口部 18b を超えると、マスク層 18 の上面 18c に沿って横方向にも結晶が成長する。結晶成長は、開口部 18b 内で第 1 面 11a から成長した半導体素子層 13 が、隣り合う半導体素子層 13 と互いに重なる前に終了する。このようにして、n+ 型 GaN 層を ELO によって成長させる。

[0031] 次に、結晶成長条件を調整し、MOCVD 法によって n+ 型 GaN 層上に n 型 GaN 層を成長させ、さらに例えば、LD 層を成長させ、半導体素子層 13 が開口部 18b 毎に形成される。例えば、プラズマ CVD 法によって SiO₂ の絶縁膜を成長させた後、フォトリソグラフィおよびエッチングによって所定形状にパターニングし、LD 層を露出させる。

[0032] 図 3 に示すように、前述した素子層形成工程で形成された半導体素子層 13 の側面には、酸化アルミニウムまたはアルミナ等を含む層から成る保護層 20 が形成される。このような保護層 20 が無い場合には、発光層を含む半導体素子層 13 が徐々に熱分解し、変質しやすい。そのため、半導体素子層 13 の内部に、熱輻射率および熱輻射率の面内分布が生じて、半導体結晶の成長条件が最適条件からずれやすく、量産性を低下させる要因となる。

[0033] 本実施形態のように、半導体素子層 13 の側面に保護層 20 を設けること

によって、半導体素子層 13 が変質しにくく、半導体結晶の成長を安定させ、量産性を維持することができる。ただし、このような保護層 20 は、必須ではなく、なくてもよい。

[0034] 図 4 に示すように、前工程で保護層 20 が形成された被処理物には、例えば、蒸着リフトオフ法によって、不要な金属層をレジスト膜とともに除去して、電極パッド 21 を形成する。この電極パッド 21 の厚さは、 $1\ \mu\text{m}$ から $5\ \mu\text{m}$ 程度である。このような電極パッド 21 は、例えば、リフトオフ法によって形成することができる。

[0035] まず、半導体素子層 13 にレジストを塗布し、フォトリソグラフィーによりパターニングを行う。そして、電極パッド 21 の材料である金属、例えば、Ti または Au を蒸着し、レジストを除去（リフトオフ処理）する。これらの工程を行うことによって、半導体素子層 13 に電極パッド 21 が形成される。ただし、上記の電極パッド 21 のパターニングは、メタルマスクを用いた蒸着などによって行うことができる。

[0036] 図 6 は支持基板 14 を下地基板 11 の第 1 面 11a に第 2 面 14a が対向するように配設された状態を示す断面図である。支持基板準備工程では、支持基板 14 の、下地基板 11 の結晶成長面である第 1 面 11a に対向する第 2 面 14a に、AuSn などの合金、または、Au などの金属を用いた半田から成る接合層 22 が形成される。

[0037] 支持基板 14 または治具等を用いて、半導体素子層 13 を下地基板 11 から分離し、複数の素子部 12 に分割して個片化する。分離手法としては、例えば、第 2 面 14a に接合層 22 を有する支持基板 14 を、下地基板 11 の第 1 面 11a に対向させて、接合層 22 を半導体素子層 13 に加圧および加熱し、接合する。その後、接合層 22 を介して支持基板 14 が一体に接合された半導体素子層 13 を上方、すなわち下地基板 11 から離反する方向に引き剥がすように外力を与え、半導体素子層 13 を、下地基板 11 の第 1 面 11a から引き離す。これにより、半導体素子層 13 を傷付けることなく、下地基板 11 から分離することができる。なお、接合層 22 を半導体素子層 1

3に接合する際、電極パッド21および接合層22は一体化してもよい。

[0038] 図7は支持基板14が接合された各素子部12から下地基板11を除去した状態を示す断面図である。上述のように各素子部12に支持基板14が接合された後、下地基板11から各素子部12を支持基板14とともに剥離する。例えば、一体となった下地基板11および各素子部12に超音波を照射する、あるいは下地基板11および支持基板14に振動などの機械的な力を作用させる。これによって、下地基板11と各素子部12の接続部23との間で剥離してもよい。

[0039] 図8は下地基板11を除去した被処理物からダメージ層を除去した状態を示す断面図である。下地基板11から各素子部12を剥離することによって各接続部23は破断している。このような接続部23は、破断の状況に応じて、下地基板11側、各素子部12側またはそれらの両方に残存することがある。このため、剥離後、下地基板11および各素子部12に残った接続部23の断片は、研磨またはエッチング法などによって取り除き、ダメージ層を除去してもよい。

[0040] 次に、図9から図12を参照しながら本実施形態について説明する。

[0041] 支持基板14には、隣接した2つの素子部12の間に、例えば、第2面14a側からレーザ照射することによって、共振方向に交わる方向（例えば、垂直な方向）に延びる切欠きなどの凹部24（第1凹部24）を形成する。これにより、支持基板14に第2脆弱部W2が形成される。または、支持基板14に各素子部12を接合する前に、エッチング法などによって切欠きなどの凹部24を形成する。凹部24は、その断面形状がV字状またはU字状である。凹部24において、後続の分割工程によって支持基板14を個片に分割する際、劈開の起点に応力集中させて亀裂を進展させ、劈開面を形成することができる。

[0042] 支持基板14の材質は、Siなどの半導体やCuなどの金属、SiNなどのセラミックのいずれかを選択できる。材質が半導体の場合、凹部24の切込み方向は、劈開方向とするのが好ましい。また、凹部24の断面形状は、

U字型よりV字型の方が凹部24の先端付近に応力集中し易く、意図した位置で割りやすいため、好ましい。

[0043] 支持基板14の第2面14aには、前述の電極パッド21がn側電極として形成される。また、半導体素子層13の下地基板11に対向する面13aには、n側電極となる電極パッド19が電極パッド21と同様に、例えば、リフトオフ法によって形成される。これらの電極パッド19, 21は、例えば、Ti、Al、In、PdまたはAuなどでよい。

[0044] 図13に示すように、素子分離工程では、1つの面に、Au、AuSnなどの材料を用いた半田から成る接着層25を有する部材、すなわち支持基板14または治具などを用いて、半導体素子層13を下地基板11から分離し、それぞれを個々の素子部12に分割して個片化する。

[0045] なお、例えば、素子分離工程の後に、個片化工程の前に、下地基板11から分離した半導体素子層13には、第1脆弱部W1を形成する。なお、第1脆弱部W1は、レーザ照射することによって、図12に示すように、共振方向に交わる方向（例えば、垂直な方向）に延びる切欠きなどの凹部15などを形成することによって、形成することができる。

[0046] 分割する方法としては、例えば、次のように行う。まず、下面に接合層を有する支持基板14を、下地基板11の半導体素子層13が形成された第1面11aに第2面14aを対向させて接合する。そして、接合層を半導体素子層13に加圧および加熱し、接着させる。その後、接合層によって接合されて一体となった半導体素子層13を、下地基板11から上方に引き剥がすように外力を加え、半導体素子層13を、下地基板11の第1面11aから剥離する。これにより、半導体素子層13を、損傷せずに下地基板11に対して分離し、同時に脆弱部W1, W2で劈開して個片化することができる。

[0047] 図14に示すように、個片化された複数の素子部12を積層させ、前述の素子分割工程において個片化された複数の素子部12の劈開面17a, 17bのそれぞれに、例えば、AlONから成る保護膜25a, 25bを形成する。劈開面17a, 17bの端面近傍の各半導体素子層13の上下には、空

間がある。

[0048] このような構成を採用することによって、各素子部12のリッジ部に保護膜25a, 25bが形成されるので、例えば、半導体素子層13の上下に空間がある状態で、スパッタなど回り込みのある方法で成膜するなどの、別途に回り込ませる工夫をする必要がなく、生産性の向上を図ることができる。

[0049] また、支持基板14の第2脆弱部W2は、薄肉部W21をさらに有していてもよい。薄肉部W21は、例えば、支持基板14の接合層22が配された部分の厚みと比較した時に、薄い厚みを有する部分である。なお、この場合には、薄肉部W21の第2面14a上に第2凹部30が位置することになる。その結果、第2脆弱部W2において、支持基板14を分割しやすくすることができる。

[0050] また、第1凹部24の幅は、第1凹部24の深さよりも小さくてもよい。その結果、支持基板14に第2脆弱部W2を形成する場合に、支持基板14の複数の半導体素子層13の数を維持したまま、より個片化しやすくすることができる。

[0051] また、第1凹部24の内面には、膜状部材24aが配されていてもよい。その結果、接合層22を接合する際に、接合層22は第1凹部24に流れ込むのを低減することができる。なお、膜状部材24aは、例えば、シリコンの酸化膜(SiO₂)などであればよい。膜状部材24aは、支持基板14に第1凹部24を形成した後に、例えば、スパッタリング等によって、形成することができる。なお、第2脆弱部W2が、薄肉部W21を有する場合には、膜状部材24aは、薄肉部21の第2面14aに位置していてもよい。この場合、さらに、膜状部材24aの表面は、支持基板14のうち薄肉部W21の無い第2面(他の第2面)14aよりも、内部に位置していてもよい。また、第2脆弱部W2が、支持基板14の厚み方向に貫通した貫通部を有する構成であってもよい。このような貫通部は、第2脆弱部W2が延びる方向に等間隔に形成されてもよい。これによって半導体素子層13を分割して複数の素子部12に個片化するとき作用させる力を少なくし、歩留まりを向

上することができる。

[0052] また、第2脆弱部W2は、第1凹部24のみを有していてもよい。その結果、支持基板14の強度を維持することができ、支持基板14のハンドリング性を向上させることができる。

[0053] 他の実施形態では、前述の積層体1と、積層体1の各素子部12のそれぞれにn側電極およびp側電極から成る電極部を形成する。これによって、歩留まりおよび生産性に優れた発光ダイオード、半導体レーザ素子などの半導体装置を実現することができる。

[0054] 図15は本開示の他の実施形態の積層体を示す断面図であり、図16は本開示のさらに他の実施形態の積層体を示す断面図である。前述の実施形態と対応する部分には、同一の参照符を付し、重複する説明は省略する。

[0055] 本実施形態の積層体1Aは、半導体素子層13と支持基板14とを含む。半導体素子層13は、第1面11aを有する下地基板11と、複数の素子部12に分割可能な1つの半導体素子層13であって、下地基板11の第1面11a上に配設されている。また、支持基板14は、第1面11aに対向する第2面14aを有し、第2面14a上に半導体素子層13が接合されている。半導体素子層13は、半導体素子層13を複数の素子部12に分割して個片化するための第1脆弱部W1を有し、支持基板14は、第2脆弱部W2に対向する部分Sが空間になっていて、第2脆弱部W2に対向する部分を有していない。すなわち、支持基板14は、互いに離れて配された複数の支持基板部分14b、14cを有しており、複数の支持基板部分14b、14cは、複数の支持基板部分14b、14cの間の領域が、半導体素子層13の第1脆弱部W1に対向している。

[0056] 第1脆弱部W1は、凹部24が形成された薄肉部である。この第1脆弱部W1は、連続的に延びて形成されてもよく、互いに間隔をあけて形成されてもよい。支持基板14は、前述の実施形態における第2脆弱部W2に対応する部分Sを、例えば、エッチングによって除去してもよい。

[0057] 他の実施形態では、前述の積層体1Aと、積層体1Aの各素子部12のそ

れぞれに n 側電極および p 側電極から成る電極部を形成する。これによって、歩留まりおよび生産性に優れた発光ダイオード、半導体レーザ素子などの半導体装置を実現することができる。

[0058] 本開示の積層体の製造方法に係る他の実施形態では、下地基板準備工程と、支持基板準備工程と、素子層形成工程と、素子層接合工程と、脆弱部形成工程と、支持基板除去工程と、を含む。下地基板準備工程では、第 1 面 1 1 a を有する下地基板 1 1 を準備する。支持基板準備工程では、第 1 面 1 1 a に対向した第 2 面 1 4 a を有する支持基板 1 4 を準備する。素子層形成工程では、下地基板 1 1 の第 1 面 1 1 a 上に、複数の素子部 1 2 に分割可能な 1 つの半導体素子層 1 3 を形成する。素子層接合工程では、素子層形成工程で形成した半導体素子層 1 3 に、支持基板 1 4 の第 2 面 1 4 a を接合する。脆弱部形成工程では、半導体素子層 1 3 に、半導体素子層 1 3 を複数の素子部 1 2 に分割して個片化するための第 1 脆弱部 W 1 を形成する。支持基板除去工程では、支持基板 1 4 の第 2 脆弱部 W 2 に対応する部分 S を除去する。

[0059] 第 1 脆弱部 W 1 は、連続的に延びて形成されてもよく、薄肉部（凹部）が間隔をあけて複数箇所位置するように断続的に形成されてもよい。これにより、例えば、凹部の形成の際に除去した除去物を少なくすることができて、除去物が他の箇所につきにくくすることができる。ひいては、除去物による積層体への影響を少なくすることができる。

[0060] このように、半導体素子層 1 3 には、第 1 脆弱部 W 1 が形成されているので、接合工程で加圧したとき、柱状の接続部 2 3 の端部にせん断応力が集中してせん断される。したがって、超音波などによって、下地基板 1 1 の表面に垂直方向に別途力を加えなくても、加圧するだけで半導体素子層 1 3 を下地基板 1 1 から確実に分離し、かつ複数の素子部 1 2 に分割して個片化することができる。このように、半導体素子層 1 3 に過大な力を加えなくても半導体素子層 1 3 を確実に支持基板 1 4 に転写し、同時に、複数の素子部 1 2 に個片化することができる。これにより、半導体素子の歩留まりを格段に向上し、生産性を向上することができる。

- [0061] 以上、本開示の実施形態について詳細に説明したが、本開示は上述の実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲内において種々の変更、改良等が可能である。
- [0062] 例えば、上述した例では、支持基板14の第2脆弱部W2が1つの第1凹部24を有している例を説明したが、支持基板14の第2脆弱部W2は、図17に示すように、複数の第1凹部24を有していてもよい。その結果、第2脆弱部W2において、支持基板14を分割しやすくすることができる。
- [0063] また、例えば、図17に示すように、支持基板14は、第2面14aの反対に位置した第3面14dを有しており、支持基板14の第2脆弱部W2は、第3面14dに位置した第2凹部30を有していてもよい。その結果、支持基板14は、半導体素子層13よりも厚く形成されることもあるが、その際にも個片化しやすくすることができる。
- [0064] なお、この場合、第2凹部30の幅は、前記第2凹部30の深さよりも大きくてもよい。その結果、支持基板14を個片化するとき、支持基板14の第2脆弱部W2に力を加えることで、第2凹部30を起点にして個片化することができる。また、このとき、第2凹部30は、開口から底部に向かって、幅が小さくなっていてもよい。
- [0065] また、本開示の積層体1は、第1凹部24と第2凹部30の双方を有していてもよい。その結果、支持基板14をより個片化しやすくすることができる。なお、この場合、第2凹部30の幅は、第1凹部24の幅よりも大きくてもよい。また、前記第2凹部30の深さは、前記第1凹部24の深さよりも大きくてもよい。その結果、支持基板14に第2脆弱部W2を形成する場合に、支持基板14の複数の半導体素子層13の数を維持したまま、より個片化しやすくすることができる。
- [0066] また、本開示の積層体1は、第2凹部30のみ有していてもよい。その結果、支持基板14の強度を維持することができ、その後の工程において、支持基板14のハンドリング性を向上させることができる。
- [0067] 本発明は、その精神または主要な特徴から逸脱することなく、他のいろいろ

ろな形態で実施できる。したがって、前述の実施形態はあらゆる点で単なる例示に過ぎず、本発明の範囲は請求の範囲に示すものであって、明細書本文には何ら拘束されない。さらに、請求の範囲に属する変形や変更は全て本発明の範囲内のものである。

符号の説明

- [0068] 1, 1 A 積層体
2 分割片
1 1 下地基板
1 1 a 第1面
1 2 素子部
1 3 半導体素子層
1 4 支持基板
1 4 a 第2面
W, W 1, W 2 脆弱部
1 5, 2 4 凹部
1 7 a, 1 7 b 劈開面
1 8 マスク層
1 9, 2 1 電極パッド
2 0 保護層
2 2 接合層
2 3 接続部
2 5 a, 2 5 b 保護膜

請求の範囲

- [請求項1] 第1面を有する下地基板と、
複数の素子部に分割可能な1つの半導体素子層であって、前記下地基板の前記第1面上に位置している半導体素子層と、
前記第1面に対向する第2面を有し、前記第2面上に前記半導体素子層が位置している支持基板と、を含み、
前記支持基板および前記半導体素子層は、前記半導体素子層を前記複数の素子部に分割するための脆弱部を有している積層体。
- [請求項2] 前記脆弱部は、凹部を有する薄肉部である、請求項1に記載の積層体。
- [請求項3] 前記脆弱部は、薄肉部が共振方向に交わる方向に連続的に延びている、請求項1または2に記載の積層体。
- [請求項4] 前記脆弱部は、薄肉部が共振方向に交わる方向に間隔をあけて断続的に延びている、請求項1～3のいずれか1つに記載の積層体。
- [請求項5] 請求項1～4のいずれか1つに記載の積層体と、
前記積層体の前記複数の素子部のそれぞれに位置している電極部と、
を備える半導体装置。
- [請求項6] 前記支持基板の前記脆弱部は、前記第2面に位置した第1凹部を有している、請求項1～5のいずれか1つに記載の積層体。
- [請求項7] 前記支持基板の前記脆弱部は、前記第2面に位置した複数の第1凹部を有している、請求項6に記載の積層体。
- [請求項8] 前記第1凹部の幅は、前記第1凹部の深さよりも小さい、請求項6または7に記載の積層体。
- [請求項9] 前記第1凹部は、開口と、底面と、前記底面に接続して開口まで延びた側面と、を有し、
前記底面には、膜状部材が配されている、請求項6～8のいずれか1つに記載の積層体。
- [請求項10] 前記支持基板は、前記第2面の反対に位置した第3面を有しており

、

前記支持基板の前記脆弱部は、前記第3面に位置した第2凹部を有している、請求項1～9のいずれか1つに記載の積層体。

[請求項11] 前記第2凹部の幅は、前記第2凹部の深さよりも大きい、請求項10に記載の積層体。

[請求項12] 前記第2凹部は、前記開口から底部に向かって、幅が小さくなっている、請求項10または11に記載の積層体。

[請求項13] 前記支持基板は、前記第2面の反対に位置した第3面を有しており、

、

前記支持基板の前記脆弱部は、前記第2面に位置した第1凹部をと、前記第3面に位置した第2凹部を有しており、

前記第2凹部の幅は、前記第1凹部の幅よりも大きい、請求項1～12のいずれか1つに記載の積層体。

[請求項14] 前記第2凹部の深さは、前記第1凹部の深さよりも大きい、請求項13に記載の積層体。

[請求項15] 前記支持基板の前記脆弱部は、貫通部を有している、請求項1～14のいずれか1つに記載の積層体。

[請求項16] 第1面を有する下地基板と、

複数の素子部に分割可能な1つの半導体素子層であって、前記下地基板の前記第1面上に位置している半導体素子層と、

前記第1面に対向する第2面を有し、前記第2面上に前記半導体素子層が位置している支持基板と、を含み、

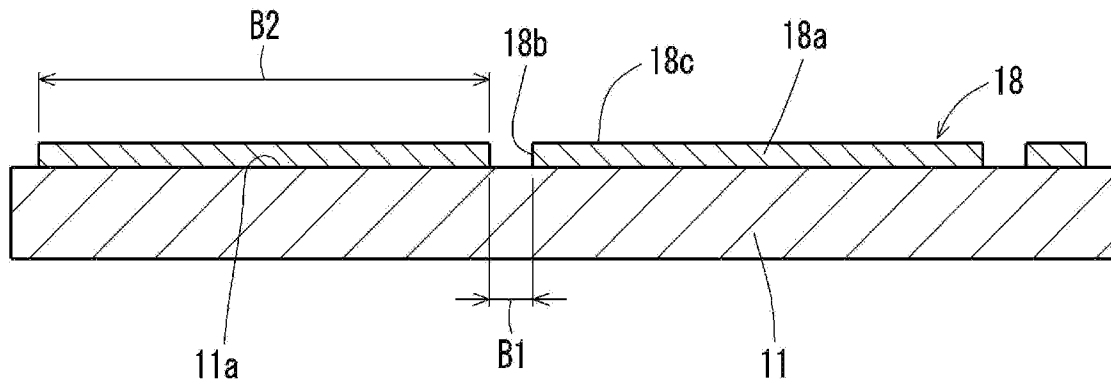
前記半導体素子層は、前記半導体素子層を前記複数の素子部に分割するための脆弱部を有し、

前記支持基板は、互いに離れて配された複数の支持基板部分を有しており、

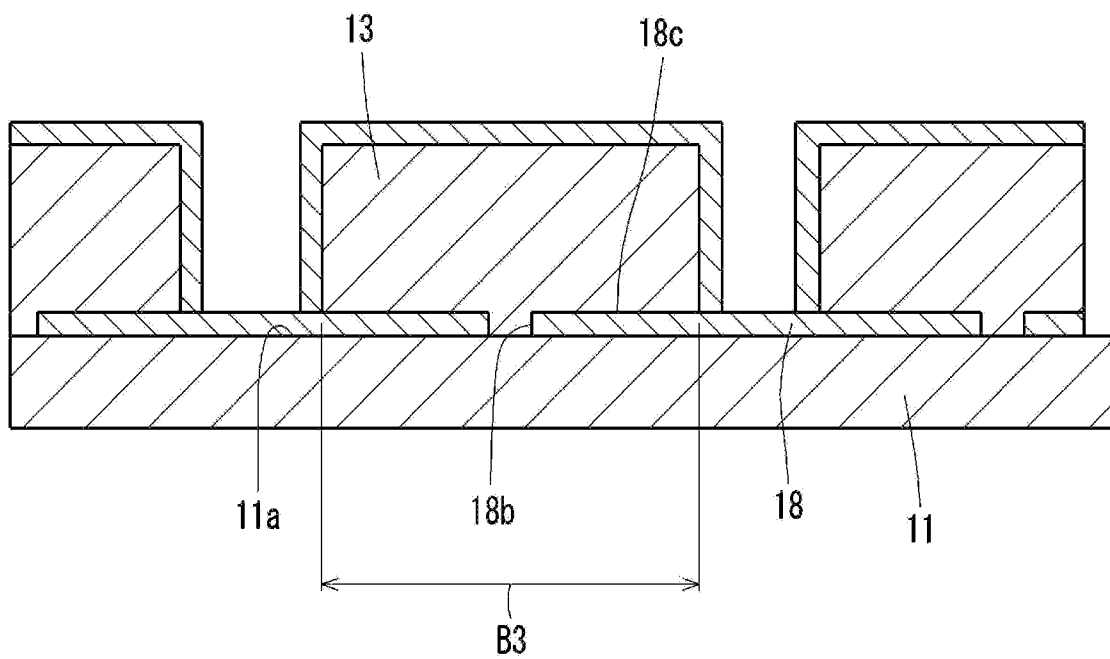
前記複数の支持基板部分は、前記複数の支持基板部分の間の領域が前記脆弱部に対向している、積層体。

- [請求項17] 第1面を有する下地基板を準備する下地基板準備工程と、
前記第1面に対向する第2面を有する支持基板を準備する支持基板準備工程と、
前記下地基板の前記第1面上に、複数の素子部に分割可能な1つの半導体素子層を形成する素子層形成工程と、
前記素子層形成工程で形成した前記半導体素子層に、前記支持基板の前記第2面を接合する素子層接合工程と、
前記素子層接合工程で接合した前記半導体素子層および前記支持基板のそれぞれに、前記半導体素子層を前記複数の素子部に分割するための脆弱部を形成する脆弱部形成工程と、を含む積層体の製造方法。
- [請求項18] 前記脆弱部は、薄肉部が共振方向に交わる方向に連続的に延びている、請求項17に記載の積層体の製造方法。
- [請求項19] 前記脆弱部は、薄肉部が共振方向に交わる方向に間隔をあけて断続的に延びている、請求項17に記載の積層体の製造方法。
- [請求項20] 前記支持基板の前記脆弱部には、貫通部を形成する、請求項17～19のいずれか1つに記載の積層体の製造方法。

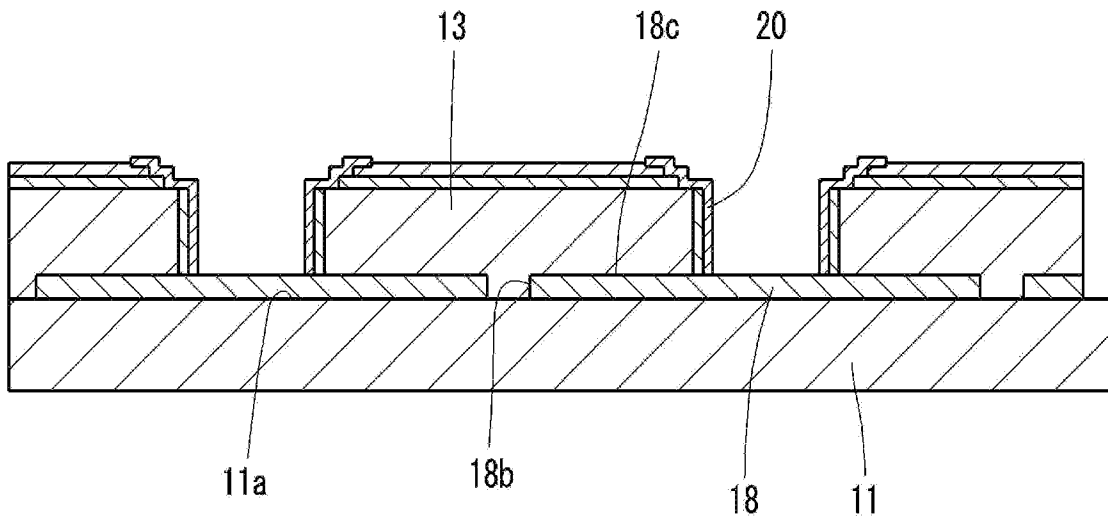
[図1]

FIG. 1

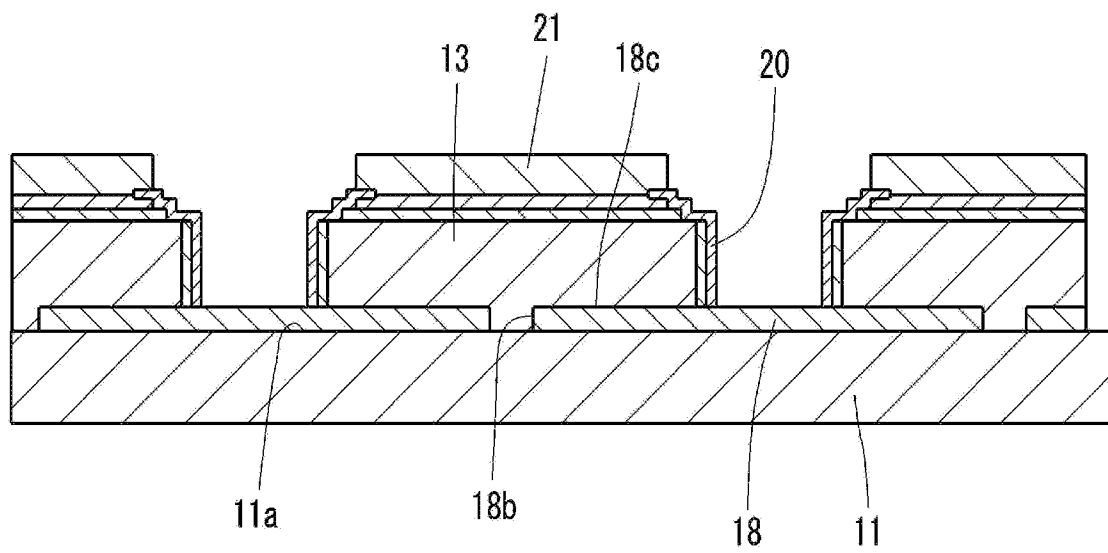
[図2]

FIG. 2

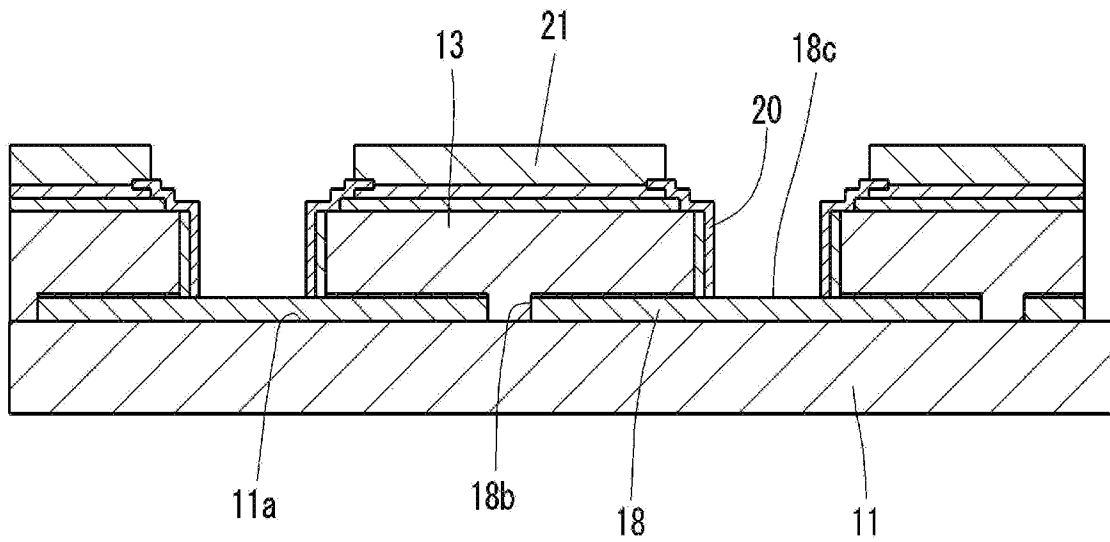
[図3]

FIG. 3

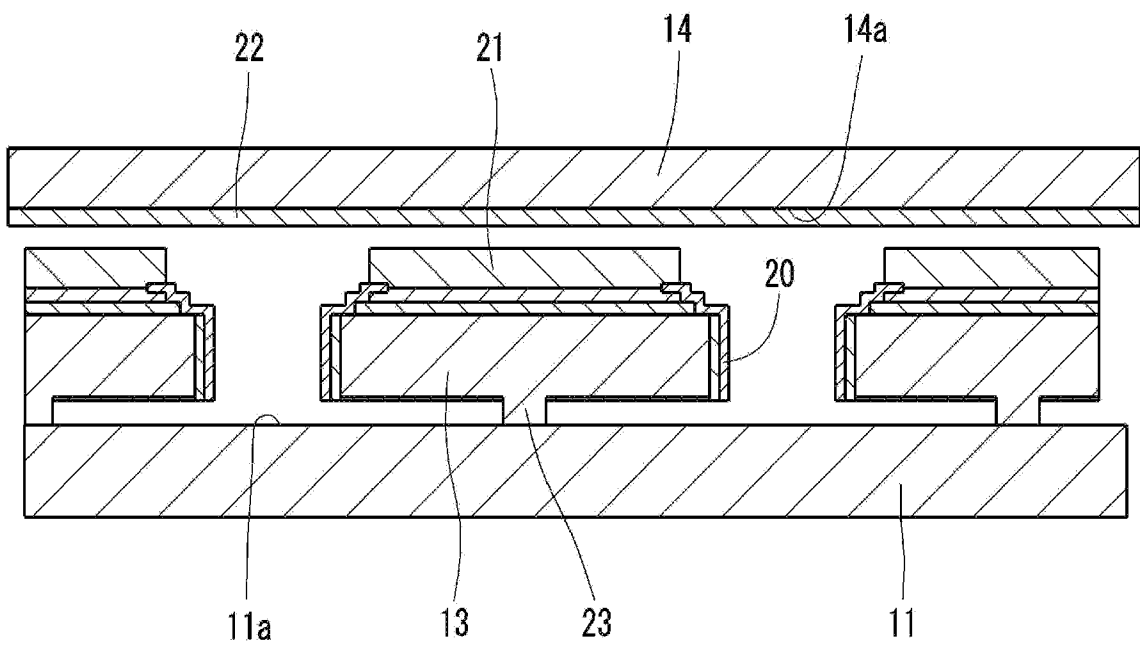
[図4]

FIG. 4

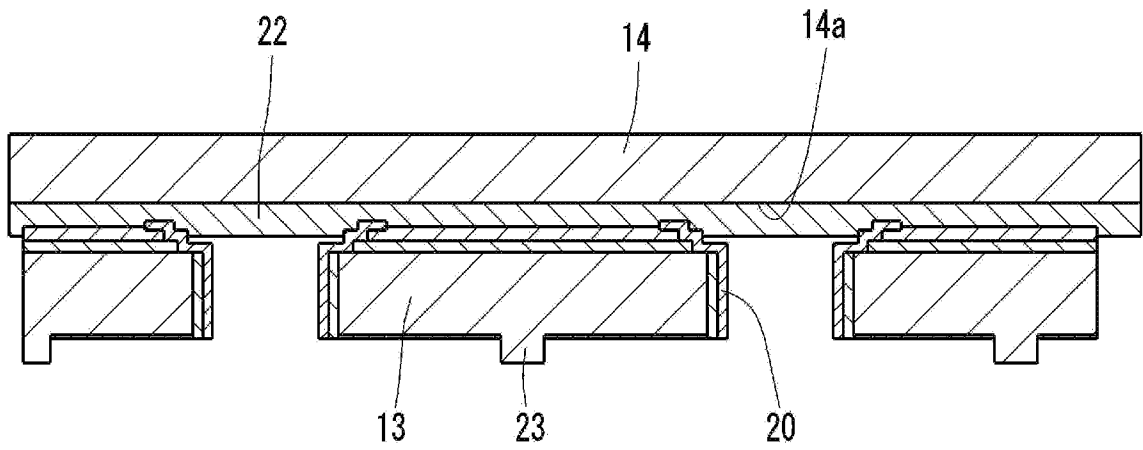
[図5]

FIG. 5

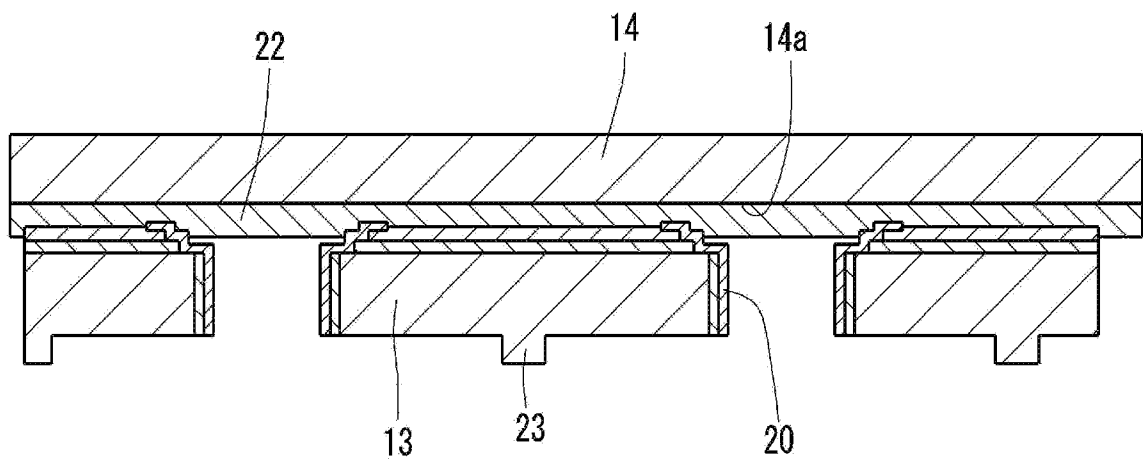
[図6]

FIG. 6

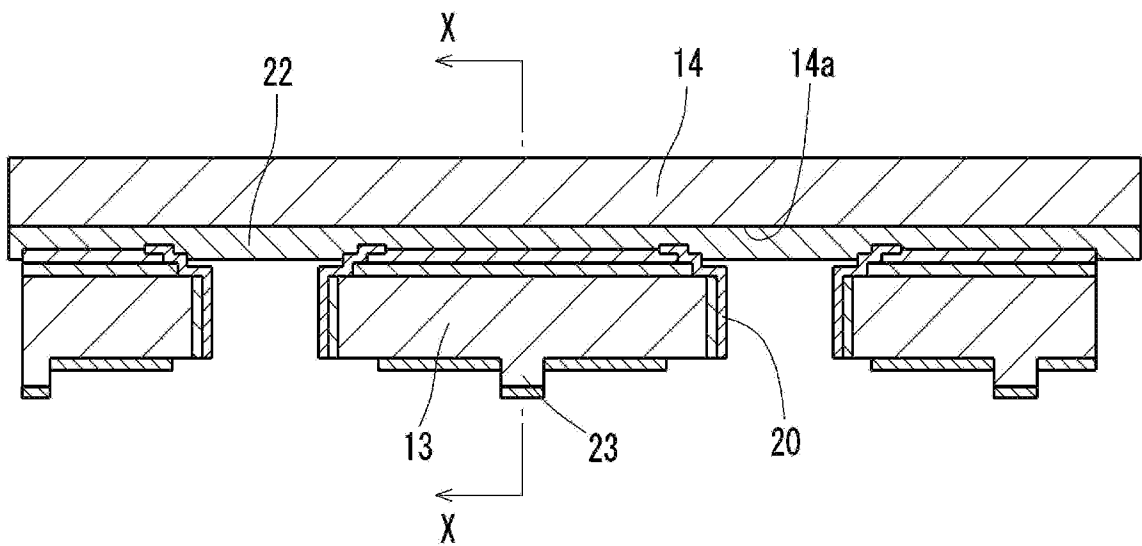
[図7]

FIG. 7

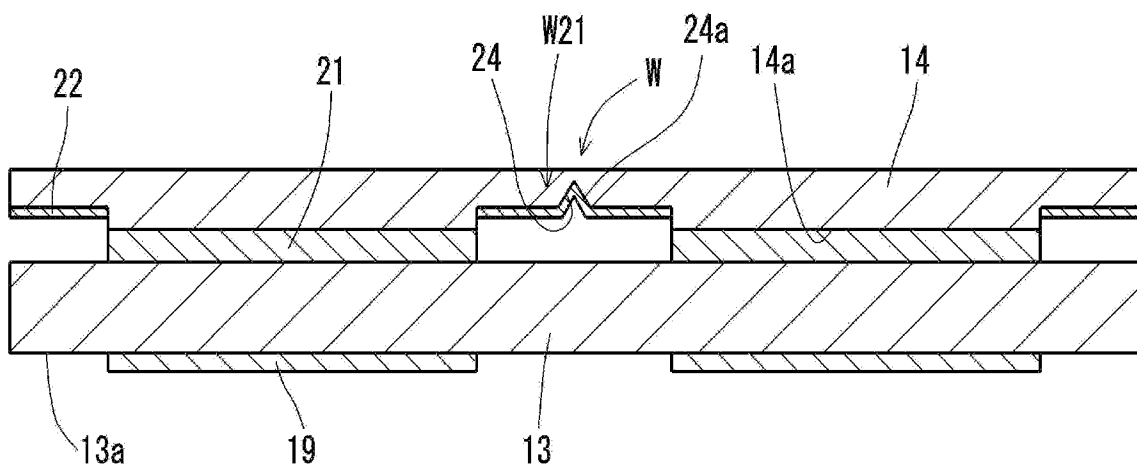
[図8]

FIG. 8

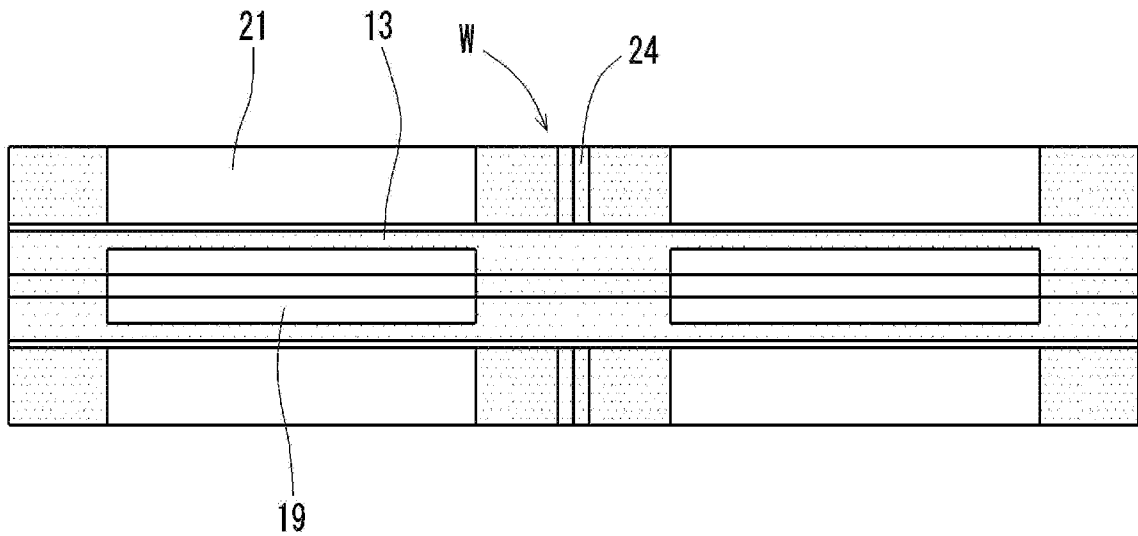
[図9]

FIG. 9

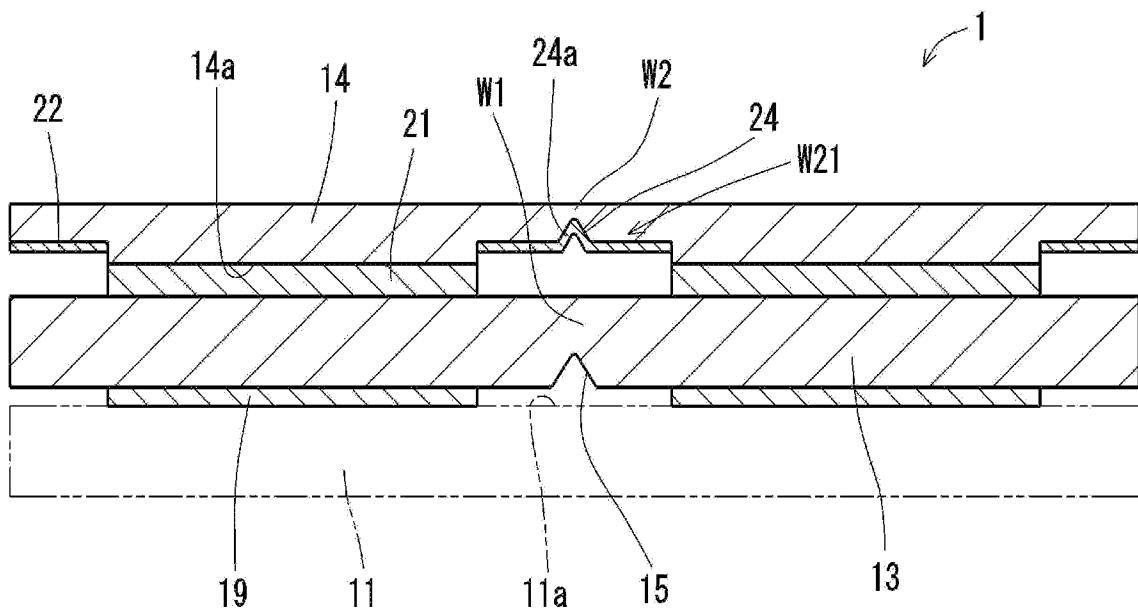
[図10]

FIG. 10

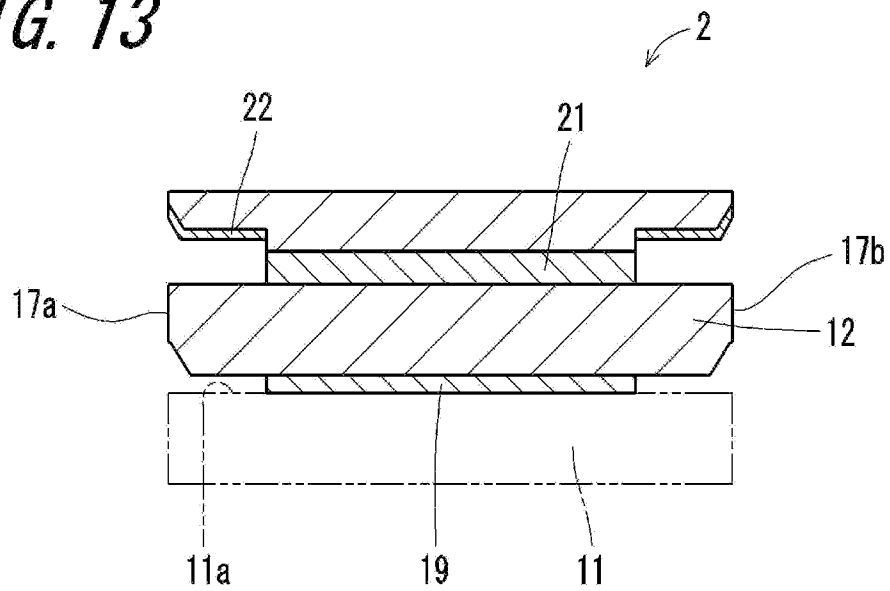
[図11]

FIG. 11

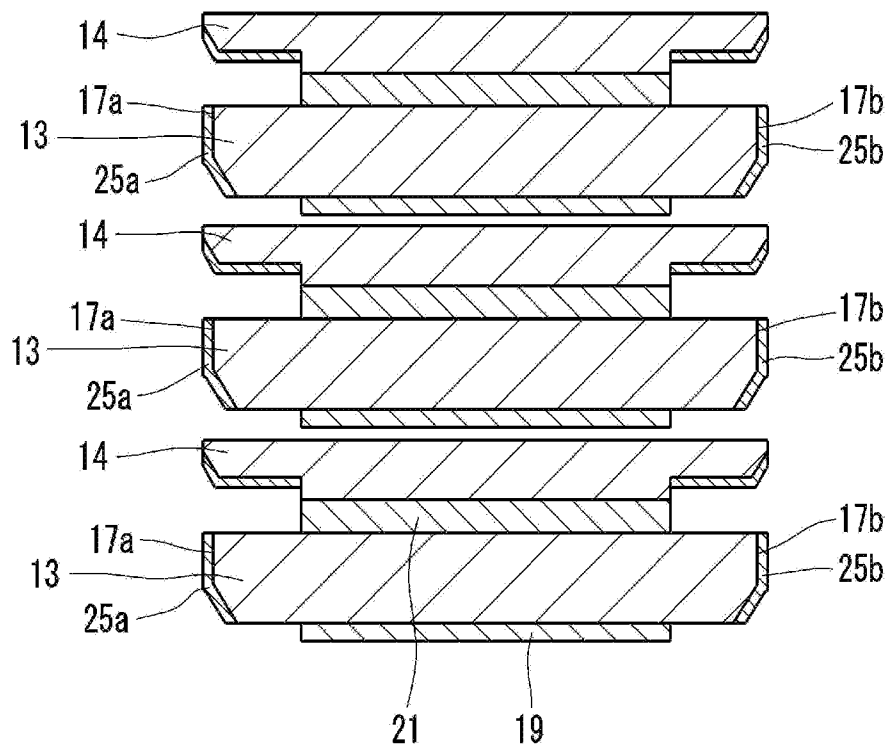
[図12]

FIG. 12

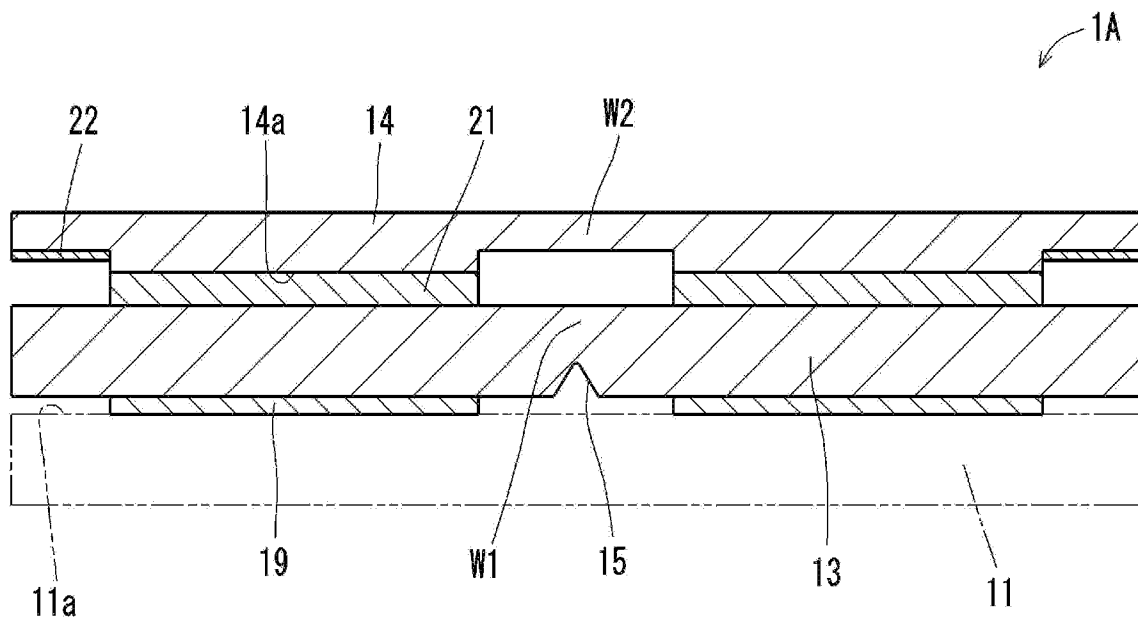
[図13]

FIG. 13

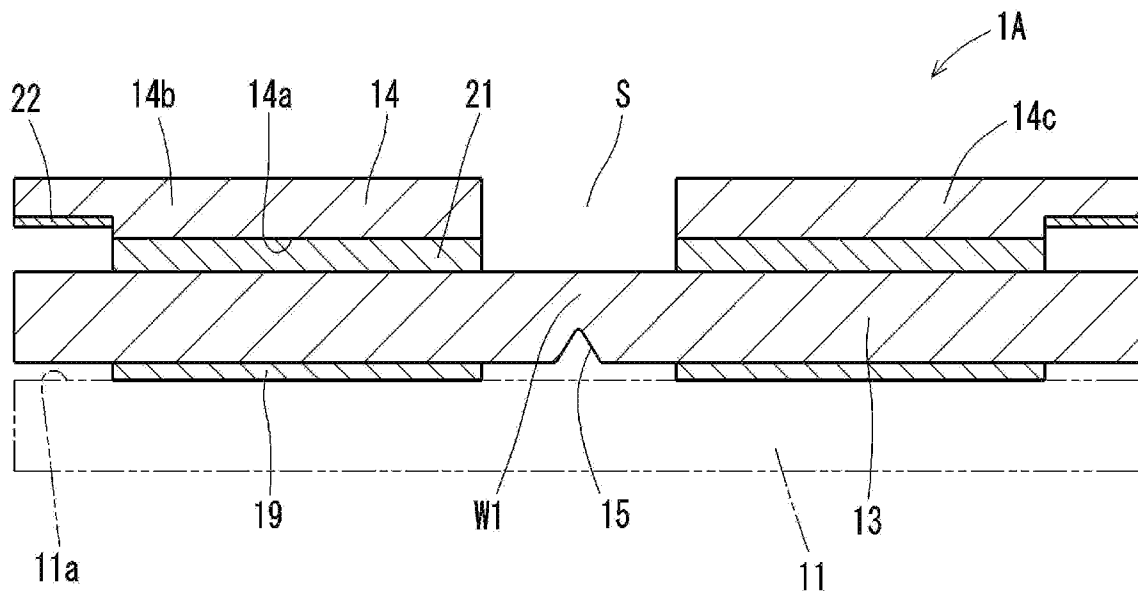
[図14]

FIG. 14

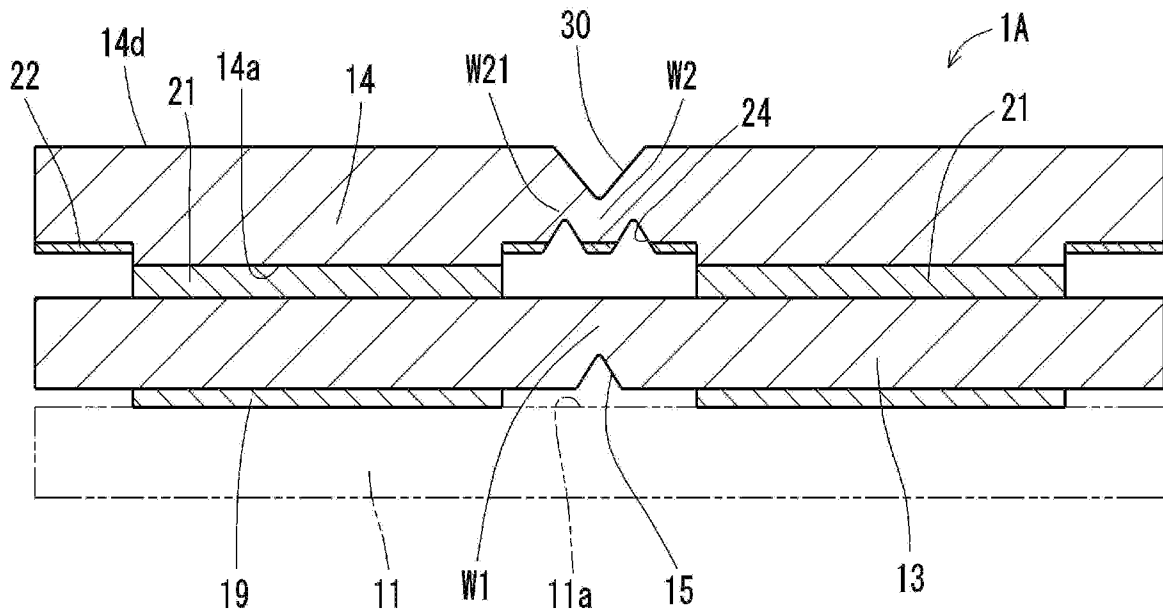
[図15]

FIG. 15

[図16]

FIG. 16

[図17]

FIG. 17

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/025107

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/02 (2006.01) i; H01L 21/301 (2006.01) i; H01S 5/02 (2006.01) i
 FI: H01L21/02 B; H01S5/02; H01L21/78 U; H01L21/02 C

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/02; H01L21/301; H01L21/52; H01L21/60; H01L21/67-21/687; H01L21/77-21/786; H01L25/00-25/18; H01L33/48-33/64; H01S5/02-5/028; G09F9/00; G09F9/33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-100767 A (STANLEY ELECTRIC CO., LTD.) 19.05.2011 (2011-05-19) paragraphs [0015]-[0042], fig. 1-5	1-20
Y	JP 2002-270543 A (SONY CORP.) 20.09.2002 (2002-09-20) paragraphs [0013]-[0021], fig. 1-5	1-20
Y	JP 2008-16628 A (SHARP CORP.) 24.01.2008 (2008-01-24) paragraphs [0030]-[0075], fig. 1-19	15, 16, 20
A	JP 2018-185502 A (LUMENS CO., LTD.) 22.11.2018 (2018-11-22)	1-20

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
28 August 2020 (28.08.2020)

Date of mailing of the international search report
08 September 2020 (08.09.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/025107

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2011-100767 A	19 May 2011	US 2011/0104835 A1 paragraphs [0027]- [0054], fig. 1-5	
JP 2002-270543 A	20 Sep. 2002	(Family: none)	
JP 2008-16628 A	24 Jan. 2008	US 2008/0032485 A1 paragraphs [0051]- [0096], fig. 1-19	
JP 2018-185502 A	22 Nov. 2018	US 2018/0308832 A1 WO 2018/199428 A1 KR 10-2018-0119273 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/02(2006.01)i; H01L 21/301(2006.01)i; H01S 5/02(2006.01)i FI: H01L21/02 B; H01S5/02; H01L21/78 U; H01L21/02 C		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/02; H01L21/301; H01L21/52; H01L21/60; H01L21/67-21/687; H01L21/77-21/786; H01L25/00-25/18; H01L33/48-33/64; H01S5/02-5/028; G09F9/00; G09F9/33 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-100767 A (スタンレー電気株式会社) 19.05.2011 (2011-05-19) 段落[0015]-[0042]及び図1-5	1-20
Y	JP 2002-270543 A (ソニー株式会社) 20.09.2002 (2002-09-20) 段落[0013]-[0021]及び図1-5	1-20
Y	JP 2008-16628 A (シャープ株式会社) 24.01.2008 (2008-01-24) 段落[0030]-[0075]及び図1-19	15, 16, 20
A	JP 2018-185502 A (ルーメンズカンパニーリミテッド) 22.11.2018 (2018-11-22)	1-20
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日	28.08.2020	国際調査報告の発送日 08.09.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 安田 雅彦 5F 9447 電話番号 03-3581-1101 内線 3516	

国際調査報告
 パテントファミリーに関する情報

国際出願番号
 PCT/JP2020/025107

引用文献	公表日	パテントファミリー文献	公表日
JP 2011-100767 A	19.05.2011	US 2011/0104835 A1 段落[0027]－[0054]及び図 1－5	
JP 2002-270543 A	20.09.2002	(ファミリーなし)	
JP 2008-16628 A	24.01.2008	US 2008/0032485 A1 段落[0051]－[0096]及び図 1－19	
JP 2018-185502 A	22.11.2018	US 2018/0308832 A1 WO 2018/199428 A1 KR 10-2018-0119273 A	