

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4361190号  
(P4361190)

(45) 発行日 平成21年11月11日(2009.11.11)

(24) 登録日 平成21年8月21日(2009.8.21)

(51) Int.Cl. F I  
H03K 5/08 (2006.01) H03K 5/08 E

請求項の数 2 (全 10 頁)

<p>(21) 出願番号 特願2000-82402 (P2000-82402)                  (22) 出願日 平成12年3月23日 (2000. 3. 23)                  (65) 公開番号 特開2001-274659 (P2001-274659A)                  (43) 公開日 平成13年10月5日 (2001. 10. 5)                  審査請求日 平成19年3月23日 (2007. 3. 23)</p>	<p>(73) 特許権者 000002325                  セイコーインスツル株式会社                  千葉県千葉市美浜区中瀬1丁目8番地                  (74) 代理人 100079212                  弁理士 松下 義治                  (72) 発明者 山本 有二                  千葉県千葉市美浜区中瀬1丁目8番地 セイコーインスツルメンツ株式会社内                  審査官 石田 勝</p>
--	--

最終頁に続く

(54) 【発明の名称】 閾値設定回路

(57) 【特許請求の範囲】

【請求項1】

閾値設定回路において、  
 第一入力端子が前記閾値設定回路の入力端子に接続された第一差動増幅回路と、  
 一端が前記第一差動増幅回路の第二入力端子に接続され、他端がグラウンドに接続された容量と、

第一入力端子が前記第一差動増幅回路の第二入力端子及び第一カレントミラー回路を介した前記第一差動増幅回路の出力端子に接続され、第二入力端子が分圧回路を介して前記閾値設定回路の出力端子に接続され、出力端子が第二カレントミラー回路及び前記分圧回路を介して前記閾値設定回路の出力端子に接続された第二差動増幅回路と、  
 を備えていることを特徴とする閾値設定回路。

10

【請求項2】

閾値設定回路に接続された検出回路において、  
 第一入力端子が前記閾値設定回路の入力端子に接続された第一差動増幅回路と、  
 一端が前記第一差動増幅回路の第二入力端子に接続され、他端がグラウンドに接続された容量と、

第一入力端子が前記第一差動増幅回路の第二入力端子及び第一カレントミラー回路を介した前記第一差動増幅回路の出力端子に接続され、第二入力端子が分圧回路を介して前記閾値設定回路の出力端子に接続され、出力端子が第二カレントミラー回路及び前記分圧回路を介して前記閾値設定回路の出力端子に接続された第二差動増幅回路と、を有する前記

20

閾値設定回路と、

前記検出回路の入力端子の電圧と前記閾値設定回路の出力端子の電圧とを比較するコンパレータと、

を備えていることを特徴とする検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子回路の内で鈍った信号波形を検出する回路に関する。より詳しくは鈍った信号波形から最適な閾値を抽出し、閾値と信号を比較検出する回路の内で、MOSトランジスタを用いた回路に関する。

10

【0002】

【従来の技術】

まず本発明の背景を明らかにする為に従来の検出回路の説明を行う。図4に、従来広く用いられる検出回路を示す。入力端子INは、コンパレータ7の正入力端子と閾値設定回路6の入力端子2に接続する。コンパレータ7の負入力端子は、閾値設定回路6の出力端子6に接続する。コンパレータ7は、入力端子INのと閾値設定回路6の出力端子VLの電圧を比較し、入力端子INの電圧のほうが高ければHighレベルをコンパレータ7の出力OUTに出力する。

【0003】

閾値設定回路6の内部について説明する。ダイオードDiは、入力端子2から容量C1に導通するように接続する。容量C1の他端は、GND電位に接続する。抵抗R31の一端は容量C1の一端に共通に接続され、抵抗R31の他端は、抵抗R32の一端と閾値設定回路6の出力端子VLに接続する。抵抗R32の他端は、GND電位に接続する。

20

【0004】

図4の回路の各部の動作波形を図7に示す。図7は、信号が入力される入力端子INと、入力端子INの電圧を保持する容量C1の一端と、閾値設定回路6の出力端子VLと、コンパレータ7の出力OUTの波形を示している。入力端子INの電圧が容量C1の一端の電圧より高いと、ダイオードDiが導通し容量C1を充電する。容量C1の一端の電圧は、抵抗R31とR32で分圧し、コンパレータ7の閾値として、端子VLに現れる。端子INの電圧が、容量C1の一端の電圧より低いと、ダイオードDiは非導通状態となるので、容量C1に溜まっている電圧は、抵抗R31、R32を通してゆっくりと放電する。コンパレータ7は、負入力端子に接続されている端子VLの電圧を閾値として、正入力端子に接続されている入力端子INの電圧との比較を行い、入力端子の電圧のほうが高い時には、Highレベルを出力する。

30

【0005】

端子VLの電圧は、入力端子INのピーク値の電圧にほぼ比例した電圧になるので、入力端子INの電圧の大小に余り影響されないコンパレータ7の出力を得ることが出来る。

【0006】

図8は、入力電圧と閾値と検出出力との関係を示している。入力電圧には、雑音が重畳している。入力電圧が大ききときには、低い閾値1で検出すると雑音も検出してしまふ。高い閾値2で検出すると雑音より閾値が大ききので、正確に検出できる。入力信号が小さい時には、低い閾値1では正確に検出できるが、高い閾値2では、入力より閾値2が大ききので検出できない。入力信号の大小にかかわらず検出出力を得るためには、入力電圧のピークと閾値電圧をほぼ比例させる必要がある。図4の閾値設定回路6では、入力電圧のピークにほぼ比例した閾値を発生保持する機能が必要である。

40

【0007】

【発明が解決しようとする課題】

図4の従来の検出回路では、ダイオードを使用している。ダイオードは、一般的に、順方向に導通した場合に、数100mVの電圧降下を生じる。図7で、容量C1の一端の電圧が、入力端子INの電圧より小さいのは、ダイオードDiの電圧降下によるものである。

50

入力端子 I N 電圧が大きい場合には，ダイオード D i の電圧降下が無視できるが，入力端子 I N の電圧が小さい場合には，ダイオードの電圧降下により，入力端子 I N のピーク電圧に比例した電圧が，容量 C 1 に保持できないという課題があった。

【 0 0 0 8 】

更に，容量 C 1 に並列に抵抗 R 3 1 ， R 3 2 を接続しているため，容量 C 1 で保持する電圧を長時間保持するためには，非常に大きな抵抗値を必要とするという課題があった。

【 0 0 0 9 】

【課題を解決する為の手段】

従来技術の課題を解決するために，本発明では，図 1 に示す手段を講じた。ダイオードの代わりに，正負 2 つの入力と出力 1 つの端子をもち，正負入力の電位差を電流として出力する所謂トランスコンダクタンス 3 と，トランスコンダクタンス 3 の出力電流を一方通行にする為のトランジスタ M 1 4 ， M 1 5 ， M 1 6 M 1 7 からなる所謂カレントミラー回路とを用いた。トランスコンダクタンス 3 は，入力の正負の電圧差が数 m V でも入力電圧差に比例した出力電流が得られるので，電圧降下の少ない電圧を C 1 に充電，保持することができる。

10

【 0 0 1 0 】

更に，容量 C 1 の電圧を，差動増幅回路 5 とトランジスタ M 2 3 ， M 2 4 ， M 2 5 で構成した電圧 - 電流変換回路（以下 V I 変換回路と呼ぶ）を用いて電流に変換し，変換した電流を抵抗 R 1 1 ， R 1 2 に流すことで，容量 C 1 に並列に抵抗を接続しないようにした。容量 C 1 の放電電流が直接抵抗を流れないので，高い抵抗値を必要としない。

20

【 0 0 1 1 】

【発明の実施の形態】

図 1 ，図 2 に，本発明による閾値設定回路 6 の具体的な回路構成を示す。閾値設定回路 6 は，入力端子 2 と出力端子 V L を持ち，入力端子 2 の電圧のピーク値を保持し，ピーク値に比例した電圧を出力端子 V L に出力する。閾値設定回路 6 は，図 3 の検出回路内で，入力端子 2 を入力端子 I N とコンパレータ 7 の正入力とに共通に接続し，出力端子 V L をコンパレータ 7 の負入力端子に接続する。

【 0 0 1 2 】

【実施例】

図 1 に本発明による閾値設定回路 6 を示す。入力端子 2 は，トランスコンダクタンス 3 の正入力に接続する。トランスコンダクタンス 3 の出力は，トランジスタ M 1 5 のドレイン電極，トランジスタ M 1 6 のドレイン電極とゲート電極，トランジスタ M 1 7 のゲート電極とに共通に接続する。トランスコンダクタンス 3 の負入力は，トランジスタ M 1 7 のドレイン電極，差動増幅回路 5 の正入力，容量 C 1 の一端，トランジスタ M 1 1 のドレイン電極とに共通に接続する。トランジスタ M 1 1 のゲート電極は，固定電位 9 の一端に，ドレイン電極は G N D 電位に接続する。固定電位 9 の他端と容量 C 1 の他端は G N D 電位に接続する。トランジスタ M 1 4 のドレイン電極は，トランジスタ M 1 4 のゲート電極とトランジスタ M 1 5 のゲート電極とトランジスタ M 9 のドレイン電極に共通に接続する。トランジスタ M 1 4 ， M 1 5 ， M 1 6 ， M 1 7 のソース電極は電源に接続する。トランジスタ M 9 のゲート電極は固定電位 8 の一端に接続する。トランジスタ M 9 のソース電極と固定電位 8 の他端は G N D 電位に接続する。

30

40

【 0 0 1 3 】

差動増幅回路 5 の負入力は，トランジスタ M 2 5 のドレイン電極と抵抗 R 1 1 の一端に共通に接続する。差動増幅回路 5 の出力はトランジスタ M 2 3 のゲート電極に接続する。トランジスタ M 2 3 のソース電極は G N D 電位に接続する。トランジスタ M 2 3 のドレイン電極は，トランジスタ M 2 4 ドレイン電極とゲート電極と，トランジスタ M 2 5 のゲート電極に共通に接続する。トランジスタ M 2 4 ， M 2 5 のソース電極は，電源に接続する。抵抗 R 1 1 の他端は，閾値設定回路 6 の出力端子 V L と抵抗 R 1 2 の一端に共通に接続する。抵抗 R 1 2 の他端は固定電位 1 0 の一端に接続する。固定電位 1 0 の他端は G N D 電位に接続する。

50

## 【0014】

まず、要素回路の機能と動作について説明する。

## 【0015】

トランスコンダクタンス3は、トランジスタM3, M4, M5, M6, M7, M8, M10で構成している。トランジスタM4とトランジスタM5はソース電極を共通に接続しゲート電極を正負の入力とした所謂差動入力対を形成している。トランジスタM3のドレイン電極は、トランジスタM4, M5のソース電極に共通に接続し、ゲート電極は固定電位1に接続する。トランジスタM3のソース電極は電源に接続している。トランジスタM6のドレイン電極は、トランジスタM6, M7のゲート電極とM4のドレイン電極に共通に接続する。トランジスタM7のドレイン電極は、トランジスタM8のドレイン電極、ゲート電極、トランジスタM5のドレイン電極、トランジスタM10のゲート電極に共通に接続している。トランジスタM6, M7, M8, M10のソース電極はGND電位に接続している。トランジスタM10のドレイン電極がトランスコンダクタンス3の出力である。使用可能なトランスコンダクタンス3の構成方法は種々あり、図1, 2のトランジスタコンダクタンス3は、簡易な構成の一例である。その他の構成のトランスコンダクタンスを使用しても本発明の効果は失われない。

10

## 【0016】

トランスコンダクタンス3では、トランジスタM4とM5サイズは同じで、トランジスタM7, M8, M10のサイズは同じである。正負の入力の電位差にトランジスタM4, M5の $g_m$ を乗じた電流がトランジスタM8に出力される。トランジスタM8とトランジスタM10はゲート電極が共通なので、トランジスタM8に流れる電流とトランジスタM10に流れる電流の比は、トランジスタM8とトランジスタM10のサイズ比と同一になる。即ち、トランスコンダクタンス3の出力電流 $I_{out}$ は、正入力と負入力の電位差 $\times$ トランジスタM4, M5の $g_m \times$  (トランジスタM8のサイズ/トランジスタM9のサイズ)で表現できる。

20

## 【0017】

トランスコンダクタンス3は、入力端子2と容量C1の一端に電圧を比較し、入力端子2の電圧が、容量C1の電圧より大きいと出力電流 $I_{out}$ が出力される。

## 【0018】

トランジスタM11, M16, M17は、容量C1の充放電制御回路である。トランジスタM11は、ゲート、ソース間電圧が、固定電位9で一定に保たれているので、トランジスタM11のドレイン、ソース間電流は一定になり、容量C1を一定の電流で放電する。トランジスタM16, M17は、ゲート電極を共通に接続した所謂カレントミラー回路で、トランジスタM16, M17のサイズ比に比例した電流がトランジスタM16, M17に流れる。トランスコンダクタンス3の出力電流 $I_{out}$ が、トランジスタM16を流れるので、トランジスタM17には、トランジスタM16とM17のサイズ比に従った電流が流れる。トランジスタM17を流れる電流は、容量C1を充電する。

30

## 【0019】

トランジスタM9, M14, M15は、トランスコンダクタンス3の出力電流 $I_{out}$ が非常に小さい時、 $I_{out}$ をトランジスタM15に流す為に設けている。トランジスタM9は、ゲート、ソース間電圧が固定電位8で一定に保たれているので、トランジスタM9, M14には、一定の電流が流れる。トランジスタM14, M15は、ゲート電極とソース電極が共通に接続された所謂カレントミラー回路なので、トランジスタM15には、トランジスタM14に流れる電流にトランジスタM14とM15のサイズ比を乗じた電流が流れる。トランスコンダクタンス3の正負入力が等しい場合、理想的に $I_{out}$ は0であるが、実際には、トランジスタM10には、ゲート、ソース間電圧が0でも、わずかな電流、所謂オフリーク電流が流れる。該オフリーク電流は、 $I_{out}$ なので、トランジスタM9, M14, M15が無ければ、容量C1を充電し、容量C1の一端の電圧は上昇する。トランスコンダクタンス3では、 $I_{out}$ を小さくするように負入力が容量C1の一端に接続してあるが、既に、トランジスタM10は、ゲート、ソース間電圧が0であるので

40

50

、これ以上ゲートソース間電圧を小さくできず、オフリーク電流を減らすことはできない。

【0020】

トランジスタM9, M14, M15で、このオフリーク電流と同等か、それ以上の電流を流すと、オフリーク電流は、トランジスタM17ではなくM15を流れるので、容量C1を充電することが無くなる。

【0021】

図6には、トランジスタM9, M14, M15が有るときと、無いときの端子IN, 端子VL, 容量C1の一端の電圧変化と、トランジスタM16, M17のゲート電圧の変化、トランジスタM16, M17のオンオフ状態、コンパレータ7の出力の波形を示す。トランジスタM9, M14, M15が無い回路で、容量C1の一端の電圧が端子INの電圧より低いときには、トランジスタM10のオフリーク電流がトランジスタM17, M16を流れることにより、トランジスタM16, M17のゲートは電源電圧にならず、トランジスタM16, M17は、完全にオフにならないので、容量C1を充電する電流が流れる。容量C1の一端の電圧は、充電により段々と上昇する、端子VLの電圧も段々と上昇する。トランジスタM9, M14, M15がある場合には、トランジスタM10のオフリーク電流は、トランジスタM17ではなく、トランジスタM15を流れる。トランジスタM16, M17のゲート電圧は、電源電圧になり容量C1を充電することはないので、端子VLの電圧が段々と上昇することがない。

【0022】

差動増幅回路5は、トランジスタM18, M19, M20, M21, M22, 容量C2で構成している。トランジスタM19とトランジスタM20はソース電極を共通に接続しゲート電極を正負の入力とした所謂差動入力対を形成している。トランジスタM18のドレイン電極は、トランジスタM19, M20のソース電極に共通に接続し、ゲート電極は固定電位1に接続する。トランジスタM18のソース電極は電源に接続している。トランジスタM21のドレイン電極は、トランジスタM21, M22のゲート電極とトランジスタM19のドレイン電極と容量C2の一端に共通に接続する。トランジスタM22のドレイン電極は、トランジスタM20のドレイン電極と容量C2の他端とに共通に接続する。トランジスタM22のドレイン電極が差動増幅回路5の出力である。差動増幅回路5の構成方法は種々あり、図1, 2の差動増幅回路5は、簡易な構成の一例である。その他の構成の差動増幅回路や汎用オペアンプを使用しても、本発明の効果は失わなれない。

【0023】

差動増幅回路5では、トランジスタM19とトランジスタM20のサイズは等しい。さらにトランジスタM21とトランジスタM22のサイズは等しい。差動増幅回路5のゲインは、正負の入力電圧差 $\times$ トランジスタM19, M20の $g_m \times$  (トランジスタM22の $g_{ds} +$ トランジスタM20の $g_{ds}$ )で表現できる。容量C2は発振防止用の所謂位相補正用の容量である。

【0024】

差動増幅回路は、容量C1の一端の電圧と、抵抗R11の一端の電圧を比較して、その比較結果が、トランジスタM22のドレインに出力される。トランジスタM22のドレインの電圧が上がると、トランジスタM23のゲート、ソース間電圧が大きくなり電流が増す。トランジスタM24にはトランジスタM23と同じ電流が流る。トランジスタM24, M25は、ゲート電極とソース電極が共通で所謂カレントミラー回路を構成している。トランジスタM25には、トランジスタM24に流れる電流に、トランジスタM24, M25のサイズ比を乗じた電流が流れる。抵抗R11, R12には、トランジスタM25の電流と同じ電流が流れる。抵抗R11の一端は、差動増幅回路5の負入力端子に接続しているので、抵抗R11の一端の電圧が上昇すると、トランジスタM22のドレイン電極の電圧が低くなる。従って、抵抗R11の一端の電圧は、容量C1の一端の電圧とほぼ同じになる。

【0025】

端子V Lの電圧値V Lは、抵抗R 1 1の一端の電圧をV p、固定電位1 0の電圧値をV 1 0とすると

$$V L = (V p - V 1 0) \times R 1 1 / (R 1 1 + R 1 2) + V 1 0$$

で表すことが出来る。R 1 1、R 1 2の抵抗値は、容量C 1の放電には無関係で任意に選ぶことが出来る。

#### 【0026】

図5は、図1の回路の端子I N、容量C 1、端子V Lの電圧と、図3のコンパレータ7の出力の波形を示している。図3の閾値設定回路6は、図1のものを用いている。入力端子I Nには、図3に示すように鈍った信号が入力している信号には、雑音が重畳している。閾値設定回路6では、入力端子I Nの波形と容量C 1の一端の電圧を、トランスコンダクタンス3で比較し、入力端子I Nの方が大きいとき、トランスコンダクタンス3のI o u tが発生する。I o u tは、トランジスタM 1 6、M 1 7を通して、容量C 1を充電する。容量C 1の一端の電圧が上昇して、入力端子I Nの電圧に等しいか大きくなると、I o u tは0になり容量C 1の充電は行われず、トランジスタM 1 1により容量C 1の電荷は段々と放電する。コンパレータ7の閾値は、容量C 1の一端の電圧を分圧して得られる端子V Lの電圧で、コンパレータ7の出力は、入力端子I Nの電圧と端子V Lの電圧とを比較した結果を出力する。

#### 【0027】

図2の回路は、図1の閾値設定回路を、改良したものである。図2の回路の閾値設定回路6も、図1の回路と同様に、図3の検出回路に用いることが出来る。トランジスタM 1 2のゲート電極とドレイン電極は共通に容量C 1の一端に接続している。トランジスタ12のソース電極は、トランジスタM 1 3のゲート電極とドレイン電極に接続してある。トランジスタM 1 3のソース電極はGND電位に接続している。トランジスタM 2 5のドレイン電極は、差動増幅回路5の負入力端子と、抵抗R 1の一端に共通に接続している。抵抗R 1他端は、GND電位に接続してある。トランジスタM 2 6のゲート電極は、トランジスタM 2 5のゲート電極と共通に接続している。トランジスタM 2 6のドレイン電極は、トランジスタM 2 7のドレイン電極と抵抗R 2 1の一端に共通に接続している。トランジスタM 2 7のゲート電極は、固定電位1に接続している。トランジスタM 2 6、M 2 7のソース電極は、電源端子に接続している。抵抗R 2 1の他端は、出力端子V Lと抵抗R 2 2の一端に共通に接続している。抵抗R 2 2の他端は、GND電位に接続している。トランジスタM 9のゲート電極は、トランジスタM 2のゲート電極とドレイン電極と、トランジスタM 1のドレイン電極とトランジスタM 1 1のゲート電極に共通に接続している。トランジスタM 2、M 9のソース電極は、GND電位に接続している。トランジスタM 1のゲート電極は、固定電位1に接続している。トランジスタM 1のソース電極は、電源端子に接続している。抵抗R 1の一端は、トランジスタM 2 5のドレイン電極と差動増幅回路5の負入力端子に共通に接続している。抵抗R 1の他端は、GND電位に接続している。抵抗R 1は、図1の抵抗R 1 1、R 1 2に相当する。以上述べた以外は、図1と同一である。

#### 【0028】

ドレイン電極とゲート電極を共通に接続したトランジスタM 1 2、M 1 3をさらに直列にした回路を、クリップ回路4と呼ぶ。容量C 1の電圧が、トランジスタの閾値電圧の2倍を超えるとトランジスタM 1 2、M 1 3がオンするので、トランジスタM 1 7を流れる電流は、容量C 1を充電せずにトランジスタM 1 2、M 1 3を流れる。クリップ回路4がない場合には、電源投入時等に、容量C 1の電圧が、場合によっては、電源電圧そのものになり、信号のピーク電圧まで放電するのに多大な時間を要する。クリップ回路4が有れば、容量C 1の電圧は、トランジスタの閾値電圧の倍より大きくならならず、入力端子2のピーク電圧に等しくなるまでの時間は少なくなる。

#### 【0029】

トランジスタM 2 7と抵抗R 2 1、R 2 2からなる回路は、端子V Lの最小電圧を得る回路である。トランジスタM 2 7のゲート電極は、固定電位1に接続しているので、トランジスタM 2 7には、一定の電流が流れる。トランジスタM 2 6に流れる電流が0のとき、

10

20

30

40

50

端子V Lの電圧は、固定閾値 = R 2 2の抵抗値×トランジスタM 2 7に流れる電流、になる。即ち、トランジスタM 2 7、抵抗R 2 1、R 2 2からなる回路は、図1の固定電位10と同等の機能を果たす。前述したごとく、抵抗R 1の一端の電圧は、容量C 1の一端の電圧と等しいので、トランジスタM 2 5には、容量C 1の電圧に比例した電流が流れる。トランジスタM 2 5、M 2 6はゲート電極とソース電極が共通に接続された所謂カレントミラー回路なので、トランジスタM 2 6を流れる電流も容量C 1の一端の電圧に比例する。端子V Lの電圧は、固定閾値 + トランジスタM 2 6を流れる電流×R 2 2となる。

#### 【0030】

トランジスタM 1はゲート電極が固定電位1に接続しているので、流れる電流は一定である。トランジスタM 2は、トランジスタM 1に直列に接続しているので、流れる電流は一定で、ゲート電極とドレイン電極が共通なので、ゲート、ソース間電圧は一定になる。トランジスタM 1、M 2かならる回路は、図1の固定電位8、9と同一の機能を果たす。図2の回路は、クリップ回路の動作以外は、図1と全く同一の動作をする。

#### 【0031】

図5と図6は、前述したごとく共に図1、図2、図3の回路の動作波形を示している。図5と図6の相違点は、同じ端子I Nの波形にたいして、容量C 1と端子V Lの電圧の応答速度の相違である。図5では、容量C 1の電圧は、端子I Nの最初のピークで端子I Nのピーク電圧と同一になっている、図6では、容量C 1の電圧は、端子I Nの電圧が3回目のピークになってから、端子I Nのピーク電圧に達している。これは、トランスコンダクタンス3の応答速度の違いによる。トランスコンダクタンス3の応答速度は、トランジスタM 4、M 5の $g_m \times$ トランジスタM 8、M 10の比×トランジスタM 16、M 17の比/容量C 1の容量値で表現できる。図6では、応答速度を低く設定している。

#### 【0032】

##### 【発明の効果】

以上説明したごとく。ダイオードの変わりに、正負2つの入力と出力1つの端子をもち、正負入力の電位差を電流として出力する所謂トランスコンダクタンス3と、トランスコンダクタンス3の出力電流を一方通行にする為のトランジスタM 14、M 15、M 16 M 17からなる所謂カレントミラー回路とを用いた。トランスコンダクタンス3は、入力の正負の電圧差が数mVでも入力電圧差に比例した出力電流が得られるので、電圧降下の少ない電圧をC 1に充電、保持することができる。

#### 【0033】

更に、容量C 1の電圧を、差動増幅回路5とトランジスタM 23、M 24、M 25で構成した電圧 - 電流変換回路（以下V I変換回路と呼ぶ）を用いて電流に変換し、変換した電流を抵抗R 11、R 12に流すことで、容量C 1に並列に抵抗を接続しないようにした。容量C 1の放電電流が直接抵抗を流れないので、高い抵抗値を必要としない。

#### 【0034】

一般的なMOS製造プロセスでは、抵抗値の大きな抵抗を作成しようとする、チップ面積が大きくなるが、本発明では、高い抵抗値を必要としないので、特に閾値設定回路、検出回路の集積回路化に有利である。

##### 【図面の簡単な説明】

【図1】本発明の実施例を示す回路図。

【図2】本発明の実施例を示す回路図。

【図3】本発明の実施例を示す回路図。

【図4】従来技術による検出回路。

【図5】本発明の回路の動作波形図。

【図6】本発明の回路の動作波形図。

【図7】従来技術による検出回路の動作波形図。

【図8】従来技術による検出回路の動作波形図。

##### 【符号の説明】

1, 8, 9, 10 固定電位

10

20

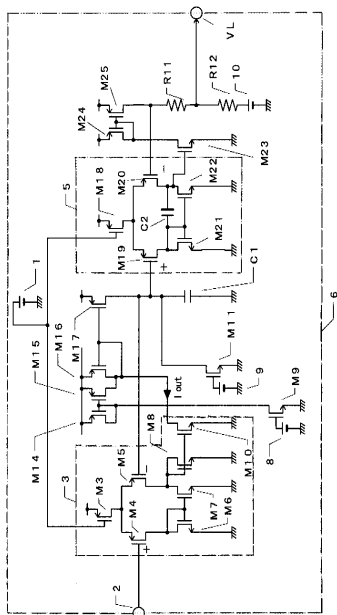
30

40

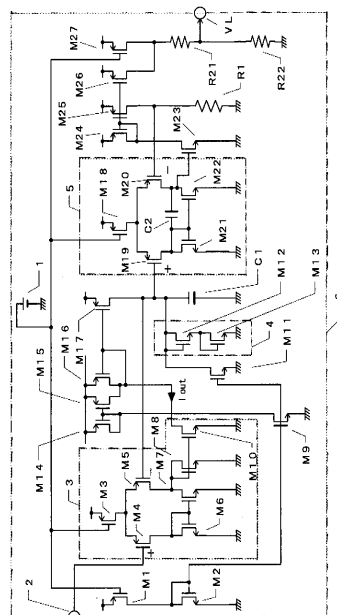
50

- 2 閾値設定回路の入力端子
- V L 閾値設定回路の出力端子
- 3 トランスコンダクタンス
- 5 差動増幅回路
- 6 閾値設定回路
- C 1 , C 2 容量
- I N 検出回路の入力端子
- O U T 検出回路の出力
- M 1 , M 2 トランジスタ
- M 3 , M 4 , M 5 , M 6 , M 7 トランジスタ
- M 9 , M 1 1 , M 1 4 , M 1 5 , M 1 6 トランジスタ
- M 1 8 , M 1 9 , M 2 0 , M 2 1 , M 2 2 トランジスタ
- M 2 3 , M 2 4 , M 2 5 , M 2 6 , M 2 7 トランジスタ
- R 1 , R 1 1 , R 1 2 , R 2 1 , R 2 2 抵抗
- R 3 1 , R 3 2 抵抗
- D i ダイオード

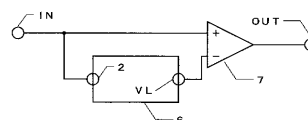
【図 1】



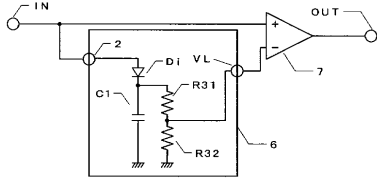
【図 2】



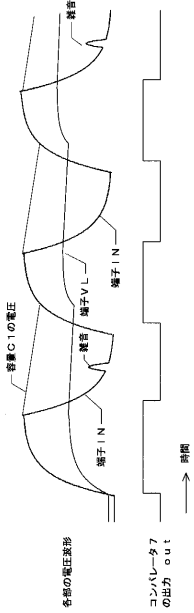
【図 3】



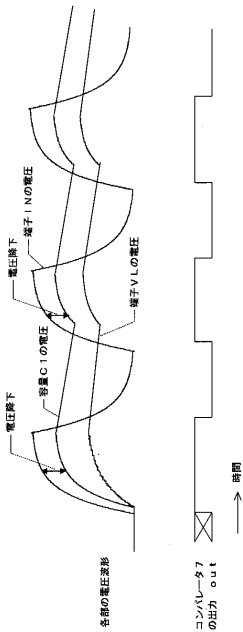
【図4】



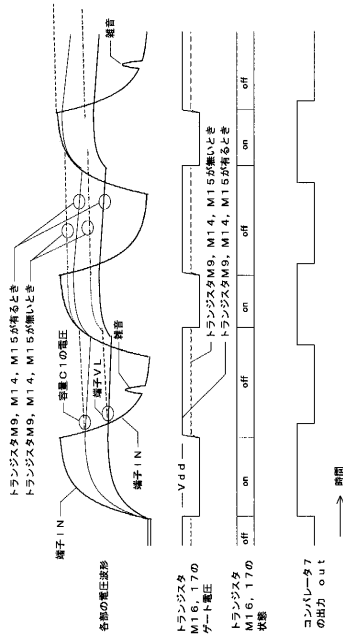
【図5】



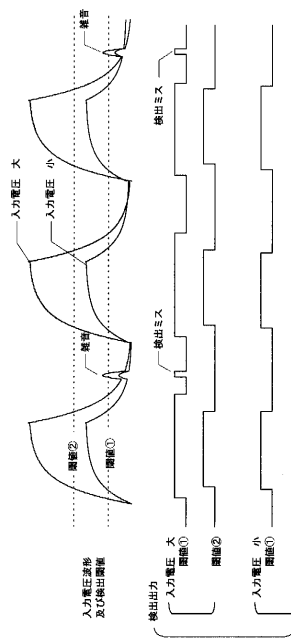
【図7】



【図6】



【図8】



---

フロントページの続き

- (56)参考文献 特開平 10 - 209825 (JP, A)  
特開昭 60 - 25319 (JP, A)  
特開昭 62 - 213480 (JP, A)  
特開昭 62 - 285534 (JP, A)  
実開平 6 - 41235 (JP, U)

(58)調査した分野(Int.Cl., DB名)

H03K 5/08

H03K 5/01