

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成18年1月12日(2006.1.12)

【公開番号】特開2005-39299(P2005-39299A)

【公開日】平成17年2月10日(2005.2.10)

【年通号数】公開・登録公報2005-006

【出願番号】特願2004-319616(P2004-319616)

【国際特許分類】

H 01 L 27/105 (2006.01)

H 01 L 21/8246 (2006.01)

【F I】

H 01 L 27/10 4 4 4 B

【手続補正書】

【提出日】平成17年11月17日(2005.11.17)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上に形成されたトランジスタと、

前記トランジスタを含む前記半導体基板の上に形成された第1の層間絶縁膜と、

前記第1の層間絶縁膜の上に形成された容量下部電極と、

前記容量下部電極の上に形成された強誘電体膜よりなる容量絶縁膜と、

前記容量絶縁膜の上に形成された容量上部電極と、

前記容量上部電極の上に、前記容量上部電極と電気的に接続し且つ前記容量絶縁膜及び前記容量上部電極のそれぞれの側面を覆うように形成された導電性水素バリア膜と、

前記導電性水素バリア膜を含む前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜と、

前記第2の層間絶縁膜の上に形成された配線と、

前記第1の層間絶縁膜に形成され、前記トランジスタと前記容量下部電極とを接続する第1のプラグと、

前記第2の層間絶縁膜に形成され、前記導電性水素バリア膜と前記配線とを接続する第2のプラグとを備えていることを特徴とする強誘電体メモリ。

【請求項2】

前記容量上部電極の少なくとも一部は、P_t膜又はP_tを含む合金膜よりなることを特徴とする請求項1に記載の強誘電体メモリ。

【請求項3】

前記導電性水素バリア膜は、Ti膜、Ta膜、TiON膜、TiN膜、TaN膜、TiAlN膜、TiAlON膜、又は、Ti、Ta、TiON、TiN、TaN、TiAlN若しくはTiAlONを含む合金膜よりなることを特徴とする請求項1に記載の強誘電体メモリ。

【請求項4】

半導体基板上にトランジスタを形成する工程と、

前記トランジスタを含む前記半導体基板の上に第1の層間絶縁膜を形成する工程と、

前記第1の層間絶縁膜に、前記トランジスタと接続する第1のプラグを形成する工程と、

、

前記第1の層間絶縁膜の上に前記第1のプラグと接続するように容量下部電極を形成する工程と、

前記容量下部電極の上に、強誘電体膜よりなる容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に容量上部電極を形成する工程と、

前記容量上部電極の上に、前記容量上部電極と電気的に接続し且つ前記容量絶縁膜及び前記容量上部電極のそれぞれの側面を覆う導電性水素バリア膜を形成する工程と、

前記導電性水素バリア膜を含む前記第1の層間絶縁膜の上に第2の層間絶縁膜を形成する工程と、

前記第2の層間絶縁膜に、前記導電性水素バリア膜と接続する第2のプラグを形成する工程と、

前記第2の層間絶縁膜の上に前記第2のプラグと接続するように配線を形成する工程とを備えていることを特徴とする強誘電体メモリの製造方法。

【請求項5】

前記容量上部電極の少なくとも一部は、Pt膜又はPtを含む合金膜よりなることを特徴とする請求項4に記載の強誘電体メモリの製造方法。

【請求項6】

前記導電性水素バリア膜は、Ti膜、Ta膜、TiON膜、TiN膜、TaN膜、TiAlN膜、TiAlON膜、又は、Ti、Ta、TiON、TiN、TaN、TiAlN若しくはTiAlONを含む合金膜よりなることを特徴とする請求項4に記載の強誘電体メモリの製造方法。

【請求項7】

半導体基板上における一の領域に形成されたトランジスタと、

前記半導体基板上における他の領域に形成された導電層と、

前記トランジスタ及び導電層を含む前記半導体基板の上に形成された第1の層間絶縁膜と、

前記第1の層間絶縁膜の上に形成された容量下部電極と、

前記容量下部電極の上に形成された強誘電体膜よりなる容量絶縁膜と、

前記容量絶縁膜の上に形成された容量上部電極と、

前記容量上部電極の上に、前記容量上部電極と電気的に接続し且つ前記容量絶縁膜及び前記容量上部電極のそれぞれの側面を覆うと共に前記容量上部電極の外側まで延びるように形成された導電性水素バリア膜と、

前記導電性水素バリア膜を含む前記第1の層間絶縁膜の上に形成された第2の層間絶縁膜と、

前記第2の層間絶縁膜の上に形成された配線と、

前記第1の層間絶縁膜に形成され、前記トランジスタと前記容量下部電極とを接続する第1のプラグと、

前記第1の層間絶縁膜に形成され、前記導電層と前記導電性水素バリア膜とを電気的に接続する第2のプラグと、

前記第1の層間絶縁膜及び第2の層間絶縁膜に形成され、前記導電層と前記配線とを接続する第3のプラグとを備えていることを特徴とする強誘電体メモリ。

【請求項8】

前記導電層は、前記半導体基板の表面部に形成された不純物拡散層、又は前記不純物拡散層の表面部がシリサイド化された層であることを特徴とする請求項7に記載の強誘電体メモリ。

【請求項9】

前記第1の層間絶縁膜は下層膜とその上に形成された上層膜とを有しており、

前記導電層は前記下層膜と前記上層膜との間に形成されていることを特徴とする請求項7に記載の強誘電体メモリ。

【請求項10】

前記容量上部電極の少なくとも一部は、Pt膜又はPtを含む合金膜よりなることを特

徴とする請求項 7 に記載の強誘電体メモリ。

【請求項 1 1】

前記導電性水素バリア膜は、Ti 膜、Ta 膜、TiON 膜、TiN 膜、TaN 膜、TiAlN 膜、TiAlON 膜、又は、Ti、Ta、TiON、TiN、TaN、TiAlN 若しくは TiAlON を含む合金膜よりなることを特徴とする請求項 7 に記載の強誘電体メモリ。

【請求項 1 2】

前記第 1 の層間絶縁膜の上に形成された接続パッドをさらに備え、

前記第 2 のプラグは、前記接続パッドを介して前記導電性水素バリア膜と接続することを特徴とする請求項 7 に記載の強誘電体メモリ。

【請求項 1 3】

半導体基板上における一の領域にトランジスタを形成する工程と、

前記半導体基板上における他の領域に導電層を形成する工程と、

前記トランジスタ及び導電層を含む前記半導体基板の上に第 1 の層間絶縁膜を形成する工程と、

前記第 1 の層間絶縁膜に、前記トランジスタと接続する第 1 のプラグと、前記導電層と接続する第 2 のプラグとを形成する工程と、

前記第 1 の層間絶縁膜の上に前記第 1 のプラグと接続するように容量下部電極を形成する工程と、

前記容量下部電極の上に、強誘電体膜よりなる容量絶縁膜を形成する工程と、

前記容量絶縁膜の上に容量上部電極を形成する工程と、

前記容量上部電極の上に、前記容量絶縁膜及び前記容量上部電極のそれぞれの側面を覆うと共に前記容量上部電極の外側まで延び且つ前記第 2 のプラグ及び前記容量上部電極のそれぞれと電気的に接続するように導電性水素バリア膜を形成する工程と、

前記導電性水素バリア膜を含む前記第 1 の層間絶縁膜の上に第 2 の層間絶縁膜を形成する工程と、

前記第 1 の層間絶縁膜及び第 2 の層間絶縁膜に、前記導電層と接続する第 3 のプラグを形成する工程と、

前記第 2 の層間絶縁膜の上に前記第 3 のプラグと接続するように配線を形成する工程とを備えていることを特徴とする強誘電体メモリの製造方法。

【請求項 1 4】

前記容量下部電極を形成する工程は、前記第 1 の層間絶縁膜の上に前記第 2 のプラグと接続するように接続パッドを形成する工程を含み、

前記導電性水素バリア膜を形成する工程は、前記導電性水素バリア膜を前記接続パッドと接続するように形成する工程を含むことを特徴とする請求項 1 3 に記載の強誘電体メモリの製造方法。

【請求項 1 5】

前記容量絶縁膜を形成する工程は、前記容量絶縁膜を、その端部が前記接続パッドの上に位置するように形成する工程を含むことを特徴とする請求項 1 4 に記載の強誘電体メモリの製造方法。

【請求項 1 6】

前記導電性水素バリア膜を形成する工程は、前記容量絶縁膜となる絶縁性膜及び前記容量上部電極となる第 1 の導電性膜をパターン化するために用いられたマスクパターンを用いて、前記導電性水素バリア膜となる第 2 の導電性膜をパターン化した後、前記導電性水素バリア膜の側面に前記第 2 のプラグと電気的に接続するように導電性のサイドウォールを形成する工程を含むことを特徴とする請求項 1 3 に記載の強誘電体メモリの製造方法。

【請求項 1 7】

前記サイドウォールは水素バリア性を有することを特徴とする請求項 1 6 に記載の強誘電体メモリの製造方法。

【請求項 1 8】

前記容量下部電極を形成する工程は、前記第1の層間絶縁膜の上に前記第2のプラグと接続するように接続パッドを形成する工程を含み、

前記導電性水素バリア膜を形成する工程は、前記サイドウォールを前記接続パッドと接続するように形成する工程を含むことを特徴とする請求項16に記載の強誘電体メモリの製造方法。

【請求項19】

前記容量絶縁膜を形成する工程は、前記容量絶縁膜を、その端部が前記接続パッドの上に位置するように形成する工程を含むことを特徴とする請求項18に記載の強誘電体メモリの製造方法。

【請求項20】

前記導電層は、前記半導体基板の表面部に形成された不純物拡散層、又は前記不純物拡散層の表面部がシリサイド化された層であることを特徴とする請求項13に記載の強誘電体メモリの製造方法。

【請求項21】

前記第1の層間絶縁膜は下層膜とその上に形成された上層膜とを有しており、

前記導電層は前記下層膜と前記上層膜との間に形成されていることを特徴とする請求項13に記載の強誘電体メモリの製造方法。

【請求項22】

前記容量上部電極の少なくとも一部は、Pt膜又はPtを含む合金膜よりなることを特徴とする請求項13に記載の強誘電体メモリの製造方法。

【請求項23】

前記導電性水素バリア膜は、Ti膜、Ta膜、TiON膜、TiN膜、TaN膜、TiAlN膜、TiAlON膜、又は、Ti、Ta、TiON、TiN、TaN、TiAlN若しくはTiAlONを含む合金膜よりなることを特徴とする請求項13に記載の強誘電体メモリの製造方法。