



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년05월27일  
(11) 등록번호 10-0899478  
(24) 등록일자 2009년05월19일

(51) Int. Cl.

H04L 7/10 (2006.01)

(21) 출원번호 10-2004-7002266

(22) 출원일자 2004년02월16일

심사청구일자 2007년07월05일

번역문제출일자 2004년02월16일

(65) 공개번호 10-2004-0036712

(43) 공개일자 2004년04월30일

(86) 국제출원번호 PCT/IL2002/000685

국제출원일자 2002년08월19일

(87) 국제공개번호 WO 2003/017551

국제공개일자 2003년02월27일

(30) 우선권주장

09/933,065 2001년08월20일 미국(US)

(56) 선행기술조사문헌

W02001028146 A1

전체 청구항 수 : 총 20 항

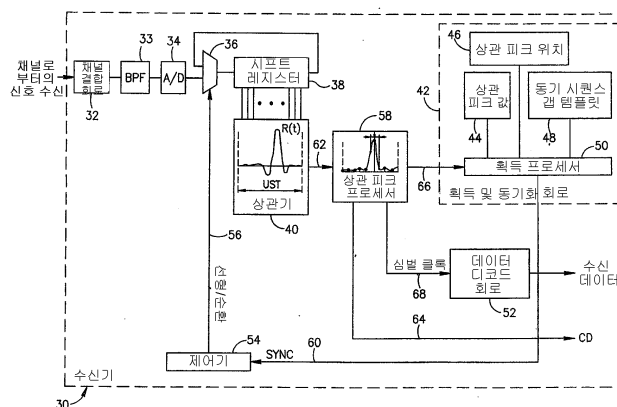
심사관 : 장진환

(54) 확산 스펙트럼 통신 트랜시버에서의 동기화 획득

(57) 요약

본 발명에 따르면, 확산 스펙트럼 통신 시스템에 대한 개선된 획득 메커니즘이 제공되며, 이것에 의해 사전 정의된 시간 지연 간격에 의해 분리된 복수의 공지된 심벌을 포함하는 동기화 시퀀스가 패킷 신호의 시작으로 전송된다. 수신기에서, 수신된 신호는 심벌들 사이에 삽입된 시간 지연 간격 또는 사전 정의된 갭을 사용하여 동기화 시퀀스에 대해 상관된다. 수신된 신호는 선형으로 상관되어, 수신된 각 심벌에 대해 상관 피크를 발생한다. 그 다음에 각 상관 피크의 예상 위치가 계산되고, 수신된 상기 상관 피크의 위치와 비교된다. 매칭 수가 임계치를 초과하면, 동기화가 선언된다.

대표도 - 도2



(72) 발명자

**바쎌, 이브제니**

이스라엘84265비어세바아브라함마푸스트리트19

**자러드, 보리스**

이스라엘84481비어세바라브헤르조그스트리트25

---

## 특허청구의 범위

### 청구항 1

복수의 사전 정의된 동기화 시퀀스 템플릿(template) 중 하나에 따라서 발생된 복수의 심벌을 포함하는 패킷 신호의 시작 시에 동기화를 획득하는 방법에 있어서 - 상기 복수의 사전 정의된 동기화 시퀀스 템플릿 각각은 복수의 심벌을 포함하고, 상기 심벌들 사이에는 특정 시간 딜레이가 삽입되어 있음 - ,

수신 신호를 상관시켜 복수의 수신된 상관 피크를 발생하는 단계와,

후보 동기화 시퀀스 템플릿의 심벌들 사이의 특정 시간 딜레이에 따라서 각각의 수신된 상관 피크의 예상 위치를 계산하는 단계와,

각각의 예상 위치에서 상관 특성(correlation quality)을 결정하는 단계와,

상기 상관 특성을 평가하고, 상기 평가가 사전 결정된 기준(criteria)을 초과하면 동기화를 선언하는 단계와,

상기 후보 동기화 시퀀스 템플릿의 특정 시간 딜레이 패턴에 따라 패킷 타입 정보를 추출하는 단계를 포함하는 동기화 획득 방법.

### 청구항 2

제 1 항에 있어서,

상기 상관 특성은, 동기화 시퀀스 맵 템플릿에 제공되는, 대응하는 예상 위치로부터 각각의 상기 수신된 상관 피크의 거리에 따라서 결정되는 동기화 획득 방법.

### 청구항 3

제 1 항에 있어서,

상기 상관 특성은, 상기 수신된 상관 피크의 위치가 대응하는 상기 예상 위치의 사전 결정된 거리 내에 있는 경우에 매칭(match)으로 설정되고, 그 외의 경우에는 비매칭(no match)으로 설정되는 동기화 획득 방법.

### 청구항 4

제 1 항에 있어서,

상기 상관 특성을 결정하는 단계는, 상기 예상 위치에서의 패킷 신호의 수신된 개시의 상관 값을 계산하는 단계를 포함하고, 상기 평가 단계는 동기화 시퀀스와 연관된 복수의 상관 특성을 합산하는 단계를 포함하는 동기화 획득 방법.

### 청구항 5

제 1 항에 있어서,

마지막으로 수신된 상관 피크 이전의 상관 피크를 정확한 것으로 가정(considering)하는 단계와,

상기 상관 피크의 예상 위치를 계산하는 단계, 상관 특성(correlation quality)을 결정하는 단계, 및 상기 상관 특성을 평가하는 단계를 반복하는 단계를 더 포함하되,

상기 예상 위치는 마지막으로 수신된 상관 피크 이전의 상관 피크를 참조하여 계산되는 동기화 획득 방법.

### 청구항 6

제 3 항에 있어서,

상기 매칭의 수가 임계치와 동일한 경우, 각각의 매칭 상관 피크의 값의 합이 피크 값 임계치를 초과하는 경우에만 동기화가 선언되는 동기화 획득 방법.

### 청구항 7

제 1 항에 있어서,

동기화 포인트를 상기 예상 위치 및 각각의 매칭 상관 피크의 상기 수신된 상관 피크의 위치 사이의 차의 평균의 함수로서 결정하는 단계를 더 포함하는 동기화 획득 방법.

#### 청구항 8

패킷 동기화 시퀀스의 시작을 발생하는 방법에 있어서,

상기 동기화 시퀀스에서 전송될 복수의 N 개의 심벌을 발생하는 단계와,

상기 동기화 시퀀스 내의 상기 복수의 심벌 사이에 특정 시간 딜레이를 삽입하는 단계 - 여기서 동기화 시퀀스와 연관된 상기 특정 시간 딜레이는 다른 모든 동기화 시퀀스와 연관된 시간 딜레이에 직교하도록 선택됨 - ;

상기 동기화 시퀀스를 인코딩하는 단계; 및

상기 인코딩된 동기화 시퀀스를 채널에 전송하는 단계를 포함하고,

심볼간 상이한 시간 딜레이를 갖는 동기화 시퀀스는, 패킷 타입 정보의 운반 및 하나 이상의 대응하는 수신기에 서의 동기화 획득에 기여하는 것을 특징으로 하는 패킷 동기화 시퀀스의 시작을 발생하는 방법.

#### 청구항 9

복수의 심벌을 포함하는 패킷 동기화 시퀀스의 시작시에 통신 네트워크 내에서 동기화를 획득하는 장치로서, 연속하는 심벌들(consecutive symbols)은 사전 결정된 복수의 동기화 템플릿 중 하나에 따라서 분리되어 있고, 복수의 동기화 템플릿 각각은 복수의 심벌을 포함하며, 복수의 심벌들은 그 사이에 특정 시간 딜레이가 삽입되어 있는 동기화 획득 장치에 있어서,

상기 동기화 획득 장치는,

상기 동기화 시퀀스 내의 각각의 수신된 심벌에 응답하여 상관 피크를 발생하도록 구성된 상관기와, 획득 회로를 포함하고,

상기 획득 회로는,

후보 동기화 템플릿의 심벌들 사이의 특정 시간 딜레이에 따라서 각각의 수신된 상관 피크의 예상 위치를 계산하는 수단과,

각각의 예상 위치에서의 상관 특성을 결정하는 수단과,

상기 상관 특성을 평가하고, 상기 평가가 사전 결정된 기준을 초과하면 동기화를 선언하는 수단과,

상기 후보 동기화 시퀀스 템플릿의 특정 시간 딜레이 패턴에 따라 패킷 타입 정보를 추출하는 수단을 포함하는 동기화 획득 장치.

#### 청구항 10

제 9 항에 있어서,

상기 상관 특성은, 상기 수신된 상관 피크의 위치가 대응하는 상기 예상 위치의 사전 결정된 거리 내에 있는 경우에 매칭(match)으로 설정되고, 그 외의 경우에는 비매칭(no match)으로 설정되는 동기화 획득 장치.

#### 청구항 11

제 9 항에 있어서,

상기 사전 결정된 기준은 임계치를 초과하는 매칭의 수를 포함하며, 임계치는 상기 상관 피크의 높이의 함수로 설정되는 동기화 획득 장치.

#### 청구항 12

제 9 항에 있어서,

상기 상관 특성을 결정하는 수단은, 상기 예상 위치에서의 패킷 신호의 수신된 개시의 상관 값을 계산하는 수단을 포함하고, 상기 평가 수단은 동기화 시퀀스와 연관된 복수의 상관 특성을 합산하는 수단을 포함하는 동기화

획득 장치.

### 청구항 13

제 9 항에 있어서,

동기화 포인트를 상기 예상 위치 및 각각의 매칭 상관 피크의 상기 수신된 상관 피크의 위치 사이의 차의 평균의 함수로서 결정하는 수단을 더 포함하는 동기화 획득 장치.

### 청구항 14

제 9 항에 있어서,

동기화 특성 인자를 계산하는 수단을 더 포함하고,

이것에 의해 관련된 보다 높은 동기화 특성 인자를 갖는 새로운 패킷을 수신한 경우에 수신기가 사전에 수신되는 상기 패킷을 탈락시키고 즉각 상기 새로운 패킷을 수신하는 동기화 획득 장치.

### 청구항 15

통신 네트워크에서 동기화 획득 방법에 있어서,

송신 스테이션에 의해 송신된 패킷의 시작에서 직교 동기화 시퀀스를 수신하는 단계로서, 송신된 직교 동기화 시퀀스는 복수의 심벌을 포함하고, 각각의 심벌은 사전 결정된 동기화 시퀀스 템플릿에 대응하는 특정 시간 딜레이에 의해 분리되는 수신 단계와,

수신된 동기화 시퀀스를 상관시켜 복수의 상관 피크를 발생하는 단계와,

사전 정의된 델타 내의 예상 위치 내에서 상관 피크의 존재를 탐색하는 단계로서, 상기 예상 위치는 상기 송신 스테이션에 의해 심벌들 사이에 삽입된 사전 결정된 시간 지연을 가진 후보 동기화 시퀀스에 대응하는 상기 탐색 단계와,

상기 델타 내의 대응하는 예상 위치에서 발견된 상관 피크의 수가 임계치를 초과하는 경우에 동기화를 선언하는 단계와,

동기화 시점(time point)을 수신된 상관 피크의 위치와 이들의 대응하는 예상 위치 간의 차의 함수로서 결정하는 단계와,

상기 후보 동기화 시퀀스 템플릿의 특정 시간 딜레이 패턴에 따라 패킷 타입 정보를 추출하는 단계를 포함하는 동기화 획득 방법.

### 청구항 16

제 15 항에 있어서,

동기화 포인트를 상기 예상 위치 및 각각의 매칭 상관 피크의 상기 수신된 상관 피크의 위치 사이의 차의 평균의 함수로서 결정하는 단계를 더 포함하는 동기화 획득 방법.

### 청구항 17

복수의 심벌의 패킷 동기화 시퀀스의 시작을 포함하는 전송 신호에 대한 통신 네트워크에서 동기화를 획득하기 위한 ASIC(Application Specific Integrated Circuit)에 있어서 - 연속하는 심벌들은, 복수의 사전 결정된 직교 동기화 시퀀스 맵 템플릿 중 하나에 따라 그들 사이에 삽입된 사전 결정된 시간 딜레이를 가짐 - ,

상기 전송 신호로부터 수신 신호를 발생하도록 구성된 수신 수단과,

상기 동기화 시퀀스 내의 각각의 수신된 심벌에 응답하여 상기 수신 신호로부터 상관 피크를 발생하도록 구성된 상관기 수단과,

후보 동기화 시퀀스 템플릿의 심벌들 사이의 특정 시간 딜레이에 따라서 각각의 수신된 상관 피크의 예상 위치를 계산하는 계산 수단과,

상기 예상 위치에서의 상관 특성을 발생하기 위한 결정 수단과,

상기 상관 특성을 평가하고, 상기 평가가 사전 결정된 기준을 초과하면 동기화를 선언하는 수단과,  
상기 후보 동기화 시퀀스 템플릿의 특정 시간 딜레이 패턴에 따라 패킷 타입 정보를 추출하는 수단을 포함하는 ASIC.

#### 청구항 18

공유된 통신 매체 기반의 네트워크를 통해 접속된 다른 스테이션들과 신호를 송수신하는 통신 스테이션에 있어서,

상기 네트워크를 통해 수신된 수신 신호를 발생하고, 상기 네트워크로 전송 신호를 출력하는 결합 회로(a coupling circuit)와,

변조 구조에 따라서 전송되는 데이터 및 동기화 시퀀스를 변조하여 이로부터 상기 전송 신호를 발생하도록 구성된 송신기로서, 상기 동기화 시퀀스는 복수의 사전 결정된 직교 동기화 시퀀스 중 하나에 따라 생성되고, 복수의 심볼들을 포함하며, 복수의 심볼들 사이에는 특정 시간 딜레이가 삽입되어 있는 상기 송신기와,

상기 변조 구조에 따라서 상기 수신 신호를 복조하여, 이로부터 수신 데이터신호를 발생하도록 구성된 수신기와,

애플리케이션 프로세서를 상기 공유된 통신 매체에 인터페이스 접속하도록 구성된 매체 액세스 제어기(MAC; media access control)를 포함하고,

상기 수신기는 획득 회로를 포함하고, 상기 획득 회로는

상기 수신 신호를 상관시켜 이로부터 복수의 수신된 상관 피크를 발생하는 수단과,

후보 동기화 시퀀스 템플릿의 심볼들 사이의 특정 시간 딜레이에 따라 각각의 수신된 상관 피크의 예상 위치를 계산하는 수단과,

각각의 수신된 상관 피크의 위치를 이에 대응하는 예상 위치와 비교하여, 만약 수신된 상관 피크의 위치가 상기 대응하는 예상 위치의 사전결정된 거리 내에 있으면 매칭을 선언하는 수단과,

매칭의 수가 임계치를 초과하면 동기화를 선언하는 수단과,

상기 후보 동기화 시퀀스 템플릿의 특정 시간 딜레이 패턴에 따라 패킷 타입 정보를 추출하는 수단을 포함하고,

상기 애플리케이션 프로세서는 상기 송신기, 수신기 및 MAC의 동작을 제어하고, 상기 MAC 및 외부 호스트 사이의 인터페이스를 제공하도록 구성되는 통신 스테이션.

#### 청구항 19

패킷 동기화 시퀀스의 개시를 생성하기 위한 방법에 있어서,

동기화 시퀀스 내에서 전송될 복수의 심볼을 생성하는 단계;

상기 동기화 시퀀스 내의 상기 복수의 심볼 사이에 특정 시간 딜레이를 삽입하는 단계 - 상기 동기화 시퀀스는 다른 동기화 시퀀스들과는 직교하도록 선택됨 - ; 및

상기 동기화 시퀀스를 채널로 전송하는 단계를 포함하는 패킷 동기화 시퀀스의 개시를 생성하기 위한 방법.

#### 청구항 20

패킷 동기화 시퀀스의 개시를 생성하기 위한 방법에 있어서,

동기화 시퀀스 내에서 전송될 복수의 심볼을 생성하는 단계;

상기 동기화 시퀀스 내의 상기 복수의 심볼 사이에 특정 시간 딜레이를 삽입하는 단계 - 상기 특정 시간 딜레이는 개별적인 동기화 시퀀스를 위한 높은 자동상관(a high autocorrelation) 함수 및 연속하는 동기화 시퀀스를 위한 낮은 상호상관(a low crosscorrelation) 함수를 생성하도록 선택됨 - ; 및

상기 동기화 시퀀스를 채널로 전송하는 단계를 포함하는 패킷 동기화 시퀀스의 개시를 생성하기 위한 방법.

#### 청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

삭제

청구항 32

삭제

청구항 33

삭제

청구항 34

삭제

청구항 35

삭제

청구항 36

삭제

청구항 37

삭제

청구항 38

삭제

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

삭제

청구항 48

삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53



삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

청구항 60

삭제

청구항 61

삭제

청구항 62

삭제

청구항 63

삭제

청구항 64

삭제

청구항 65

삭제

청구항 66

삭제

청구항 67

삭제

청구항 68

삭제

청구항 69

삭제

청구항 70

삭제

청구항 71

삭제

청구항 72

삭제

청구항 73

삭제

청구항 74

삭제

청구항 75

삭제

청구항 76

삭제

## 명세서

### 기술분야

- <1> 본 발명은 일반적으로 데이터 통신 시스템에 관한 것으로, 특히 확산 스펙트럼 통신 트랜시버에서 동기화를 획득하는 방법 및 장치에 관한 것이다.

### 배경기술

- <2> 통신의 신뢰도 및 보안을 개선하기 위해 확산 스펙트럼 통신 기법을 사용하는 것은 공지되어 있으며, 일반화되고 있다. 확산 스펙트럼 통신은 전송될 데이터의 대역폭보다 훨씬 더 큰 스펙트럼 대역폭을 이용하여 데이터를 전송한다. 이것은 다른 이점들 외에, 높은 협대역 노이즈, 스펙트럼 왜곡 및 펄스 노이즈가 존재하는 경우에 보다 신뢰성 있는 통신을 제공한다. 확산 스펙트럼 통신 시스템은 통상적으로 상관 기법을 이용하여 인입되는 수신된 신호를 식별한다.
- <3> 확산 스펙트럼 통신 시스템은 고 에너지의 협대역 적군의 전파 방해를 극복하기 위해 군사 환경적 목적으로 개발되었다. 확산 스펙트럼 통신 시스템은 또한 상업적 또는 가정용 환경에서, AC 전력선과 같은 잡음(noise) 매체 상에서 신뢰할 수 있는 통신을 얻기 위해 사용될 수도 있다. 특히, 어떤 가정용 전기 기구 및 장치는 전력선 상으로 보내진 통신 신호를 잠재적으로 매우 혼란시킬 수도 있다. 예를 들면, 전자 조광(dimming) 장치는 조광 기능을 수행하는데 있어서 통상적으로 트라이악 또는 실리콘 제어형 정류기(SCR)를 이용하여 AC 파형을 제어하기 때문에, 다량의 잡음을 전력선으로 전달할 수 있다.
- <4> AC 전력선과 같은 통신 매체는 고속 페이딩(fast fading), 예측 불가능한 진폭 및 위상 왜곡 및 부가적인 잡음에 의해 변조될 수 있다. 또한, 통신 채널은 예측 불가능한 시간 변화형 전파 방해 및 협대역 간섭을 받을 수도 있다. 이러한 채널을 통해 디지털 데이터를 전송하기 위해, 데이터 전송에 가능한 한 넓은 대역폭을 사용하는 것이 바람직하다. 이것은 확산 스펙트럼 기법을 이용하여 이루어질 수 있다.
- <5> 확산 스펙트럼 수신기는 추적 루프 또는 기타 추적 메커니즘과 함께 선택적으로 몇몇 형태의 획득 방법을 이용하여 일반적으로 얻어지는 동기화를 이루는데 요구된다. AC 전력선과 같은 시끄러운 예측 불가능한 환경에서, 추적 루프는 통상적으로 고장나서 빈번히 정보의 손실을 일으킨다. 이들 단점을 극복하기 위한 통신 시스템은

대형이며 복잡하고 비용이 많이 든다.

- <6> 확산 스펙트럼 통신 시스템에서 서로 통신하는 송신기와 수신기 사이의 신호들의 동기는 이들 사이에서 신호를 전송하는 프로세스의 중요한 특징이다. 송신기와 수신기 사이의 동기는, 이들 사이에서 동기화되는 확산 코드에 의해 수신된 신호의 역확산을 가능하게 하여 수신된 신호로부터 원래 전송된 신호가 복원될 수 있도록 하는데 필요하다. 동기는, 수신된 신호가 수신기의 확산 코드에 대해 칩 생성물 및 그 확산 코드 패턴 위치에서 정확히 타이밍될 때, 얻어진다.
- <7> 동기화 관련된 문제점들 중 하나는 두 신호를 동기화하는데 사용된 기법이 실시하기에 비교적 비용이 많이 든다는 것이다. 복수의 비교적 저렴한 원격 통신 사이트를 담당하는 복잡하고 비교적 고가의 중앙 통신 사이트를 갖는 통신 시스템에서, 중앙 통신 사이트의 비용을 증가시키지 않으면서 원격 통신 사이트 내의 동기 시스템의 비용을 감소시키는 것이 바람직하다.
- <8> 통신 트랜시버에서, 임의의 에러 정정 코드가 패킷의 데이터 부분에 사용된 획득 메커니즘이 보다 신뢰할 수 있는 것이 바람직하다. 즉, 동기화를 정확하게 선언하는 것이 바람직하며, 약한 획득 알고리즘 때문에 전체 패킷을 모두 놓치는 것보다 패킷 데이터를 정확하게 디코딩할 수 없는 것이 바람직하다.
- <9> 또한, 획득 알고리즘이 잡음으로 인해 동기가 잘못될 가능성이 가능한 한 낮은, 예컨대 5초에 한번보다 적은 것이 바람직하다. 획득 메커니즘은 한 번 이상의 동기 시퀀스를 이용할 수 있어야 하며, 이것에 의해 다른 시퀀스로부터의 동기화 가능성이 최소화된다.

### 발명의 상세한 설명

- <10> 따라서, 본 발명은 신규하고 유용한 획득 및 동기화 메커니즘을 제공한다. 본 발명의 메커니즘은 전력선 캐리어 통신을 사용하는 네트워크와 같은 공유된 매체를 특징으로 하는 통신 시스템에 유용하다. 일반적으로, 본 발명은, 복수의 스테이션이 공유된 통신 매체에 접속되고, 이것에 의해 수신 스테이션이 각 패킷의 시작에서 수신 스테이션에 의해 송신된 패킷 신호의 시작시에 동기화를 획득해야 하는 경우에 적용가능하다.
- <11> 확산 스펙트럼 통신 시스템에 대한 개선된 획득 메커니즘이 제공되며, 이것에 의해 사전 정의된 시간 지연 간격에 의해 분리된 복수의 공지된 심벌을 포함하는 동기화 시퀀스가 패킷 신호의 시작으로 전송된다. 수신기에서, 수신된 신호는 심벌들 사이에 삽입된 시간 지연 간격 또는 사전 정의된 갭을 사용하는 동기화 시퀀스에 대해 상관된다.
- <12> 수신된 신호는 먼저, 수신된 각 심벌에 대해 상관 피크를 발생하도록 기능하는 선형 상관기를 통과한다. 그 다음에 각 상관 피크의 예상 위치가 계산되고, 수신된 상기 상관 피크의 위치와 비교된다.
- <13> 획득 알고리즘은, 0개 이상의 수신된 심벌에 에러가 있음을 고려하면서, 매칭되는 상관 피크를 탐색하도록 구성된다. 또한, 상기 알고리즘은, 예상 상관 위치가 수신된 상관 피크의 사전 정의된 델타 내에 있을 경우에 매칭을 허용한다. 그 외의 경우에는, 획득 알고리즘은 각각의 사전 정의된 동기화 시퀀스를 수신된 상관 피크에 상관시키기 위해 반복된다.
- <14> 동기화가 선언되면, 동기화 특성 인자가, 매칭의 수 및 그 값이 임계치를 초과하는 상관 피크의 수의 함수로서 계산된다. 후속 동기화가 선언되면, 특성 인자가 비교되고, 최신의 특성 인자가 더 크면, 이전의 패킷은 탈락되고 현재의 패킷이 수신된다. 헤더 CRC 체크섬(checksum) 필드가 확인될 때까지 동기화 특성을 비교하고 다음 패킷을 위해 이전의 패킷을 탈락시키는 프로세스가 수행된다. 헤더 CRC가 검사되고 확인된 후, 수신기는 현재의 패킷을 수신하는 단계로 고정된다.
- <15> 획득 메커니즘은 복수의 동기화 시퀀스를 제공하는데, 여기서 다른 시퀀스로 고장 검출의 가능성을 감소시키기 위해 시퀀스의 교차 상관이 최소화된다. 복수의 동기화 시퀀스를 사용하면, 추가적인 정보가 수신 스테이션으로 전송될 수 있다. 예를 들면, 다른 시퀀스들이 수신기에게 그 패킷 송신에 사용된 변조 구조 또는 특정 패킷 유형을 나타내도록 구성될 수 있다.
- <16> 전술한 본 발명의 많은 특징들은 펌웨어로서 삽입된 디바이스에서 실행하는 소프트웨어 객체, 윈도우즈, UNIX, LINUX 등과 같은 운영체제를 구동하는 컴퓨터 시스템 상의 소프트웨어 애플리케이션의 일부로서 실행되는 소프트웨어 객체, ASIC(Application Specific Integrated Circuit) 또는 기능적으로 동등한 분리된 하드웨어 요소로서 구축될 수도 있다.
- <17> 따라서, 본 발명에 따르면, 사전정의된 동기화 시퀀스 템플릿(template)에 따라서 발생된 복수의 심벌을 포함하

는 패킷 신호의 시작 시에 동기화를 획득하는 방법에 있어서, 수신 신호를 상관시켜 복수의 수신된 상관 피크를 발생하는 단계와, 상기 사전 정의된 동기화 시퀀스 템플릿에 따라서 각각의 수신된 상관 피크의 예상 위치를 계산하는 단계와, 상기 예상 위치에서 상관 특성(correlation quality)을 판정하는 단계와, 상기 상관 특성을 평가하고, 상기 평가가 사전 결정된 기준(criteria)을 초과하면 동기화를 선언하는 단계를 포함하는 동기화 획득 방법이 제공된다.

<18> 또한, 본 발명에 따르면, 패킷 동기화 시퀀스의 시작을 발생하는 방법에 있어서, 상기 동기화 시퀀스에서 전송될 복수의 N 개의 심벌을 발생하는 단계와, N-1 개의 사전 결정된 신호를 발생하는 단계와, 상기 동기화 시퀀스 내의 각각의 제 1 N-1 개의 심벌 다음에 상기 N-1 개의 사전 결정된 신호 중 하나를 삽입하는 단계를 포함하고, N은 양의 정수인 방법이 제공된다.

<19> 또한, 본 발명에 따르면, 복수의 심벌을 포함하는 패킷 동기화 시퀀스의 시작시에 통신 네트워크 내에서 동기화를 획득하는 장치로서, 각각의 심벌 쌍이 사전 결정된 동기화 템플릿에 따라서 분리되어 있는 상기 장치에 있어서, 상기 동기화 시퀀스 내의 각각의 수신된 심벌에 응답하여 상관 피크를 발생하도록 구성된 상관기와, 획득 회로를 포함하고, 상기 획득 회로는 상기 사전 결정된 동기화 템플릿에 따라서 각각의 수신된 상관 피크의 예상 위치를 계산하는 수단과, 상기 예상 위치에서의 상관 특성을 결정하는 수단과, 상기 상관 특성을 평가하고, 상기 평가가 사전 결정된 기준을 초과하면 동기화를 선언하는 수단을 포함하는 동기화 획득 장치가 제공된다.

<20> 또한, 본 발명에 따르면, 통신 네트워크에서 동기화 획득 방법에 있어서, 송신 스테이션에 의해 송신된 패킷의 시작에서 동기화 시퀀스를 수신하는 단계로서, 상기 송신된 동기화 시퀀스는 복수의 심벌을 포함하고, 각각의 심벌은 사전 결정된 신호에 의해 분리되는 상기 수신 단계와, 상기 수신된 동기화 시퀀스를 상관시켜 복수의 상관 피크를 발생하는 단계와, 사전 정의된 델타 내의 예상 위치 내에서 상관 피크의 존재를 탐색하는 단계로서, 상기 예상 위치는 상기 송신 스테이션에 의해 심벌들 사이에 삽입된 상기 사전 결정된 시간 지연에 대응하는 상기 탐색 단계와, 상기 델타 내의 대응하는 예상 위치에서 발견된 상관 피크의 수가 임계치를 초과하는 경우에 동기화를 선언하는 단계와, 동기화 시점(time point)을 상기 수신된 상관 피크의 위치와 이들의 대응하는 예상 위치간의 거리의 함수로서 결정하는 단계를 포함하는 동기화 획득 방법이 제공된다.

<21> 또한, 본 발명에 따르면, 복수의 심벌의 패킷 동기화 시퀀스의 시작을 포함하는 전송 신호에 대한 통신 네트워크에서 동기화를 획득하기 위한 ASIC(Application Specific Integrated Circuit)으로서, 각각의 심벌 쌍이 사전 결정된 동기화 시퀀스 갭 템플릿에 따라서 그들 사이에 삽입된 사전 결정된 갭을 갖는 상기 ASIC에 있어서, 상기 전송 신호로부터 수신 신호를 발생하도록 구성된 수신 수단과, 상기 동기화 시퀀스 내의 각각의 수신된 심벌에 응답하여 상기 수신 신호로부터 상관 피크를 발생하도록 구성된 상관기 수단과, 상기 사전 결정된 동기화 갭 템플릿에 따라서 각각의 수신된 상관 피크의 예상 위치를 계산하는 계산 수단과, 상기 예상 위치에서의 상관 특성을 발생하기 위한 결정 수단과, 상기 상관 특성을 평가하고, 상기 평가가 사전 결정된 기준을 초과하면 동기화를 선언하는 수단을 포함하는 ASIC이 제공된다.

<22> 또한, 본 발명에 따르면, 공유된 통신 매체 기반의 네트워크를 통해 접속된 다른 스테이션들과 신호를 송수신하는 통신 스테이션에 있어서, 상기 네트워크를 통해 수신된 수신 신호를 발생하고, 상기 네트워크로 송신 신호를 출력하는 결합 회로(a coupling circuit)와, 변조 구조에 따라서 전송되는 데이터 및 동기화 시퀀스를 변조하여 이로부터 상기 전송 신호를 발생하도록 구성된 송신기로서, 상기 동기화 시퀀스는 복수의 심벌을 포함하고, 각각의 심벌은 사전 결정된 동기화 시퀀스 템플릿에 따라서 제 1 신호에 의해 분리되는 상기 송신기와, 상기 변조 구조에 따라서 상기 수신 신호를 복조하여, 이로부터 수신 데이터신호를 발생하도록 구성된 수신기와, 애플리케이션 프로세서를 상기 공유된 통신 매체에 인터페이스 접속하도록 구성된 매체 액세스 제어기(MAC; media access control)를 포함하고, 상기 수신기는 획득 회로를 포함하고, 상기 획득 회로는 상기 수신 신호를 상관시켜 이로부터 복수의 수신된 상관 피크를 발생하는 수단과, 상기 사전 결정된 동기화 시퀀스 템플릿에 따라서 각각의 수신된 상관 피크의 예상 위치를 계산하는 수단과, 상기 각각의 수신된 상관 피크의 위치를 대응하는 예상 위치와 비교하여, 만약 수신된 상관 피크의 위치가 상기 대응하는 예상 위치의 사전결정된 거리 내에 있으면 매칭을 선언하는 수단과, 매칭의 수가 임계치를 초과하면 동기화를 선언하는 수단을 포함하고, 상기 애플리케이션 프로세서는 상기 송신기, 수신기 및 MAC의 동작을 제어하고, 상기 MAC 및 외부 호스트 사이의 인터페이스를 제공하도록 구성되는 통신 스테이션에 제공된다.

## 실시예

<31> 이하에서는, 첨부한 도면을 참조하여 본 발명을 상세히 설명한다.

<32> 본 명세서에 사용된 약어

<33>

약어	정의
AC	Alternating Current
ASIC	Application Specific Intergrated Circuit
BPF	Band Pass Filter
CD	Carrier Detect
CRC	Cyclic Redundancy Code
CSK	Code Shift Keying
CSMA	Carrier Sense Multiple Access
DCSK	Differential Code Shift Keying
DSP	Digital Signal Processor
EEROM	Electrically Erasable Read Only Memory
FPGA	Field Programmable Gate Array
IR	Infrared
ISO	International Standards Organization
MAC	Media Access Control
OSI	Open Systems Interconnect
PBX	Private Branch Exchange
PLC	Power Line Carrier
RAM	Random Access Memory
RF	Radio Frequency
ROM	Read Only Memory
SCR	Silicon Controlled Rectifier
UST	Unit Symbol Time

<34> 상세한 설명

<35> 본 발명은 신규하고 유용한 획득 및 동기 메커니즘이다. 본 발명의 메커니즘은 전력선 캐리어 통신을 이용하는 네트워크와 같은 공유된 매체를 특징으로 하는 통신 시스템에 유용하다. 일반적으로, 본 발명은 복수의 스테이션이 공유된 통신 매체에 접속되어 있고, 이것에 의해 수신 스테이션이 각 패킷의 시작(beginning)에서 송신 스테이션에 의해 전송된 패킷 신호의 개시(start)시에 동기를 획득해야 하는 경우에 적용가능하다.

<36> 확산 스펙트럼 통신 시스템에 대한 개선된 획득 메커니즘이 제공되고, 이것에 의해 사전 결정된 시간 지연 간격 만큼 떨어져 있는 복수의 공지된 심벌들을 포함하는 동기화 시퀀스가 패킷 신호의 개시로서 전송된다. 수신기에서, 수신된 신호는 사전 정의된 겹 또는 심벌들 사이에 삽입된 시간 지연 간격들을 이용하여 동기화 시퀀스에 대해 상관된다.

<37> 수신된 신호는 우선 수신된 각각의 심벌에 대해 상관 피크를 발생하는 기능을 하는 선형 상관기를 통과한다. 그 다음에 각각의 상관 피크의 예상 위치가 계산되고, 수신된 상관 피크의 위치와 비교된다. 매치(match)의 수가 임계치를 초과하면, 동기화가 선언된다.

<38> 본 명세서에서, 용어 '스테이션(station)', '노드(node)' 또는 '통신 노드(communication node)'는 임의의 네트워크 개체(entity)를 의미하는 것으로, 하드웨어, 소프트웨어 또는 하드웨어와 소프트웨어의 조합으로 구현되며, 공유된 매체 기반의 네트워크 내의 호출(call), 링크 또는 접속(connection)의 엔드포인트일 수도 있다. 네트워크는, 임의의 유형의 공유된 네트워크, 즉, 전력선 캐리어 기반의 네트워크, 트위스티드 페어(twisted pare) 네트워크, IR 무선 네트워크, RF 무선 네트워크, 광 파이버 링 네트워크 등을 포함하는 매체를 포함할 수도 있다. 용어 '호출(call)', '링크(link)' 또는 '접속(connection)'은 적어도 두 개의 노드 사이에서 통신을 위해 개설되는 임의의 통신 경로를 의미한다. 용어 위상 단위(phase unit)는 수신기 내의 샘플 시간으로서 정의된다. 샘플 시간은 신호 또는 상관기 출력이 정보의 손실없이 샘플링될 수 있는 임의의 적절한 기간이다.

<39> 본 발명의 획득 및 동기화 메커니즘은 DCSK(Differential Code Shift Keying) 또는 비-차동 CSK(non-differential Code Shift Keying) 변조 기법을 이용하는 확산 스펙트럼 데이터 통신 시스템에 사용하기에 특히

적합하다. 이러한 통신 시스템은 AC 전력선과 같은 비교적 시끄러운 환경에도 적용가능하다.

- <40> CSK 전송 시스템에서, 데이터는 길이 T의 연속적인 나선형으로 회전하는 파형들(이들은 확산 파형, 즉, 확산 스펙트럼 상관계 시퀀스 파형이라고도 함)사이를 시간 이동하는 형태로 전송된다. 확산 파형들은 적절한 자동 상관 특성을 갖는 임의의 유형의 파형을 포함할 수 있다. 단위 심벌 시간(UST; unit symbol time)으로 지칭되는 각 심벌 주기 동안에, 복수의 비트가 전송된다. 심벌 주기는 복수의 시프트 인덱스로 분할되며, 각각의 시프트 인덱스는 특정한 비트 패턴을 나타낸다. 정보, 즉 비트 패턴은 확산 파형을 회전시킴으로써 전송되는 데이터에 대응하는 어떠한 양만큼 전달된다. 데이터는 전송되기 전에 확산 파형에 인가된 회전 또는 순환 시프트 정도로 전달된다. 확산 파형은 가중침(chirp), 의사 시퀀스 등과 같은 임의의 적절한 파형을 포함할 수도 있다.
- <41> CSK 시스템에서, 데이터는 확산 파형에 할당된 절대 시프트로 전달된다. DCSK 시스템에서, 데이터는 연속하는 심벌들 사이의 시프트 차분으로 전달된다. 본 발명의 동기화 구조는 CSK 및 DCSK 전송 시스템 모두에 적용가능하다.
- <42> 수신기에 의한 수신 시에, 신호는 확산 파형 패턴의 템플릿을 갖는 매칭형 필터에 입력되어 각 심벌에 대해 수신된 신호 내의 회전량(또는 순환 시프트)을 검출한다. 수신된 데이터는 주기적인 상관기로 공급되고, 여기서 그 내용이 주기적으로 순환 시프트되어 상관 출력이 발생된다. 주기적인 상관은 수신된 데이터를 시프트 레지스터에 입력시킴으로써 이루어질 수도 있는데, 상기 시프트 레지스터의 출력은 그 입력으로 피드백되어 시프트 레지스터의 내용을 순환 회전, 즉, 시프팅(shifting)한다. 시프트 레지스터의 출력은 매칭형 필터에 입력된다. 각각의 비트 시프트 또는 회전에 있어서, 매칭형 필터는 상관 함을 발생한다. 시프트 인덱스는 최대(또는 최소) 상관 함을 산출하는 시프트 인덱스에 대응하는 각각의 UST에 대해 결정된다. 차분 시프트 인덱스는 사전에 수신된 시프트 인덱스로부터 현재 수신된 시프트 인덱스를 공제함으로써 발생된다. 그 다음에, 차분 시프트 인덱스는 원래 전송된 데이터를 산출하도록 디코딩된다.
- <43> DCSK 또는 CSK에 기초한 확산 스펙트럼 통신 시스템은 Raphaeli의 발명의 명칭이 "Spread Spectrum Communication System Utilizing Differential Code Shift Keying"인 미국 특허 제 6,064,695 호에 보다 상세히 개시되어 있으며, 본 명세서에 그 전체 내용을 참조로서 포함한다.
- <44> **동기화 시퀀스 발생기를 구비한 송신기(Transmitter with Synchronization Sequence Generator)**
- <45> 송신 스테이션은 수신 스테이션에 패킷 형태로 데이터를 전송한다. 각각의 패킷은 각각의 심벌 사이에 사전 정의된 갭 또는 시간 지연을 갖는 사전 결정된 수의 심벌을 포함하는 동기화 시퀀스를 뒤따른다. 동기화 시퀀스의 길이는, 수신 스테이션이 송신 스테이션과 동기화할 수 있도록 임의의 적절한 수의 심벌들일 수 있다. 단지 설명을 위해, 본 명세서에 개시된 예에서는, 동기화 시퀀스가 공지된 시프트 회전의 7 개의 심벌들, 예를 들면 제로 시프트 심벌들의 시퀀스를 포함한다. 7 개의 심벌들이 전송되고, 이것에 의해 특정한 사전 결정된 시간 지연이 각각의 심벌들 사이에 삽입된다. 심벌들 사이에 삽입된 특정한 시간 지연은 고유의 동기화 시퀀스 갭(즉, 시간 지연) 템플릿을 정의한다. 상이한 동기화 시퀀스는 상이한 시간 지연 템플릿을 갖는다. 동기화 심벌들 사이에 삽입된 간격들은 수신 스테이션 내의 수신기에 의해 사용되어 송신에 사용된 특정한 패킷 유형을 결정한다. 패킷의 나머지를 정확하게 디코딩할 수 있기 위해서는 패킷의 유형을 아는 것이 필수적이다.
- <46> 본 발명에 따라 구축된 동기화 시퀀스를 발생하는데 적합한 송신기의 일례가 도 1에 도시되어 있다. 송신기(10)는 통상적으로 각 스테이션 내에 위치한 모뎀 트랜시버의 일부이다. 도시된 예에서, 모뎀 트랜시버는 CSK 변조를 사용하여 통신하는데 적합하다. 통신 분야의 당업자라면, 본 발명의 기술을 다른 변조 기술에도 적용할 수 있을 것이다.
- <47> 전송되는 데이터는 외부 호스트에 의해 제공되어 인코더(14)에 입력된다. 인코더는 출력 확산 파형에 인가될 회전량을 결정하는 기능을 한다. 회전량은 시프트 인덱스로서 표현된다. 시프트 인덱스는 시프트 인덱스에 따라서 확산 파형 신호를 발생하는 기능을 하는 확산 파형 발생기(20)에 입력된다. 확산 파형 그 자체는 확산 파형 주파수 파형의 디지털 표현을 포함하는 확산 파형 ROM(24) 내에 저장된다. 확산 파형은 시프트 인덱스에 대응하는 시점(initial point)으로부터 시작하여 판독된다. 전체 확산 파형은 시점으로부터 시작하여, 순환적으로 판독되며 결합 회로(22)를 통해 채널 상으로 전송된다.
- <48> 결합 회로는 신호를 물리적 채널 상으로 결합하기 위해 요구된 회로를 포함한다. 예를 들면, 결합 회로는 D/A 변환기를 포함하는데, 이 D/A 변환기의 아날로그 출력은 신호 폭에 따라서 적절한 대역을 갖는 대역 통과 필터(BPF; band pass filter)에 의해 우선 필터링된다. BPF의 출력은 그 다음에 출력 증폭기에 의해 증폭되며, 여



기서 증폭기의 출력은 전송 출력 신호를 포함한다.

- <49> 송신기는 데이터 전송 기능 외에 각각의 패킷의 시작에서 전송되는 패킷 신호의 개시를 형성하는 동기화 시퀀스 기능을 한다. 동기화 시퀀스는 동기화 시퀀스 발생기(16)에 의해 발생되며, 상기 동기화 시퀀스 발생기의 출력은 호스트로부터 수신된 데이터와 함께 인코더에 입력된다. 인코더는 제어기(26)에 의해 출력된 동기(sync)/데이터 제어 신호에 따라서, 동기화 시퀀스 발생기로부터의 동기화 시퀀스 또는 호스트로부터의 데이터를 처리하도록 구성되어 있다.
- <50> 동기화 모드에서, 인코더는 입력 동기화 시퀀스에 따라서 시프트 인덱스를 발생하도록 동작한다. 본 발명에 따르면, 동기화 시퀀스는 각각의 심벌들 사이에 사전 정의된 시간 갭을 갖는 복수의 심벌들을 포함한다. 다수의 동기화 시퀀스가 발생할 수도 있으며, 여기서 각각의 시퀀스는 각각의 심벌들 사이에 시간 지연 또는 갭의 고유한 세트를 포함한다. 복수의 동기화 시퀀스들 가운데 하나의 시퀀스는 제어기로부터 출력된 SEQ 제어 신호를 사용하여 선택될 수도 있다.
- <51> 시퀀스의 심벌들 사이의 각각의 고유한 시간 지연 또는 갭은 ROM 또는 기타 테이블 수단(18) 내에 동기 시퀀스 갭 템플릿으로서 저장된다. 시퀀스 발생기는, 동기화 시퀀스를 발생하기 위해 요구될 때, 복수의 동기화 심벌(예를 들면, 송신기 및 수신기 모두에 대해 0 또는 다른 회전을 갖는 심벌)을 출력하고 전송될 특정 동기화 시퀀스에 대해 갭 템플릿의 내용에 따라서 각각의 심벌들 사이에 특별한 시간 지연을 삽입한다. 예컨대 동기화 시퀀스마다의 7 개의 심벌에 대해, 동기 시퀀스 갭 테이블은 동기화 시퀀스마다 6 개의 시간 지연을 저장하도록 구성된다. 시간 지연은, 임의의 적절한 포맷으로, 예컨대 시간, 클럭, UST의 부분, 위상 클럭 틱 등의 단위로 저장될 수도 있다.
- <52> 사전 결정된 시간 지연에 의해 분리된 복수의 심벌을 포함하는 동기화 시퀀스 전송 신호의 일례가 도 4에 도시되어 있다. 각각의 심벌은 하나의 UST의 고정된 길이를 갖는데, 본 예에서는 이것은  $800\mu s$ 에 대응하는 256 수신기 상관기 위상 단위(즉, 샘플 시간)와 동가이다. 각각의 심벌 사이에 삽입된 시간 지연은  $700\mu s$ 의 최대 길이를 갖는다. 도시된 예에서, 제 1 심벌 다음에 삽입된 제 1 지연은 64 위상 단위 또는  $200\mu s$ 이다.
- <53> 본 발명에 따르면, 5 개의 직교 동기 시퀀스 세트가 제공되며, 여기서 각각의 시퀀스는 특정 전송에서 사용된 패킷 유형에 대한 정보를 전달하는데 사용된다. 각각의 패킷 유형은 상이한 동기화 시퀀스에 대응한다. 5 개의 동기화 시퀀스는 표 1에 리스트되어 있다.

표 1 : 동기화 시퀀스 시간 지연 간격

시퀀스 번호	패킷 유형	시간 지연
1	1	[10, 6, 12, 9, 8, 5]
2	2	[4, 5, 14, 12, 11, 9]
3	3	[6, 4, 11, 13, 5, 10]
4	4	[8, 7, 4, 9, 5, 11]
5	5	[11, 5, 7, 9, 6, 6]

- <56> 패킷 유형은, 예를 들면 상이한 데이터 레이트의 패킷들, ACK 패킷들 등의 패킷들에 대응한다. 상이한 동기화 시퀀스는 실시예에 따라서 어떠한 유형의 정보 전달에도 사용될 수 있으며, 변조 또는 패킷 유형을 전달하는데 한정되지 않는다. 각각의 시퀀스에 대한 시간 지연은  $50\mu s$ 의 배수로서 표현된다. 따라서, 시퀀스 #3에 있어서 제 3 및 제 4 심벌 사이에 삽입된 지연은  $550\mu s$ 이다. 동기화 시퀀스의 총 존속 기간은 7 개의 심벌 존속 기간의 합 및 시간 지연의 합과 동일하다. 상기 임의의 시퀀스에 대한 시간 지연의 합은 64(즉, 4 UST 또는  $3,200\mu s$ )를 초과하지 않는다는 점에 주의하라. 따라서, 동기화 시퀀스에 대한 최대 존속 기간은 7 개의 심벌(UST)과 심벌간(intersymbol) 지연의 4 UST의 합으로 이루어진 11 UST이다.
- <57> 갭은 0일 수도 있고 14보다 더 클 수도 있음에 주의하라. 또한, 획득 메커니즘은 임의의 유형의 신호를 사용하여 실시될 수도 있으며, 갭의 사용에 한정되지 않는다. 또한, 가변 길이의 심벌이 사용될 수도 있으며, 이것에 의해, 수신된 심벌의 부분에 대해서만 상관이 이루어진다. 즉, 전송된 심벌 전 또는 후에 에너지가 더해질 수도 있으며, 여기서 상관 길이는 고정된 채로 유지된다. 한편, 심벌들은 제로 시프트를 갖지 않고 회전될 수도

있다. 이 경우에, 회전은 심벌의 상관 점을 이동시켜, 상관 값이 인가된 회전량에 비례하도록 감소되게 한다.

<58> 심벌 길이는  $800\mu s$  또는 256 위상 단위(즉, 상관 샘플)이므로, 동기화 시퀀스 시간 지연은 하기 표 2에 표시된 상관 위상 단위의 표현으로 표시할 수도 있다. 각각의 심벌 존속 기간은  $256 + (\text{시간 지연} \times 16)$  위상 단위로 이루어지며, 여기서 시간 지연은 상기 표 1에 있다.

<59> 표 2 : 동기화 시퀀스 시간 지연 간격

시퀀스 번호	심벌 존속 기간
1	[416, 352, 448, 400, 384, 336]
2	[320, 336, 480, 448, 432, 400]
3	[352, 320, 432, 464, 336, 416]
4	[384, 368, 320, 400, 336, 432]
5	[432, 336, 368, 400, 352, 352]

<61> 송신기 내의 동기 심벌 맵 ROM은, 시간 지연, 심벌 존속 기간 또는 각각의 심벌의 존속 기간 및 각각의 심벌들 사이에 삽입되는 맵을 산출하는 임의의 다른 값을 저장하도록 구성될 수도 있다. 시간 지연, 심벌 존속 기간 등의 세트가, 전송될 각각의 고유한 동기화 시퀀스에 제공된다.

<62> 전송한 바와 같이, 동기화 시퀀스는 패킷 데이터가 송신되기 전에 각 패킷의 시작에서 전송된다. 동기화 시퀀스를 포함하는 예시적인 패킷의 포맷은 도 3에 도시되어 있다. 패킷(70)은, 패킷 시작에 동기화 시퀀스(72)를 포함하며, 패킷 헤더 필드(74), CRC8 에러 검사 값(76), 데이터 페이로드(78) 및 CRC16 에러 검사 필드(80)를 포함한다. 상세히 후술하는 바와 같이, 수신기 내의 획득 회로는 동기화 시퀀스 상에서 동기화를 획득하는 기능을 한다. 동기화가 이루어지면, 패킷 헤더부터 데이터 디코딩이 진행될 수 있다.

# <63> 획득 및 동기화 회로를 갖는 수신기(Receiver with Acquisition and Synchronization Circuit)

<64> 본 발명에 따라 구축된 획득 및 동기화 회로를 포함하는 수신기의 예는 도 2에 도시되어 있다. 수신기(30)는 각 패킷 앞에 전송된 패킷 동기화 시퀀스의 시작 시에 데이터 디코딩 및 동기화의 획득을 수행한다. 채널 매체로부터 수신된 신호는, 수신기를 전력선 등에 인터페이스 연결하는 채널 결합 회로(32)에 입력된다. 그 다음에, 수신된 신호는 관심 대역에 대해 적절한 주파수 특성을 갖는 대역 통과 필터(BPF)(33)에 의해 필터링된다. 대역 통과 필터(BPF)는 확산 파형 내에 전송된 주파수 범위를 수신할 수 있을 정도로 넓다. 필터의 출력은 1 비트 A/D 변환기(34)로 입력된다. A/D 변환기는 적절한 샘플링 주파수에서 클로킹된(clocked) 샘플러와 함께 비교기를 포함할 수도 있다.

<65> A/D 변환기의 출력은 2 입력 멀티플렉서(mux)(36) 중 하나에 입력된다. 멀티플렉서의 출력은 시프트 레지스터(38)로 입력된다. 예를 들면, 시프트 레지스터의 길이는 각각 256 비트이다. 시프트 레지스터의 출력은 상관기(40)에 입력된다. 상관기는 확산 파형 패턴을 인식하는 기능을 하는 매칭형 필터를 사용하여 실시된다. 확산 파형 패턴은 상관기 내에서 템플릿으로 저장되며 수신된 신호로부터 확산 파형의 존재를 검출하는데 사용된다. 시프트 레지스터의 직렬 출력은 멀티플렉서의 제 2 입력으로 돌아간다. 멀티플렉서 선택 출력은 제어기(54)에 의해 출력된 선행/순환 제어 신호에 의해 제어된다.

<66> 상관기 회로는 선행 모드 또는 순환 모드에서 동작할 수 있다. 획득 및 동기화에 있어서, 상관기는 동작의 선행 모드에서 동작하도록 설정된다. 선행 모드 동작에서, 멀티플렉서는 시프트 레지스터에 대한 입력으로서 A/D 변환기의 출력을 선택하도록 설정된다. A/D 변환기의 각각의 비트 출력은 시프트 레지스터로 클로킹되고 시프트 레지스터의 병렬 출력은 상관기로 입력된다. 상관기 내에서, 상관기에 입력되는 각각의 비트는 템플릿으로부터 대응하는 비트만큼 배가된다. 모든 256 결과(product)가 합쳐져서 상관기의 출력(62)을 형성한다.

<67> 선행 상관기의 출력은  $I^2 + Q^2$  유형의 에너지 검출기로서 기능하는 상관 피크 프로세서(58)에 입력된다. 상관 피크 프로세서의 기능은, 최대 상관 피크에 대한 UST 주기에 대해 검색을 수행하는 것과, 이로부터 신호(66)를 발생하는 것과, 심벌 클럭(68)을 발생하는 것과, 심벌 클럭(68)을 발생하는 것과, 캐리어의 존재를 검출하는 것과, 이로부터 캐리어 검출(CD) 신호(64)를 발생하는 것을 포함한다. CD 신호는 상관의 결과로부터 유도되고,



상관 결과가 임계치를 초과하면 선언된다.

- <68> 피크 프로세서의 출력 신호(66)는 획득 및 동기화 회로(42) 내의 획득 프로세서 회로(50)에 입력된다. 획득 프로세서는 상관 피크 데이터를 수신하여, 임의의 적절한 메모리 수단, 예를 들면 RAM 등을 포함하는 메모리 테이블(44) 내에 저장하는 기능을 한다. 마찬가지로, 상관 피크의 위치는 메모리 테이블(46) 내에 저장된다. 동기 시퀀스 템플릿 메모리(예를 들면, ROM 등)(48)는 하나 이상의 시간 지연 또는 심벌간 겹 세트를 저장하며, 여기서 각각의 세트는 상이한 동기화 시퀀스에 대응한다. 획득프로세서는 보다 상세히 후술한다.
- <69> 동기화가 이루어지면, 제어기는 상관기의 동작 모드를 순환 상관으로 전환하며, 여기서 시프트 레지스터의 내용이 로딩되어 완전한 UST 사이클 동안 순환적으로 이동된다. 최대 상관 피크를 산출하는 시프트는 데이터 디코딩 회로(52)에 의해 디코딩되고, 이로부터 수신 데이터가 출력된다. 수신기는 획득 프로세서의 동기화 신호(60) 출력으로부터의 수신 신호 내에 심벌들(즉, UST)의 위치에 대한 정보를 갖고 있으며 제어기에 의해 사용되어 적절한 타이밍을 순환 상관 프로세스에 제공한다.
- <70> **획득 및 동기화 메커니즘(Acquisition and Synchronization Mechanism)**
- <71> 본 발명의 획득 및 동기화 메커니즘에 따르면, 수신된 신호의 상관은 전체 동기화 시퀀스와 행해진다. 그러나, 동기화 시퀀스와 수신된 신호의 상관은 획득 프로세서(50)에 의해 선형 상관기(40)로부터 출력된 신호에 적용된다. 도 4에 도시된 동기화 시퀀스 전송 신호의 형태로 수신된 신호를 처리하면, 복수의 피크를 포함하는 선형 상관기로부터의 출력 신호가 산출되고, 이것에 의해 피크들 사이의 거리는 각각의 동기화 시퀀스의 심벌들 사이에 주입된 시간 지연들에 대응한다. 피크들 사이의 이 거리는 256 위상 단위 더하기 전송을 발생하는데 사용된 특정 동기화 시퀀스 템플릿에 의해 정의된 지연과 같다. 따라서, 획득 프로세서의 주 기능은 이들의 각각의 정확한 위치 내의 상관 피크를 찾아내고, 매칭 피크의 수를 결정하고, 동기화를 선언할 지의 여부를 결정하는 것이다. 즉, 획득 프로세서는 전송이 현재 수신되고 있는 지의 여부, 및 수신되고 있다면 패킷의 나머지를 디코딩을 진행할지의 여부를 결정한다.
- <72> 도 4의 동기화 시퀀스에 응답하여 발생된 대응 상관 피크가 도 5에 도시되어 있다. 도시된 동기화 시퀀스는 상기 표 1 및 2의 시퀀스 번호 2에 대응한다. 선형 상관기를 통해 시퀀스 번호 2의 전송 신호를 통과시키면, 시퀀스 번호 2에 따른 거리만큼 떨어져 있는 상관 피크의 시퀀스가 발생한다. 따라서, 여섯 개의 겹 또는 심벌 간격 시간 지연은 시퀀스 번호 2에 대한 표 2의 겹 또는 심벌 간격 시간 지연에 대응한다.
- <73> 데이터 디코딩이 시작되는 동기화 포인트는 수직 화살표로 도시되어 있는 마지막 피크 다음에  $500\mu s$ (즉, 160 위상 단위)가 취해진다. 선형으로부터 순환 상관으로의 스위칭 포인트는 마지막 상관 피크 후에  $1300\mu s$  약간 늦게 발생한다.  $1300\mu s$  시간은 동기화 시퀀스의 마지막 심벌의 수신 시간(즉, 상관 피크의 위치)과 데이터의 첫 번째 심벌(즉,  $800\mu s$ )이 뒤따르는 피크 뒤의  $500\mu s$  지연의 합으로부터 정의된다. 순환 상관은 첫 번째 데이터 심벌이 시프트 레지스터로 클로킹된 후에만 시작된다.
- <74> 각각의 고유한 동기화 시퀀스는 7 개의 상관 피크가 위치할 것으로 예상되는 장소를 결정한다. 피크들 사이의 6 개의 사전 정의된(즉, 예상된) 거리는 송신기와 수신기 모두 내의 동기 시퀀스 겹 템플릿 내에 저장된다. 따라서, N 개의 심벌을 포함하는 동기화 시퀀스에 있어서, N-1 개의 거리 차가 동기 시퀀스 겹 템플릿에 저장된다. 동기화 시퀀스의 최대 길이는 11 UST에 대응하는 2704 위상 단위이다. 따라서, 수신된 신호에 인가되는 상관 윈도우의 수는 11이다. 상관 윈도우라는 용어는 심벌 시간 또는 UST로서 정의된다. 대안적으로 상관 윈도우가 UST보다 더 작거나 크도록 선택될 수도 있다. 예를 들어, 최소 겹 사이즈가 0이면, 상관 윈도우는 UST보다 더 작을 것이다.
- <75> 다음은 획득 메커니즘에 대해 상세히 설명한다. 단지 설명을 위해, 상관 피크의 시퀀스를 산출하는 샘플 수신 신호가 사용된다. 도 4의 동기화 시퀀스 전송 신호에 대응하는 샘플 수신 신호에 응답하여 선형 상관기의 출력을 나타내는 도표가 도 6에 도시되어 있다. x 축을 따른 틱(tick)은 11 개의 UST 윈도우에 대응한다. 각각의 피크는 PK#1 내지 PK#7의 라벨이 붙어 있으며, PK#7은 PK#1보다 시간적으로 더 늦게 발생된다.
- <76> 획득 알고리즘은 동기화 시퀀스 심벌 겹 템플릿의 시간 지연에 따라서 계산된 예상 위치에 대해 각각의 수신된 상관 피크의 위치를 비교하도록 동작한다. 예상 위치는, 그것이 정확한 위치라고 가정하면, 마지막으로 수신된 상관 피크를 참조하여 계산된다. 예를 들면, PK#6의 예상 위치는 수신된 상관 PK#7의 위치로부터 겹 템플릿의 겹 #6을 공제함으로써 계산된다. 이 거리는 참조번호 90으로 표현된다. 마찬가지로, PK#5의 예상 위치는 PK#7의 위치로부터 겹 #5 및 #6의 합을 공제함으로써 계산된다(거리 92). PK#4의 예상 위치는 PK#7의 위치로부터 겹 #4, #5 및 #6의 합을 공제함으로써 유사하게 계산된다(거리 94). 이런 방식으로, 피크 PK#1 내지 PK#6의 예

상 거리가 계산된다. 충분한 수의 매칭 피크가 발견되면 동기화가 선언된다. 동기화가 발견되지 않으면, 상기 알고리즘은 이전의 피크(즉, PK#6)가 정확하다는 가정을 반복하고, PK#4 때까지 계속한다.

<77> 도 7a 및 7b에는 본 발명의 획득 방법을 예시한 흐름도가 보다 상세하게 도시되어 있다. 선형 상관기의 각각의 새로운 상관 피크 출력에 대하여, 피크의 위치 및 값은 메모리 내의 테이블 내에 저장된다(단계 100). 이들 두 테이블 각각은 동기화 시퀀스의 길이를 위한 가능한 11 개의 UST 윈도우에 각각 대응하는 11 개의 개체를 저장할 정도로 충분히 크다. 처음에, 상기 알고리즘은 적어도 11 개의 윈도우가 지나기 전에 시작되지 않는다.

<78> 상기 알고리즘은 정확한 위치에 있다고 가정되는 마지막으로 수신된 상관 피크로 시작한다(단계 102). 이하에 제시된 예에서, PK#7은 정확한 위치 내에 있다고 가정한다. 각각의 다른 상관 피크에 대하여(즉, 피크 PK#6 내지 PK#1), 각 피크의 예상 위치는, 시퀀스 내의 그 심벌에 대해 템플릿 내에 저장된 값을 사용하여 마지막으로 수신된 피크(즉, PK#7)를 참조하여 계산된다(단계 104). 시퀀스 내의 더 이른 피크들의 예상 위치는 마지막으로 수신된 피크의 위치로부터 더 이른 피크와 마지막으로 수신된 피크 사이에 거리를 형성하는 템플릿 내에 저장된 개별 값의 합을 공제함으로써 계산된다. 이 결과가 음이면, 윈도우 길이(즉, 1 UST 또는 256 위상 단위)가 수신된 상관 피크의 위치에 더해진다. 이것은 상관 피크가 모든 윈도우 주기에서 수신되지 않은 경우를 보상한다. 상관 피크의 위치는 수신되는 특정 윈도우에 대해 측정되므로, 음의 결과는 적어도 하나의 윈도우 UST가 통과했음을 나타내는데, 여기서 상관 피크는 수신되지 않았다.

<79> 그러면, 상관 피크의 예상 위치는 실제 수신된 상관 피크의 위치와 비교된다(단계 106). 그러면, 동기화 시퀀스 값 템플릿으로부터 유도된 상관 피크의 예상(즉, 기대) 위치( $P_{EXP}$ )는 수신된 상관 피크( $P_{REC}$ )의 위치로부터 공제된다(단계 108). 차가 사전 정의된 델타 내에 있으면, 매칭이 선언되고(단계 110) 카운터(num\_matches)가 증가한다. 상관 피크의 값이 피크 값 임계치를 초과하면(단계 130), num\_high\_peaks 카운터가 증가한다(단계 132). 차이가 사전 정의된 임계치 내에 없으면, 미스매치가 선언되고 미스매치의 수가 또한 추적된다(단계 112). 델타는 예상 위치의 어느 한 방향, 예컨대 좌 또는 우측으로 취해질 수도 있는데, 본 명세서에 제시된 실시예에서는 델타는 예상 위치의 좌측으로만 취해진다. 본 명세서에 제시된 예에서 델타의 값은 8 위상 단위이다. 델타에 대한 다른 값들 또한 실시예에 따라서 사용될 수도 있다.

<80> 매칭이 존재하면, 계산, 비교, 및 결정 단계가 각각의 나머지 상관 피크에 대해 반복된다(단계 114). num\_peaks가 7 개의 동기화 시퀀스 심벌과 같은 경우의 예에서, 상기 프로세스는 피크 PK#6 내지 PK#1에 대해 6 회 반복한다. 모든 피크에 대한 처리가 완료되면, num\_matches가 num\_matches\_thresh보다 더 큰 경우에 동기화가 선언된다(단계 116). 이 예에서, 6 개 중 4 개 이상의 매치가 발견되면, 즉, num\_matches\_thresh=3인 경우에 동기화가 선언된다. (1) num\_matches=num\_matches\_thresh(예를 들면, 매칭의 수가 3)인 경우와 (2) 매칭 피크의 절반이 임계치보다 큰 상관 값을 갖는 경우(예를 들면, num\_high\_peaks가 3인 경우) 동기화는 또한 경계선에서 선언된다.

<81> 동기화가 선언되면, 동기화의 위치는 후술하는 바와 같이 계산된다(단계 134). 동기화 특성 인자 또한 계산된다(단계 136). 막 계산된 동기화 특성이 이전에 계산된 동기화 특성보다 우수하다면(단계 138), 이전의 동기화 포인트가 탈락되고(drop) 현재의 동기화 포인트로 반복이 계속된다(즉, 획득 프로세스 계속)(단계 140).

<82> 동기화가 발견되지 않으면(단계 116), 마지막으로 수신된 피크에 대응하는 심벌이 에러로 수신되었다고 가정하고(단계 118), 상기 알고리즘이 반복하며 매칭 피크를 탐색한다. 제시된 예에서, PK#7에 대응하는 심벌은 에러로 수신되었다고 가정되며, PK#6은 마지막으로 수신된 피크로 간주되어 정확한 위치에 있다고 가정한다. 그 다음에 PK#5 내지 PK#1에 대한 예상된 위치가 PK#6에 대해 계산되며 대응하는 수신된 피크 위치와 비교된다. 이전의 루프에서와 같이, 동기화에 대한 동일한 기준이 여기서도 적용된다. 동기화가 발견되지 않으면, 다음 반복은 PK#7 및 PK#6이 에러로 수신되었다고 가정하고, 뒤이은 마지막에서는 PK #7, PK#6 및 PK#5가 에러로 수신될 것으로 가정된다.

<83> 피크 #(num\_peaks-num\_matches)까지 반복이 계속된다. 마지막 반복, 즉 이 예에서는 PK#4가 마지막으로 수신된 피크로 간주된 후에(단계 120), 동기화가 발견되지 않으면, PK#7이 다시 마지막으로 수신된 피크로 간주되고, 그 위치는 하나의 위상 단위에서 우측으로 이동된다(단계 122). 마지막으로 수신된 피크 또는 피크 #(num\_peaks), 즉, 이 예에서는 PK#7에 대해 새로운 위치로 알고리즘이 반복된다. 동기화가 발견되지 않으면, 마지막으로 수신된 피크의 위치는 부가적인 위상 단위에서 우측으로 이동되고, 상기 알고리즘이 반복된다. 피크 위치의 이동은 델타 위상 단위까지 지속된다(단계 124).

<84> 하나의 위상 단위를 우측으로 이동하는 것은 시간 축 상에서의 진행을 나타내며(즉, 시간 상 나중), 하나의 위

상을 좌측으로 이동하는 것은 시간 축 상에서의 반복을 나타낸다(즉, 시간 상 이전).

- <85> 예상 위치와 예상 위치의 좌측으로의 수신 위치 간의 차에 대한 허용된 델타와 함께 우측으로의 델타 위상의 이시프트는 상관 피크의 위치 내에서 +/- 델타 허용오차를 제공하며 +/- 델타/2와 등가의 오경보율(false alarm rate)을 얻는다는 장점이 있다. 한편, 오경보율은 델타를 제한하는 것보다 상관 피크에 대한 어떠한 폭을 허용함으로써 감소될 수도 있다.
- <86> 마지막으로 수신된 상관 피크의 위치 이동 후에도 동기화가 여전히 발견되지 않으면, 상기 알고리즘은 상이한 동기화 시퀀스를 이용하여 반복된다(단계 126). 따라서, 수신된 상관 피크의 예상된 위치는 테스트되는 동기화 시퀀스의 동기화 시퀀스 맵 템플릿과 관련된 상이한 시간 지연을 이용하여 계산된다. 상기 알고리즘은, 모든 동기화 시퀀스가 테스트될 때까지 반복된다(단계 128). 동기화가 아직 발견되지 않으면, 상기 알고리즘은 다시 시작되며, 발생될 새로운 상관 피크를 기다린다.
- <87> num\_peaks의 값은 원하는 감도의 레벨에 따라서 변할 수도 있다. num\_peaks가 낮을수록, 잡음에 대한 획득의 감도는 더 높아지며, 그 역도 성립한다.
- <88> 또한 전술한 방법에서, 상관 피크는 최대 선형 상관 값을 찾아냄으로써 확인된다. 한편, 심벌 단위로(또는 피크 단위로)가 아니라 전체 수신 시퀀스에 대해 검색이 이루어질 수 있다. 전체 시퀀스는 피크가 예상되는 장소 및 피크의 예상 위치 내에 델타를 포함하는 신호 트레인(signal train)이 구축되는 장소에 대해 검사된다. 따라서, 전체 11 UST에 걸쳐서 한번에 검색이 이루어진다.
- <89> 본 발명은 동기화 특성 측정 유형에 한정되지 않는다. 임계치를 초과하는 피크의 수를 계수하는 동기화 특성 측정은 예로서 제시된다. 한편, 예상 위치에서의 상관 값은 함께 합산되어, 모든 7개의 상관의 합이 임계치와 비교될 수 있다.

#### <90> 동기화 포인트의 동조(Tuning of the Synchronization Point)

- <91> 후술하는 바와 같이, 동기화 포인트는 동기화가 선언되면 계산된다. 획득 메커니즘의 주 목적 중 하나는 실제 패킷의 시작을 정의하는 동기화 포인트를 결정하는 것이다. 이 점에서, 선형으로부터 주기적으로 변하는 수신된 신호와 데이터의 상관관계가 디코딩되기 시작한다. 사용된 변조의 유형에 따라서, 코드북 내의 두 개의 연속하는 심벌 사이의 거리는 비교적 작을 수도 있다. 예를 들면, 심벌마다 6 비트를 전송하는 DCSK 변조를 고려하면, 연속하는 심벌들 사이의 거리는 단지 4 개의 위상 단위이다. 따라서, 동기화 포인트의 위치는, 동기화 포인트 내의 단지 2 위상 단위의 시프트가 동기화 에러 및 전체 패킷의 손실로 이어질 수 있기 때문에 충분한 정확도로 결정되어야 한다. 잘못된 동기화 포인트의 선택은 디코딩된 모든 심벌들이 코드북 내의 한 위치만큼 시프트되게 하여 에러 정정 코드에 의해 정정될 수 없는 모든 심벌들에 대해 정확하지 않은 디코딩을 하게 된다.
- <92> 마지막으로 수신된 상관 피크의 위치는 델타 위상 단위의 거리를 변경할 수 있으므로, 동기화 포인트 또한 델타 위상 단위의 거리를 변경할 수 있다. 따라서, 본 발명에 따르면, 예상 피크 위치와 수신된 피크 위치가 매칭될 경우, 예상 피크 위치와 수신된 피크 위치 사이의 차에 대한 정보는 동기화 포인트를 결정하는데 사용된다. 동기화 포인트의 최종 동조는 다음과 같은 피크를 매칭시키는 차이의 평균을 사용하여 이루어진다.

$$\text{sync\_pt}_{\text{TUNED}} = \text{sync\_pt} + \frac{\sum(P_{\text{EXP}} - P_{\text{REC}})}{\text{num\_matches}} \quad (1)$$

<93>

- <94> 여기서, sync\_pt는 동조되지 않은 동기화 포인트이다. 따라서, 매칭 피크에 적용된 시프트의 평균이 계산되어 계산된 동기화 포인트에 가산된다. 동조되지 않은 동기화 포인트는 마지막으로 수신된 상관 피크의 위치를 포함하며, 여기서 동기화는 후술하는 바와 같이, +1300μs로 선언되었다.

#### <95> 동기화 특성 인자(Synchronization Quality Factor)

- <96> 본 발명에 따르면, 동기화가 선언될 때마다 동기화 특성 인자가 계산된다. 특성 인자는 다음과 같이 정의된다.

- <97>  $sync\_quality\_factor = num\_matches + num\_high\_peaks$  (2)
- <98> 따라서 상기 특성 인자는 상관 값이 임계치(예를 들면, 최대 255 중 15)보다 더 큰 정확한 위치 내의 상관 피크의 수와 매치의 수의 합이다. 따라서, 7 개의 심벌의 동기화 시퀀스에 대하여, 특성 인자의 범위는 0 내지 12이다.
- <99> 획득 알고리즘에 따르면, 획득 위상은 패킷 헤더의 끝에서 CRC8의 수신 때까지 계속된다. CRC8이 정확하면, 획득은 종료된다. CRC8이 에러를 발생하면, 획득은 계속된다. 동기화가 선언된 후에 획득이 진행 중이면, 이전의 특성 인자보다 더 높은 특성 인자로 새로운 동기화가 선언되며, 이전에 수신된 패킷은 탈락되고 수신기는 즉시 현재의 패킷을 수신하기 시작한다.
- <100> 동기화가 선언된 후에 CRC8의 수신 때까지 획득을 계속하기 위해, 두 세트의 하드웨어가 요구된다. 대안적으로, 구현에 따라 한 세트의 하드웨어가 사용될 수도 있는데, 이 경우에는 공칭 속도의 2배로 클로킹된다.
- <101> **동기화에 대한 표준(Criteria for Synchronization)**
- <102> 본 발명의 획득 및 동기화 메커니즘은, 동기화 선언에 대한 표준이 그 경우가 발생하지 않는 것을 보장하도록 구성되며, 이에 따라 동기화가 이루어지지 않는 동안 패킷 내의 에러가 발생된 데이터가 정정될 수 있다. 즉, 동기화 알고리즘은 데이터 수신보다 더 신뢰할 수 있도록 설계된다. 사용된 에러 정정 코딩이 7 개 중에서 2 내지 3 개의 에러가 발생된 심벌을 정정할 수 있는 경우의 예에서, 획득 알고리즘이 더 신뢰할 수 있는 것이 바람직하다.
- <103> 동기화 시퀀스가 7 개의 심벌을 포함한다고 가정하면, 동기화 선언에 대한 표준은 4 개의 정확하게 수신된 심벌이다. 따라서, 7 개 중 3 개의 에러가 발생된 심벌이 허용되고, 데이터가 정정될 수 있지만 동기화는 얻어질 수 없는 상황이 발생하지 않도록 방지된다.
- <104> 또한, 잡음으로부터 동기화의 충분히 낮은 가능성을 얻기 위해, 동기화 시퀀스는, 낮은 사이드 피크(즉, 하나의 동기화 시퀀스 내에 단지 2 개의 동일한 지연)를 갖는 각 시퀀스에 높은 자동 상관 기능을 제공하도록 선택된 시간 지연을 사용하여 구축된다.
- <105> 따라서, 잡음으로 인한 동기화의 가능성을 최소화하기 위해, 상관 피크의 값은 부가적인 표준으로서 사용된다. 특히, 임의의 세 개의 매칭의 경우에, 4 개의 피크 중 3 개의 상관 값이 사전 정의된 임계치를 초과하면, 동기화가 선언되고, 그렇지 않으면 동기화는 잡음에 의한 것으로 간주된다.
- <106> 또한, 다른 동기화 시퀀스로부터 충분히 낮은 동기화 가능성을 얻기 위해, 동기화 시퀀스는 각 쌍의 시퀀스에 낮은 교차 상관 기능을 제공하도록 선택된 시간 지연을 사용하여 구축된다(즉, 하나의 시퀀스 내의 연속하는 지연들의 합과 다른 시퀀스 내의 지연 또는 연속적인 지연들의 합 사이의 매칭의 수가 최소가 되어야 한다).
- <107> 다른 시퀀스로부터의 동기화의 가능성을 최소화하기 위해, 상관 피크의 최소 값이 부가적인 표준으로서 사용된다. 특히, 임의의 세 개의 매칭(즉, 7 개 중 3 개의 에러가 발생한 심벌)의 경우에, 4 개의 미스매칭의 상관 피크의 값이 검사된다. 에러 내의 피크가 임계치(예를 들면, 최대 255 중 30)보다 더 큰 상관 값을 가지면, 다른 동기화 시퀀스로부터의 피크로 인한 것으로 간주되고 동기화의 선언이 거부된다.
- <108> **획득 메커니즘을 포함하는 스테이션(Station Incorporating the Acquisition Mechanism)**
- <109> 본 발명의 동기화 시퀀스 발생기 및 획득 및 동기화 회로는 스테이션, 네트워크 노드, 모뎀 등과 같은 통신 트랜시버 내에 포함될 수도 있다. 하나의 응용에는 전력선 매체 상에서의 통신에 대해 구성된 디지털 모뎀에 있다. 모뎀은 100-400 kHz 대역(미국) 또는 95-125 kHz 및 20-80 kHz 대역(유럽)을 이용한다. 사용된 변조는 DCSK이고 모뎀은 적절한 대역에서 확산 스펙트럼 변조 신호를 사용하여 유니캐스트, 브로드캐스트 및 멀티캐스트 전송이 가능하다. 전송된 각각의 패킷은, 수신기가 확산 파형(가중첩(chirp), PN 시퀀스 등)에 대해 동기화하도록 허용하는 동기화 시퀀스를 포함하며, 순환적으로 시프트된 데이터 확산 파형으로 변조된 패킷 데이터가 뒤따른다. 전술한 바와 같이, 동기화 시퀀스는 선형 상관기를 통해 처리되는 반면에, 데이터는 순환 상관을 사용하여 디코딩된다.
- <110> 도 8은 본 발명의 획득 및 동기화 메커니즘을 수행하도록 구성된 송신기 및 수신기 회로를 포함하는 스테이션의 일실시예를 도시한 블록도이다. 스테이션(150)은, 독립적으로 동작할 수 있거나 또는 통신 기능을



수행하는(즉, MAC 기능을 포함하는 OSI 스택 프로토콜 기능을 실시하는) 스위치, 라우터, 허브, 광대역 모뎀, 케이블 모뎀, PLC 기반의 모뎀 등과 같은 네트워크 디바이스 내에 포함될 수도 있는 스테이션을 나타낸다. 상기 스테이션은, 자신과 통신하는 정적, 동적, 휘발성 및/또는 비휘발성 메모리(도시되지 않음)와 관련된 애플리케이션 프로세서(166)를 포함한다. 애플리케이션 프로세서는 또한 호스트 인터페이스(168)를 통해 호스트 디바이스(170)와 통신한다. 호스트는 하나 이상의 네트워크를 통해 통신하도록 구성될 수도 있다.

<111> 스테이션은, 스테이션을 공유된 매체(152)와 인터페이싱하는 매체 결합 회로(154)를 포함한다. 송신 회로(156)는 MAC로부터의 전송을 위해 데이터를 수신하며, 데이터를 심벌들로 인코딩하는 기능을 하며, 이들 심벌은 그 후에 변조되어 매체를 통해 전송된다. 송신 회로는 또한 본 발명에 따라서 구축된 동기화 시퀀스 발생기(158)를 포함하는데, 이 발생기는 각각의 패킷의 시작에서 전송된 동기화 시퀀스를 발생하는 기능을 한다.

<112> 송신 회로(156) 및 수신 회로(160)는 매체 결합 회로를 통해 매체를 통해 통신한다. Rx 회로는 수신된 신호를 상관시키고 디코딩하는 기능을 하며, 이로부터 수신된 출력 데이터를 발생하는 기능을 한다. 수신 회로는 또한, 본 발명에 따라 구축된 획득 및 동기화 회로(162) 및 상관 피크 프로세서(161)를 포함한다.

<113> 매체 액세스 제어기(MAC)(164)는, 한편으로는 전송 데이터를 송신 회로로 전송하고, 수신 회로로부터 수신데이터를 입력한다. 프로세서 측에서는, 상기 MAC가 애플리케이션 프로세서와 인터페이스 연결한다. MAC는 공지되어 있는 임의의 적절한 레이어 2(즉, 링크층) 매체 액세스 제어 기술을 실시하도록 구성되어 있다.

<114> 획득 및 동기화 메커니즘은 하드웨어 또는 소프트웨어로 실시될 수도 있다. 소프트웨어 실시는 자기 디스크, 플로피 디스크, 플래시 메모리 카드, EEROM 기반의 메모리, 버블 메모리 저장 장치, RAM 저장 장치, ROM 저장 장치 등과 같은 컴퓨터 판독 가능 매체 상에 상주하도록 구성될 수도 있다. 소프트웨어는 또한, 전체적으로 또는 부분적으로 컴퓨터 시스템의 프로세서 내의 펌웨어 또는 정적 또는 동적 주 메모리 내에 상주할 수도 있다. 프로세서는 마이크로컨트롤러, 마이크로 컴퓨터, 마이크로프로세서, 디지털 신호 처리기(DSP), FPGA 코어, ASIC 코어 등을 포함하는 임의의 적절한 처리 수단을 포함할 수도 있다. 특히, 소프트웨어는, 프로세서에 의해 실행될 때 컴퓨터 시스템이 후술하는 획득 및 동기화 메커니즘을 수행하게 하는 일련의 인스트럭션들을 포함한다.

<115> 다른 실시예에서, 본 발명은, 집적 회로, 특히 ASIC(Application Specific Integrated Circuit), FPGA(Field Programmable Gate Array) 또는 칩 셋, 무선 모뎀 실시, 전력선 모뎀 실시, 스위칭 시스템 제품 및 전송 시스템 제품으로, 전송한 방법 및 장치의 실시예 적용될 수도 있다. 소프트웨어 및 하드웨어의 조합 또한 구현될 수 있으며, 전자는 복잡한 동작을 수행하고, 후자는 시간 결정적 동작(time-critical operation)을 수행한다.

<116> 본 명세서의 목적을 위해, 스위칭 시스템 제품이란 용어는 PBX(private branch exchanges)와, 시그널링과 관련되고 광대역 에지 스위치 또는 액세스 멀티플렉서에 의해 공급될 수도 있는 서비스 공급자 네트워크의 센터에 위치한 광대역 코어 스위치, 톨/탠덤(toll/tandem) 스위치 센터 및 가입자를 상호접속하는 센트럴 오피스 스위칭 시스템(central office switching system)과, 지원시스템 서비스를 의미하는 것으로 받아들여진다. 전송 시스템 제품이란 용어는 루프 시스템과 같은 네트워크와 가입자들을 상호접속하기 위해, 그리고 광역에 걸친 서비스 제공자의 스위칭 시스템과, 관련 신호 전송 및 지원 시스템 및 서비스 사이의 멀티플렉싱, 집성 및 전송을 제공하는, 서비스 제공자에 의해 사용된 제품을 의미하는 것으로 받아들여진다.

<117> 첨부한 청구범위는 본 발명의 사상 및 범주 내의 본 발명의 모든 그러한 특징들 및 이점들을 커버한다. 수많은 변형 및 변경들이 당업자들에 의해 쉽게 이루어질 수 있으며, 본 발명은 본 명세서에 개시된 실시예의 한정된 수에 한정되지 않는다. 따라서, 모든 적절한 변화들, 변경들 및 유사한 것들이 본 발명의 사상 및 범주 내에 속한다는 것에 주의하라.

### 도면의 간단한 설명

- <23> 도 1은 본 발명에 따른 동기화 시퀀스를 발생하도록 구성된 송신기의 일례를 도시한 도면.
- <24> 도 2는 본 발명에 따른 획득 및 동기화 회로를 포함하는 수신기의 일례를 도시한 도면.
- <25> 도 3은 동기화 시퀀스를 포함하는 패킷의 일례의 포맷을 도시한 도면.
- <26> 도 4는 사전 결정된 시간 지연에 의해 분리된 복수의 심벌을 포함하는 동기화 시퀀스 전송 신호의 일례를 도시한 도면.
- <27> 도 5는 도 4의 동기화 시퀀스에 응답하여 발생된 대응하는 상관 피크를 도시한 도면.
- <28> 도 6은 도 4의 동기화 시퀀스 전송 신호에 대응하는 수신 신호의 일례에 응답하여 선형 상관기의 출력을 도시한

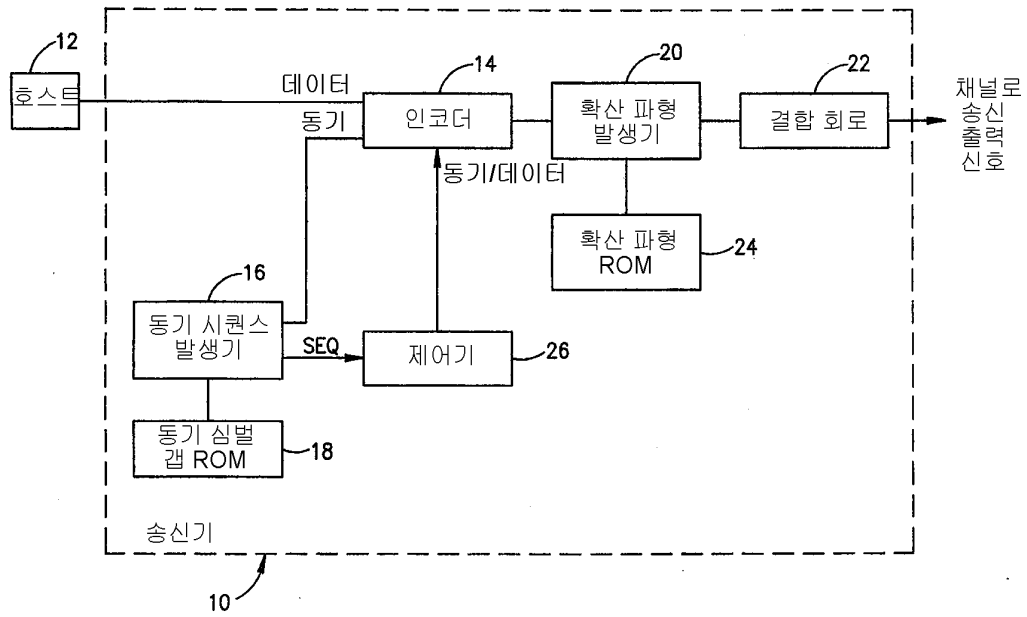
도면.

<29> 도 7a 및 7b는 본 발명의 획득 방법을 보다 상세히 도시한 도면.

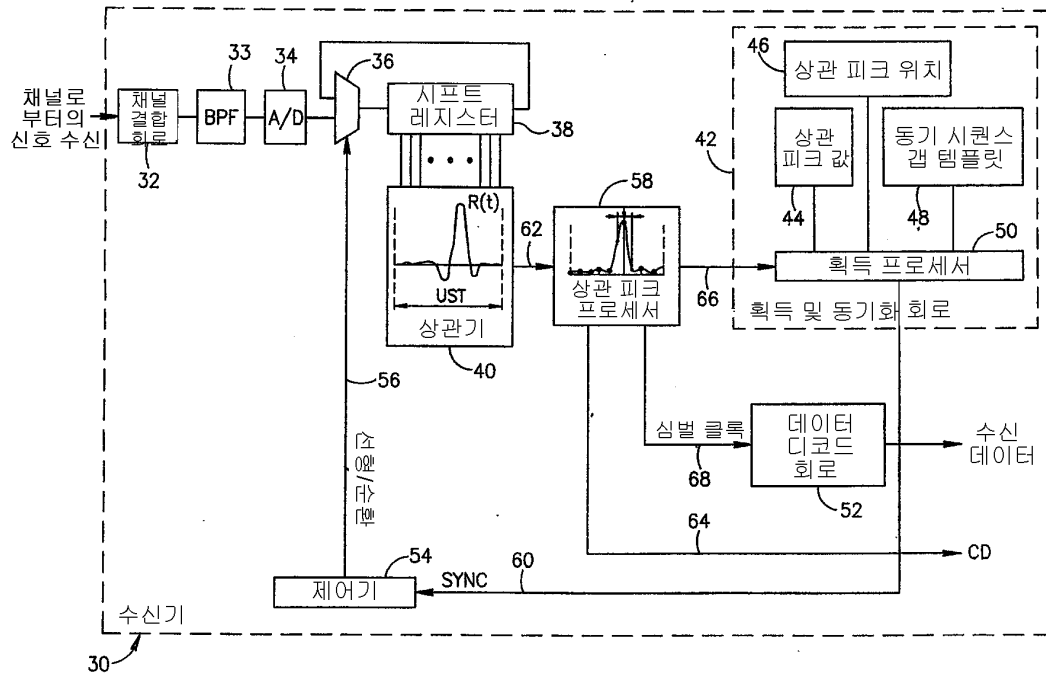
<30> 도 8은 본 발명의 획득 및 동기화 메커니즘에 적합한 송신기 및 수신기 회로를 포함하는 스테이션의 일례를 도시한 블록도.

도면

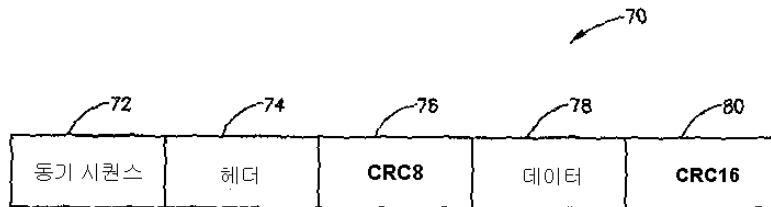
도면1



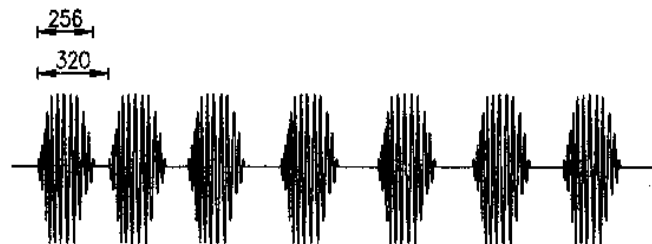
도면2



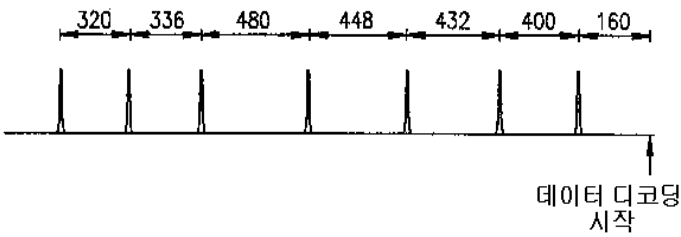
도면3



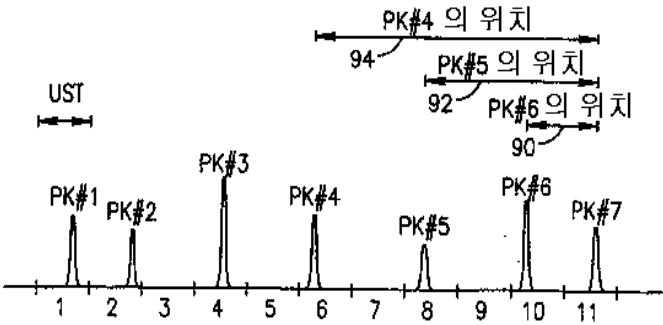
도면4



도면5

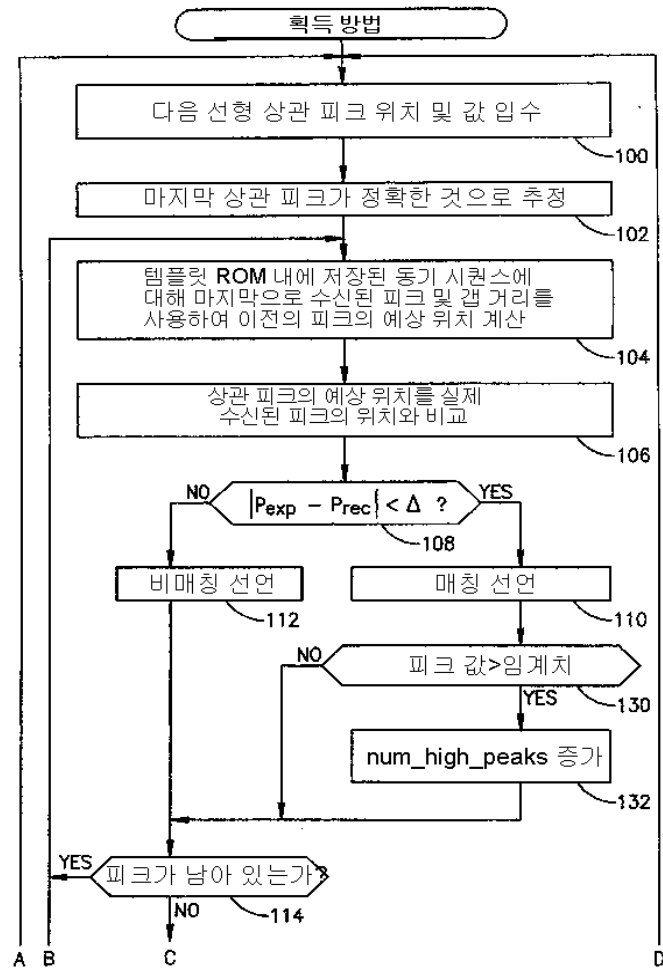


도면6

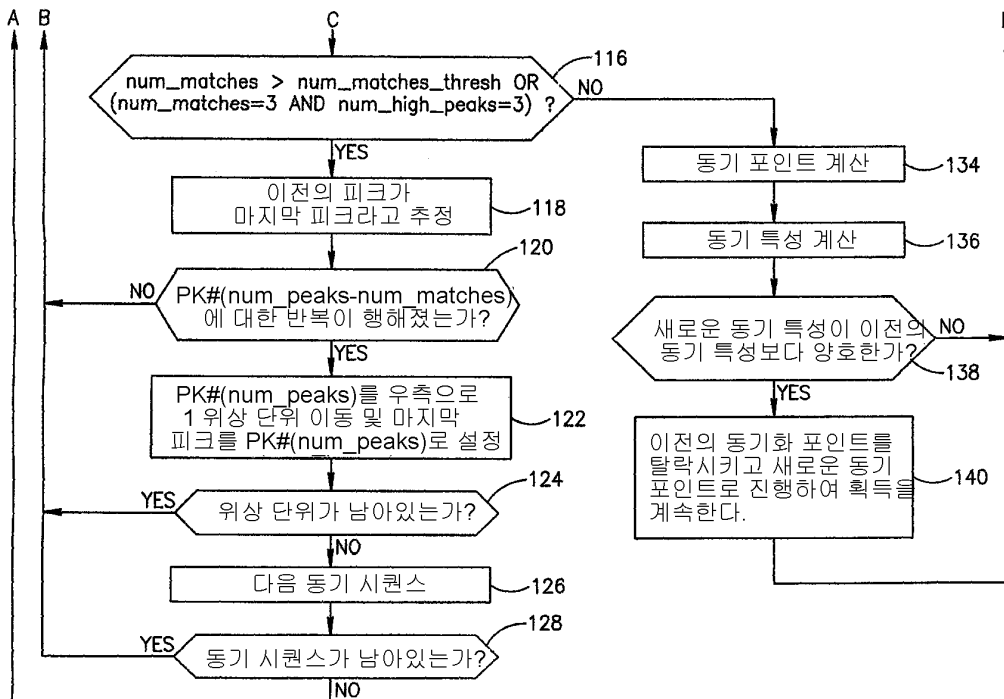




도면7a



도면7b



도면8

