

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-357281

(P2004-357281A)

(43) 公開日 平成16年12月16日(2004.12.16)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H03F 3/217	H03F 3/217	5J042
H03F 3/26	H03F 3/26	5J064
H03K 7/08	H03K 7/08 A	5J500
H03K 19/20	H03K 19/20 I O 1	
H03M 7/32	H03M 7/32	
審査請求 未請求 請求項の数 42 O L 外国語出願 (全 13 頁)		

(21) 出願番号 特願2004-121288 (P2004-121288)  
 (22) 出願日 平成16年4月16日 (2004.4.16)  
 (31) 優先権主張番号 03368027.3  
 (32) 優先日 平成15年4月17日 (2003.4.17)  
 (33) 優先権主張国 欧州特許庁 (EP)

(71) 出願人 502281138  
 ディアロック・セミコンダクター・ゲーエム  
 ムベーパー  
 ドイツ連邦共和国デー73230 キル  
 フハイム/テッカーナベルン, ノイエ・シ  
 ュトラーセ 95  
 (74) 代理人 100089705  
 弁理士 社本 一夫  
 (74) 代理人 100076691  
 弁理士 増井 忠式  
 (74) 代理人 100075270  
 弁理士 小林 泰  
 (74) 代理人 100080137  
 弁理士 千葉 昭男

最終頁に続く

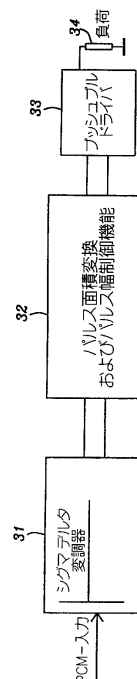
(54) 【発明の名称】 2つの物理的レイヤによるマルチレベルD級増幅器

(57) 【要約】

【課題】 パルスコード式デジタル入力信号を有しており、出力負荷を駆動させるために2レベル式増幅段を用いるD級電力増幅器を提供する。

【解決手段】 唯2つの物理的出力レベルを有するD級増幅器用の仮想マルチレベル出力パルスを発生するパルス幅制御機構31を導入する。典型的には、シグマデルタ変調器によって入力信号を高周波数で低ビットレートに変換する。SDM信号を、等価のマルチレベル時間-電圧面積を有するパルスに変換する機能32を追加すると共に、各種の出力パルスパターンを生成するパルス幅制御機構32を追加し、ここで1サンプリング期間内における正パルスと負パルスとの和によって、3以上のデジタルレベルに対応する時間-電圧面積値になる。このため、より低いサンプリングレートでより高い信号品質が生成される。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

唯 2 つの物理レベルをもつ D 級増幅器用の仮想マルチレベル出力パルスを発生し、その結果として生成された時間 - 電圧面積が複数のデジタルレベルに対応している、回路であって、

入力信号を P D M (パルス密度変調) 信号に変換する手段と、

前記 P D M (パルス密度変調) の出力を、所望の複数のパルス面積値を表す信号として発生する手段と、

1 サンプルング期間内で正パルス部分と負パルス部分の要求される幅比を決定する手段と、前記パルス幅比は前記複数のパルス面積値を表し、

前記複数のパルス面積値の各ステップごとに 1 つである 1 組の出力パルス面積値を規定する手段と、

1 サンプルング期間内においてパルス位相変化の時間を制御する手段と、

前記パルス幅制御信号を用いて仮想マルチレベル出力パルスを電力ドライバに与えるパルス発生器と、

典型的には相補対ドライバまたは等価回路であり、前記電力ドライバパルスによって制御され、電圧を出力負荷に駆動する D 級電力ドライバ用の手段と、

増幅器の出力ターゲットとしての出力負荷用の手段と、  
を備える回路。

10

## 【請求項 2】

前記入力信号はアナログ信号である、請求項 1 に記載の回路。

20

## 【請求項 3】

前記入力信号は P C M (パルスコード変調)、すなわち低サンプルングレートかつ高ビット分解能をもつデジタル信号である、請求項 1 に記載の回路。

## 【請求項 4】

入力信号を P D M (パルス密度変調) 信号に変換する前記手段はシグマデルタ変調器を備えている、請求項 1 に記載の回路。

## 【請求項 5】

前記 P D M (パルス密度変調) の出力を所望の複数のパルス面積値を表す信号として発生する前記手段は、シグマデルタ変調器と共に集積部分としてデジタル信号プロセッサにおいて実現される、請求項 1 に記載の回路。

30

## 【請求項 6】

前記パルス幅比を決定するための前記手段は少なくとも 3 つの値を与えることができる、請求項 1 に記載の回路。

## 【請求項 7】

前記パルス幅比を制御する前記手段は、駆動パルスの第 1 の部分のスタートを規定するためにシステム供給クロック信号を使用する、請求項 1 に記載の回路。

## 【請求項 8】

前記パルス幅比を制御する前記手段は、第 1 のパルス部分の終了を規定するクロックパルスと第 2 のパルス部分の開始を規定するクロックパルス間の変更位相信号を生じる、請求項 1 に記載の回路。

40

## 【請求項 9】

変更位相時間を決定する前記手段は時間積分関数である、請求項 8 に記載の回路。

## 【請求項 10】

変更位相時間を決定する前記時間積分関数は「パルス幅積分器」ユニット内で実現される、請求項 9 に記載の回路。

## 【請求項 11】

1 組の出力パルス面積値を規定する前記手段は 1 組の固定かつアプリアリに既知の大きさを仮定する、請求項 1 に記載の回路。

## 【請求項 12】

50

前記 1 組の出力パルス面積値を表す前記 1 組のアプリオリに既知の大きさは外部の制御定義によって変更することが可能である、請求項 11 に記載の回路。

【請求項 13】

D 級電力ドライバ用の前記手段は相補型ドライバ対（ハーフブリッジ）である、請求項 1 に記載の回路。

【請求項 14】

前記 PDM（パルス密度変調）信号を変換するための前記手段は積分デジタル論理関数として実現される、請求項 1 に記載の回路。

【請求項 15】

前記 PDM（パルス密度変調）信号を変換するための前記手段はデジタル信号プロセッサにおける計算アルゴリズムとして実現される、請求項 1 に記載の回路。 10

【請求項 16】

前記複数のパルス面積値を表している前記パルス幅比を制御する前記手段は積分デジタル論理関数として実現される、請求項 1 に記載の回路。

【請求項 17】

前記複数のパルス面積値を表している前記パルス幅比を制御する前記手段は、デジタル信号プロセッサにおける計算アルゴリズムとして実現される、請求項 1 に記載の回路。

【請求項 18】

前記変更位相時間を決定する前記時間積分関数はアナログ積分関数として実現される、請求項 9 に記載の回路。 20

【請求項 19】

前記変更位相時間を決定する前記時間積分関数は積分デジタル論理関数として実現される、請求項 9 に記載の回路。

【請求項 20】

前記変更位相時間を決定する前記時間積分関数はデジタル信号プロセッサにおける計算アルゴリズムとして実現されている、請求項 9 に記載の回路。

【請求項 21】

前記仮想マルチレベル出力パルスを前記電力ドライバに与える前記パルス発生器は積分デジタル論理関数として実現される、請求項 1 に記載の回路。

【請求項 22】 30

前記仮想マルチレベル出力パルスを前記電力ドライバに与える前記パルス発生器はデジタル信号プロセッサにおける計算アルゴリズムとして実現される、請求項 1 に記載の回路。

【請求項 23】

唯 2 つの物理レベルをもつ D 級増幅器用の仮想マルチレベル出力パルスを発生し、その結果として生成された時間 - 電圧面積が複数のデジタルレベルに対応している、回路であって、

入力信号を理想 PDM（パルス密度変調）制御パルスに変換する手段と、前記 PDM（パルス密度変調）変換器の出力を所望の複数のパルス面積値を表す信号として発生する手段と、1 組の出力パルス面積値を規定する手段と、1 サンプルング期間において要求された正パルス部分と負パルス部分の幅比を決定する手段と、パルス位相変更の時間を制御する手段と、仮想マルチレベル出力パルスを電力ドライバに与えるパルス発生器と、電圧を出力負荷に駆動するための D 級電力ドライバ用の手段と、そして出力負荷のための手段を設けるステップと、 40

前記入力信号を理想 PDM（パルス密度変調）制御パルスに変換するステップと、

前記 PDM 信号変換器の出力を所望のパルス面積を表している複数の値として生成するステップと、

1 サンプルング期間内における前記正パルス部分と負パルス部分の幅比を決定するステップと、前記パルス幅比は前記複数のパルス面積値を表し、

前記複数のパルス面積値の各ステップごとに 1 つである 1 組の出力パルス面積値を規定 50

するステップと、

所望のパルス幅比に基づき、適切な時間制御機構を用いて1サンプリング期間内におけるパルス位相を変更する時間を制御するステップと、

前記パルス位相を変更する信号の制御下で前記仮想マルチレベル出力パルスを発生するステップと、

前記仮想マルチレベル出力パルスを前記D級電力ドライバに与えるステップと、

前記電力ドライバの出力電圧を出力負荷(典型的には、ラウドスピーカ)に駆動するステップと、

を含む方法。

【請求項24】

前記入力信号を理想PDM制御パルスに変換する前記ステップがシグマデルタ変調器を含む処理ユニットによって実行される、請求項23に記載の方法。

【請求項25】

前記入力信号を理想PDM制御パルスに変換する前記ステップと前記PDM信号の出力を複数のパルス面積値を表す信号として発生する前記ステップは、組合わせ機能内において実行される、請求項23に記載の方法。

【請求項26】

前記パルス幅比を制御する前記ステップは3つ以上の値を使用する、請求項23に記載の方法。

【請求項27】

前記パルス位相を変更する時間を制御する前記ステップは、システム供給クロック信号、典型的にはPDM信号のサンプリングクロックで前記パルスの1つの位相を開始する、請求項23に記載の方法。

【請求項28】

前記パルス位相を変更する時間を制御する前記ステップは、要求されるパルス幅比に主に依存し、かつ前記システム供給クロック信号、典型的にはPDM信号のサンプリングクロックと直接関係した時間でパルス位相を交代する、請求項23に記載の方法。

【請求項29】

前記パルス位相を交代する時間を決定する前記ステップは、時間を積分し該結果を前記パルス幅比から導かれる値と比較することによって実行される、請求項28に記載の方法

【請求項30】

時間を積分し該結果を前記パルス幅比から導かれる値と比較することによって前記パルス位相を交代する時間を決定する前記ステップは、「パルス幅積分器」機能において実行される、請求項29に記載の方法。

【請求項31】

1組の出力パルス面積の基準を規定する前記ステップは1組の固定かつアプリアリに既知の大きさを仮定している、請求項23に記載の方法。

【請求項32】

前記1組の出力パルス面積値を表している前記1組のアプリアリに既知の大きさは外部の制御定義によって変更することが可能である、請求項23に記載の方法。

【請求項33】

相補型ドライバ対(ハーフブリッジ)が電圧を前記出力負荷に駆動させるために用いられる、請求項23に記載の方法。

【請求項34】

前記入力信号を理想PDM電力ドライバ制御パルスに変換する前記ステップは積分デジタル論理関数によって実現される、請求項23に記載の方法。

【請求項35】

前記入力信号を理想PDM電力ドライバ制御パルスに変換する前記ステップはデジタル信号プロセッサにおける計算アルゴリズムによって実現される、請求項23に記載の方

10

20

30

40

50

法。

【請求項 36】

前記複数のパルス面積値を表す前記パルス幅比を制御する前記ステップは積分デジタル論理関数によって実現される、請求項 23 に記載の方法。

【請求項 37】

前記複数のパルス面積値を表す前記パルス幅比を制御する前記ステップはデジタル信号プロセッサにおける計算アルゴリズムによって実現される、請求項 23 に記載の方法。

【請求項 38】

1 サンプル期間内においてパルス位相を変更す時間を決定する時間積分関数は、積分アナログ関数によって部分的に実現される、請求項 23 に記載の方法。

10

【請求項 39】

所望のパルス幅比に基づいて 1 サンプル期間内においてパルス位相を変更する時間を制御する前記ステップは積分デジタル論理関数によって実現される、請求項 23 に記載の方法。

【請求項 40】

所望のパルス幅比に基づいて 1 サンプル期間内においてパルス位相を変更する時間を制御する前記ステップはデジタル信号プロセッサにおける計算アルゴリズムによって実現される、請求項 23 に記載の方法。

【請求項 41】

前記マルチレベル電力ドライバ制御パルスを発生する前記ステップは積分デジタル論理関数によって実行される、請求項 23 に記載の方法。

20

【請求項 42】

前記マルチレベル電力ドライバ制御パルスを発生する前記ステップはデジタル信号プロセッサにおける計算アルゴリズムによって実行される、請求項 23 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は D 級電力増幅器に関し、さらに詳細には、パルスコード式デジタル入力信号を有し、かつ典型的にはラウドスピーカなどの出力負荷を駆動させるための 2 レベル式増幅段を用いる D 級電力増幅器に関する。

30

【背景技術】

【0002】

本出願は、本発明と同じ譲受人に譲渡された次の米国特許出願に関連する。整理番号 DS02-012、米国特許出願第 10/336,967 号 (2003 年 1 月 6 日出願)、整理番号 DS02-013、米国特許出願第 10/350,836 号 (2003 年 1 月 24 日出願)、整理番号 DS02-014、米国特許出願第 10/304,784 号 (2002 年 11 月 26 日出願)。

【0003】

AB 級増幅器は効率が悪いことが知られており、一方 D 級増幅器はこの欠点を克服している。D 級増幅器の一般的な概念は、2 つ (または、3 つ) の出力レベル間で出力を極めて高い周波数 (最大可聴周波数と比べて実質的により高い周波数) で切替えており、この切替えは電力増幅段に高周波数のパルスを供給することによって行われる。平均 (フィルタ処理された) 出力信号をその (増幅した) 入力信号に極めて厳密に従わせるには、駆動用信号のパルス幅比は一定の周波数に変更することが可能であるか、あるいは駆動用信号のパルス密度は一定のパルス幅に変更されることが可能であるかのいずれかである。このような増幅器は、パルス幅変調方式 (PWM)、あるいはパルス密度変調方式 (PDM) と呼ばれている。低域通過フィルタを通過させた後の負荷における出力電圧は、定電源電圧の仮定条件下における入力を表す。

40

【0004】

パルス密度変調の場合、そのパルス幅は常に一定であり、ここで例えばシグマデルタ変

50

調器によって高周波数パルスが発生させることができる。最も一般的な場合にD級ドライバである出力デバイスは、+Vまたは-Vを単に駆動でき、このためパルス発生を2レベルに限定する。交番D級ドライバは、その出力を+V、-Vあるいはゼロに駆動することができ、このため最大3レベルを提供する。

【0005】

図1は、最新技術によるPDM式D級増幅器の概略ブロック図を表している。この増幅器は、典型的にはシグマデルタ変調器(11)を含み、典型的にはHブリッジ(12)としばしばラウドスピーカ(13)である出力負荷であるD級電力出力段に対する駆動用信号を発生する。

【0006】

図2aは相補対ドライバの簡略図を表しており、また図2bは2つの出力信号レベルとこの出力デバイスに対応する状態とを表している。負荷LOADの位置における出力レベルは、トランジスタT1が閉じておりかつT2が開いている状態(21)では「+V」となり、またトランジスタT2が閉じておりかつT1が開いている状態(22)では「-V」となる。

【0007】

米国特許第6,311,046号(Dentに対して付与)は、一定振幅および制御位相の3以上の信号に変換される振幅と位相を変える入力信号をもつ回路を記載している。振幅が一定でありかつ位相が制御されている3以上の信号の各々は、それから別々の増幅器で別々に増幅される。それから、この別々に増幅された一定振幅かつ位相が制御された3以上の信号は組み合わせられ、入力信号の増幅である出力信号を所望の電力レベルで生成する。入力信号を3つ以上の信号に変換する時に、一定振幅かつ制御された位相の3以上の信号の各々は、入力信号の増幅である出力信号を所望の電力レベルで生成するために制御される。別の態様によれば、振幅を変えかつ位相を変える信号は、複数の一定振幅の位相を変える信号から発生され、この信号の和が、振幅を変えかつ位相変える信号である。

【0008】

米国特許第6,232,833号(Pullenに対して付与)は、ひとつのRCの組み合わせを利用した低ジッタ不感時間回路を示し、ハーフブリッジの上側MOSFETと下側MOSFETの両方に対するターンオン遅延を設定する。この回路は、ターンオン遅延におけるジッタを最小限にし、そしてハーフブリッジにおいて両方のMOSFETに対するターンオン遅延をマッチングさせている。これはノイズおよび歪みを最小限にしている。この回路はさらに、電源からのリップルを拒絶するためのシャント調整器と結合して使用するよう設計される。

【特許文献1】米国特許第6,311,046号

【特許文献2】米国特許第6,232,833号

【発明の開示】

【課題を解決するための手段】

【0009】

本発明の目的に従って、たとえば相補対ドライバを使用する場合にはその出力が有する物理レベルが2つのみ(+V、-V)であるようなD級増幅器に関する仮想マルチレベル出力パルスを発生させるための回路を実現している。開示した発明では、SDM(シグマデルタ変調器)からの出力を明瞭な時間-電圧面積をもつパルスに変換するための回路および方法を追加している。開示したこの発明ではさらに、正のパルス部分と負のパルス部分にわたる合計は複数の離散的デジタルレベルのうちの1つに対応した時間-電圧面積である出力パルスパターンを生成する、パルス幅制御メカニズム用の回路および方法を追加している。この方法では、その出力ドライバが2つの離散電圧レベルしか出力することができない場合でも、SDMからマルチレベルの出力が可能である。

【0010】

マルチレベルのパルス幅によれば、より高品質の出力信号が可能となる。さらに、マルチレベルのパルス幅を使用すると、ただ単一のパルス幅の場合と比較して、パルスサン

10

20

30

40

50

リングレートを同じ比率だけ低下させることが可能となる。さらに、より適正な電力効率が達成されると共に、EMIも低下する。

【0011】

PDM（パルス密度変調）を用いたD級増幅器は通常、シグマデルタ変調器（SDM）による入力信号を同じ幅をもつ高周波数のパルスに変換している。さらに、D級増幅器は、その大部分の場合において、2つの切り替えレベル（+V、-V）を備える相補対ドライバを使用し、低域通過フィルタを通るように出力負荷を駆動させている。典型的な負荷は音響スピーカやサーボモータである。

【0012】

開示した発明の基本的な考え方は、SDMからの前記出力を明瞭な時間-電圧面積をもつパルスに変換するための方法およびメカニズムを追加することである。 10

さらに、この基本的な考え方は、明瞭な時間-電圧面積値をもつ前記パルスを、その出力ドライバ段の2つの物理レベルに適した形状になるように整形することである。この場合1回のサンプリング期間内におけるパルスの正の部分と負の部分の面積を加えることによって所望の時間-電圧面積が得られるようにパルスを発生させることになる（図4aおよび4b参照）。ここで、1サンプリング期間内における絶対面積はA1マイナスA2となる。得られた前記の時間-電圧面積値は3つ以上のデジタルレベルに対応している（図5aおよび5b参照）。

【0013】

これを達成するためには、デジタル信号処理ユニットは、典型的にはシグマデルタ変調器である入力信号変換器をまた含み、次にSDM出力信号を、明瞭な時間-電圧面積の複数の離散値をもつパルスに変換する。さらに、前記のパルス幅情報を取り、要求されるパルス比、すなわち1サンプリング期間内における正のパルス部分と負のパルス部分の長さを計算している。 20

【0014】

それから、このパルス幅積分ユニットは、出力位相を変化する時点を決し、その時点は第1のパルス部分の終わりを規定しかつ第2のパルス部分のスタートを規定している。前記の「パルス幅積分器」は、パルス発生器に提供されるパルスのスタート/ストップ情報を発生させている。提案しているこの回路は、要求されるパルス比、ならびに出力パルス位相を交代させる正しい時点を決するためにさまざまな技法を含んでも良い。 30

【0015】

この回路はさらに、PCM信号の前記変換器とD級出力電力段（この提案した発明では、唯2つの物理的出力レベルをもつ相補対ドライバ（または、等価回路）である）の間の信号経路に挿入された「パルス発生器ユニット」を備えている。それから、前記の相補対ドライバは、可能ならばいくつかの形態の低域通過フィルタを通過して電圧を前記出力負荷に駆動する。

【0016】

さらに、本発明の目的に従って、1組の所望のパルス面積値はアプリアリに固定レベルとするだけでなく、外部に制御されても良い。

本発明の目的に従って、D級増幅器用の仮想マルチレベル出力パルスを発生させるための方法が達成され、ここで時間-電圧面積は複数のデジタルレベルに対応する。まず、本方法は、前記入力信号を複数のパルス面積値を表している信号に変換する。別の方法では、前記複数のパルス面積値の各ステップに1つ、1組の出力パルス面積値を規定する。これらのパルス面積の各々はマルチレベルSDM信号の1つのレベルに対応する。さらに方法は、前記1組の規定された出力パルス面積値から指定パルス面積に対応する1つの値を選択することによって、要求されるパルス幅情報を決定する。また別の方法では、1サンプリング期間内における正のパルス部分と負のパルス部分の長さの比を決定する。前記の各方法は、「パルス幅積分器」機能において実現させることが可能である。前記「パルス幅積分器」機能は前記のパルス幅情報を取得し、要求されるパルス比、すなわち1サンプリング期間内における正のパルス部分と負のパルス部分を計算し、さらに、第1のパル 40 50

ス部分の終わりを規定しかつ第2のパルス部分の開始を規定する出力位相を変更する時点  
を決定する。前記「パルス幅積分器」はパルス発生器に提供するためのパルススタート/  
ストップ情報を作成している。この「パルス発生器ユニット」は、前記パルススタート信  
号とパルスストップ信号を用いて前記マルチレベル出力パルスを発生させ、前記電力ドラ  
イバ制御パルスを前記D級電力ドライバに与える。最終的に、前記電力ドライバは出力電  
圧を何らかの低域通過フィルタを含む前記出力負荷に供給している。

【発明を実施するための最良の形態】

【0017】

添付の図面は、本記載の1つの実質的部分を形成しており、これらは(図面の簡単な説  
明)に示している。

10

本発明の目的は、その出力が唯2つの物理レベル(+V、-V)を有するD級増幅器用  
の仮想マルチレベル出力パルスを発生することである。ある実施形態では、相補対ドライ  
バまたはプッシュプルドライバのような2レベルドライバだけが実現される得る。開示さ  
れた発明では、SDM(シグマデルタ変調器)からの出力を明瞭な時間-電圧面積をもつ  
パルスに変換するための回路および方法を追加する。開示された発明ではさらに、正のパ  
ルス部分と負のパルス部分にわたる合計は、複数の離散デジタルレベルの1つに対応す  
る時間-電圧面積になる出力パルスパターンを生成するパルス幅制御メカニズム用回路お  
よび方法を追加する。この方法では、出力ドライバが2つの離散電圧レベルを出力するこ  
とだけ可能である場合であっても、SDMからマルチレベル出力は可能である。マルチレ  
ベルのパルス幅はより高品質の出力信号を許容する。さらに、マルチレベルのパルス幅  
を使用すると、ただ単一のパルス幅の場合と対比して、同じファクタによりパルスサンプリ  
ングレートの低下を許容する。

20

【0018】

PDM(パルス密度変調)を使用するD級増幅器は通常、シグマデルタ変調器により入  
力信号を高周波数低ビットレートパルスに変換する。さらに、D級増幅器は、典型的には  
、3つの切替えレベル(+V、0、-V)を備えるHブリッジを使用し、低域通過フィル  
タを通る出力負荷を駆動する。典型的な負荷はラウドスピーカやサーボモータである。

【0019】

図2bの表は、図2aの相補対ドライバが取ることができる状態を表したものである。

単一のサンプル期間内における典型的なパルスを図4aに表している。図4bに示すよ  
うに、負のパルスの面積A2を正のパルスの面積A1から差し引くと、面積A1-A2を  
有する信号が生じる。一例として、図5aの実2レベルパルスと図5bにおいてこれらか  
ら得られるマルチレベルパルスである、1つの5レベル方式を表している。この図では、  
前記5レベルに対する実2レベルパルスとこれらに対応する仮想マルチレベルパルス、「  
+2」に対し(50)(51)、「+1」に対し(52)(53)、「0」に対し(54)  
(55)、「-1」に対し(56)(57)、および「-2」に対し(58)(59)  
を可視化している。

30

【0020】

図3のブロック概要図は、パルス変換およびパルス幅制御メカニズムのための回路およ  
び方法を追加するコンセプトに基づいた大まかな概要を提供し、唯2つの物理的出力レベ  
ルをもつシステム上で3以上の離散デジタルレベルに対応する出力パルスパターンを生  
成する。

40

【0021】

この基本的な考え方は、各種の良く規定された時間-電圧面積をもつパルスを発生し、  
それから出力ドライバ段の2つの物理レベルに適するように前記パルスを再整形する。こ  
の場合、1サンプリング期間内における正パルスと負パルスの面積を合計することによ  
って所望の時間-電圧面積になるパルスを発生させるであろう(図4aおよび4b参照)。  
1サンプリング期間内における絶対面積はA1マイナスA2である。前記の時間-電圧面  
積値は3以上のデジタルレベルに対応している(図5aおよび5b参照)。

【0022】

50

図6は、本発明の開示に従ったブロック概要図である。この目的を達成するために、典型的にはシグマデルタ変調器を備える入力信号変換器用の処理ユニット(61)によって、入力信号を高周波数低ビットレート信号に変換する。それから、この処理ユニットは、SDM出力信号を、明瞭な時間-電圧面積の複数の離散値をもつパルスに変換する。「パルス幅積分器」関数(63)は前記パルス幅信号を取り、1サンプリング期間内で要求されるパルス比、すなわちパルスの正パルス部分と負パルス部分を計算し、またさらに第1のパルス部分の終わりを規定しかつ第2のパルス部分の開始を規定する出力位相を変化する時点を決する。前記の「パルス幅積分器」は、パルス発生器に提供されるパルススタートおよびストップ情報を発生する。提案した回路は、要求されるパルス比、ならびに出力パルス位相を交代するための正しい点を決定するための異なる技術を含むことができる。

10

#### 【0023】

この回路はさらに、信号経路に挿入されており、かつ上述したように相補対ドライバまたはプッシュプルドライバあるいは等価物(65)であるD級出力電力段を駆動する「パルス発生器ユニット」(64)を備える。それから、前記出力ドライバは、おそらく何らかの形態の低域通過フィルタを介して、電圧を前記出力負荷に駆動する。

#### 【0024】

本発明の目的を実現するための方法を図7に表している。先ず(71)では、1組の所望のパルス面積値を規定される。ステップ(72)では、シグマデルタ変調器によって入力信号を高周波数低ビットレート信号に変換する。ステップ(73)では、複数のパルス面積値を表す信号を発生する。他のステップ(74)は、前記1組の規定出力パルス面積値から特定のパルス面積に対応するひとつの値を選択することにより要求されるパルス幅情報を決定し、それから1サンプリング期間内における正および負のパルス部分の幅比を決定する。ここでパルススタート時間(75)に、前記パルス幅積分器は時間を積分することを開始する(76)。同時に、パルス発生器は相補対ドライバに対して制御信号をオンに切り替える(77)。前記パルス幅積分器は、前記積分した時間値を選択パルス面積基準と比較し、第1のパルス部分の終わりを規定しかつ第2のパルス部分の始まりを規定する出力位相を変更する時点を決する(78)。ストップ条件に到達した後(79)、パルス幅積分器は積分動作を停止しそしてパルスストップ信号を発生し(80)、このため相補対ドライバに対する制御信号は再び交代される(81)。

20

30

#### 【0025】

本発明をその好ましい実施形態に関連して具体的に図示しかつ記載してきたが、当業者であれば、本発明の精神および趣旨を逸脱することなく形態および詳細についてさまざまな変更を行うことができることが理解されよう。

#### 【図面の簡単な説明】

#### 【0026】

【図1】従来技術の解決法に関するブロック概要図である。

【図2a】ハーフブリッジ(相補対)の主要回路の図である。

【図2b】図2aのハーフブリッジの出力レベル状態の図である。

【図3】本発明の実施の一形態に従った解決法に関する基本的ブロック図である。

40

【図4a】2つの物理レベルを有する実パルスの一例である。

【図4b】正パルスと負パルスにおける差分計算後に得られる結果を表した図である。

【図5a】5レベルシステムを例示し、マルチレベルパルスの概念、最初に実パルスそして結果として生じた効果を視覚化している。

【図5b】5レベルシステムを例示し、マルチレベルパルスの概念、最初に実パルスそして結果として生じた効果を視覚化している。

【図6】本発明の実施の一形態に従う提案された解決法に関する概略ブロック図である。

【図7】D級増幅器に対する仮想マルチレベル出力パルスを発生する方法を示す。

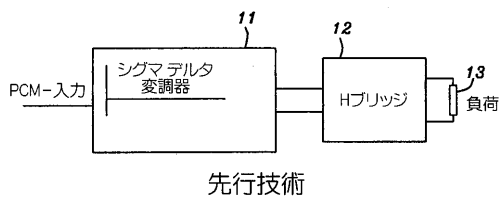
#### 【符号の説明】

#### 【0027】

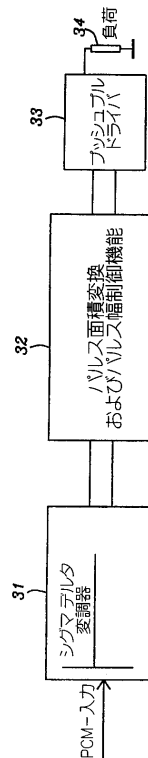
50

- 1 1 シグマデルタ変調器
- 1 2 Hブリッジ
- 1 3 負荷
- 6 1 入力信号変換器向けの処理ユニット
- 6 3 「パルス幅積分器」機能
- 6 4 「パルス発生器ユニット」
- 6 5 相補対ドライバ、プッシュプルドライバ

【 図 1 】



【 図 3 】



【 図 2 a 】

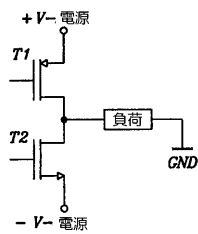


FIG. 2a 先行技術

【 図 2 b 】

+V	トランジスタT1は閉じ、T2は開放	21
-V	トランジスタT2は閉じ、T1は開放	22

FIG. 2b 先行技術

【図 4 a】

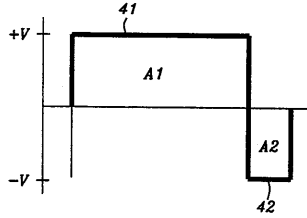


FIG. 4a

【図 4 b】

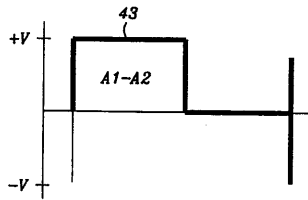


FIG. 4b

【図 5 a】

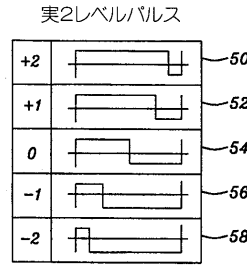


FIG. 5a

【図 5 b】

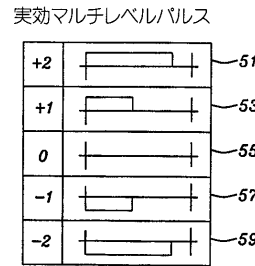
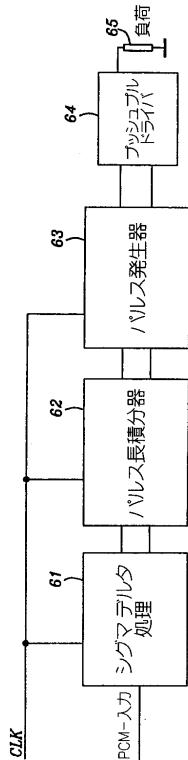
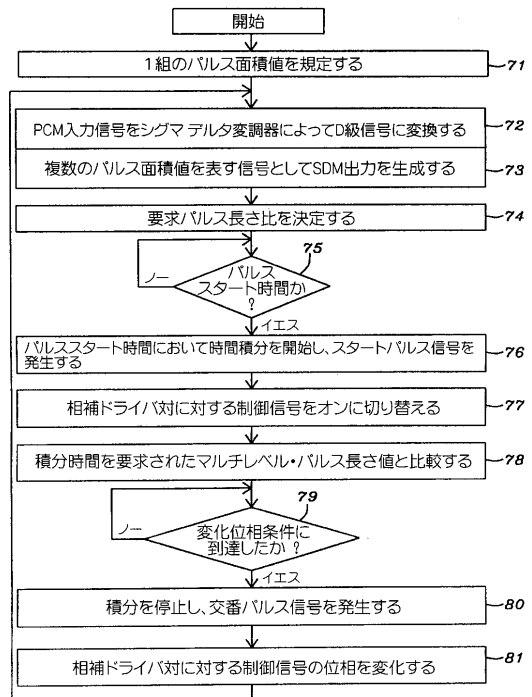


FIG. 5b

【図 6】



【図 7】



---

フロントページの続き

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100107696

弁理士 西山 文俊

(72)発明者 ヨハン・ニルソン

スウェーデン国 2 2 2 2 6 ルンド, サンナンバーグ 6 エル

Fターム(参考) 5J042 BA13 CA08 CA19 DA00 DA04

5J064 AA01 BA03 BB01 BC10 BC15 BC19

5J500 AA02 AA15 AA18 AA41 AA66 AC00 AC88 AF20 AK53 AS05

AS16 AT01 WU02 WU09

【外国語明細書】

2004357281000001.pdf