



(12)发明专利

(10)授权公告号 CN 104639157 B

(45)授权公告日 2018.07.06

(21)申请号 201410602548.3

(22)申请日 2014.10.31

(65)同一申请的已公布的文献号

申请公布号 CN 104639157 A

(43)申请公布日 2015.05.20

(30)优先权数据

2013-235911 2013.11.14 JP

(73)专利权人 株式会社索思未来

地址 日本神奈川县

(72)发明人 松田笃

(74)专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 朱胜 陈炜

(51)Int.Cl.

H03L 7/08(2006.01)

H03K 5/14(2014.01)

(56)对比文件

JP 2006025131 A, 2006.01.26, 全文.

US 2008069286 A1, 2008.03.20, 全文.

US 2010117694 A1, 2010.05.13, 全文.

CN 101753137 A, 2010.06.23, 全文.

CN 101997542 A, 2011.03.30, 全文.

CN 102648581 A, 2012.08.22, 全文.

CN 102195641 A, 2011.09.21, 全文.

CN 102289246 A, 2011.12.21, 全文.

US 2012133405 A1, 2012.05.31, 全文.

CN 1212522 A, 1999.03.31, 全文.

CN 101714860 A, 2010.05.26, 全文.

TW 200919418 A, 2009.05.01, 全文.

US 2007024335 A1, 2007.02.01, 全文.

CN 1116466 A, 1996.02.07, 全文.

CN 101183872 A, 2008.05.21, 全文.

CN 101048937 A, 2007.10.03, 全文.

Kwon et al..A 3.0 Gb/s Clock Data

Recovery Circuits Based on Digital DLL
for Clock-Embedded.《IEEE》.2012,

审查员 李妮

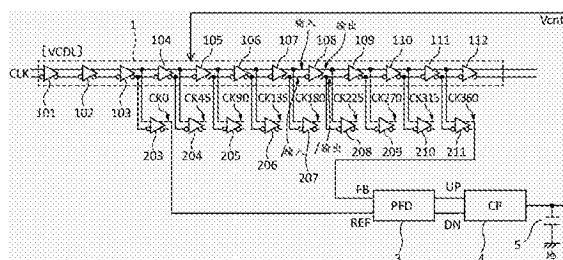
权利要求书6页 说明书12页 附图13页

(54)发明名称

定时调整电路和半导体集成电路装置

(57)摘要

一种定时调整电路包括电压控制延迟线、相位检测器、控制电压生成电路以及启动电路。该电压控制延迟线接收输入时钟信号以及生成多相时钟,多相时钟中的每个时钟的延迟量根据控制电压而变化。该相位检测器对第一时钟与第二时钟之间的相位差进行检测,第一时钟是参考时钟,第二时钟是从电压控制延迟线生成的。该控制电压生成电路基于所检测到的相位差生成控制电压。该启动电路在激活后工作一定时间段,以及使控制电压在第一电压与第二电压之间连续地变化。



1. 一种定时调整电路,包括:

电压控制延迟线,所述电压控制延迟线接收输入时钟信号以及生成多相时钟,所述多相时钟中的每个时钟的延迟量根据控制电压而变化;

相位检测器,所述相位检测器对第一时钟与第二时钟之间的相位差进行检测,所述第一时钟是参考时钟,所述第二时钟是从所述电压控制延迟线生成的;

控制电压生成电路,所述控制电压生成电路基于所检测到的相位差生成所述控制电压;以及

启动电路,所述启动电路在激活后工作一段时间,该段时间是基于所述第二时钟信号而确定的,以及所述启动电路使所述控制电压在第一电压与第二电压之间连续地变化,其中,

所述启动电路在激活后直至所述第二时钟从所述电压控制延迟线生成为止的时间段期间,将所述控制电压调整至锁定电压附近的电压,以生成稳定的多相时钟,以及

当所述电压控制延迟线处于固定工作时,所述锁定电压是根据所述控制电压的电平被限定的。

2. 一种定时调整电路,包括:

电压控制延迟线,所述电压控制延迟线接收输入时钟信号以及生成多相时钟,所述多相时钟中的每个时钟的延迟量根据控制电压而变化;

相位检测器,所述相位检测器对第一时钟与第二时钟之间的相位差进行检测,所述第一时钟是参考时钟,所述第二时钟是从所述电压控制延迟线生成的;

控制电压生成电路,所述控制电压生成电路基于所检测到的相位差生成所述控制电压;以及

启动电路,所述启动电路在激活后工作一段时间,该段时间是基于所述第二时钟信号而确定的,以及所述启动电路使所述控制电压在第一电压与第二电压之间连续地变化,其中,

所述启动电路在激活后直至所述第二时钟从所述电压控制延迟线生成为止的时间段期间,将所述控制电压调整至锁定电压附近的电压,以生成稳定的多相时钟,以及

所述启动电路将所述控制电压调整为大于所述锁定电压的电压。

3. 一种定时调整电路,包括:

电压控制延迟线,所述电压控制延迟线接收输入时钟信号以及生成多相时钟,所述多相时钟中的每个时钟的延迟量根据控制电压而变化;

相位检测器,所述相位检测器对第一时钟与第二时钟之间的相位差进行检测,所述第一时钟是参考时钟,所述第二时钟是从所述电压控制延迟线生成的;

控制电压生成电路,所述控制电压生成电路基于所检测到的相位差生成所述控制电压;以及

启动电路,所述启动电路在激活后工作一段时间,该段时间是基于所述第二时钟信号而确定的,以及所述启动电路使所述控制电压在第一电压与第二电压之间连续地变化,其中,

所述启动电路在对所述第二时钟计数第一数目之后停止,以及

所述启动电路包括:

对输入时钟信号进行计数的第一数目的触发器；

逻辑电路，所述逻辑电路对激活信号实施逻辑操作，所述激活信号指示所述第一数目的触发器的输出和激活定时；以及

晶体管，所述晶体管由所述逻辑电路的输出信号控制，以及对所述控制电压的电平进行调整。

4. 根据权利要求3所述的定时调整电路，所述定时调整电路还包括：

对所述第一时钟进行掩蔽的第一掩蔽电路；以及

对所述第二时钟进行掩蔽的第二掩蔽电路，其中，

所述第二掩蔽电路的输出信号在所述第一掩蔽电路的输出信号之前输出，及

所述第一掩蔽电路和所述第二掩蔽电路接收所述逻辑电路的输出信号以执行掩蔽控制。

5. 一种定时调整电路，包括：

电压控制延迟线，所述电压控制延迟线接收输入时钟信号以及生成多相时钟，所述多相时钟中的每个时钟的延迟量根据控制电压而变化；

相位检测器，所述相位检测器对第一时钟与第二时钟之间的相位差进行检测，所述第一时钟是参考时钟，所述第二时钟是从所述电压控制延迟线生成的；

控制电压生成电路，所述控制电压生成电路基于所检测到的相位差生成所述控制电压；以及

启动电路，所述启动电路在激活后工作一段时间，该段时间是基于所述第二时钟信号而确定的，以及所述启动电路使所述控制电压在第一电压与第二电压之间连续地变化，其中，

所述启动电路被配置成：

在当所述输入时钟信号的频率是第一频率时对所述第二时钟计数第二数目之后停止；以及

在当所述输入时钟信号的频率是大于所述第一频率的第二频率时对所述第二时钟计数大于所述第二数目的第三数目之后停止。

6. 根据权利要求5所述的定时调整电路，其中，

所述启动电路包括：

第四数目的第一触发器，所述第一触发器当所述输入时钟信号的频率是所述第一频率时将所述第二时钟计数为所述第二数目；

第五数目的第二触发器，所述第二触发器当所述输入时钟信号的频率是所述第二频率时通过与所述第一触发器合作将所述第二时钟计数为所述第三数目；

第一逻辑电路，所述第一逻辑电路对激活信号实施逻辑操作，所述激活信号指示所述第一触发器的输出和激活定时；以及

第二逻辑电路，所述第二逻辑电路基于所述输入时钟信号的频率是所述第一频率还是所述第二频率，对在所述第一触发器的使用与所述第一触发器和所述第二触发器两者的使用之间的切换进行控制；

晶体管，所述晶体管由所述第一逻辑电路的输出信号控制并且对所述控制电压的电平进行调整。

7. 根据权利要求6所述的定时调整电路,所述定时调整电路还包括:
对所述第一时钟进行掩蔽的第一掩蔽电路;以及
对所述第二时钟进行掩蔽的第二掩蔽电路,其中,
所述第二掩蔽电路的输出信号在所述第一掩蔽电路的输出信号之前输出,及
所述第一掩蔽电路和所述第二掩蔽电路接收所述逻辑电路的输出信号以执行掩蔽控制。

8. 一种定时调整电路,包括:

电压控制延迟线,所述电压控制延迟线接收输入时钟信号以及生成多相时钟,所述多相时钟中的每个时钟的延迟量根据控制电压而变化;

相位检测器,所述相位检测器对第一时钟与第二时钟之间的相位差进行检测,所述第一时钟是参考时钟,所述第二时钟是从所述电压控制延迟线生成的;

控制电压生成电路,所述控制电压生成电路基于所检测到的相位差生成所述控制电压;以及

启动电路,所述启动电路在激活后工作一段时间,该段时间是基于所述第二时钟信号而确定的,以及所述启动电路使所述控制电压在第一电压与第二电压之间连续地变化,其中,

所述电压控制延迟线接收所述输入时钟信号,通过对所述输入时钟信号给予第一延迟量来生成所述第一时钟,以及通过对所述输入时钟信号给予大于所述第一延迟量的第二延迟量来生成所述第二时钟。

9. 根据权利要求8所述的定时调整电路,其中,

所述控制电压生成电路生成所述控制电压,以使所述第一时钟的相位和所述第二时钟的相位同步。

10. 一种定时调整电路,包括:

电压控制延迟线,所述电压控制延迟线接收输入时钟信号以及生成多相时钟,所述多相时钟中的每个时钟的延迟量根据控制电压而变化;

相位检测器,所述相位检测器对第一时钟与第二时钟之间的相位差进行检测,所述第一时钟是参考时钟,所述第二时钟是从所述电压控制延迟线生成的;

控制电压生成电路,所述控制电压生成电路基于所检测到的相位差生成所述控制电压;以及

启动电路,所述启动电路在激活后工作一段时间,该段时间是基于所述第二时钟信号而确定的,以及所述启动电路使所述控制电压在第一电压与第二电压之间连续地变化,其中,

所述电压控制延迟线包括多个级联的延迟单元,所述多个级联的延迟单元中的每个延迟单元的延迟量根据所述控制电压而变化;

所述输入时钟信号输入至所述多个级联的延迟单元中的第一级延迟单元;以及

当 n 和 m 是正整数并且 n 小于 m 时,所述第一时钟是从多级的所述延迟单元中的第 n 级延迟单元输出的,以及所述第二时钟是从多级的所述延迟单元中的第 m 级延迟单元输出的。

11. 根据权利要求10所述的定时调整电路,其中,

所述输入时钟信号经由电容器输入至所述第一级延迟单元。

12. 根据权利要求11所述的定时调整电路,其中,
所述输入时钟信号是差分输入时钟信号,以及
所述电容器包括:

第一电容器,所述第一电容器设置在所述第一级延迟单元的正逻辑输入端,并且接收所述差分输入时钟信号的正逻辑输入时钟信号;以及

第二电容器,所述第二电容器设置在所述第一级延迟单元的负逻辑输入端,并且接收所述差分输入时钟信号的负逻辑输入时钟信号。

13. 根据权利要求12所述的定时调整电路,所述定时调整电路还包括:

第一电阻器,所述第一电阻器设置在所述第一级延迟单元的所述正逻辑输入端与负逻辑输出端之间;以及

第二电阻器,所述第二电阻器设置在所述第一级延迟单元的所述负逻辑输入端与正逻辑输出端之间。

14. 根据权利要求12所述的定时调整电路,所述定时调整电路还包括:

公共电压控制电路,在激活前,所述公共电压控制电路将所述第一级延迟单元的差分输出信号的共模电压控制为固定电压,并且在激活后使所述第一级延迟单元的差分输出端处于浮置状态。

15. 一种定时调整电路,包括:

电压控制延迟线,所述电压控制延迟线接收输入时钟信号以及生成多相时钟,所述多相时钟中的每个时钟的延迟量根据控制电压而变化;

相位检测器,所述相位检测器对第一时钟与第二时钟之间的相位差进行检测,所述第一时钟是参考时钟,所述第二时钟是从所述电压控制延迟线生成的;

控制电压生成电路,所述控制电压生成电路基于所检测到的相位差生成所述控制电压;

启动电路,所述启动电路在激活后工作一段时间,该段时间是基于所述第二时钟信号而确定的,以及所述启动电路使所述控制电压在第一电压与第二电压之间连续地变化;

对所述第一时钟进行掩蔽的第一掩蔽电路;以及

对所述第二时钟进行掩蔽的第二掩蔽电路,

其中,所述第二掩蔽电路的输出信号在所述第一掩蔽电路的输出信号之前输出。

16. 一种半导体集成电路装置,包括:

定时调整电路;以及

内部电路,所述内部电路接收由所述定时调整电路生成的多相时钟并且执行处理,其中

所述定时调整电路包括:

电压控制延迟线,所述电压控制延迟线接收输入时钟信号以及生成多相时钟,所述多相时钟中的每个时钟的延迟量根据控制电压而变化;

相位检测器,所述相位检测器对第一时钟与第二时钟之间的相位差进行检测,所述第一时钟是参考时钟,所述第二时钟是从所述电压控制延迟线生成的;

控制电压生成电路,所述控制电压生成电路基于所检测到的相位差生成所述控制电压;及

启动电路,所述启动电路在激活后工作一段时间,该段时间是基于所述第二时钟信号而确定的,以及所述启动电路使所述控制电压在第一电压与第二电压之间连续地变化,其中,

所述启动电路被配置成:

在当所述输入时钟信号的频率是第一频率时对所述第二时钟计数第二数目之后停止;以及

在当所述输入时钟信号的频率是大于所述第一频率的第二频率时对所述第二时钟计数大于所述第二数目的第三数目之后停止。

17.一种半导体集成电路装置,包括:

定时调整电路;以及

内部电路,所述内部电路接收由所述定时调整电路生成的多相时钟并且执行处理,其中

所述定时调整电路包括:

电压控制延迟线,所述电压控制延迟线接收输入时钟信号以及生成多相时钟,所述多相时钟中的每个时钟的延迟量根据控制电压而变化;

相位检测器,所述相位检测器对第一时钟与第二时钟之间的相位差进行检测,所述第一时钟是参考时钟,所述第二时钟是从所述电压控制延迟线生成的;

控制电压生成电路,所述控制电压生成电路基于所检测到的相位差生成所述控制电压;及

启动电路,所述启动电路在激活后工作一段时间,该段时间是基于所述第二时钟信号而确定的,以及所述启动电路使所述控制电压在第一电压与第二电压之间连续地变化,其中,

所述启动电路在对所述第二时钟计数第一数目之后停止,以及

所述启动电路包括:

对输入时钟信号进行计数的第一数目的触发器;

逻辑电路,所述逻辑电路对激活信号实施逻辑操作,所述激活信号指示所述第一数目的触发器的输出和激活定时;以及

晶体管,所述晶体管由所述逻辑电路的输出信号控制,以及对所述控制电压的电平进行调整。

18.一种半导体集成电路装置,包括:

定时调整电路;以及

内部电路,所述内部电路接收由所述定时调整电路生成的多相时钟并且执行处理,其中

所述定时调整电路包括:

电压控制延迟线,所述电压控制延迟线接收输入时钟信号以及生成多相时钟,所述多相时钟中的每个时钟的延迟量根据控制电压而变化;

相位检测器,所述相位检测器对第一时钟与第二时钟之间的相位差进行检测,所述第一时钟是参考时钟,所述第二时钟是从所述电压控制延迟线生成的;

控制电压生成电路,所述控制电压生成电路基于所检测到的相位差生成所述控制电

压;及

启动电路,所述启动电路在激活后工作一段时间,该段时间是基于所述第二时钟信号而确定的,以及所述启动电路使所述控制电压在第一电压与第二电压之间连续地变化,其中,

所述电压控制延迟线包括多个级联的延迟单元,所述多个级联的延迟单元中的每个延迟单元的延迟量根据所述控制电压而变化;

所述输入时钟信号输入至所述多个级联的延迟单元中的第一级延迟单元;以及

当 n 和 m 是正整数并且 n 小于 m 时,所述第一时钟是从多级的所述延迟单元中的第 n 级延迟单元输出的,以及所述第二时钟是从多级的所述延迟单元中的第 m 级延迟单元输出的。

19. 一种半导体集成电路装置,包括:

定时调整电路;以及

内部电路,所述内部电路接收由所述定时调整电路生成的多相时钟并且执行处理,其中

所述定时调整电路包括:

电压控制延迟线,所述电压控制延迟线接收输入时钟信号以及生成多相时钟,所述多相时钟中的每个时钟的延迟量根据控制电压而变化;

相位检测器,所述相位检测器对第一时钟与第二时钟之间的相位差进行检测,所述第一时钟是参考时钟,所述第二时钟是从所述电压控制延迟线生成的;

控制电压生成电路,所述控制电压生成电路基于所检测到的相位差生成所述控制电压;

启动电路,所述启动电路在激活后工作一段时间,该段时间是基于所述第二时钟信号而确定的,以及所述启动电路使所述控制电压在第一电压与第二电压之间连续地变化;

对所述第一时钟进行掩蔽的第一掩蔽电路;以及

对所述第二时钟进行掩蔽的第二掩蔽电路,

其中,所述第二掩蔽电路的输出信号在所述第一掩蔽电路的输出信号之前输出。

定时调整电路和半导体集成电路装置

技术领域

[0001] 本文中所讨论的实施方式涉及定时调整电路和半导体集成电路装置。

背景技术

[0002] 近年来,用于计算机和其他信息处理装置的半导体存储器(例如,DRAM:动态随机存取存储器)、处理器等的性能有了显著改进。因此,优选的是在安装在电路板上的芯片之间以及芯片内的多个元件和电路块之间正确且迅速地实施信号传输。

[0003] 鉴于此,例如,存在一种已知的技术,其中:将定时调整电路(例如,DLL电路:延迟锁相环电路)设置在接收侧;通过延迟通过DLL电路的输入时钟信号而生成多相时钟;以及以适当的定时读取(确定)数据。

[0004] 另一方面,还存在一种已知的、在诸如计算机总线的高速接口处使串行数据和并行数据互换的SerDes(串行器/解串器),并且DLL电路也被用在SerDes中。

[0005] 例如,DLL电路具有多个级联的延迟单元以控制来自第一延迟单元(0度)的信号与来自第一延迟单元的后级的第二延迟单元(360度)的信号之间的相位差变为0。

[0006] 然后,DLL电路使用来自第一延迟单元与第二延迟单元之间的延迟单元的信号生成多个具有不同相位(多相时钟)的信号。应注意,DLL电路(定时调整电路)不仅被用在SerDes中,而且被广泛用在各种电子电路(半导体集成电路装置)中。

[0007] 如上所述,例如,具有多个级联的延迟单元的DLL电路被用在诸如SerDes的各种电子电路中。使用这种采用DLL电路的电子电路,存在下述的可能性:例如,DLL电路中的相位频率检测器(PFD:相位检测器)在通过电源应用启动时出现故障。

[0008] 换句话说,当DLL电路的输入信号(输入时钟信号)的频率变得较高时,PFD的可操作范围变窄,因此,例如,PFD在启动时出现故障,这可能使得难以生成定时调整的输出信号。

[0009] 在这方面,已经提出了各种定时调整电路。

[0010] 专利文献1:日本公开特许公报No.2010-114873

[0011] 专利文献2:日本公开特许公报No.2006-025131

[0012] 专利文献3:日本公开特许公报No.2011-055482

[0013] 非专利文献1:Kwon,Jae-Wook等人的“A 3.0Gb/s clock data recovery circuits based on digital DLL for clock-embedded display interface,”欧洲固态电路会议(ESSCIRC),2012Proceedings of the,IEEE,2012年9月。

[0014] 因此,本实施方式一方面的目的是提供一种即使当输入时钟信号的频率高时仍正常工作而不发生故障的定时调整电路。

发明内容

[0015] 根据实施方式的一方面,提供了一种包括电压控制延迟线、相位检测器、控制电压生成电路以及启动电路的定时调整电路。

[0016] 电压控制延迟线接收输入时钟信号以及生成多相时钟,多相时钟中的每个时钟的延迟量根据控制电压而变化。相位检测器对第一时钟与第二时钟之间的相位差进行检测,第一时钟是参考时钟,第二时钟是从电压控制延迟线生成的。

[0017] 控制电压生成电路基于所检测到的相位差生成控制电压。启动电路在激活后工作一定时间段,以及使控制电压在第一电压与第二电压之间连续地变化。

附图说明

[0018] 图1是描绘了定时调整电路的示例的框图;

[0019] 图2是描绘了图1中所描绘的定时调整电路中的延迟单元的示例的电路图;

[0020] 图3A和图3B是示出了图1中所描绘的定时调整电路的操作的图;

[0021] 图4A和图4B是示出了在图1中所描绘的定时调整电路中启动时的延迟的图;

[0022] 图5A、图5B、图5C和图5D是示出了图1中所描绘的定时调整电路中的相位频率检测器针对不同的输入时钟信号的操作的图;

[0023] 图6A、图6B和图6C是示出了图1中所描绘的定时调整电路中的相位频率检测器的正常工作状态和故障状态的图;

[0024] 图7是描绘了定时调整电路的第一实施方式的框图;

[0025] 图8是描绘了从图7中所描绘的第一实施方式的定时调整电路中提取的启动电路的电路图;

[0026] 图9是示出了图8中所描绘的启动电路的操作的定时图;

[0027] 图10是描绘了定时调整电路的第二实施方式的框图;

[0028] 图11是示出了图10中所描绘的第二实施方式的定时调整电路的操作的图;

[0029] 图12是描绘了定时调整电路的第三实施方式的框图;

[0030] 图13是描绘了定时调整电路的第四实施方式的框图;

[0031] 图14是示出了图13中所描绘的第四实施方式的定时调整电路的操作的图;

[0032] 图15是示出了各实施方式的定时调整电路的效果的图;以及

[0033] 图16是描绘了采用实施方式的定时调整电路的半导体集成电路装置的示例的框图。

具体实施方式

[0034] 首先,在描述定时调整电路和半导体集成电路装置的实施方式之前,将参照图1至图6C描述定时调整电路及其有问题的点的示例。

[0035] 图1是描绘了定时调整电路(DLL电路)的示例的框图。在图1中,附图标记1指示电压控制延迟线(VCDL),附图标记101至附图标记112指示延迟单元,以及附图标记203至附图标记211指示波形整形单元。此外,附图标记3指示相位频率检测器(PFD:相位检测器),附图标记4指示电荷泵(CP)以及附图标记5指示电容器。

[0036] 如图1中所描绘的那样,VCDL 1具有多个级联的延迟单元101至延迟单元112,并且延迟单元103至延迟单元111的输出信号分别经由对应的波形整形单元203至波形整形单元211输出。

[0037] 例如,波形整形单元203至波形整形单元211是缓冲电路,该缓冲电路通过将输出

信号的振幅电平放大至典型的逻辑电平来对延迟单元103至延迟单元111的输出信号进行输出。例如,缓冲电路是互补金属氧化物半导体(CMOS)缓冲电路。

[0038] 将波形整形单元203的输出信号给予PFD 3的一个输入端,波形整形单元203的输出信号即,通过对延迟单元103的输出信号(具有0度相位的信号)的波形进行整形而获得的信号(CK0:参考时钟信号)REF。

[0039] 此外,将波形整形单元211的输出信号给予PFD 3的另一输入端,波形整形单元211的输出信号即,通过对延迟单元111的输出信号(具有360度相位的信号)的波形进行整形而获得的信号(CK360:反馈时钟信号)FB。

[0040] 相位频率检测器(PFD)3对已经被输入到PFD 3中的、波形整形单元203的输出信号(参考时钟信号)REF与波形整形单元211的输出信号(反馈时钟信号)FB之间的相位差进行检测,并且将上升信号UP或下降信号DN输出至CP 4。

[0041] 电荷泵(CP)4根据来自PFD 3的信号UP、信号DN对电容器5存储的电荷进行控制。因此,控制电压V_{cnt1}被控制,以使得参考时钟信号REF的相位和反馈时钟信号FB的相位彼此同步(360度(=0度))。

[0042] 在图1中,七个延迟单元104至延迟单元110设置在延迟单元(第一延迟单元)103与延迟单元(第二延迟单元)111之间。然后,通过控制以将与第一延迟单元103的输出信号CK0对应的信号REF的相位和与第二延迟单元111的输出信号CK360对应的信号FB的相位同步,可以获得八相时钟CK0、时钟CK45、时钟CK90、……、时钟CK360。

[0043] 当n和m是正整数且n小于m时,例如,参考时钟信号REF是来自第n级延迟单元的输出,以及反馈时钟信号FB是来自第m级延迟单元的输出。

[0044] 图2是描绘了图1中所描绘的定时调整电路中的延迟单元的示例的电路图。图3A和图3B是示出了图1中所描绘的定时调整电路的操作的图。图3A描绘了信号CK0、信号CK90、信号CK180、信号CK270以及信号CK360之间的关系;图3B描绘了控制电压V_{cnt1}与延迟时间之间的关系。

[0045] 如图2中所描绘的那样,延迟单元100(延迟单元101至延迟单元112)都具有相同的电路配置,并且每个延迟单元具有p沟道MOS(pMOS)晶体管Q_{p1}至p沟道MOS(pMOS)晶体管Q_{p5}和n沟道MOS(nMOS)晶体管Q_{n1}至n沟道MOS(nMOS)晶体管Q_{n4}。

[0046] 现在,采用图1中的延迟单元108作为描绘对应关系的示例。在图2中所描绘的延迟单元100(延迟单元108)的输入端的差分对晶体管Q_{n1}和晶体管Q_{n2}的栅极分别对应于差分输入端IN和差分输入端/_{IN}。输入端IN指示正逻辑(非反向逻辑)输入端以及/_{IN}指示负逻辑(反向逻辑)输入端。

[0047] 此外,晶体管Q_{p2}的漏极的连接节点(晶体管Q_{p1}的栅极和漏极)和晶体管Q_{n1}的漏极对应于负逻辑(反向逻辑)输出端/OUT。此外,晶体管Q_{p3}的漏极的连接节点(晶体管Q_{p4}的栅极和漏极)和晶体管Q_{n2}的漏极对应于正逻辑(非反向逻辑)输出端OUT。

[0048] 如图2中所描绘的那样,控制电压V_{cnt1}被施加至nMOS晶体管Q_{n3}和nMOS晶体管Q_{n4}的栅极,以及晶体管Q₃和晶体管Q₄的驱动能力(流动电流)是由控制电压V_{cnt1}的电压电平来控制的。

[0049] 当控制电压V_{cnt1}的电压电平为高时,晶体管Q_{n3}充分导通并且晶体管Q_{n4}也充分导通,从而晶体管Q_{p2}和晶体管Q_{p3}的栅极电压为低。以此方式,延迟单元100的驱动能力变

大,从而缩短了延迟时间。另一方面,当控制电压 V_{cnt1} 的电平为低时,由延迟单元100引起的延迟时间变长。

[0050] 换句话说,如图3B中所描绘的那样,在初始状态下,控制电压 V_{cnt1} 为0 ($V_{cnt1}=0$),其中VCDL 1 (延迟单元101至延迟单元112) 不传播信号。此外,已经被输入到PFD 3的反馈时钟信号FB和参考时钟信号REF不从0 ($REF=0, FB=0$) 通过。因此,控制电压 V_{cnt1} 保持初始状态 ($V_{cnt1}=0$)。

[0051] 例如,当控制电压 V_{cnt1} 的电平(电压)超过晶体管Qn3和晶体管Qn4的阈值电压 V_{th} 时,延迟单元100中的每个延迟单元(延迟单元101至延迟单元112)开始工作。随着控制电压 V_{cnt1} 的电平(电压)变得越高,每个延迟单元的驱动能力变得越高,从而缩短了延迟时间。

[0052] 应注意,波形整形单元203至波形整形单元211都具有相同的电路配置,并且每个波形整形单元的延迟时间是固定的。因此,例如,当DLL电路(定时调整电路)被锁定时,来自波形整形单元203至波形整形单元211的八相时钟输出与从延迟单元103至延迟单元111输出的其中每个具有45度相位差的八相时钟CK0、时钟CK45、时钟CK90、……、时钟CK360对应。

[0053] 接下来,将通过消除由波形整形单元203至波形整形单元211引起的固定延迟定时描述来自延迟单元103至延迟单元111的输出信号,并且考虑将该输出信号作为多相时钟CK0至时钟CK360以简化描述。

[0054] 参照图3A,图1中的延迟单元103、延迟单元105、延迟单元107、延迟单元109以及延迟单元111的输出信号将被描述作为波形整形单元203、波形整形单元205、波形整形单元207、波形整形单元209以及波形整形单元211的输出信号(时钟信号CK0、时钟信号CK90、时钟信号CK180、时钟信号CK270、时钟信号CK360)。

[0055] 信号CK0是通过由三级延迟单元101至103对输入时钟信号CLK进行延迟而获得的信号。例如,输入时钟信号CLK表示正逻辑和负逻辑的差分(互补)输入时钟信号。

[0056] 信号CK90是通过由五级延迟单元101至105对输入时钟信号CLK进行延迟而获得的信号,即,通过由两级延迟单元104和105对延迟单元103的输出信号CK0进行进一步延迟而获得的信号。

[0057] 此外,信号CK180是通过由七级延迟单元101至107对输入时钟信号CLK进行延迟而获得的信号,即,通过由两级延迟单元106和107进一步对延迟单元105的输出信号CK90进行延迟而获得的信号。然后,通过由延迟单元进行顺序地延迟类似地生成其他信号CK270、CK360 (=CK0)。

[0058] 当四相时钟CK0 (CK360)、时钟CK90、时钟CK180、时钟CK270描绘于图3A中时,可以通过改变延迟单元的级数类似地生成八相时钟CK0、时钟CK45、时钟CK90、……、时钟CK360或其他多相时钟。

[0059] 参照图1和图2所描述的DLL电路(定时调整电路)通过对输入时钟信号CLK进行顺序地延迟生成多相(八相)时钟信号。控制电压 V_{cnt1} 被施加至所有延迟单元101至延迟单元112(延迟单元100)的晶体管Qn3和晶体管Qn4的栅极,并且控制电压 V_{cnt1} 的电平被反馈控制以对信号REF和信号FB进行同步。

[0060] 同样,通过对参考时钟信号REF的相位和反馈时钟信号FB的相位进行同步(调整至0度),从延迟单元103至延迟单元111获得其中每个具有45度相位差的八个信号(八相时钟:多相时钟)。

[0061] 应注意,当延迟单元101至112和波形整形单元203至211具有差分配置时,延迟单元101至112和波形整形单元203至211可以具有单端配置。应理解,VCDL 1的配置、设置在第一延迟单元103与第二延迟单元111之间的延迟单元的级数、延迟单元和波形整形单元的电路配置等可以以各种方式进行修改。

[0062] 同时,在上述的图2中,当在启动时控制电压被限定为 $V_{cnt1}=0V$ 时,由于对VCDL 1配置的延迟单元101至112(延迟单元100)不工作,所以如图1中所描绘的DLL电路(定时调整电路)没有被激活。因此,将参照图4A和图4B描述其中在启动时将电源电压(高电位电源电压)VDD给作控制电压 V_{cnt1} 的情况。

[0063] 图4A和4B是示出了图1中所描绘的定时调整电路在启动时的延迟的图。图4A描绘了控制电压 V_{cnt1} 与延迟时间之间的关系;图4B描绘了在激活时(t_0)控制电压 V_{cnt1} 的时间过渡。

[0064] 首先,通过将电源电压(高电位电源电压)VDD给作控制电压 V_{cnt1} 以及,然后,由此减小控制电压 V_{cnt1} 的电平,一个延迟单元100(延迟单元101至延迟单元112)的延迟时间如图4A中所示变化。

[0065] 此外,如图4B所示,通过在激活时将电源电压VDD给作控制电压 V_{cnt1} 以及,然后,通过上述的定时调整电路(DLL电路)执行反馈控制,控制电压 V_{cnt1} 朝向其中生成稳定的多相时钟的锁定电压 $V_{锁定}$ 变化。

[0066] 图5A、图5B、图5C和图5D是示出了图1中所描绘的定时调整电路中的相位频率检测器针对不同的输入时钟信号的工作的图。

[0067] 图5A和图5C描绘了当输入时钟信号CLK是第一频率时的情况;图5B和图5D描绘了当输入时钟信号CLK是为第一频率的两倍的第二频率时的情况。例如,作为输入时钟信号CLK的频率,假设频率为大约几GHz到几十GHz。

[0068] 此外,图5A和图5B描绘了PFD 3的输入信号REF、FB和输出信号UP、DN;图5C和图5D描绘了PFD 3的输入相位与输出相位之间的关系。应注意,图5A和图5B描绘了当参考时钟信号REF在反馈时钟信号FB的上升定时之前上升(REF的相位先于FB的相位)的情况。

[0069] 例如,作为在激活时的控制,当启动VCDL 1的延迟控制时,控制电压 V_{cnt1} 被设定成高于锁定电压 $V_{锁定}$ 的电压。因此,参考时钟信号REF被掩蔽一预定时间段,并且参考时钟信号REF在输出(上升的)反馈时钟信号FB之后被输出。

[0070] 因此,虽然未在图1中描绘,例如,等效于如将在图7中描绘的掩蔽电路61、掩蔽电路62的电路被设置以在激活时在反馈时钟信号FB之后输出参考时钟信号REF。应注意,当REF是在FB之后输出时,下降信号DN首先从PFD 3输出。

[0071] 此外,为了避免其中既不输出上升信号UP也不输出下降信号DN的情况,正常提供如图5A和图5B中所描绘的对信号UP和信号DN两者进行输出的同步导通时间段 δ_1 。应注意,附图标记 δ_2 指示设置时间段,在此期间,PFD 3对来自信号REF和信号FB的过渡(上升定时)的相位差进行检测并且对信号(脉冲)UP、信号DN进行控制。

[0072] 如根据比较图5A和图5B所描述的那样,即使当输入时钟信号CLK的频率变为两倍(周期T变成一半: $T/2$)时,在其中信号UP、信号DN被同步输出期间,同步导通时间段 δ_1 和PFD 3的设置时间段 δ_2 不变。

[0073] 换句话说,如根据比较图5C和图5D所描述的那样,即使当输入时钟信号CLK的频率

变为两倍,其中PFD 3不能适当工作的非工作范围 $R_d(=\delta_1+\delta_2)$ 不变。然后,在PFD 3的输出相位中当输入时钟信号CLK的频率变为两倍多时,正常工作范围(可操作的相位范围)从 R_{ca} 明显减小到 R_{cb} 。

[0074] 图6A、图6B和图6C是示出了图1中所描绘的定时调整电路中的相位频率检测器的正常工作状态和故障状态的图。图6A和图6B描绘了PFD(相位频率检测器)3的输入信号REF、FB和输出信号UP、DN。图6A描绘了正常工作状态;图6B描绘了故障状态。

[0075] 此外,图6C描绘了正常工作状态和故障状态下的控制电压 V_{cnt1} 的时间过渡。在图6C中,曲线La指示正常工作状态下的控制电压 V_{cnt1} 的时间过渡,而曲线Lb指示故障状态下的控制电压 V_{cnt1} 的时间过渡。此外,在图6C中,附图标记 t_0 指示激活定时,而 t_1 指示发生故障的定时。

[0076] 图6A至图6C描绘了当控制电压 V_{cnt1} 从高电位电源电压VDD减小至生成稳定多相时钟的锁定电压 $V_{锁定}$ 的情况。参考时钟信号REF在反馈时钟信号FB的上升定时之前上升。换句话说,REF的相位先于FB的相位。

[0077] 首先,如图6A中所描绘的那样,在正常工作状态下,控制电压 V_{cnt1} 被控制为从高于锁定电压 $V_{锁定}$ 的电源电压VDD下降。换句话说,由于REF的上升定时在FB的上升定时之前到来,所以输出高电平“H”的长周期脉冲信号DN。应注意,如上所述,附图标记 δ_1 指示在信号UP、信号DN被同步输出期间的同步导通时间段,以及 δ_2 指示PFD 3的设置时间段。

[0078] 然后,例如,如图6A中所描绘的那样,通过如图6C中的曲线La所指示的那样正常地执行反馈控制,控制电压 V_{cnt1} 被控制成从电源电压VDD下降到收敛于锁定电压 $V_{锁定}$ 。

[0079] 另一方面,如图6B中所描绘的那样,在故障状态下,例如,当PFD 3通过确定REF的上升定时在FB的上升定时之后来执行处理时,输出其“H”时间段大于信号DN的脉冲信号UP。

[0080] 应注意,当参考时钟信号REF或反馈时钟信号FB的下一个边缘在 $\delta_1+\delta_2$ 的部分中上升时,可能会发生上述的故障状态。

[0081] 同样,例如,当在定时 t_1 确定REF的上升定时在FB的上升定时之后到来时,如图6C的曲线Lb所指示的那样,控制电压 V_{cnt1} 被控制成增加以保持电源电压VDD处。因此,DLL电路变得难以生成定时调整输出信号。

[0082] 下面将参照附图详细描述定时调整电路和半导体集成电路装置的实施方式。图7是描绘了定时调整电路的第一实施方式的框图。

[0083] 在图7中,附图标记1指示电压控制延迟线(VCDL),附图标记101至附图标记112指示延迟单元,附图标记203至附图标记211指示波形整形单元,以及附图标记3指示相位频率检测器(PFD:相位检测器)。此外,附图标记4指示电荷泵(CP),附图标记5指示电容器,附图标记61和附图标记62指示掩蔽电路以及附图标记7指示启动电路。

[0084] 如根据图7与上述图1之间的比较所描绘的那样,参照图1中所描绘的定时调整电路,第一实施方式的定时调整电路(DLL电路)具有附加的启动电路7。

[0085] 应注意,在图7中,设置了由与非(NAND)门73(晶体管74的栅极信号 x_{stup})的输出信号控制的掩蔽电路61、掩蔽电路62,并且参考时钟信号REF是在输出反馈时钟信号FB'之后输出的。

[0086] VCDL 1包括多个级联的延迟单元101至延迟单元112。延迟单元103至延迟单元111的输出信号经由相应的波形整形单元203至波形整形单元211分别输出作为时钟信号(多相

时钟)CK0至时钟信号CK360。

[0087] 在第一实施方式的定时调整电路中,例如,延迟单元101至延迟单元112和波形整形单元203至波形整形单元211可以采用等效于参照图1所描述的定时调整电路的那些延迟单元和波形整形单元或者任何已知的技术。特别地,例如,可以采用图2中所描绘的为延迟单元101至延迟单元112的延迟单元100。

[0088] 例如,波形整形单元203至波形整形单元211是缓冲电路,该缓冲电路通过将输出信号的振幅电平放大至典型的逻辑电平来对延迟单元103至延迟单元111的输出信号进行输出。例如,缓冲电路是CMOS缓冲电路。通过由波形整形单元203对延迟单元103的输出信号(具有0度相位的信号)的波形进行整形而获得的信号(CK0:参考时钟信号)REF由掩蔽电路61掩蔽一预定时间段并且被设置作为给PFD 3的一个输入端的信号REF'。

[0089] 另外,通过由波形整形单元211对延迟单元111的输出信号(具有360度相位的信号)的波形进行整形而获得的信号(CK360:反馈时钟信号)FB被掩蔽电路62掩蔽一预定时间段并且被设置作为给PFD 3的另一输入端的信号FB'。

[0090] PFD 3对输入参考时钟信号REF'与反馈时钟信号FB'之间的相位差进行检测并且将上升信号UP或下降信号DN输出给CP 4。例如,掩蔽电路61、掩蔽电路62是用来掩蔽控制REF和FB以使得在激活时在输出(上升的)信号FB'之后输出信号REF'并且通过与非门73的输出信号(xstup)进行控制。

[0091] CP 4根据来自PFD 3的信号UP、信号DN对电容器5存储的电荷进行控制。因此,控制电压Vcnt1被控制以使得参考时钟信号REF(REF')的相位和反馈时钟信号FB(FB')的相位彼此同步(360度(=0度))。

[0092] 应注意,在图7中,以与参照图1所描述的方式相同的方式,设置在第一延迟单元103与第二延迟单元111之间的延迟单元的级数不限于七级,并且可以生成期望数目的多相时钟。此外,应注意,电路配置可以是单端配置以替代差分配置。

[0093] 例如,启动电路7具有三级级联的触发器711至触发器713、反相器721、反相器722、与非门73以及pMOS晶体管74。启动电路7对控制电压Vcnt1进行控制以使得在激活时控制电压Vcnt1变成在瞄准目标电压(锁定电压) $V_{\text{锁定}}$ 附近的电压。

[0094] 同样,例如,即使当输入时钟信号CLK的频率为高并且PFD 3的可操作相位范围窄时,PFD 3不发生故障,从而使DLL电路(定时调整电路)能够生成定时调整输出信号。

[0095] 图8是描绘了从图7中所描绘的第一实施方式的定时调整电路中提取的启动电路的电路图;图9是示出了图8中所描绘的启动电路的工作的时序图。

[0096] 如图8中所描绘的那样,在启动电路7中,在三级级联的触发器711至触发器713中第一级触发器711的数据输入端D连接至高电位电源线,以使得可以施加高电位电源电压VDD。

[0097] 应注意,代替掩蔽电路62的输出信号FB',波形整形单元211的输出信号CK360(反馈时钟信号FB)被直接输入到触发器711至触发器713的时钟端CK。

[0098] 第一级触发器711的数据输出端Q连接至第二级触发器712的数据输入端D,同时第二级触发器712的数据输出端Q连接至第三级触发器713的数据输入端D。来自第三级触发器713的数据输出端Q的输出信号经由反相器(inverter)722提供给与非门73的一个输入端。

[0099] 通过由反相器721对激活信号(功率下降信号)PD进行逻辑反相而获得的信号被提

供给与非门73的另一输入端,然后,与非门73的输出信号作为晶体管74的栅极信号xstup对晶体管74进行控制。

[0100] 激活信号PD是在激活时(t_0)从高电平“H”降落至低电平“L”的信号。此外,在初始状态下触发器711至触发器713中的每个触发器的数据输出端(Q)为“L”并且在激活 t_0 时保持为“L”。因此,反相器722的输出信号为“H”。

[0101] 如图9中所描绘的那样,例如,当在定时 t_0 激活信号PD从“H”降落至“L”(掉电被释放)时,与非门73的两个输入信号变成“H”,并且因此与非门73的输出信号变为“L”。

[0102] 因此,晶体管74的栅极信号xstup从“H”降落至“L”时,晶体管74导通,并且控制电压Vcnt1连续地变化并且逐渐地上升。

[0103] 例如,虽然在从定时 t_0 至定时 t_2 的时间段P1期间控制电压Vcnt1连续上升,但是控制电压Vcnt1低于如参照图2所描述的延迟单元100(延迟单元101至延迟单元112)中的每个延迟单元中的nMOS晶体管Qn3、nMOS晶体管Qn4的阈值电压 V_{th} ($V_{cnt1} < V_{th}$)。因此,VCDL 1中的相应的延迟单元101至延迟单元112不传播信号。

[0104] 接下来,在定时 t_2 ,当控制电压Vcnt1超过阈值电压 V_{th} ($V_{cnt1} > V_{th}$)时,延迟单元101至延迟单元112被驱动,并且每个延迟单元开始根据控制电压Vcnt1给予相应的输入信号一定延迟量并且输出作为输出信号的信号传播操作。

[0105] 虽然在时间段P2期间控制电压Vcnt1还继续上升,但是信号没有被传输给延迟单元111(波形整形单元211),然后,在定时 t_3 ,从波形整形单元211输出反馈时钟信号FB(CK360)。

[0106] 然后,在时间段P3期间,在定时 t_3 输出的反馈时钟信号FB由启动电路7中的触发器711至触发器713处理,并且,在信号FB的第三上升定时 t_4 ,晶体管74截止。

[0107] 换句话说,反馈时钟信号FB被输入至三级触发器711至触发器713的时钟输入端CK,并且,在信号FB的第三上升定时 t_4 ,触发器713的数据输出端(Q)从“L”变为“H”。

[0108] 同样,反相器722的输出从“H”变为“L”,与非门73的输出信号(xstup)从“L”上升为“H”,晶体管74截止并且启动电路停止。

[0109] 通过在激活时启动电路7(晶体管74)的工作,控制电压Vcnt1变成在目标锁定电压 $V_{锁定}$ 附近的电压。应注意,例如,当晶体管74截止时在定时 t_4 之后的工作(即,在时间段P4期间的工作)与参照图1至图5D所描述的工作相同。

[0110] 应注意,在当启动电路7停止时的定时 t_4 ,控制电压Vcnt1被优选地设置为在锁定电压 $V_{锁定}$ 附近并且高于 $V_{锁定}$ 的电压($V_{cnt1} > V_{锁定}$)。

[0111] 为了将控制电压Vcnt1设置成适当的 $V_{cnt1} > V_{锁定}$,例如,可以调整启动电路7中的触发器(触发器711至触发器713)的级数和pMOS晶体管74的大小。另外,如将参照图10所描述的那样,通过调整设置在VCDL1的输入端的电容器81、电容器82的值,可以实现适当的 $V_{cnt1} > V_{锁定}$ 。

[0112] 换句话说,随着触发器(触发器711至触发器713)的级数增加,启动电路7工作的时间段更长,同时,随着晶体管74的大小变得更大,拉起控制电压Vcnt1的驱动能力可能会更高。应注意,由于设置在VCDL 1的输入端的电容器81、电容器82的值较大,所以启动电路7工作的时间段可能会更长。

[0113] 因此,第一实施方式的定时调整电路可以正常地工作而不发生故障,例如,即使当

输入时钟信号CLK的频率为高并且PFD 3的可操作的相位范围窄时,诸如控制电压V_{cnt1}停留在电源电压VDD。

[0114] 在上述实施方式中,由于启动电路7除了在启动时其余时间都不工作,即,晶体管74除了在启动时其余为截止,当定时控制电路正在执行正常操作时,启动电路7不影响多相时钟的生成操作。

[0115] 应注意,如上所述,参考时钟信号REF和反馈时钟信号的FB被控制以使得参考时钟信号REF和反馈时钟信号FB被掩蔽电路61和掩蔽电路62掩蔽预定时间段,并且在信号FB'被输出给PFD 3之后,信号REF'被输出。

[0116] 换句话说,在激活时通过启动电路7在定时t₄设置控制电压V_{cnt1}之后,反馈时钟信号FB'首先上升,然后,参考时钟信号REF'上升。在这种情况下,下降信号DN首先从PFD 3输出。将在下面描述相同的被应用到其他实施方式中的情况。

[0117] 图10是描绘了定时调整电路的第二实施方式的框图。如根据比较图10和上述的图7所描绘的那样,参照第一实施方式的定时调整电路,第二实施方式的定时调整电路具有附加的电容器81、电容器82和电阻器83、电阻器84。

[0118] 因此,在第二实施方式的定时调整电路中,差分时钟信号CLK_p、差分时钟信号CLK_m经由电容器81、电容器82输入至VCDL(电压控制延迟线)1中的第一级延迟单元101的差分输入端IN_p、差分输入端IN_m。换句话说,输入时钟信号CLK(CLK_p、CLK_m)经由电容耦合输入至VCDL 1(第一级延迟单元101)。

[0119] 此外,在第一级延迟单元101中,电阻器83被设置在正逻辑输入端IN_p与负逻辑输出端OUT_m之间,以及,电阻器84被设置在负逻辑输入端IN_m与正逻辑输出端OUT_p之间,以使得共模电压V_{cm}接近预定电压电平。

[0120] 图11是示出了图10中所描绘的第二实施方式的定时调整电路的工作的图。在图11中,附图标记0(VCDL)和V_{cm0}分别指示延迟单元103的差分输出信号和公共电压,以及360(VCDL)和V_{cm360}分别指示延迟单元111的差分输出信号和公共电压。

[0121] 如图11中所描绘的那样,当启动电路7在定时t₀被激活(晶体管74导通)时,在时间段P1期间控制电压V_{cnt1}逐渐上升。然而,由于控制电压V_{cnt1}小于阈值电压V_{th},所以延迟单元101至延迟单元112不传播信号。

[0122] 接下来,在定时t₂,当V_{cnt1}变得大于V_{th}时,延迟单元101至延迟单元112开始传播信号。然而,虽然信号被传播,但是如在图11的时间段P2中所描绘的那样,延迟单元103、延迟单元111的差分输出信号0(VCDL)、差分输出信号360(VCDL)和公共电压V_{cm0}、公共电压V_{cm360},这些信号变得难以被传输至波形整形单元203、波形整形单元211。

[0123] 换句话说,由于设置在第一级延迟单元101的电容器81、电容器82,公共电压V_{cm360}是不稳定的,所以延迟单元111的差分输出信号360(VCDL)变成具有小振幅的信号,这使得难以驱动波形整形单元(CMOS缓冲器)211。同样,例如,直到当公共电压V_{cm360}变得稳定并且波形整形单元211被驱动以输出反馈时钟信号FB时的定时t₃的时间段变长。

[0124] 应注意,例如,在当晶体管74截止(启动电路7停止)时的定时t₄之后的工作(即,在时间段P4期间的工作)与参照图1至图5D所描述的工作相同。

[0125] 同样,第二实施方式的定时调整电路可以经由电容耦合通过将输入时钟信号CLK输入至VCDL 1(第一级延迟单元101)使启动电路7工作的时间段变长。例如,这可以减少启

动电路7中的触发器711至触发器713的级数。

[0126] 图12是描绘了定时调整电路的第三实施方式的框图。如根据比较图12和上述的图10所描绘的那样,在第三实施方式的定时调整电路中,附加的公共电压控制电路9被添加到第二个实施方式的定时调整电路中。

[0127] 如图12所描绘的那样,公共电压控制电路9使用激活信号(功率下降信号)PD对开关91、开关92进行控制。

[0128] 在参照图10所描述的第二实施方式中,例如,在激活时延迟单元103的差分输出信号0 (VCDL) 的公共电压 V_{cm0} 和延迟单元111的差分输出信号360 (VCDL) 的公共电压 V_{cm360} 是不稳定的。

[0129] 因此,当定时调整电路没有被激活(当电源掉电)时,第一级延迟单元101的差分输出信号的公共电压(V_{cm-90})被固定至预定电压电平($V_{偏压}$)。因此,当定时调整电路没有被激活时,激活信号PD为“H”,并且这个为“H”的激活信号PD接通开关91、开关92。

[0130] 然后,响应于在定时 t_0 处激活信号PD从“H”降落到“L”,开关91、开关92关断。因此,在定时调整电路被激活时,开关91、开关92关断以使得公共电压(第一级延迟单元101的差分输出端OUTp、差分输出端OUTm)处于浮置状态。

[0131] 这样,例如,通过在激活时使公共电压处于预定电压电平($V_{偏压}$),图11中的P2时间段的长度可以稳定。换句话说,电路可以是基于经由电容耦合将时钟信号CLK输入至第一级延时单元101所引起的启动电路7的工作时间段这样的认识而设计的。

[0132] 图13是描绘了定时调整电路的第四实施方式的框图。如根据比较图13和上述图10所描绘的那样,在启动电路7的配置中,第四实施方式的定时调整电路不同于第二实施方式的定时调整电路。

[0133] 第四实施方式的定时调整电路根据输入时钟信号CLK (CLKp, CLKm) 的频率对启动电路7中的触发器的级数进行控制,从而对启动电路7工作的时间段进行控制。

[0134] 如图13中所描绘的那样,在第四实施方式的定时调整电路中,除了图10中的电路配置以外,启动电路7还包括三级级联的触发器751至触发器753和或(OR) 门76。

[0135] 反馈时钟信号FB输入至触发器751至触发器753的时钟端CK,并且高电位电源电压VDD被施加至第一级触发器751的数据输入端D。

[0136] 第一级触发器751的数据输出端Q连接至第二级触发器752的数据输入端D,同时第二级触发器752的数据输出端Q连接至第三级触发器753的数据输入端D。来自第三级触发器753的数据输出端Q的输出信号被提供给或门76的一个输入端。

[0137] 应注意,选择信号SEL被提供给或门76的另一输入端,并且替代高电位电源电压VDD,或门76的输出信号被提供给图10中的启动电路7中的触发器711的数据输入端D。

[0138] 图14是示出了图13中所描绘的第四实施方式的定时调整电路的工作的图。在图14中,当选择信号SEL为高电平“H” ($SEL=H$) 时,输入时钟信号CLK (CLKp、CLKm) 的频率为 f_1 ,当选择信号SEL为低电平“L” ($SEL=L$) 时,输入时钟信号CLK的频率变成 $f_1 \times 2$ 。

[0139] 此外,附图标记 V_{cm360H} 指示当输入时钟信号CLK的频率为 f_1 时延迟单元111的差分输出信号的公共电压,同时 V_{cm360L} 指示当时钟信号CLK的频率为 $f_1 \times 2$ 时延时单元111的差分输出信号的公共电压。

[0140] 如图14所描绘的那样,例如,当输入时钟信号CLK的频率为 f_1 时,选择信号SEL为

“H”，并且或门76的输出信号变成“H”。因此，由于触发器711的数据输入端D变为“H”，所以启动电路7以如上述图10所述的同样的方式起作用。换句话说，启动电路7在反馈时钟信号FB的第三上升定时停止。

[0141] 另一方面，例如，当输入时钟信号CLK的频率为 $f_1 \times 2$ 时，选择信号SEL为“L”，并且或门76的输出信号根据触发器753的数据输出端Q的信号电平而变化。因此，触发器753的数据输出端Q的信号输入至触发器711的数据输入端D，这意味着六级的触发器751至753和触发器711至713是级联的。因此，启动电路7在反馈时钟信号FB的第六上升定时停止。

[0142] 这样，例如，不管CLK的频率是 f_1 还是 f_1 的两倍，可以适当地设置启动电路7对控制电压Vcnt1进行调整的时间段。应注意，触发器的级数的切换不限于与输入时钟信号CLK的两个不同的频率对应的切换。

[0143] 因此，根据第四实施方式的定时调整电路，例如，即使当采用具有不同频率的输入时钟信号CLK时，用于在激活时调整控制电压Vcnt1的启动电路7的接通时间段也可以被适当设置。

[0144] 图15是示出了各实施方式的定时调整电路的效果的图。在图15中，附图标记L1指示使用高速(高驱动能力)晶体管的控制电压Vcnt1与时间之间的关系，而L3指示使用低速(低驱动能力)晶体管的控制电压Vcnt1与时间之间的关系。此外，L2指示使用中速晶体管的控制电压Vcnt1与时间之间的关系。

[0145] 同时，例如，当制造半导体时，晶体管的特性有时会发生变化。根据本实施方式的定时调整电路，不管晶体管的特性如何，控制电压Vcnt1都可以被设置为执行固定工作的目标锁定电压V_{锁定}。

[0146] 换句话说，如图15中的L1所描绘的那样，当所生成的定时调整电路中的晶体管的工作速度为高时，控制电压Vcnt1可以被设置成适合使用高速晶体管的定时调整电路的锁定电压V_{锁定1}。

[0147] 此外，如图15中的L3所描绘的那样，当所生成的定时调整电路中的晶体管的工作速度为低时，控制电压Vcnt1可以被设置成适合使用低速晶体管的定时调整电路的锁定电压V_{锁定3}。

[0148] 此外，如图15中的L2所描绘的那样，当所生成的定时调整电路中的晶体管的工作速度处于中间时，控制电压Vcnt1可以被设置成适合使用中速晶体管的定时调整电路的锁定电压V_{锁定2}。

[0149] 以此方式，即使当晶体管的特性变化时，采用各实施方式的定时调整电路，控制电压Vcnt1都可以被调整至适合于晶体管的特性的在锁定电压V_{锁定}(V_{锁定1}至V_{锁定3})附近的电压。

[0150] 因此，例如，即使当输入时钟信号CLK的频率为高且PFD 3的可操作相位范围窄时，定时调整电路也可以通过消除PFD 3的故障而正常工作。

[0151] 图16是描绘了采用实施方式的定时调整电路的半导体集成电路装置的示例的框图。图16描绘了时钟数据恢复(CDR)电路。

[0152] 如图16中所描绘的那样，CDR电路包括定时调整电路(DLL电路)20、时钟提取电路21以及数据再生电路22，在图16中，采用上述的各实施方式的定时调整电路作为电路20。应注意，在图16中，延迟单元101至延迟单元112和波形整形单元203至波形整形单元211被绘制成反相器(延迟元件)11至反相器1n。

[0153] 从外部输入的串行数据Din通过时钟提取电路21被分割成时钟信号CLK和数据信号(数据成分)SD,并且时钟信号CLK被输入至定时调整电路20。

[0154] 定时调整电路20接收时钟信号CLK,生成具有不同相位的多个时钟(多相时钟)并且输出至数据再生电路22(内部电路)。数据再生电路22接收来自时钟提取电路21的数据成分SD,根据多相位时钟确定电平,并且输出预定并行数据Dout。

[0155] 例如,当从定时调整电路20接收的多相时钟是八相时钟时,数据再生电路22在八相时钟的上升定时通过结合串行数据成分SD输出8比特(bit)并行数据Dout。应注意,当数据成分SD(串行数据Din)的比特率是A[bps]时,并行数据Dout的比特率变成A/8[bps]。

[0156] 应注意,图16中所描绘的CDR电路仅仅是采用实施方式中的定时调整电路的半导体集成电路装置的示例。例如,在使用多相时钟的各种半导体集成电路装置中可以广泛地采用实施方式中的定时调整电路。

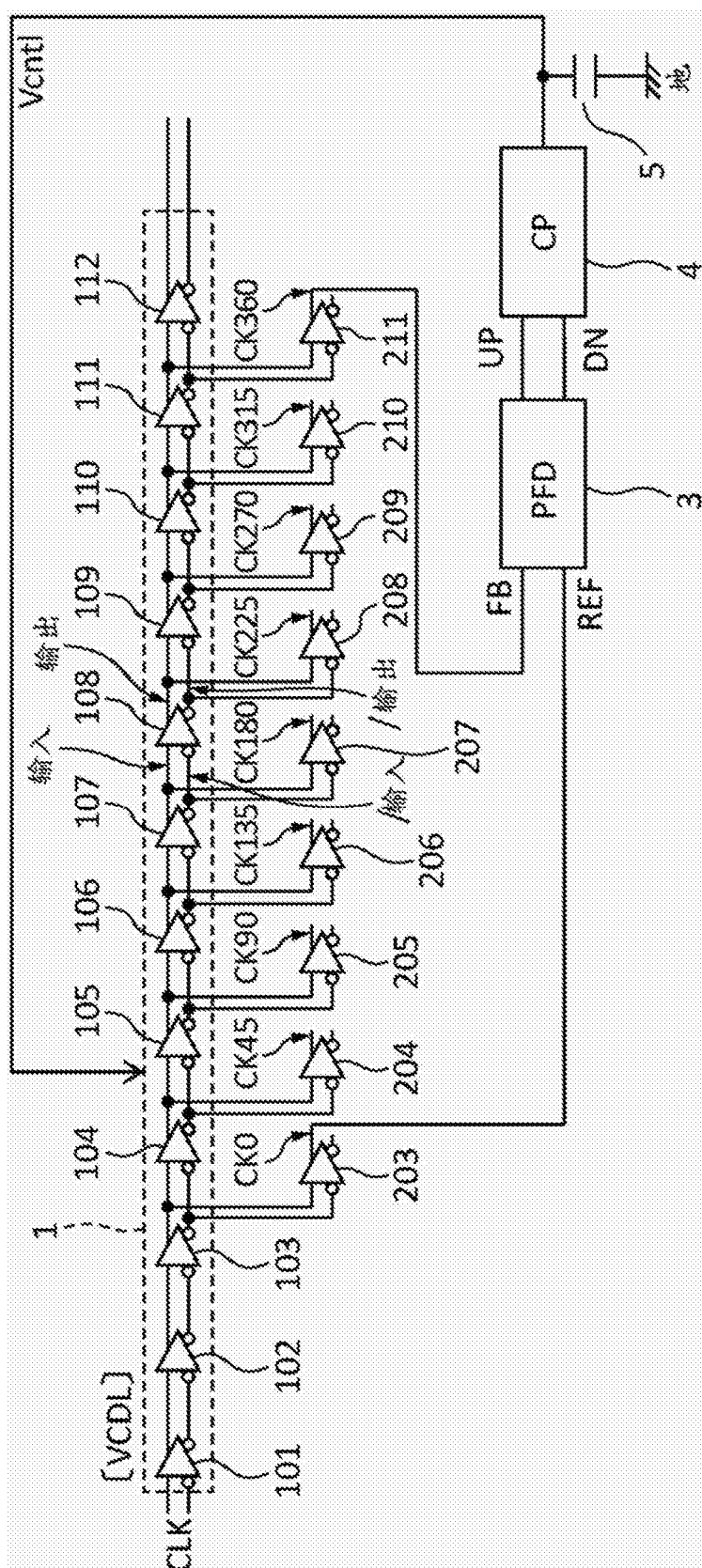


图1

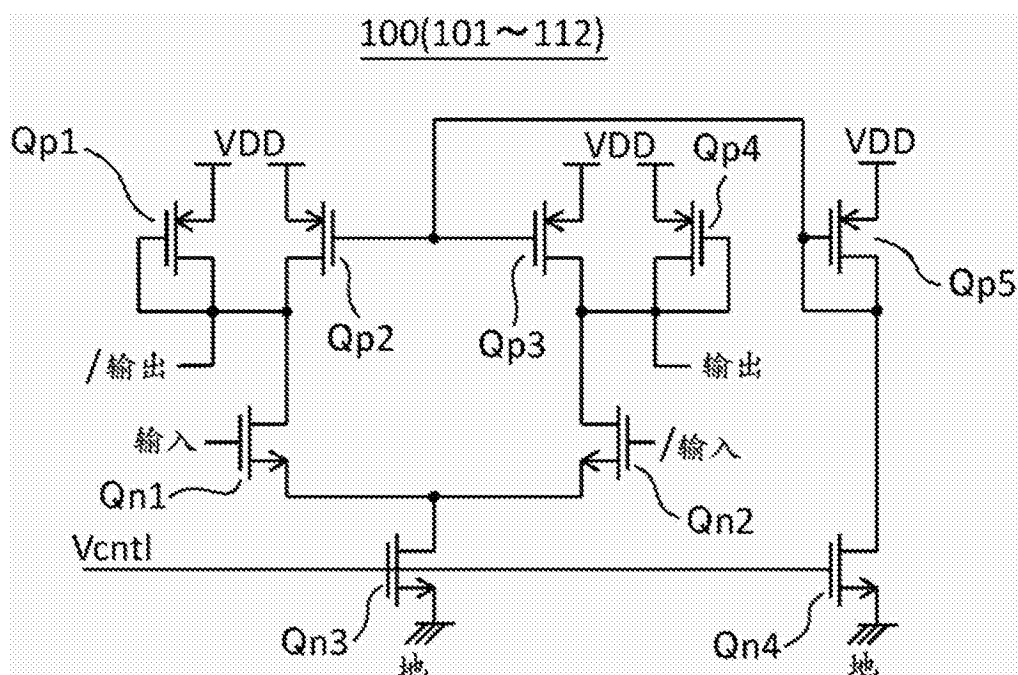


图 2

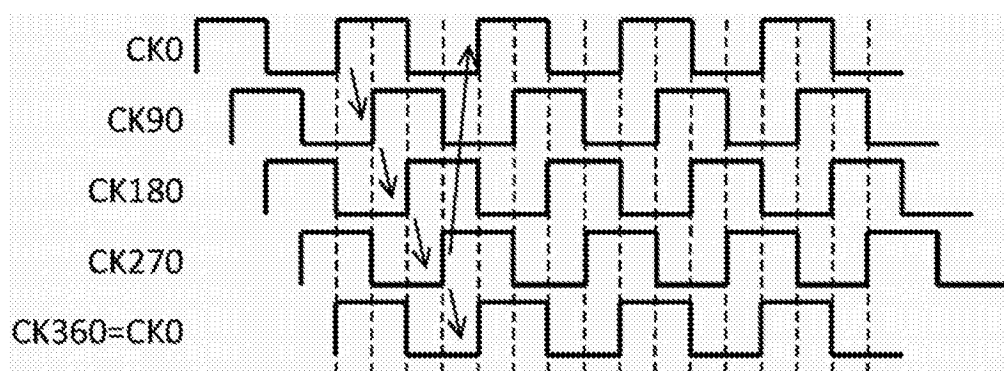


图3A

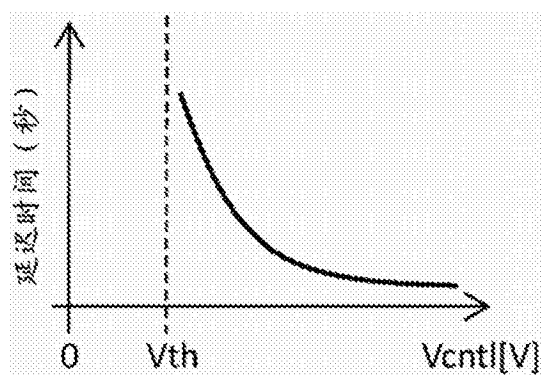


图3B

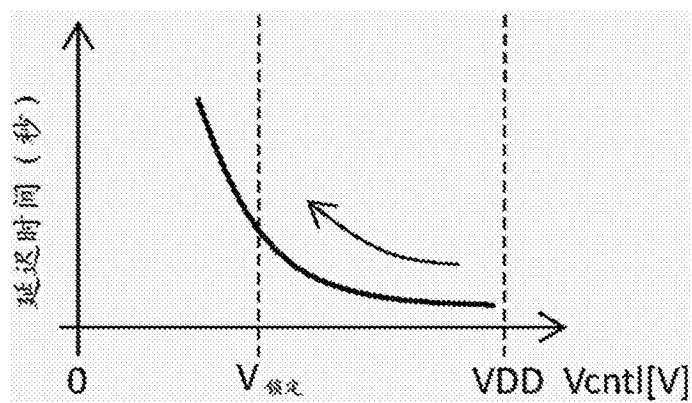


图4A

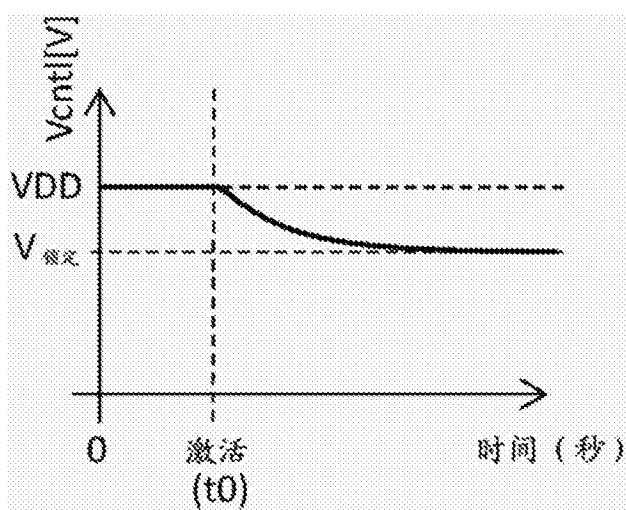


图4B

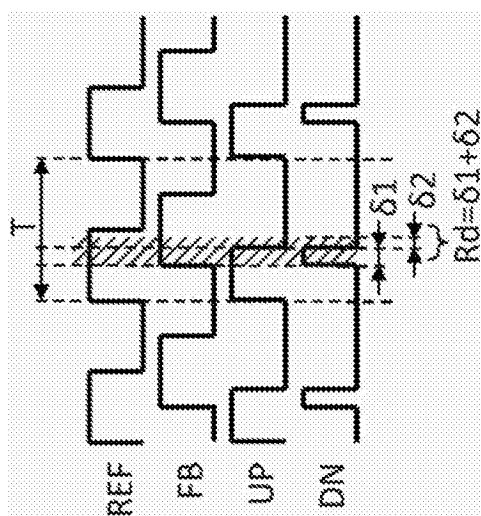


图5A

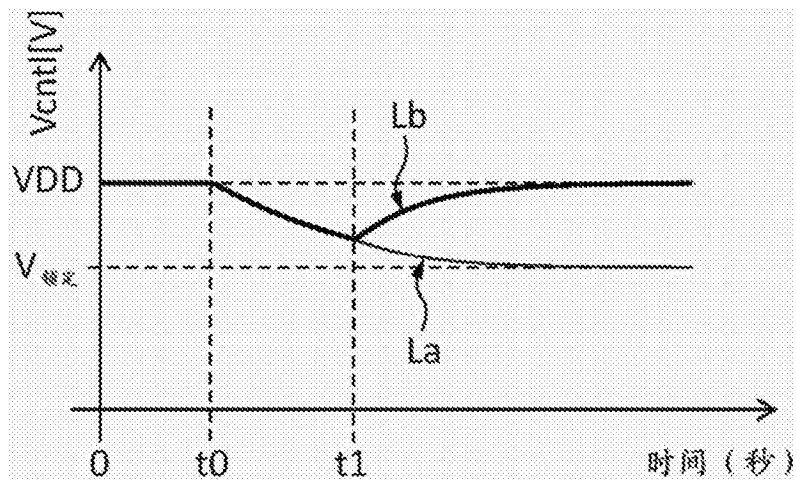
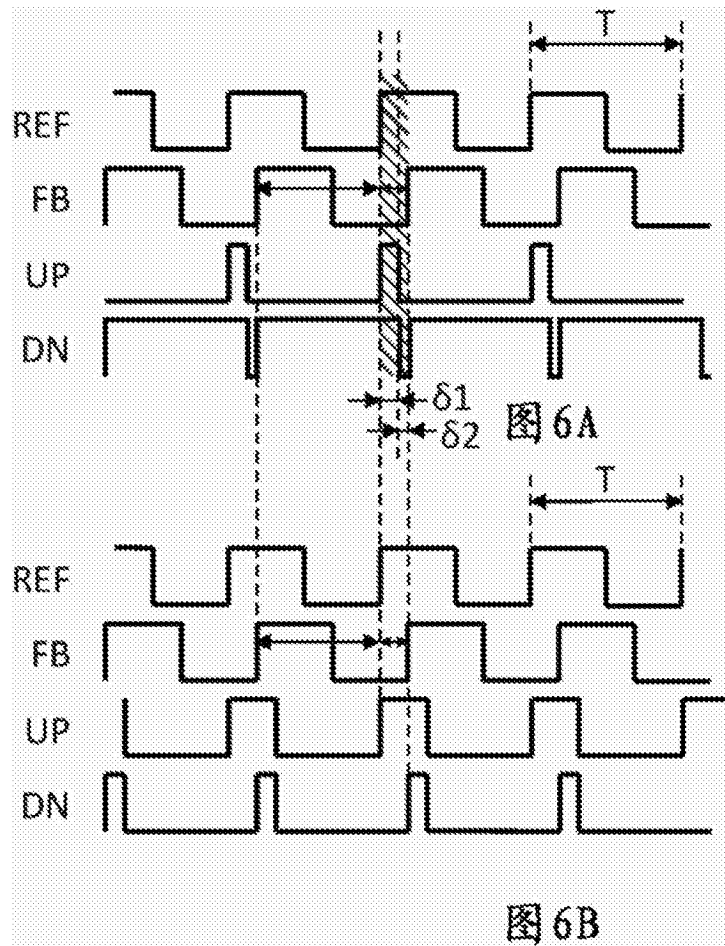


图6C

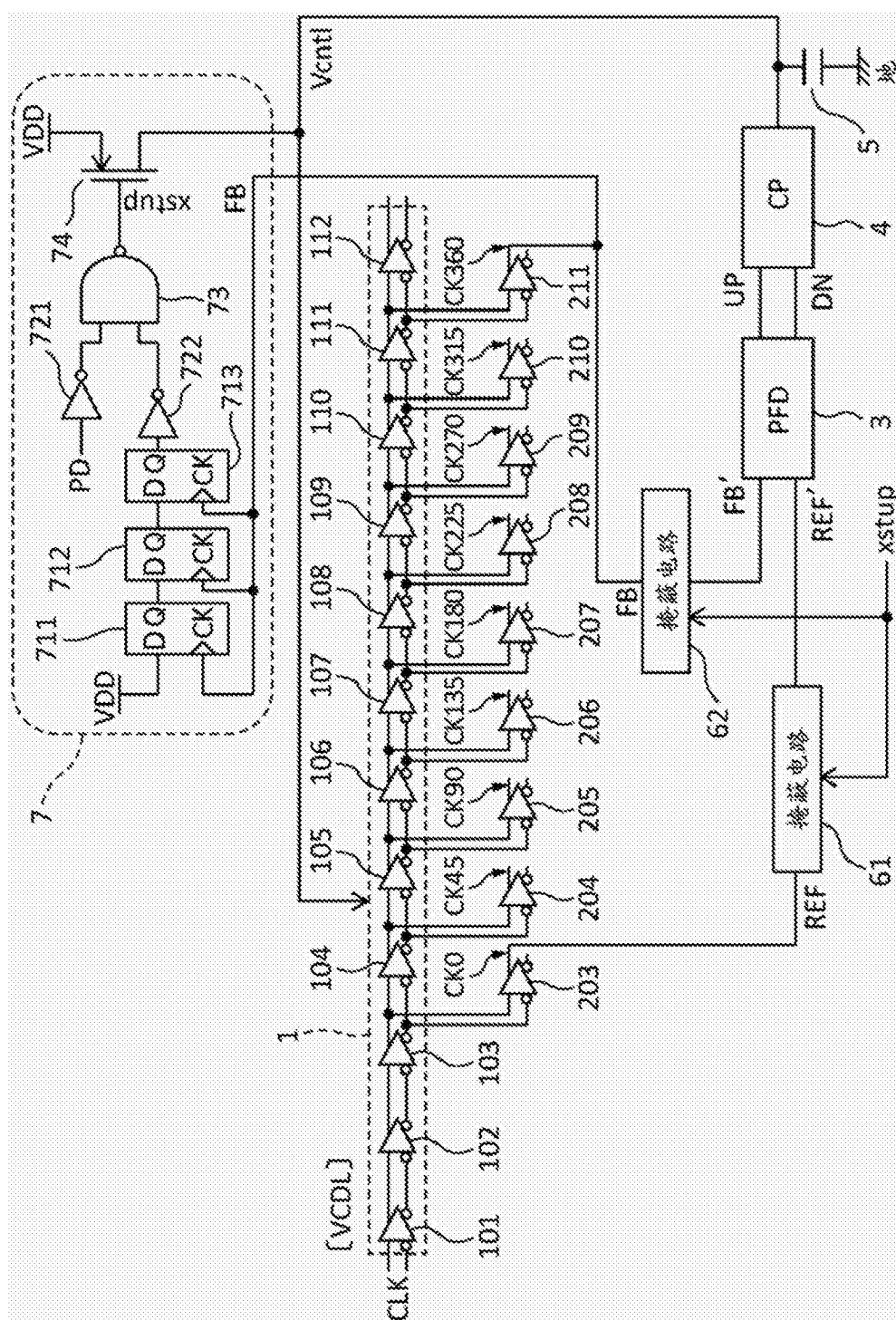


图7

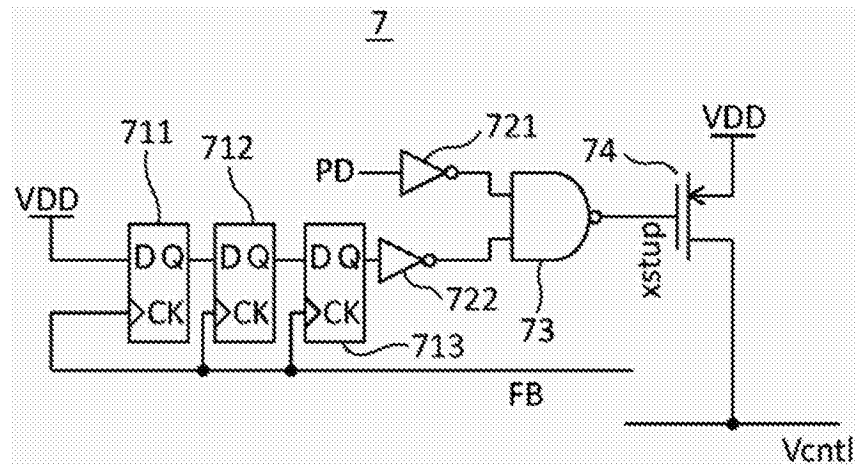


图8

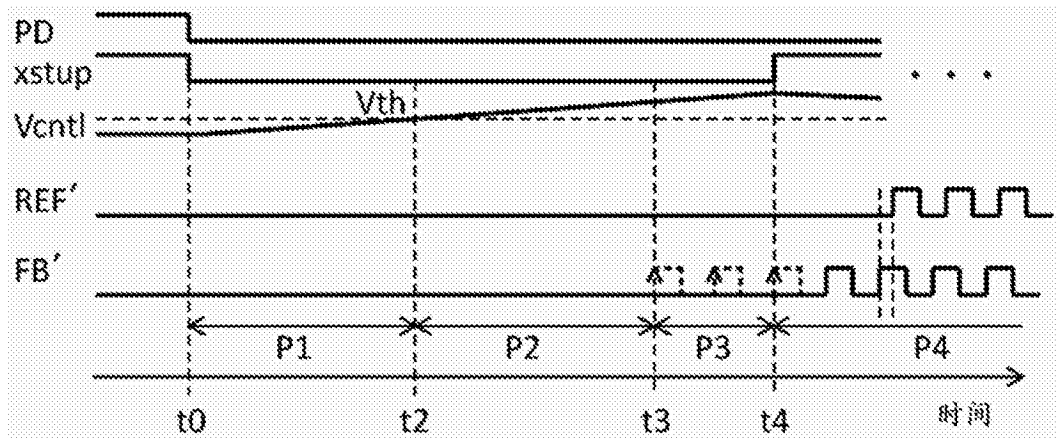


图9

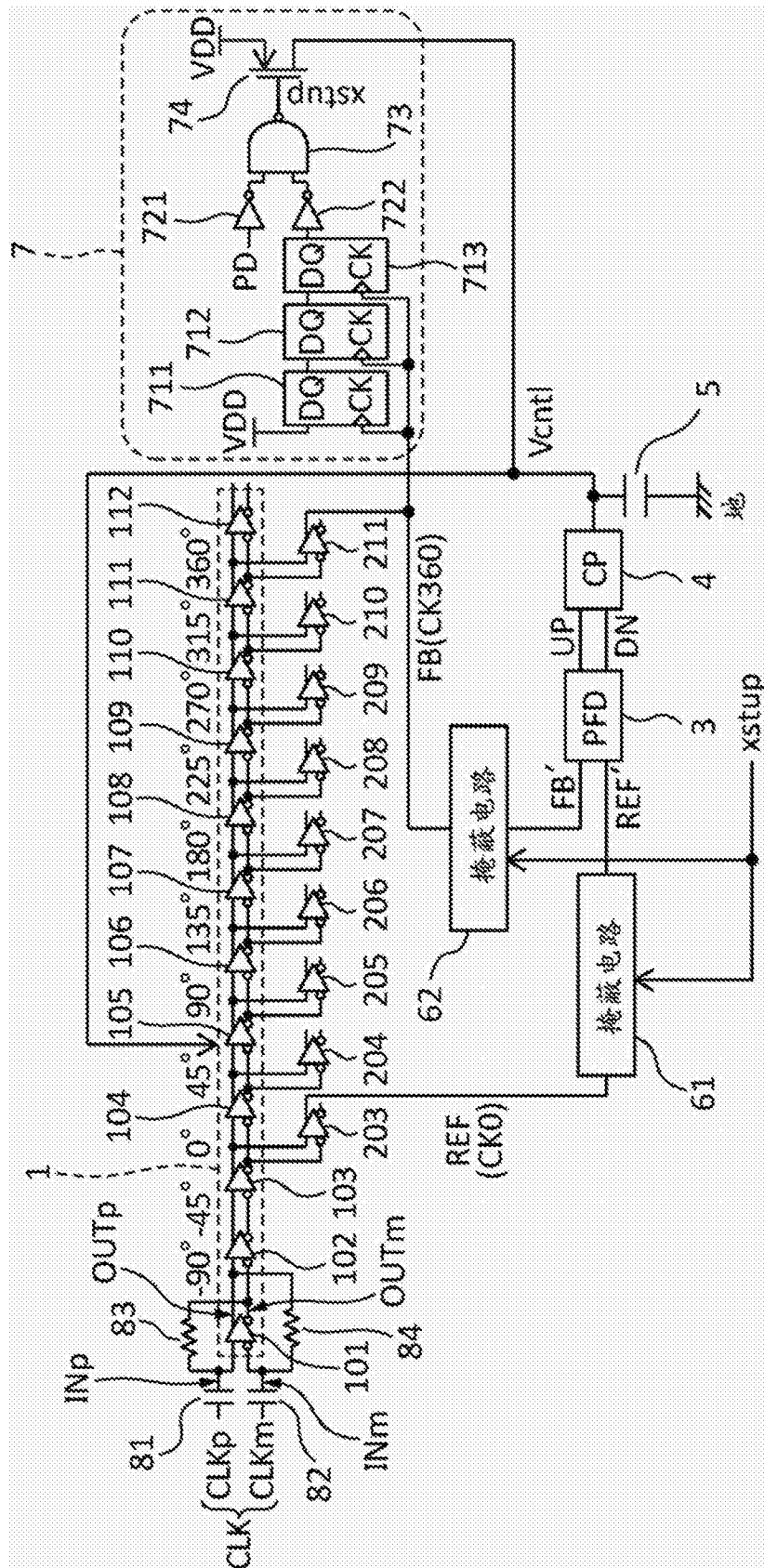


图10

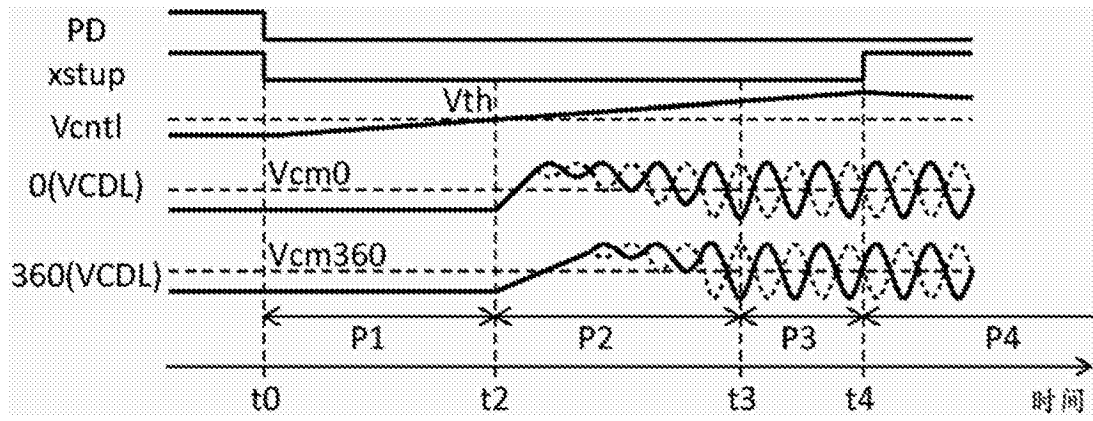


图11

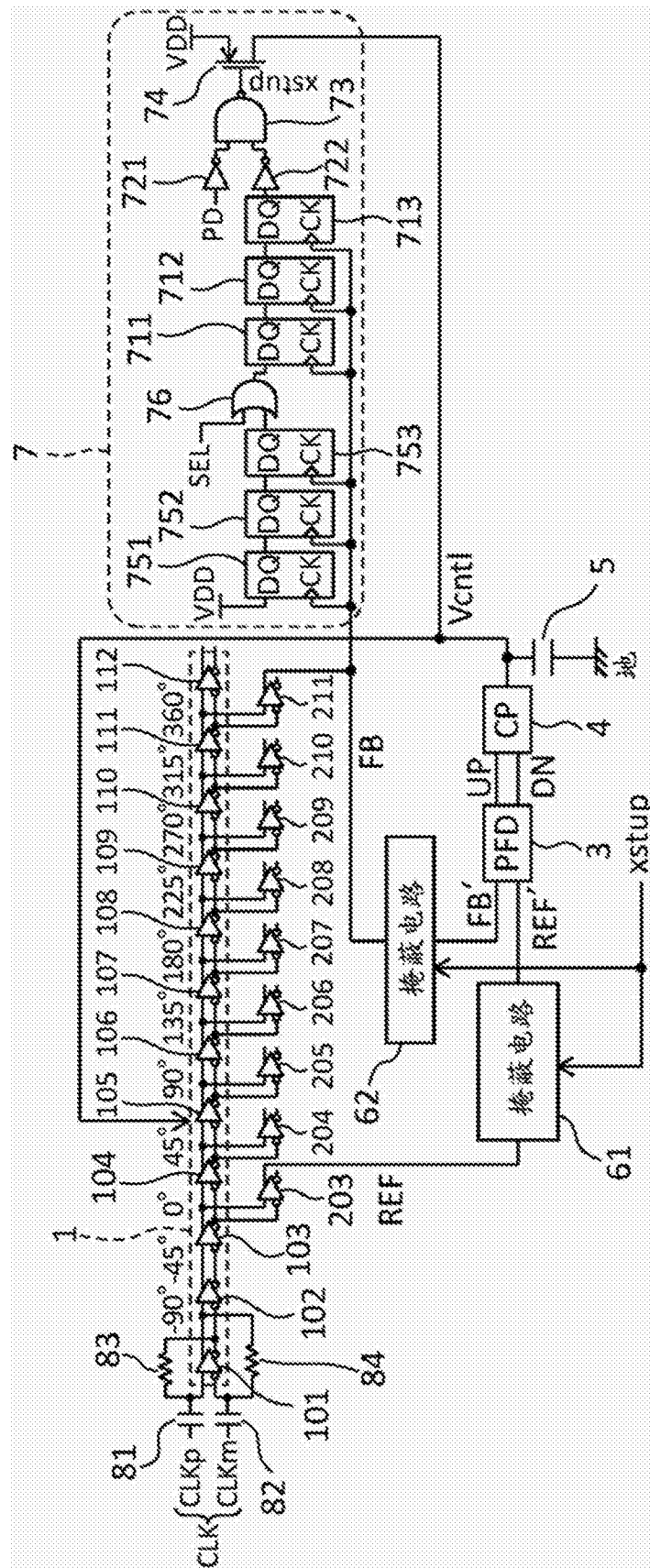


图13

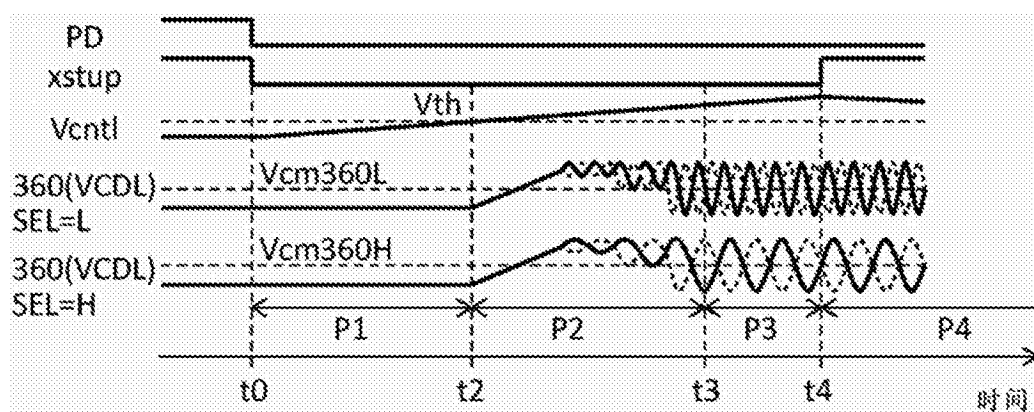


图14

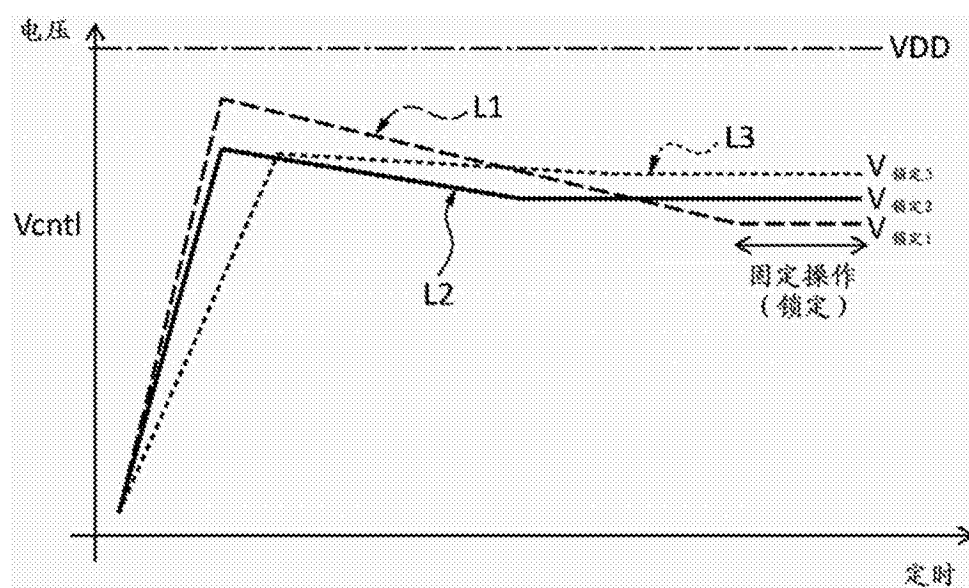


图15

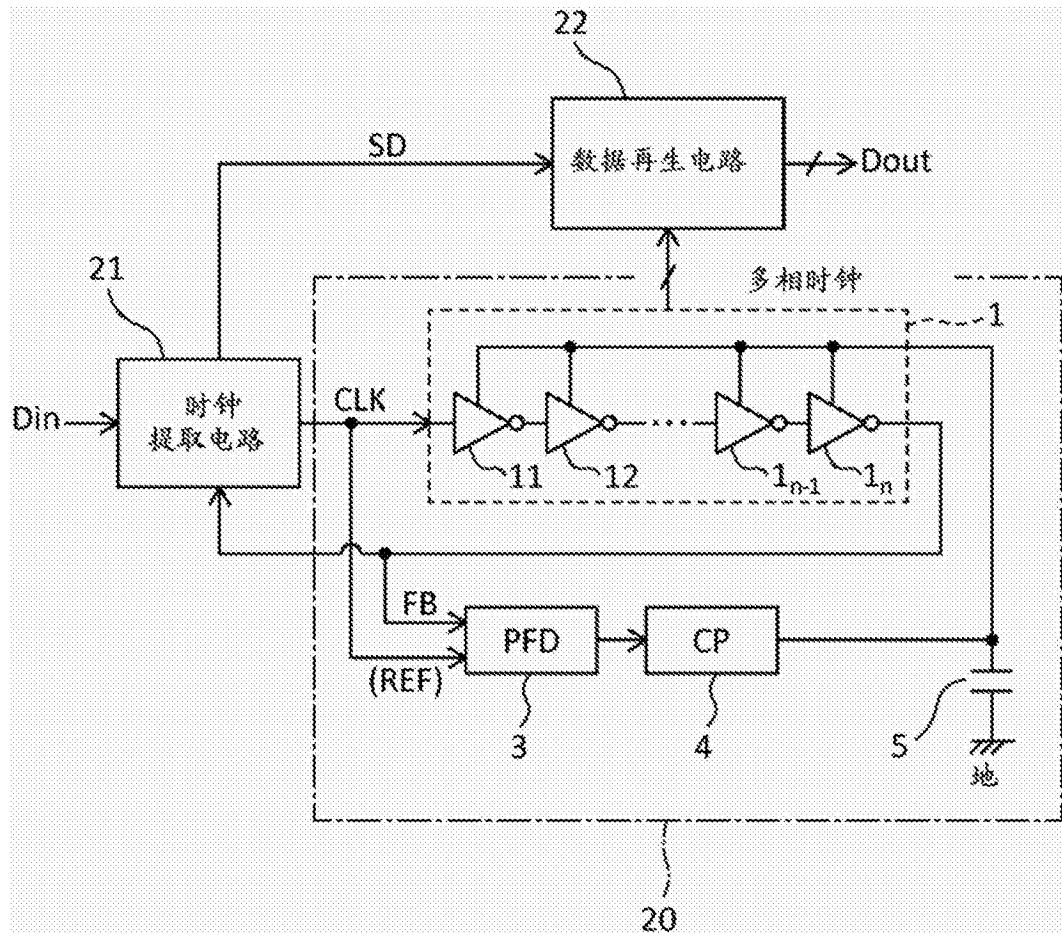


图16