

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6472399号
(P6472399)

(45) 発行日 平成31年2月20日 (2019.2.20)

(24) 登録日 平成31年2月1日 (2019.2.1)

(51) Int.Cl.

F I

H O 1 L 21/82 (2006.01)

H O 1 L 21/82 W

H O 3 K 17/08 (2006.01)

H O 3 K 17/08 Z

H O 1 L 21/822 (2006.01)

H O 1 L 27/04 D

H O 1 L 27/04 (2006.01)

H O 1 L 27/04 A

請求項の数 5 (全 11 頁)

(21) 出願番号 特願2016-19840 (P2016-19840)
 (22) 出願日 平成28年2月4日 (2016.2.4)
 (65) 公開番号 特開2017-139361 (P2017-139361A)
 (43) 公開日 平成29年8月10日 (2017.8.10)
 審査請求日 平成30年2月5日 (2018.2.5)

(73) 特許権者 509186579
 日立オートモティブシステムズ株式会社
 茨城県ひたちなか市高場2520番地
 (74) 代理人 110001829
 特許業務法人開知国際特許事務所
 (72) 発明者 池ヶ谷 克己
 茨城県ひたちなか市高場2520番地
 日立オートモティブ
 システムズ株式会社内
 (72) 発明者 大島 隆文
 茨城県ひたちなか市高場2520番地
 日立オートモティブ
 システムズ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及び負荷駆動装置

(57) 【特許請求の範囲】

【請求項1】

ハイサイドM O S トランジスタと、
 ローサイドM O S トランジスタと、
 前記ハイサイドM O S トランジスタのドレイン電極に接続される第1の金属配線と、
 前記ローサイドM O S トランジスタのソース電極に接続され、前記第1の金属配線と同じ配線幅を有する第2の金属配線と、
 前記ハイサイドM O S トランジスタのソース電極及び前記ローサイドM O S トランジスタのドレイン電極に接続される第3の金属配線と、を備え、
 前記第3の金属配線の配線幅は、前記第1の金属配線又は前記第2の金属配線の配線幅の $2^{1/2} \sim 2^{2/3}$ 倍である
 ことを特徴とする半導体装置。

【請求項2】

請求項1に記載の半導体装置であって、
 前記ハイサイドM O S トランジスタ及びローサイドM O S トランジスタは、
 それぞれ複数あり、1つの平面上に平行かつ交互に配置される
 ことを特徴とする半導体装置。

【請求項3】

請求項1に記載の半導体装置であって、
 前記第1の金属配線及び前記第2の金属配線の配線幅は、

10

20

印加される電圧における電流密度が、前記電圧においてエレクトロマイグレーションが生じない所定の電流密度を示す許容電流密度以下となるように設定されることを特徴とする半導体装置。

【請求項 4】

請求項 2 に記載の半導体装置であって、
前記第 1 ～ 第 3 の金属配線は、それぞれ、
第 1 層に配置される金属配線を示す第 1 層金属配線と、
前記第 1 層金属配線と交差するように第 2 層に配置され、前記第 1 層金属配線に接続される金属配線を示す第 2 層金属配線と、を含む
ことを特徴とする半導体装置。

10

【請求項 5】

誘導性負荷に供給する電流を制御する半導体装置を有する負荷駆動装置であって、
前記半導体装置は、
ハイサイド MOS トランジスタと、
ローサイド MOS トランジスタと、
前記ハイサイド MOS トランジスタのドレイン電極に接続される第 1 の金属配線と、
前記ローサイド MOS トランジスタのソース電極に接続され、前記第 1 の金属配線と同じ配線幅を有する第 2 の金属配線と、
前記ハイサイド MOS トランジスタのソース電極及び前記ローサイド MOS トランジスタのドレイン電極に接続される第 3 の金属配線と、を備え、
前記第 3 の金属配線の配線幅は、前記第 1 の金属配線又は前記第 2 の金属配線の配線幅の $2^{1/2} \sim 2^{2/3}$ 倍である
ことを特徴とする負荷駆動装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置及び負荷駆動装置に関する。

【背景技術】

【0002】

回路シミュレーションを使わずに、設計後の CMOS フルカスタム LSI のエレクトロマイグレーションの信頼性を検証する装置が知られている（例えば、特許文献 1 参照）。

30

【0003】

特許文献 1 には「個々の出力回路毎に、計算された負荷容量、デューティと、更に基本周波数情報、電源電圧値情報、配線幅および配線膜厚に基づき、平均電流密度を計算する。個々の出力回路毎に、平均電流密度を設計基準電流密度と比較して検証する。」と記載されている。

【0004】

なお、エレクトロマイグレーションによる劣化寿命は Black の式を用いて算出することができる。

【先行技術文献】

40

【特許文献】

【0005】

【特許文献 1】特開平 08-166984 号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

車両の電子制御において、機械運転や油圧制御などで電動アクチュエータが広く使用されている。電動アクチュエータは半導体を用いたスイッチング素子で制御される。これらの半導体装置は製造コスト低減を目的として微細化が進んでいるが、電動アクチュエータの制御には高電流を流す必要があり、半導体装置の縮小化により電流密度が増加する。

50

【 0 0 0 7 】

また、車載半導体はエンジンルーム内等の150℃を超える高温環境下で使用される場合がある。このため、半導体装置内のトランジスタ、ダイオード、抵抗などの素子を接続する金属配線において、エレクトロマイグレーションにより抵抗増加や断線に至る場合があり、その対策が課題である。

【 0 0 0 8 】

エレクトロマイグレーション対策には、半導体装置の設計において、金属配線の電流密度を増加させないことが必要である。しかし、電流密度低減するため配線幅を広くすると、チップ面積が増加し、コスト増加の要因となる。

【 0 0 0 9 】

エレクトロマイグレーションによる半導体装置の寿命低下を抑制し、かつ、全体のチップ面積の増加を低減する（縮小化）には、各金属配線のエレクトロマイグレーション寿命を均一化する必要がある。

【 0 0 1 0 】

特許文献1に開示されるような技術では、エレクトロマイグレーションの信頼性を検証することができるが、エレクトロマイグレーションによる寿命の低下を抑制しつつ、チップ面積の増加を低減することはできない。

【 0 0 1 1 】

本発明の目的は、エレクトロマイグレーションによる寿命の低下を抑制しつつ、チップ面積の増加を低減することができる半導体装置等を提供することにある。

【課題を解決するための手段】

【 0 0 1 2 】

上記目的を達成するために、本発明は、ハイサイドMOSトランジスタと、ローサイドMOSトランジスタと、前記ハイサイドMOSトランジスタのドレイン電極に接続される第1の金属配線と、前記ローサイドMOSトランジスタのソース電極に接続され、前記第1の金属配線と同じ配線幅を有する第2の金属配線と、前記ハイサイドMOSトランジスタのソース電極及び前記ローサイドMOSトランジスタのドレイン電極に接続される第3の金属配線と、を備え、前記第3の金属配線の配線幅は、前記第1の金属配線又は前記第2の金属配線の配線幅の $2^{1/2} \sim 2^{2/3}$ 倍である。

【発明の効果】

【 0 0 1 3 】

本発明によれば、エレクトロマイグレーションによる寿命の低下を抑制しつつ、チップ面積の増加を低減することができる。上記した以外の課題、構成及び効果は、以下の実施形態の説明により明らかにされる。

【図面の簡単な説明】

【 0 0 1 4 】

【図1】本発明の実施形態による半導体装置の構成図である。

【図2】図1に示す半導体装置の回路図である。

【図3】図2に示す回路で構成される半導体装置のタイミングチャートである。

【図4】図1に示すハイサイドMOS及びローサイドMOSの拡大図である。

【図5】図1又は図4に示すハイサイドMOS及びローサイドMOSのA-A'断面図である。

【発明を実施するための形態】

【 0 0 1 5 】

以下、図1～図5を用いて、本発明の実施形態による半導体装置の構成及び作用効果について説明する。なお、各図において、同一符号は同一部分を示す。

【 0 0 1 6 】

（基本構成）

最初に本発明の実施形態による半導体装置の基本構成について説明する。本実施形態では、エレクトロマイグレーション寿命に影響する電流密度とデューティを考慮し、半導

10

20

30

40

50

体装置の各金属配線のエレクトロマイグレーション寿命が同等になるように半導体装置内の各金属配線幅を決定する。

【 0 0 1 7 】

B l a c k の式によれば、次の式 (1) に示すように、直流電流のエレクトロマイグレーション寿命 τ_{DC} は直流電流密度 J_{DC} の n 乗 (一般に $n = 1.5$ から 2.0) に反比例する。

【 0 0 1 8 】

【 数 1 】

$$\tau_{DC} \propto J_{DC}^{-n} \quad \dots (1)$$

10

【 0 0 1 9 】

回路のデューティー P を回路動作 1 周期において、電流が流れる時間を周期で割った値で定義すると、回路のエレクトロマイグレーション寿命 τ_{AC} は、次の式 (2) で示される。

【 0 0 2 0 】

【 数 2 】

$$\tau_{AC} = \frac{\tau_{DC}}{P} \propto \frac{J_{DC}^{-n}}{P} \quad \dots (2)$$

20

【 0 0 2 1 】

今、半導体装置内のデューティー $P1$ の金属配線とデューティー $P2$ の金属配線において、それぞれの金属配線に電流が流れている期間の平均電流密度を $J1$ 、 $J2$ とし、エレクトロマイグレーション寿命が等しくなる $J1$ 、 $J2$ の関係を計算すると、式 (2) より、次の式 (3) が成立する。

【 0 0 2 2 】

【 数 3 】

$$\frac{(J1)^{-n}}{P1} = \frac{(J2)^{-n}}{P2} \quad \dots (3)$$

30

【 0 0 2 3 】

従って、式 (3) より次の式 (4) が成立する。

【 0 0 2 4 】

【 数 4 】

$$J1 = J2 \times M^{-\frac{1}{n}} \quad \dots (4)$$

【 0 0 2 5 】

ここで、 $M = P1 / P2$ であり、 M はデューティー比を示す。なお、前述したように、 $1.5 \leq n \leq 2.0$ である。

【 0 0 2 6 】

つまり、デューティーが高い金属配線の電流密度 $J1$ が、デューティーが低い金属配線の電流密度 $J2$ の $M^{-1/n}$ 倍になるように構成することにより、エレクトロマイグレーション寿命は同等になる。従って、デューティーが高い金属配線の配線幅はデューティーが低い金属配線に対し、 $M^{1/n}$ 倍にする。

【 0 0 2 7 】

(実施形態)

図 1 は本発明をスイッチング素子に適用した実施例のレイアウトを示す。また、図 2 は

50

図１のスイッチング素子の上層金属配線３００a（出力配線３００）にソレノイド９００を付加した回路図である。

【００２８】

図２に示すように、半導体装置１は、ハイサイドＭＯＳトランジスタ１０１Ｈ、１０２Ｈ、１０３ＨとローサイドＭＯＳトランジスタ１０１Ｌ、１０２Ｌ、１０３Ｌから構成される。なお、以下、ハイサイドＭＯＳトランジスタ及びローサイドＭＯＳトランジスタは、それぞれハイサイドＭＯＳ、ローサイドＭＯＳと省略されることがある。

【００２９】

ハイサイドＭＯＳ（１０１Ｈ～１０３Ｈ）はドレイン端子をハイサイド配線２００に接続し、ローサイドＭＯＳ（１０１Ｌ～１０３Ｌ）はソース端子をローサイド配線４００に接続している。また、ハイサイドＭＯＳ（１０１Ｈ～１０３Ｈ）のソース端子とローサイドＭＯＳ（１０１Ｌ～１０３Ｌ）のドレイン端子は出力配線３００に接続している。

【００３０】

換言すれば、ハイサイド配線２００（第１の金属配線）は、ハイサイドＭＯＳ１０１Ｈ～１０３Ｈ（ハイサイドＭＯＳトランジスタ）のドレイン電極に接続される。ローサイド配線４００（第２の金属配線）は、ローサイドＭＯＳ１０１Ｌ～１０３Ｌ（ローサイドＭＯＳトランジスタ）のソース電極に接続される。後述するように、ローサイド配線４００は、ハイサイド配線２００と同じ配線幅を有する。出力配線３００（第３の金属配線）は、ハイサイドＭＯＳ１０１Ｈ～１０３Ｈのソース電極及びローサイドＭＯＳ１０１Ｌ～１０３Ｌのドレイン電極に接続される。

【００３１】

図３は図２に示す回路で構成される半導体装置１のタイミングチャートである。図２のハイサイドＭＯＳ（１０１Ｈ～１０３Ｈ）のゲート端子１０の電位Ｖ１０がＬｏｗレベルからＨｉｇｈへ変化するとハイサイドＭＯＳ１０１Ｈ～１０３Ｈがオンしハイサイド配線２００から出力配線３００へ電流が流れる。次に、電位Ｖ１０がＨｉｇｈレベルから再びＬｏｗへ変化するとハイサイドＭＯＳ（１０１Ｈ～１０３Ｈ）はオフし、ハイサイド配線２００からの電流は流れなくなるが、ローサイドＭＯＳ（１０１Ｌ～１０３Ｌ）とそれらのボディダイオードを介し、ローサイド配線４００から出力配線３００へ電流が流れる。

【００３２】

以上より、出力配線３００はハイサイド配線２００及びローサイド配線４００に対しデューティーが２倍となる。

【００３３】

次に、図４に図１のＭＯＳ１０２Ｈと１０２Ｌの拡大図を示す。但し、図１はＭＯＳトランジスタと下層金属配線との接続を示すビアを記載していない。また、図４は上層金属配線を記載していない。図５に図１のＭＯＳ１０２Ｈと１０２Ｌの断面図Ａ-Ａ'を示す。

【００３４】

図１に示すように、ハイサイドＭＯＳ１０１Ｈ、１０２Ｈ、１０３ＨとローサイドＭＯＳ１０１Ｌ、１０２Ｌ、１０３Ｌは交互に配置する。換言すれば、ハイサイドＭＯＳ１０１Ｈ～１０３Ｈ（ハイサイドＭＯＳトランジスタ）及びローサイドＭＯＳ１０１Ｌ～１０３Ｌ（ローサイドＭＯＳトランジスタ）は、それぞれ複数あり、１つの平面上に平行かつ交互に配置される。

【００３５】

ハイサイドＭＯＳとローサイドＭＯＳは相補的に通電するため、ハイサイドＭＯＳとローサイドＭＯＳを交互に配置することにより発熱を分散することができる。

【００３６】

ハイサイドＭＯＳ１０１Ｈ、１０２Ｈ、１０３Ｈのドレイン電極は下層金属配線２００bと図４のビア７００b（層間ビア）を介して接続され、下層金属配線２００bは上層金属配線２００aと図１のビア７００aを介して接続される。これらのビア７００b、７０

10

20

30

40

50

0 a はタングステン、銅などの導体により構成される。

【0037】

換言すれば、ハイサイド配線 200 (第1の金属配線) は、第1層に配置される下層金属配線 200 b (第1層金属配線) と、下層金属配線 200 b と交差するように第2層に配置され、下層金属配線 200 b に接続される上層金属配線 200 a (第2層金属配線) と、を含む。

【0038】

ハイサイド MOS のドレイン電極と同様に、ローサイド MOS 101 L、102 L、103 L のソース電極は下層金属配線 400 b 及び上層金属配線 400 a にビア 700 b、700 a を介して接続される。

10

【0039】

換言すれば、ローサイド配線 400 (第2の金属配線) は、第1層に配置される下層金属配線 400 b (第1層金属配線) と、下層金属配線 400 b と交差するように第2層に配置され、下層金属配線 400 b に接続される上層金属配線 400 a (第2層金属配線) と、を含む。

【0040】

ハイサイド MOS 101 H、102 H、103 H のソース電極とローサイド MOS 101 L、102 L、103 L のドレイン電極は下層金属配線 300 b と上層金属配線 300 a にビア 700 b、700 a を介して接続される。

【0041】

20

換言すれば、出力配線 300 (第3の金属配線) は、第1層に配置される下層金属配線 300 b (第1層金属配線) と、下層金属配線 300 b と交差するように第2層に配置され、下層金属配線 300 b に接続される上層金属配線 300 a (第2層金属配線) と、を含む。

【0042】

このように、下層金属配線 (第1層金属配線) と上層金属配線 (第1層金属配線) が、交差するように別々の層に配置されるため、チップ面積の増加を低減することができる。

【0043】

次に、図1の下層金属配線 200 b、400 b の配線幅 W_0 と下層金属配線 300 b の配線幅 W_1 を決める方法を説明する。図2、図3で説明したように下層金属配線 300 b を流れる電流 I (A) は、各動作時間において下層金属配線 200 b または 400 b を流れる電流と同じ値である。

30

【0044】

一方、下層金属配線 300 b のデューティは下層金属配線 200 b、400 b の2倍である。すなわち、式(4)において、 $M = 2$ (デューティ比) となる。

【0045】

まず、下層金属配線 200 b と下層金属配線 400 b に流れる電流の電流密度 J ($A/\mu m^2$) がエレクトロマイグレーション寿命を保証する電流密度 J_0 ($A/\mu m^2$) となるように配線幅を決める。

【0046】

40

すなわち、配線膜厚を D (μm : micrometer) とすると、下層金属配線 200 b と 400 b の配線幅 W_0 (μm) は、 $W_0 = I/J_0/D$ となる。下層金属配線 300 b はデューティが2倍であるからエレクトロマイグレーション寿命が下層金属配線 200 b、400 b の2倍になるように電流密度を J_0 より小さな値になるようにする。

【0047】

本実施形態では、 $M = 2$ (デューティ比) であるから、下層金属配線 300 b の配線幅 W_1 を下層金属配線 200 b 及び 400 b の配線幅 W_0 の $2^{1/n}$ 倍 ($1.5 \leq n \leq 2.0$) とする。

【0048】

具体的には、下層金属配線 300 b の配線幅 W_1 は W_0 の 1.4 倍 ($2^{1/2}$) から 1

50

、6倍($2^{1/1.5} = 2^{2/3}$)とする。すなわち、 $1.4 \times W0 \leq W1 \leq 1.6 \times W0$ を満たすように配線幅W1を設定する。

【0049】

同様に、上層金属配線200a、400aの配線幅W2は、電流値とエレクトロマイグレーションの許容電流密度から計算する。

【0050】

換言すれば、ハイサイド配線200(第1の金属配線)及びローサイド配線400(第2の金属配線)の配線幅は、印加される電圧における電流密度が、前記電圧においてエレクトロマイグレーションが生じない所定の電流密度を示す許容電流密度以下となるように設定される。これにより、ハイサイド配線200及びローサイド配線400について、エ

10

【0051】

上層金属配線300aの配線幅W3はW2の1.4倍から1.6倍とする。換言すれば、出力配線300(第3の金属配線)の配線幅は、ハイサイド配線200(第1の金属配線)又はローサイド配線400(第2の金属配線)の配線幅の $2^{1/2} \sim 2^{2/3}$ 倍である。

【0052】

これにより、出力配線300のエレクトロマイグレーション寿命をハイサイド配線200及びローサイド配線400と同等とすることができる。そのため、半導体装置の寿命が出力配線300のエレクトロマイグレーション寿命に引きずられて低減することを抑制す

20

【0053】

以上説明したように、本実施形態によれば、エレクトロマイグレーションによる寿命の低下を抑制しつつ、チップ面積の増加を低減することができる。

【0054】

なお、本発明は上記した実施形態に限定されるものではなく、様々な変形例が含まれる。例えば、上述した実施形態は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施形態の構成の一部を他の実施形態の構成に置き換えることが可能であり、また、ある実施形態の構成に他の実施形態の構成を加えることも可能である。また、各実施形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

30

【0055】

上記実施形態では、半導体装置1は、NチャネルMOSトランジスタから構成されるがPチャネルMOSトランジスタから構成されるようにしてもよい。

【0056】

また、ソレノイドなどの誘導性負荷に供給する電流を制御する半導体装置を有する負荷駆動装置において、上記実施形態による半導体装置を適用してもよい。

【0057】

なお、本発明の実施形態は、以下の態様であってもよい。

【0058】

40

(1) ハイサイドMOSのトランジスタとローサイドのMOSトランジスタを備え、前記ハイサイドMOSトランジスタのドレイン電極は第1の金属配線に接続され、前記ローサイドMOSトランジスタのソース電極は第2の金属配線に接続され、前記ハイサイドMOSトランジスタのソース電極と前記ローサイドMOSトランジスタのドレイン電極は第3の金属配線に接続され、ハイサイドMOSトランジスタとローサイドのMOSトランジスタは相補的に電流が流れるように制御され、前記第1配線と前記第2配線の電流密度はエレクトロマイグレーションの許容電流密度以下である半導体装置で、前記第3の金属配線の配線幅は、前記第1または前記第2の金属配線の配線幅に対し、1.4から1.6倍であることを特徴とした半導体装置。

【0059】

50

(2) 複数の分割したハイサイドのMOSトランジスタとローサイドのMOSトランジスタを備え、前記ハイサイドMOSと前記ローサイドMOSは交互に配置され、前記ハイサイドMOSトランジスタのドレイン電極は第1の金属配線に接続され、前記ローサイドMOSトランジスタのソース電極は第2の金属配線に接続され、前記ハイサイドMOSトランジスタのソース電極と前記ローサイドMOSトランジスタのドレイン電極は第3の金属配線に接続され、ハイサイドMOSトランジスタとローサイドのMOSトランジスタは相補的に電流が流れるように制御され、前記第1配線と前記第2配線の電流密度はエレクトロマイグレーションの許容電流密度以下である半導体装置で、前記第3の金属配線の配線幅は、前記第1または前記第2の金属配線の配線幅に対し、1.4から1.6倍であることを特徴とした半導体装置。

10

【0060】

(3) (1) または (2) のいずれかに記載の半導体装置において、金属配線の主組成がAlである半導体装置。

【0061】

(4) (1) または (2) のいずれかに記載の半導体装置において、金属配線の主組成がCuである半導体装置。

【0062】

(5) 誘導性負荷を駆動するためのスイッチング素子を備え、前記スイッチング素子の制御端子に電圧を印加して、前記誘導性負荷への通電電流を制御する負荷駆動装置において、前記スイッチング素子は、(1) または (2) のいずれかに記載の半導体装置であることを特徴とする負荷駆動装置。

20

【符号の説明】

【0063】

1 ... 半導体装置

10 ... ハイサイドMOSのゲート端子

20 ... ローサイドMOSのゲート端子

101H ~ 103H ... ハイサイドMOSトランジスタ

101L ~ 103L ... ハイサイドMOSトランジスタ

200 ... ハイサイド配線

200b ... ハイサイドMOSのドレインに接続する下層金属配線

30

200a ... ハイサイドMOSのドレインに接続する上層金属配線

300 ... 出力配線

300b ... ハイサイドMOSのソースとローサイドのドレインに接続する下層金属配線

300a ... ハイサイドMOSのソースとローサイドのドレインに接続する上層金属配線

400 ... ローサイド配線

400b ... ローサイドMOSのソースに接続する下層金属配線

400a ... ローサイドMOSのソースに接続する上層金属配線

700a ... 下層金属配線と上層金属配線を接続するビア

700b ... 下層金属配線200b、300b、400bとトランジスタを接続するビア

750 ... ゲート電極

40

900 ... ソレノイド

W0 ... 下層金属配線200b、400bの幅

W1 ... 下層金属配線300bの幅

W2 ... 上層金属配線200a、400aの幅

W3 ... 上層金属配線300aの幅

V10 ... 図2のゲート端子10の電位

V20 ... 図2のゲート端子20の電位

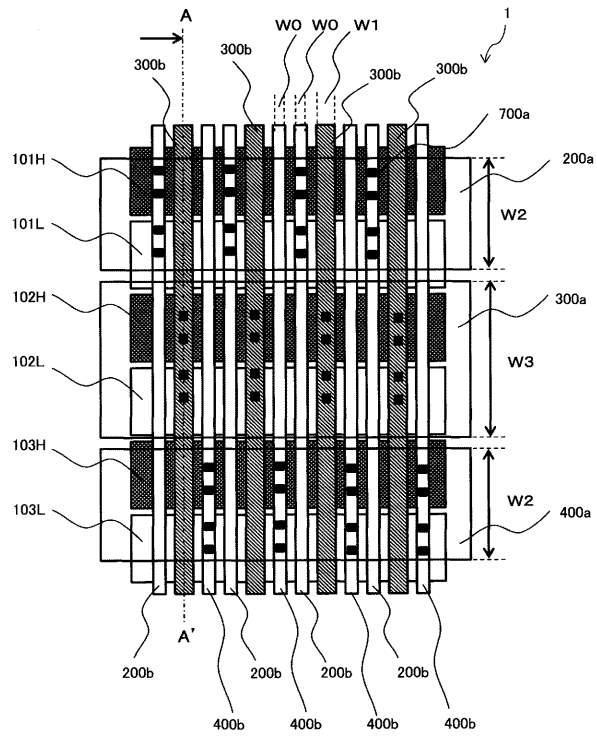
I200 ... 図2のハイサイド配線200の電流値

I300 ... 図2の出力配線300の電流値

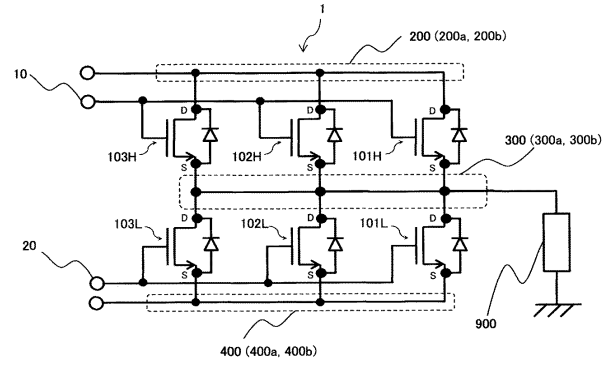
I400 ... 図2のローサイド配線400の電流値

50

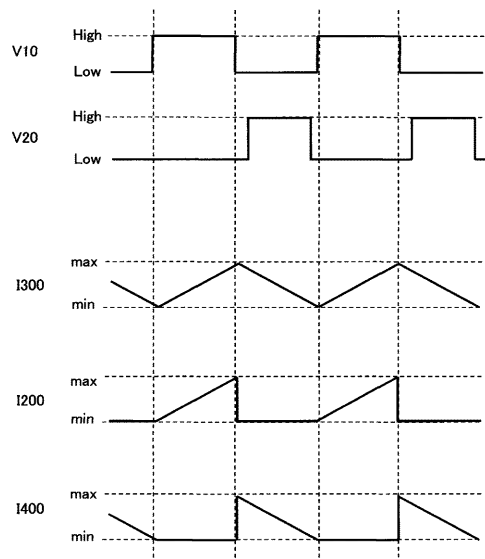
【図 1】



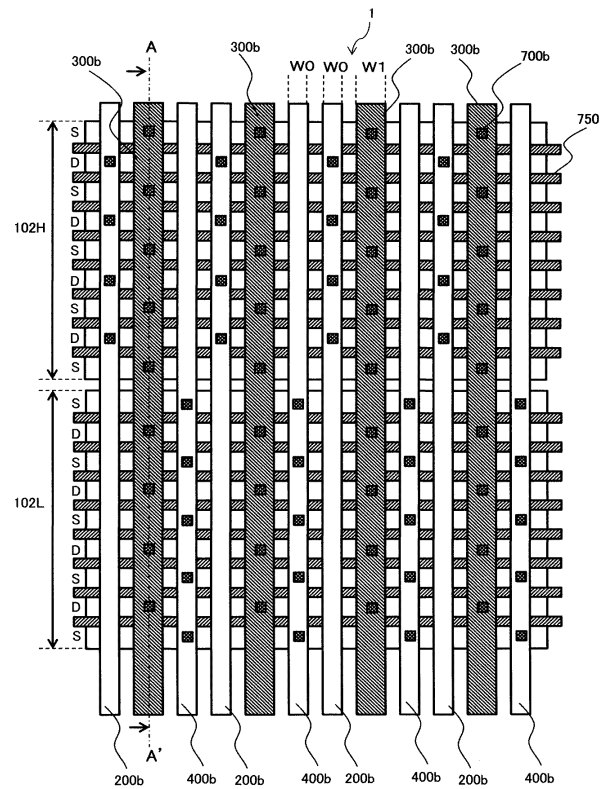
【図 2】



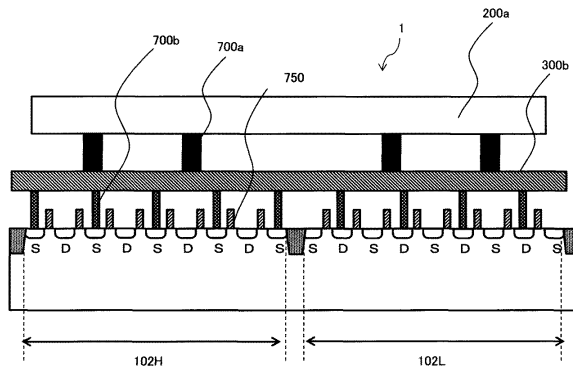
【図 3】



【図 4】



【図 5】



フロントページの続き

(72)発明者 小林 洋一郎

茨城県ひたちなか市高場2520番地
式会社内

日立オートモティブシステムズ株

審査官 綿引 隆

(56)参考文献 特開平02-047851(JP,A)
特開2007-035672(JP,A)
特開2014-049975(JP,A)
特開2006-339610(JP,A)
特開平09-129736(JP,A)
特開2008-186061(JP,A)
特開2005-347365(JP,A)
特開2006-324380(JP,A)
特開2012-134828(JP,A)
特開平05-206276(JP,A)
特開2008-134845(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/82
H01L 21/822
H01L 27/04
H03K 17/08