

公告本

382818

87105742

申請日期	87 年 4 月 15 日
案 號	87105742
類 別	H01L 29/02, C22C 29/12

A4
C4

382818

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	電子材料、製造方法電介質電容、不揮發性記憶體及半導體裝置
	英 文	
二、發明 創作人	姓 名	(1) 香取健二 (2) 広中克行 (3) 渡部浩司
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都品川區北品川六丁目七番三五號 蘇妮股份有限公司 (2) 日本國東京都品川區北品川六丁目七番三五號 蘇妮股份有限公司 (3) 日本國東京都品川區北品川六丁目七番三五號 蘇妮股份有限公司
三、申請人	姓 名 (名稱)	(1) 蘇妮股份有限公司 ソニー株式会社
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都品川區北品川六丁目七番三五號
	代 表 人 姓 名	(1) 出井伸之

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 1997 年 4 月 28 日 09-110830 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

[先前之技術]

強電介質記憶體為利用強電介質膜之高速分極反轉與其之殘留分極之可以高速重寫之不揮發性記憶體。圖10顯示習知之強電介質記憶體之一例。

如圖10所示般地，在此種習知之強電介質記憶體中，場絕緣膜102被選擇性地設置於p型si基板101之表面，經由此被進行元件分離。閘絕緣膜103被設於被此場絕緣膜102包圍部份之活性領域之表面。標號WL顯示字元線。n+型之源極領域104及汲極領域105被設於此字元線WL之兩側之部份之p型si基板101中。經由這些字元線WL、源極領域104及汲極領域105構成電晶體Q。

標號106表示層間絕緣膜。在場絕緣膜102之上方之部份之層間絕緣膜106上，經由作為連接層之例如膜厚30nm程度之Ti膜107，作為下部電極之例如膜厚200nm程度之Pt膜108，例如膜厚200nm程度之Pb(Zr,Ti)O₃(PZT)膜或SrBi₂Ta₂O₉(SRT)等之強電介質膜109及作為上部電極之例如膜厚200nm程度之Pt膜110被依序積層，經由這些之Pt膜108、強電介質膜109以及Pt膜110構成電容器C。經由電晶體Q與此電容器C構成一個之記憶體單元(memory cell)。

標號111表示層間絕緣膜。在源極領域104之上表面部份之層間絕緣膜106及層間絕緣膜111被設有接

五、發明說明(2)

觸孔 112。又，在 P t 膜 108 之一端部之上部部份之層間絕緣膜 111 被設有接觸孔 113。再者，在 P t 膜 110 之上部部份被設有接觸孔 114。而且，通過接觸孔 112 及接觸孔 113，電晶體 Q 之源極領域 104 及電容器 C 之下部電極之 P t 膜 108 經由配線 115 被連接。又，通過接觸孔 114 配線 116 被連接於電容器 C 之上部電極之 P t 膜 110。標號 117 表示鈍化膜。

於此圖 10 所示之習知之強電介質記憶體中，電晶體 Q 與電容器 C 於橫方向排列配置，爲了增加強電介質記憶體之資訊記錄密度，有必要做成將電晶體 Q 與電容器 C 在縱方向（垂直於基板面之方向）排列配置之構造。其之一例顯示於圖 11。於此處，圖 11 中與圖 10 相同之部份被賦予相同之標號。

於圖 11 中，標號 W L 1 ~ W L 4 表示字元線，118 表示層間絕緣膜。在汲極領域 105 之上部部份之層間絕緣膜 118 被設有接觸孔 119，通過此接觸孔 119 位元線 B L 被連接於電晶體 Q 之汲極領域 105。標號 120、121 表示層間絕緣膜。在源極領域 104 之上部部份之層間絕緣膜 121 被設有接觸孔 122，在此接觸孔 122 內被埋入多結晶 S i 插塞 123。而且，經由此多結晶 S i 插塞 123，電晶體 Q 之源極領域 104 與電容器 C 之下部電極之 P t 膜 108 電氣的被連接。

接著，在形成強電介質膜 109 之際，通常爲了結晶

五、發明說明(3)

化之故，雖有必要於 $600 \sim 800^{\circ}\text{C}$ 之高溫之氧化空氣中進行熱處理，但此時，多結晶Si插塞123之Si熱擴散於電容器C之下部電極之Pt膜108，該Si經由在Pt膜108之上層被氧化，此Pt膜108之導電性消失，Si更擴散於強電介質膜109，有電容器C之特性更為顯著劣化之問題。

在強電介質膜109之材料為PZT之情形，該燒成溫度為 600°C 之故，作為Si之擴散防止層有可以使用Ti等之氮化物系之膜之報告（應用物理學演講預稿集，1995年春，30p-D-20、30p-D-10）。但是，氮化物系之膜在高溫，氧化空氣中之熱處理被氧化，失去導電性之故；更為改善強電介質膜109之強電介質特性之故，在熱處理之空氣中充分導入氧氣，在更高溫度施行熱處理之情形時，有由於氧化引起表面粗糙或電氣電阻之上升之問題。

另一方面，作為強電介質膜109之材料，在使用較PZT疲勞特性更為優異之SBT之情形，為了獲得良好強電介質特性之熱處理溫度為 800°C 之程度，與PZT相比溫度更高。因此，在強電介質膜109之材料使用SBT之情形，由上述之氮化物系膜形成之擴散防止層耐熱性完全不足，無法使用。

至此，作為強電介質膜109之材料並無使用SBT之棧型之電容器之構造之報告，使用此種電容器之高集成之不揮發性記憶體之實現，有其困難。

五、發明說明(4)

又，與以上相同之問題，代替多結晶 Si 插塞，於使用 W 插塞之情形也會產生。

另一方面，以往最小加工尺寸為 $0.50 \sim 0.35 \mu\text{m}$ 之多層配線構造之超高集成半導體積體電路裝置之一例，有顯示於圖 12 者（例如，日經 micro device，1994 年 7 月號，pp. 50-57 及日經 micro device，1995 年 9 月號，pp. 70-77）。

如圖 12 所示般地，於此種先前之半導體積體電路裝置中，在 n 型 Si 基板 201 中被設有 p 井 202 及 n 井 203。在成為元件分離領域之部份之 n 型 Si 基板 201 之表面被設有凹進處 (recess) 204，在此凹進處 204 內被埋入由 SiO_2 膜形成之場絕緣膜 205。在被此場絕緣膜 205 包圍之活性領域之表面設有由 SiO_2 膜形成之閘絕緣膜 206。標號 207 表示被摻雜不純物之多結晶 Si 膜，208 表示 WSi_x 膜之金屬矽化物。經由這些之多結晶 Si 膜 207 及金屬矽化物膜 208，形成多晶矽化金屬 (polycide) 構造之閘電極。在這些多結晶 Si 膜 207 及金屬矽化物膜 208 之側壁被設有由 SiO_2 形成之側壁間隔層 209。在 n 井 203 中，被設有對於由多結晶 Si 膜 207 及金屬矽化物膜 208 形成之閘電極自己整合地被作為源極領域或汲極領域使用之 p⁺ 型之擴散層 210、211。經由這些之閘電極及擴散層 210、211 形成 p 通道型 MOS 電晶體。同樣地，在 p 井 202 形成 n 通道型

五、發明說明(5)

M O S 電晶體。標號 2 1 2、2 1 3 表示被作為此 n 通道 M O S 電晶體之源極領域或汲極領域使用之 n^+ 型之擴散層。

覆蓋這些 p 通道 M O S 電晶體及 n 通道 M O S 電晶體地被設有層間絕緣膜 2 1 4。在此層間絕緣膜 2 1 4，於對應 p 通道 M O S 電晶體之擴散層 2 1 1 之部份及對應場絕緣膜 2 0 5 上之閘電極之部分，分別被設有連接孔

2 1 5、2 1 6。在這些連接孔 2 1 5、2 1 6 之內部，經由 T i 膜 2 1 7 及 T i N 膜 2 1 8，W 插塞 2 1 9 被埋入。

經由 T i 膜 2 2 0 及 T i N 膜 2 2 1，A l - C u 合金配線 2 2 2 被設於連接孔 2 1 5、2 1 6 之上，在其上 T i N 膜 2 2 3 被設置著。標號 2 2 4 表示層間絕緣膜。在此層間絕緣膜 2 2 4，於對應 A l - C u 合金配線 2 2 2 之部分被設有連接孔 2 2 5、2 2 6。在這些連接孔 2 2 5、2 2 6 之內部，經由 T i 膜 2 2 7 及 T i N 膜 2 2 8，W 插塞 2 2 9 被埋入。

再者，經由 T i 膜 2 3 0 及 T i N 膜 2 3 1，A l - C u 合金配線 2 3 2 被設於連接孔 2 2 5、2 2 6 之上，在其上 T i N 膜 2 3 3 被設置著。

於此圖 1 2 所示之半導體積體電路裝置中，被設於連接孔 2 1 5 之部份之擴散層 2 1 1 上之 T i 膜 2 1 7 (膜厚通常為 5 ~ 5 0 n m) 主要係為了獲得與 W 插塞 2 1 9 之擴散層 2 1 1 之良好之電氣連接之故，以及提昇對於底

五、發明說明(6)

層之密著性而被使用著。此係：擴散層 211 之表面化學上為活性之故，暴露於水份或大氣時，在極短時間（被認為在未滿 2 ~ 3 分）內，表面形成膜厚 0.5 ~ 5 nm 之薄的 SiO_x 膜，使與擴散層 211 之電氣連接及密著性惡化。相對於此，在擴散層 211 之表面設有 Ti 膜 217 之情形，此 Ti 膜 217 與被形成在擴散層 211 之表面之 SiO_x 膜引起化學反應之結果，可以改善電氣連接性與機械密著性。

但是，W 插塞 219（膜厚通常為 50 ~ 700 nm）經由 Ti 膜 217 被形成於擴散層 211 上時，經由此 W 插塞 219 之形成時之熱處理（通常 300 ~ 500 °C）或在其之後工程進行之熱處理（通常為 350 ~ 450 °C），擴散層 211 之 Si 與 W 插塞 219 引起化學反應， WSi_x 被形成。此時，經由產生物質之移動（主要由擴散層 211，Si 往 W 插塞 219 中移動），在擴散層 211 與 W 插塞 219 之間形成空隙，產生良好電氣連接消失之問題。於此，為了防止此擴散層 211 與 W 插塞 219 之化學反應，在 Ti 膜 217 與 W 插塞 219 之間被設有 TiN 膜 218（膜厚通常為 5 ~ 50 nm）。因此，此 TiN 膜 218 被稱為阻障金屬（barrier metal）。又，作為阻障金屬在此 TiN 膜之外，也有 TiON 膜。

接著，被設於 W 插塞 219 上之 Ti 膜 220 係被使用於進行 W 插塞 219 與 Al - Cu 合金配線 222 之良好之電氣連接及機械之連接。又，在此 Ti 膜 220 上之

五、發明說明(7)

TiN膜221係被使用於抑制W插塞219與Al-Cu合金配線222之間之物質移動以及化學反應。被設於連接孔225、226之部分之W插塞229上之Ti膜230極TiN膜231也相同。

但是，於上述之半導體積體電路裝置之製造中，經由Ti膜217極TiN膜218形成W插塞219之情形，後工程之製程溫度之上限被限制為TiN膜218之耐熱溫度以下。此TiN膜218之耐熱溫度為500℃（經由濺鍍法形成薄膜之情形）～650℃（經由CVD法形成薄膜之情形）之程度之故，此W插塞219之形成後之製程溫度或時間之自由度可以說幾乎沒有。此問題在代替W插塞219而使用Si插塞或Al插塞之情形也相同。

如以上所述般地，如圖11所示之習知之強電介質記憶體，電晶體Q與電容器C在縱方向排列配置，將電容器C之下部電極，即Pt膜108經由多結晶Si插塞123或W插塞與電晶體Q之源極領域104連接之情形，作為電容器C之強電介質膜109之材料，使用需要高溫之熱處理之SBT等有其困難。

又，於圖12所示之習知之半導體積體電路裝置中，形成W插塞219後之工程之製程溫度或時間之自由度幾乎沒有。

[發明摘要]

五、發明說明(8)

因此，本發明之目的在於提供：將電晶體與電介質電容器在縱方向排列配置，使電介質電容器之下部電極經由由 Si 或 W 形成之插塞 (plug) 與電晶體之擴散層連接之情形，作為其下部電極之材料使用之合適之電子材料，其之製造方法，經由使用該種材料以形成下部電極，作為電介質電容器之電介質膜之材料，當然在 P Z T 之外，也可以使用必須高溫之熱處理之 S B T 等之電子材料之電介質電容器及使用該種電介質電容器之不揮發性記憶體。

本發明之其他之目的在於提供：於半導體積體電路裝置等之半導體裝置之製造中，形成插塞後之工程之製程溫度或時間自由度高之半導體裝置。

本發明者應該解決習知技術具有之上述之課題，基於很多之實驗，進行銳意之檢討。以下說明其概要。

本發明者首先，考慮 Pd 作為電介質電容器之下部電極之材料之候補。但是，在只以此 Pd 形成之下部電極中，無法防止 Si 之擴散，與 Si 基板等之密著性不好，容易剝落。又，在只以此 Pd 形成之下部電極上，例如形成 S B T 膜後，施行結晶化用之熱處理之情形，S B T 膜之表面變粗。此係被認為在此熱處理之際，由 Pd 形成之下部電極部份被氧化，體積變化之故。於此，本發明者更進一步檢討之結果，作為下部電極經由使用在 Pd 導入氧氣之 Pd - O 系材料，發現可以使這些缺點消失。即，經由以此 Pd - O 系材料形成下部電極，可以防止 Si 之擴散，可以提昇與 Si 基板等之密著性以防止剝落。又，在由

五、發明說明(9)

此 Pd-O 系材料形成之下部電極上形成 SBT 膜之後，即使在施行結晶化用之熱處理之情形，可以保持 SBT 膜之表面之平滑。

但是，經由其後之研究，了解到 Pd-O 系材料具有比電阻高之缺點。檢討之結果，發現此比電阻高之缺點可以經由使用在此 Pd-O 系材料再導入 Rh 之 Pd-Rh-O 系材料以使之消失。

圖 1 顯示依據 $(Pd_{100-x}Rh_x)_{60}O_{40}$ (組成以原子%顯示) 之組成 x 之比電阻之變化。由圖 1 可以明白地，在 Pd-O 系材料 (x = 0 之情形) 中，雖然比電阻高，但經由在此 Pd-O 系材料導入 Rh，可以使比電阻降低。此情形，由使比電阻充分降低之觀點而言，較理想者為：x 在 16% 以上 (比電阻在 $2000 \mu\Omega cm$ 以下)、Pd-Rh-O 之 Rh 之組成中，至少 10 原子% 以上。

另一方面，Rh 之導入量過多時，例如如圖 2 所示般地，SBT 膜之磁滯曲線移位。本發明者在由形成於比電阻為 $0.003 \Omega cm$ 之 n+ 型 Si 基板上之

$(Pd_{100-x}Rh_x)_{60}O_{40}$ 形成之下部電極上，經由溶膠-凝膠 (sol-gel) 旋塗法 (spin coat) 形成

SBT 膜，接著，為了其結晶化之故，於 $800^\circ C$ 、1 小時氧氣空氣中熱處理後，經由濺鍍法形成 Pt 膜以作為上部電極，再者，於 $800^\circ C$ 中再熱處理之，測定獲得之電介質電容器之磁滯曲線，調查依據

五、發明說明 (10)

($Pd_{100-x}Rh_x$) $60O_{40}$ 之組成 x 之殘留分極 P_r 之移位量，即 P_r^+ 與 P_r^- 之差 ($P_r^+ - P_r^-$) 之變化。其結果顯示於圖 3。由圖 3 可以明白地，此情形由充分將殘留分極 P_r 之移位量抑制得很小之觀點，較理想者為： x 在 66% 以下 ($P_r^+ - P_r^-$ 在 $2 \mu C / cm^2$ 以下)、 $Pd - Rh - O$ 之 Rh 之組成中，至少 40 原子% 以下。

圖 4 為顯示：在由形成於比電阻為 $0.003 \Omega cm$ 之 n^+ 型 Si 基板上之 ($Pd_{70}Rh_{30}$) $100-zO_z$ 形成之下部電極上，與上述相同地，形成 SBT 膜，進行熱處理，形成 Pt 膜作為上部電極，進行再度之熱處理，測定獲得之電介質電容器之磁滯曲線，調查依據

($Pd_{70}Rh_{30}$) $100-zO_z$ 之組成 z 之殘留分極 P_r 之移位量 ($P_r^+ - P_r^-$) 之變化之結果。由圖 4 可以明白地，此情形由充分將殘留分極 P_r 之移位量抑制得很小之觀點，較理想者為： z 在 60 原子% 以下 ($P_r^+ - P_r^-$ 在 $2 \mu C / cm^2$ 以下)。如此使 z 在 60 原子% 以下者，於使比電阻充分小之觀點而言亦為所盼望者。

圖 5 為顯示：在由形成於比電阻為 $0.003 \Omega cm$ 之 n^+ 型 Si 基板上之 ($Pd_{70}Rh_{30}$) $100-zO_z$ 形成之下部電極上，與上述相同地，形成 SBT 膜及進行 $800^\circ C$ 之熱處理後，經由表面粗度計調查 SBT 膜之表面狀態，調查依據 ($Pd_{70}Rh_{30}$) $100-zO_z$ 之組成 z 之表面粗度 Ra_{max} 之變化之結果。由圖 5 可以明白

五、發明說明(11)

地，此情形由要充分抑制 S B T 膜之表面粗度成為很小之觀點，希望 z 在 15 原子 % 以上 (R a m a x 約 4 n m 以下) 。

以上雖係就 P d - R h - O 系材料而言，但於將此 P d - R h - O 係材料之 R h 之一部份以 P t 、 I r 及 R u 之中之一種或二種以上之貴金屬元素置換之材料中，也可以獲得相同之特性。

本發明係本發明者依據進行種種之實驗所獲得之以上之見識而被提案者。

即，為了達成上述目的，依據本發明之第 1 之發明之電子材料，其特徵為：以組成式 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ (但是，a、b、c、x、y、z 以原子 % 表示之組成) 被表示，其之組成範圍為： $70 \geq a \geq 20$ ， $40 \geq b \geq 10$ ， $60 \geq c \geq 15$ ， $a + b + c = 100$ ， $100 > x \geq 0$ ， $100 > y \geq 0$ ， $100 > z \geq 0$ ， $100 > x + y + z \geq 0$ 。

依據本發明之第 2 之發明之電子材料，其特徵為：以組成式 $Pd_aRh_bO_c$ (但是，a、b、c 以原子 % 表示之組成) 被表示，其之組成範圍為： $70 \geq a \geq 20$ ， $40 \geq b \geq 10$ ， $60 \geq c \geq 15$ ， $a + b + c = 100$ 。

依據本發明之第 2 之發明之電子材料之製造方法，係一種以組成式 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ (但是，a、b、c、x、y、z 以原子 % 表示之

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (12)

組成) 被表示, 其之組成範圍為: $70 \geq a \geq 20$, $40 \geq b \geq 10$, $60 \geq c \geq 15$, $a + b + c = 100$, $100 > x \geq 0$, $100 > y \geq 0$, $100 > z \geq 0$, $100 > x + y + z \geq 0$ 之電子材料之製造方法, 其特徵為: 使電子材料經由使用氧氣或水蒸氣之反應性濺鍍法以形成薄膜。

依據本發明之第 4 之發明之電介質電容器, 其特徵為具有:

以組成式 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ (但是, a 、 b 、 c 、 x 、 y 、 z 以原子%表示之組成) 被表示, 其之組成範圍為: $70 \geq a \geq 20$, $40 \geq b \geq 10$, $60 \geq c \geq 15$, $a + b + c = 100$, $100 > x \geq 0$, $100 > y \geq 0$, $100 > z \geq 0$, $100 > x + y + z \geq 0$ 之材料形成之下部電極, 及

下部電極上之電介質膜, 及

電介質膜上之上部電極。

依據本發明之第 5 之發明之不揮發性記憶體, 係一種具有由電晶體與電介質電容器形成之記憶體單元之不揮發性記憶體,

其特徵為電介質電容器具有:

以組成式 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ (但是, a 、 b 、 c 、 x 、 y 、 z 以原子%表示之組成) 被表示, 其之組成範圍為: $70 \geq a \geq 20$, $40 \geq b \geq 10$, $60 \geq c \geq 15$, $a + b + c = 100$,

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (13)

$100 > x \geq 0$, $100 > y \geq 0$, $100 > z \geq 0$,

$100 > x + y + z \geq 0$ 之材料形成之下部電極 , 及

下部電極上之電介質膜 , 及

電介質膜上之上部電極。

本發明之第 6 之發明係一種具有第 1 導電層及第 1 導電層上之第 2 導電層之半導體裝置 , 其特徵為 : 在第 1 導電層與第 2 導電層之間設有以組成式

$Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ (但是 , a 、 b 、 c 、 x 、 y 、 z 以原子 % 表示之組成) 被表示 , 其之組成範圍為 : $70 \geq a \geq 20$, $40 \geq b \geq 10$, $60 \geq c \geq 15$, $a + b + c = 100$, $100 > x \geq 0$, $100 > y \geq 0$, $100 > z \geq 0$, $100 > x + y + z \geq 0$ 之材料形成之擴散防止層者。

於本發明中 , 以 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ 或 $Pd_aRh_bO_c$ 被表示之材料之組成範圍係與圖 6 中以劃上斜線之領域顯示者實質上為相同。

於本發明中 , 以 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ 或 $Pd_aRh_bO_c$ 被表示之材料之組成範圍 , 以 $60 \geq a \geq 30$, $30 \geq b \geq 15$, $50 \geq c \geq 30$, $a + b + c = 100$ 為合適。

於本發明之第 4 之發明或第 5 之發明中 , 作為電介質膜之材料典型上使用 Bi 系層狀構造鈣鈦礦 (perovskite) 型強電介質 , 舉其具體例為 : 含有以組成式 $Bi_x(Sr, Ca, Ba)_y(Ta, Nb)_zO_z$ (但是 , $2.50 \geq$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (14)

$x \geq 1.70$ 、 $1.20 \geq y \geq 0.60$ 、 $z = 9 \pm d$ 、 $1.0 \geq d \geq 0$) 被表示之結晶層 85 % 以上之強電介質 (也可以含有少許之 Bi 及 Ta 或 Nb 之氧化物或複合氧化物) , 或含有以組成式 $Bi_x Sr_y Ta_2 O_z$ (但是 , $2.50 \geq x \geq 1.70$ 、 $1.20 \geq y \geq 0.60$ 、 $z = 9 \pm d$ 、 $1.0 \geq d \geq 0$) 被表示之結晶層 85 % 以上之強電介質 (也可以含有少許之 Bi 及 Ta 或 Nb 之氧化物或複合氧化物) 。後者之代表例為 $Sr Bi_2 Ta_2 O_9$ 。作為電介質膜之材料也可以使用以 $Pb (Zr, Ti) O_3$ 表示之強電介質。這些之強電介質為適合使用於強電介質記憶體之強電介質膜材料者。作為電介質膜之材料也可以使用以 $(Ba, Sr) Ti O_3$ (BST) 表示之高電介質 , 此係例如適合使用於 DRAM 之電容器之電介質膜材料者。

於依據本發明之第 5 之發明之不揮發性記憶體中 , 為了謀求高集成化 , 將電晶體與電介質電容器於縱方向排列配置之情形 , 下部電極典型上被設於由被設置在電晶體之擴散層上之 Si 或 W 形成之插塞上。

依據如上述般地構成之本發明之第 1 之發明或第 2 之發明 , 可以提供適合作為電介質電容器之下部電極或擴散防止層等之材料之電子材料。

依據如上述般地構成之本發明之第 3 之發明 , 可以高品質地、容易地製造可以適合作為電介質電容器之下部電極或擴散防止層等之材料之電子材料。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (15)

依據如上述般地構成之本發明之第 4 之發明或第 5 之發明，構成電介質電容器之下部電極之以組成式

$Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ 被表示之材料，與 TiN 等相比具有十分高之耐熱性，經由即使在高溫也可以防止 Si 等之擴散，將電晶體與電介質電容器於縱方向排列配置，將該電介質電容器之下部電極經由由 Si 或 W 形成之插塞與電晶體之擴散層連接之情形，在電介質膜之形成時，即使爲了結晶化之故，在氧氣空氣中進行高溫熱處理，可以防止由該插塞對下部電極之 Si 或 W 之擴散，經由這樣，可以防止由於 Si 或 W 擴散於下部電極之上層被氧化，下部電極之導電性消失，Si 或 W 更擴散於電介質膜，使得電容器特性劣化之問題。

依據如上述般地構成之本發明之第 6 之發明，構成被設於第 1 導電層與第 2 導電層之間之擴散防止層之以組成式 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ 被表示之材料，與 TiN 等相比具有十分高之耐熱性，即使在高溫也可以防止 Si 等之擴散。

〔圖面之簡單說明〕

圖 1 係顯示依據 $(Pd_{100-x}Rh_x)_{60}O_{40}$ 之組成 x 之比電阻之變化之測定結果之略圖。

圖 2 係顯示測定使用由 $(Pd_{100-x}Rh_x)_{60}O_{40}$ 形成之下部電極之電介質電容器之蓄積電荷量之結果之略圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (16)

圖 3 係顯示調查依據 (P d ₁₀₀ - x R h _x) ₆₀ O ₄₀ 之組成 x 之殘留分極 P r 之移位量之變化之結果之略圖。

圖 4 係顯示調查依據 (P d ₇₀ R h ₃₀) ₁₀₀ - z O _z 之組成 z 之殘留分極 P r 之移位量之變化之結果之略圖。

圖 5 係顯示調查依據 (P d ₇₀ R h ₃₀) ₁₀₀ - z O _z 之組成 z 之 S B T 膜之表面粗度之變化之結果之略圖。

圖 6 係顯示本發明之 (R h ₁₀₀ - x - y - z P t _x I r _y R u _z) _b O _c 或 P d _a R h _b O _c 之組成之範圍之略圖。

圖 7 係顯示依據本發明之第 1 實施形態之電介質電容器之剖面圖。

圖 8 係顯示測定依據本發明之第 1 實施形態之電介質電容器之蓄積電荷量之結果之略圖。

圖 9 係顯示依據本發明之第 2 實施形態之電介質電容器之剖面圖。

圖 10 係顯示將電晶體與電容器於橫方向配置之習知之強電介質記憶體之剖面圖。

圖 11 係顯示將電晶體與電容器於縱方向配置之習知之強電介質記憶體之剖面圖。

圖 12 係顯示習知之半導體積體電路裝置之剖面圖。

主要元件對照表

1, 101 p 型 S i 基板

2, 27, 29, 33, 37, 39, 43

P d _a R h _b O _c 膜

(請先閱讀背面之注意事項再填寫本頁)

策

訂

五、發明說明 (17)

3 S B T 膜

1 1 , 2 0 1 n 型 S i 基板

1 5 , 1 0 2 , 2 0 5 場絕緣膜

1 6 , 1 0 3 , 2 0 6 閘絕緣膜

1 0 4 源極領域

1 0 5 汲極領域

2 4 , 3 4 , 1 0 6 , 1 1 1 , 1 1 8 , 1 2 0 , 1 2 1
, 2 1 4 , 2 2 4 層間絕緣膜

3 0 , 3 2 , 1 0 7 , 2 1 7 , 2 2 0 , 2 2 7 , 2 3 0

T i 膜

4 , 1 0 8 , 1 1 0 T i 膜

1 0 9 P t 膜

1 1 2 , 1 1 3 , 1 1 4 , 1 1 9 , 1 2 2 接觸孔

1 1 5 , 1 1 6 配線

1 1 7 鈍化膜

1 2 3 多結晶 S i 插塞

1 2 , 2 0 2 p 井

1 3 , 2 0 3 n 井

1 4 , 2 0 4 凹進處

1 7 , 2 0 7 多結晶 S i 膜

1 8 , 2 0 8 金屬矽化物膜

1 9 , 2 0 9 側壁空間

2 0 , 2 1 , 2 1 0 , 2 1 1 p + 型擴散層

2 2 , 2 3 , 2 1 2 , 2 1 3 n + 型擴散層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明 (18)

2 5 , 2 6 , 3 5 , 3 6 , 2 1 5 , 2 1 6 , 2 2 6

連接孔

2 1 8 , 2 2 1 , 2 2 3 , 2 2 8 , 2 3 1 , 2 3 3

T i N 膜

2 8 , 3 8 , 2 1 9 , 2 2 9 W 插塞

3 1 , 4 1 , 2 2 2 , 2 3 2 A l - C u 合金配線

[發明之合適之實施形態]

一邊參考圖面一邊說明本發明之實施形態。

圖 7 係顯示依據本發明之第 1 實施形態之電介質電容器。如圖 7 所示般地，於依據此第 1 實施形態之電介質電容器中，在導電性之 S i 基板 1 上，作為下部電極之

P d a R h b O c 膜 2 、作為強電介質膜之 S B T 膜 3 及作為上部電極之 P t 膜 4 依序被積層。這些之

P d a R h b O c 膜 2 、S B T 膜 3 及 P t 膜 4 例如分別為 2 0 0 n m 。又，P d a R h b O c 膜 2 之組成為： $70 \geq a \geq 20$ 、 $40 \geq b \geq 10$ 、 $60 \geq c \geq 15$ 、 $a + b + c = 100$ ，即，被選擇在圖 6 劃上斜線之領域所表示之範圍。

接著，說明依據如上述般地被構成之本第 1 實施形態之電介質電容器之製造方法。

在製造依據本第 1 實施形態之電介質電容器上，首先，將 S i 基板在希氟酸處理之，去除表面之 S i O x 膜（未圖示出）後，在此 S i 基板 1 上經由反應性濺鍍法形成

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (19)

P d a R h b O c 膜 2 。此 P d a R h b O c 膜 2 被作為下部電極使用。舉此 P d a R h b O c 膜 2 之成膜條件之一例，為：使用 D C 磁控管濺鍍裝置，使用在直徑 1 0 0 m m 之 P d 靶上放置 8 個之 1 0 m m × 1 0 m m 四方之 R h 晶片者為靶，使用 A r 及 O 2 之混合氣體為濺鍍氣體，其之流量分別為 2 3 S C C M 及 7 S C C M 、全壓為 1 . 5

m T o r r 、投入電力 D C 0 . 4 A 、 5 5 0 V 、成膜速度 2 0 0 n m / 1 3 分。將如此形成之 P d a R h b O c 膜 2 之組成以 E P M A 法分析，其結果為

P d ₄₂ R h ₁₈ O ₄₀ (但是，組成為原子 %) 。

接著，在 P d a R h b O c 膜 2 上例如經由溶膠－凝膠旋塗法形成 S B T 膜 3 。接著，於 S B T 膜 3 之結晶化用，在 8 0 0 ° C 中 1 小時氧氣空氣中進行熱處理後，例如使用金屬光罩經由濺鍍法形成 P t 膜 4 。此 P t 膜 4 被作為上部電極使用。之後，再於 8 0 0 ° C 、 1 小時氧氣空氣中熱處理之。

將在被如此製造之電介質電容器之 S i 基板 1 與 P t 電極 4 之間施加電壓，測定蓄積電荷量之結果顯示於圖 8 。由圖 8 可以明白地，在強電介質記憶體很重要之殘留分極值為： $2 P r = 2 0 \mu C / c m^2$ 。此殘留分極值作為 S B T 為良好之值，此係經由 S i 基板 1 之測定所獲得。

另一方面，為了做比較之故，代替圖 7 之

P d a R h b O c 膜 2 ，另外製作使用 T i 膜及 T i N 膜之集成膜之試料嘗試同樣之電荷量之測定，強電介質之分極

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (20)

特性完全無法獲得，無法作為電容器動作。此係由 Si 基板 Si 穿過此集成膜而擴散之故。

如此，依據此第 1 實施形態，經由具有以在圖 6 中劃上斜線之領域被顯示之範圍之組成之 $PdRhO$ 膜 2 以形成下部電極之故，於 SBT 膜 3 之形成時，為了結晶化即使在 $800^{\circ}C$ 程度之高溫中，於氧化空氣中進行熱處理，可以防止由 Si 基板向著下部電極之 Si 之熱擴散，因此，可以防止 Si 在下部電極之上層被氧化，此下部電極之導電性消失。因此，此電介質電容器可以使用於：將電晶體與電介質電容器縱方向配置，將電介質電容器之下部電極經由多結晶 Si 插塞與電晶體之擴散層連接之強電介質記憶體之電介質電容器，經由如此，可以實現使用 SBT 膜作為電介質電容器之電介質膜之高集成之強電介質記憶體。

圖 9 係顯示依據本發明之第 2 實施形態之多層配線構造之半導體積體電路裝置。

如圖 9 所示般地，於依據此第 2 實施形態之半導體積體電路裝置中，在 n 型 Si 基板 11 中設有 p 井 12 及 n 井 13。在成為元件分離領域之部份之 n 型 Si 基板 11 之表面被選擇性地設有凹進處 14，在此凹進處 14 被埋入由 SiO_2 膜形成之場絕緣膜 15。在被此場絕緣膜 15 包圍之活性領域之表面設有由 SiO_2 膜形成之閘絕緣膜 16。標號 17 表示被摻雜不純物之多結晶 Si 膜，18 表示 WSi_x 之類之金屬矽化物膜。經由這些之多結晶 Si

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (21)

膜 1 7 及金屬矽化物膜 1 8 形成多晶矽化金屬構造之閘電極。在這些多結晶 S i 膜 1 7 及金屬矽化物膜 1 8 之側壁設有由 S i O₂ 形成之側壁間隔層 1 9。在 n 井 1 3 中對於由多結晶 S i 膜 1 7 及金屬矽化物膜 1 8 形成之閘電極，自己整合地被設有作為源極領域或汲極領域使用之 P⁺ 型之擴散層 2 0、2 1。經由這些之閘電極及擴散層 2 0、2 1 形成 p 通道 M O S 電晶體。同樣地在 p 井 1 2 形成 n 通道 M O S 電晶體。標號 2 2、2 3 表示被作為此 n 通道 M O S 電晶體之源極領域或汲極領域使用之 n⁺ 型之擴散層。

覆蓋這些 p 通道 M O S 電晶體及 n 通道 M O S 電晶體地，例如被設有硼磷矽酸鹽玻璃 (B P S G) 膜之類之層間絕緣膜 2 4。在此層間絕緣膜 2 4 對應 p 通道 M O S 電晶體之擴散層 2 1 之部分及對應場絕緣膜 1 5 上之閘電極之部分，分別設有連接孔 2 5、2 6。經由 P d a R h b O c 膜 2 7，W 插塞 2 8 被埋入在這些連接孔 2 5、2 6 之內部。

在連接孔 2 5、2 6 之上，經由 P d a R h b O c 膜 2 9 及 T i 膜 3 0，被設有 A l - C u 合金配線 3 1。在其上被依序設有 T i 膜 3 2 及 P d a R h b O c 膜 3 3。標號 3 4 表示例如 B P S G 膜之類之層間絕緣膜。在此層間絕緣膜 3 4 對應於 A l - C u 合金配線 3 1 之部分，被設有連接孔 3 5、3 6。經由 P d a R h b O c 膜 3 7，W 插塞 3 8 被埋入在這些連接孔 3 5、3 6 之內部。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (22)

再者，於連接孔 3 5、3 6 之上，經由經由
P d a R h b O c 膜 3 9 及 T i 膜 4 0，被設有 A l - C u
合金配線 4 1。在其上被依序設有 T i 膜 4 2 及
P d a R h b O c 膜 4 3。

此處，P d a R h b O c 膜 2 7、2 9、3 3、3 9、
4 3 之組成，被選擇在圖 6 中以劃上斜線表示之領域所顯
示之範圍。又，被設於 A l - C u 合金配線 3 1 之上下之
T i 膜 3 0、3 2 係由於提昇與 P d a R h b O c 膜 2 9、
3 3 之 A l - C u 合金配線 3 1 之密著性等之目的而設。
被設於 A l - C u 合金配線 4 1 上下之 P d a R h b O c 膜
3 9、4 3 也相同。

如上述般地，依據本第 2 實施形態，在連接孔 2 5、
2 6 之內部，經由與被用於習知之阻障金屬之 T i N 膜或
T i N O 膜相比，耐熱性十分高、即使高溫也可以防止
S i 等之擴散之 P d a R h b O c 膜 2 7，W 插塞 2 8 被形
成之故，與先前相比，此 W 插塞 2 8 之形成後之工程之製
程溫度之限制變少，可以使後工程之製程溫度或時間之自
由度高。又，在 W 插塞 2 8 與其上之 A l - C u 合金配線
3 1 之間被設有 P d a R h b O c 膜 2 9，在此 A l - C u
合金配線 3 1 與其上之 W 插塞 3 8 之間，經由被設置
P d a R h b O c 膜 3 3，可以防止 W 插塞 2 8、3 8 與
A l - C u 合金配線 3 1 之間之擴散。同樣地，在 W 插塞
3 8 與其上之 A l - C u 合金配線 4 1 之間，經由被設置
P d a R h b O c 膜 3 9，可以防止 W 插塞 3 8 與 A l -

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (23)

C u 合金配線 4 1 之間之擴散。

依據本第 2 實施形態之半導體積體電路裝置為合適於用在 D R A M 或 M P U 等之各種之半導體積體電路裝置者。

以上，雖就本發明之實施形態具體說明之，但是本發明並不限定於上述之實施形態，基於本發明之技術思想，有各種之變形之可能。

例如，於上述第 1 實施形態中，雖就作為電介質電容器之電介質膜之材料，使用 S B T 之情形說明之，但是此電介質膜之材料，必要時可以使用其他之強電介質或高電介質，具體而言，例如也可以使用 P Z T 或 B S T。

又，於上述第 2 實施形態中，在 A l - C u 合金配線 3 1 與 P d a R h b O c 膜 2 9、3 3 之間分別設有 T i 膜 3 0、3 2，在 A l - C u 合金配線 4 1 與 P d a R h b O c 膜 3 9、4 3 之間分別設有 T i 膜 4 0、4 2，但是這些之 T i 膜 3 0、3 2、4 0、4 2 必要時可以省略。

如上述說明過地，依據本發明之第 1 之發明或第 2 之發明，可以提供：可以使用於作為電介質電容器之下部電極或擴散防止層之材料之合適之電子材料。

依據本發明之第 3 之發明，可以高品質容易地製造作為電介質電容器之下部電極或擴散防止層之材料之合適之電子材料。

依據本發明之第 4 之發明或第 5 之發明，將電晶體與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

四、中文發明摘要 (發明之名稱： 電子材料、製造方法電介質電容、不揮發性記憶體及半導體裝置)

本發明係關於電子材料、製造方法電介質電容、不揮發性記憶體及半導體裝置。本發明之目的在於提供：將電晶體與電介質電容器在縱向排列配置，使電介質電容器之下部電極經由由 Si 或 W 形成之插塞 (plug) 與電晶體之擴散層連接之情形，作為電介質電容器之電介質膜之材料。雖然在 P-Li 之外，也可以使用必須高溫之熱處理之 SBT 等之電子材料，其製造方法及電介質電容器與不揮發性記憶體。又，在於提供：形成插塞後之製程溫度或時間自由度高之半導體裝置。作為電介質電容器之下部電極材料，使用：以組成式 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ (但是，a、b、c、x、y、z 以原子%表示之組成) 被表示，其之組成範圍為： $70 \geq a \geq 20$ ， $40 \geq b \geq 10$ ， $60 \geq c \geq 15$ ， $a+b+c=100$ ， $100 > x \geq 0$ ， $100 > y \geq 0$ ， $100 > z \geq 0$ ， $100 > x+y+z \geq 0$ 之材料。又，使用此材料作為半導體裝置之擴散層與被設於其上之插塞之間之擴散防止層之材料。

英文發明摘要 (發明之名稱：)

裝

訂

線

六、申請專利範圍

1. 一種電子材料，其特徵為：

以組成式 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ (但是， a 、 b 、 c 、 x 、 y 、 z 以原子%表示之組成) 被表示，其之組成範圍為： $70 \geq a \geq 20$ ， $40 \geq b \geq 10$ ， $60 \geq c \geq 15$ ， $a + b + c = 100$ ， $100 > x \geq 0$ ， $100 > y \geq 0$ ， $100 > z \geq 0$ ， $100 > x + y + z \geq 0$ 。

2. 如申請專利範圍第1項記載之電子材料，其中
 $60 \geq a \geq 30$ ， $30 \geq b \geq 15$ ， $50 \geq c \geq 30$ ， $a + b + c = 100$ 。

3. 一種電子材料，其特徵為：

以組成式 $Pd_aRh_bO_c$ (但是， a 、 b 、 c 以原子%表示之組成) 被表示，其之組成範圍為： $70 \geq a \geq 20$ ， $40 \geq b \geq 10$ ， $60 \geq c \geq 15$ ， $a + b + c = 100$ 。

4. 如申請專利範圍第3項記載之電子材料，其中
 $60 \geq a \geq 30$ ， $30 \geq b \geq 15$ ， $50 \geq c \geq 30$ ， $a + b + c = 100$ 。

5. 一種以組成式 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ (但是， a 、 b 、 c 、 x 、 y 、 z 以原子%表示之組成) 被表示，其之組成範圍為： $70 \geq a \geq 20$ ， $40 \geq b \geq 10$ ， $60 \geq c \geq 15$ ， $a + b + c = 100$ ， $100 > x \geq 0$ ， $100 > y \geq 0$ ， $100 > z \geq 0$ ， $100 > x + y + z \geq 0$ 之電子材料之製造方法，

六、申請專利範圍

其特徵為：

使電子材料經由使用氧氣或水蒸氣之反應性濺鍍法以形成薄膜。

6. 一種電介質電容器，其特徵為具有：

以組成式 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ (但是， a 、 b 、 c 、 x 、 y 、 z 以原子%表示之組成) 被表示，其之組成範圍為： $70 \geq a \geq 20$ ， $40 \geq b \geq 10$ ， $60 \geq c \geq 15$ ， $a + b + c = 100$ ， $100 > x \geq 0$ ， $100 > y \geq 0$ ， $100 > z \geq 0$ ， $100 > x + y + z \geq 0$ 之材料形成之下部電極，及

上述下部電極上之電介質膜，及

上述電介質膜上之上部電極。

7. 如申請專利範圍第6項記載之電介質電容器，其中以上述 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ 被表示之材料之組成範圍為： $60 \geq a \geq 30$ ， $30 \geq b \geq 15$ ， $50 \geq c \geq 30$ ， $a + b + c = 100$ 。

8. 如申請專利範圍第6項記載之電介質電容器，其中上述下部電極係以組成式 $Pd_aRh_bO_c$ (但是， a 、 b 、 c 以原子%表示之組成) 被表示，其之組成範圍為： $70 \geq a \geq 20$ ， $40 \geq b \geq 10$ ， $60 \geq c \geq 15$ ， $a + b + c = 100$ 之材料所形成。

9. 如申請專利範圍第6項記載之電介質電容器，其中上述下部電極係經由使用氧氣或水蒸氣之反應性濺鍍法以形成薄膜。

(請先閱讀背面之注意事項再填寫本頁)

製

訂

六、申請專利範圍

10. 如申請專利範圍第6項記載之電介質電容器，其中上述電介質膜係由Bi系層狀構造鈣鈦礦型強電介質形成。

11. 如申請專利範圍第6項記載之電介質電容器，其中上述電介質膜係由含有以組成式 $Bi_x(Sr, Ca, Ba)_y(Ta, Nb)_zO_z$ （但是， $2.50 \geq x \geq 1.70$ 、 $1.20 \geq y \geq 0.60$ 、 $z = 9 \pm d$ 、 $1.0 \geq d \geq 0$ ）被表示之結晶層85%以上之強電介質所形成。

12. 如申請專利範圍第6項記載之電介質電容器，其中上述電介質膜係由含有以組成式 $Bi_xSr_yTa_zO_z$ （但是， $2.50 \geq x \geq 1.70$ 、 $1.20 \geq y \geq 0.60$ 、 $z = 9 \pm d$ 、 $1.0 \geq d \geq 0$ ）被表示之結晶層85%以上之強電介質所形成。

13. 如申請專利範圍第6項記載之電介質電容器，其中上述電介質膜係由以

$SrBi_2Ta_2O_9$ 被表示之強電介質所形成。

14. 如申請專利範圍第6項記載之電介質電容器，其中上述電介質膜係由以

$Pb(Zr, Ti)O_3$ 被表示之強電介質所形成。

15. 如申請專利範圍第6項記載之電介質電容器，其中上述電介質膜係由以

$(Ba, Sr)TiO_3$ 被表示之高電介質所形成。

16. 一種具有由電晶體與電介質電容器所形成之記

（請先閱讀背面之注意事項再填寫本頁）

表

訂

六、申請專利範圍

憶體單元之不揮發性記憶體，

其特徵為電介質電容器具有：

以組成式 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ (但是， a 、 b 、 c 、 x 、 y 、 z 以原子%表示之組成) 被表示，其之組成範圍為： $70 \geq a \geq 20$ ， $40 \geq b \geq 10$ ， $60 \geq c \geq 15$ ， $a + b + c = 100$ ， $100 > x \geq 0$ ， $100 > y \geq 0$ ， $100 > z \geq 0$ ， $100 > x + y + z \geq 0$ 之材料形成之下部電極，及

上述下部電極上之電介質膜，及

上述電介質膜上之上部電極。

17. 如申請專利範圍第16項記載之不揮發性記憶體，其中以上述 $Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ 被表示之材料之組成範圍為： $60 \geq a \geq 30$ ， $30 \geq b \geq 15$ ， $50 \geq c \geq 30$ ， $a + b + c = 100$ 。

18. 如申請專利範圍第16項記載之不揮發性記憶體，其中上述下部電極係以組成式 $Pd_aRh_bO_c$ (但是， a 、 b 、 c 以原子%表示之組成) 被表示，其之組成範圍為： $70 \geq a \geq 20$ ， $40 \geq b \geq 10$ ， $60 \geq c \geq 15$ ， $a + b + c = 100$ 之材料所形成。

19. 如申請專利範圍第16項記載之不揮發性記憶體，其中上述下部電極係經由使用氧氣或水蒸氣之反應性濺鍍法以形成薄膜。

20. 如申請專利範圍第16項記載之不揮發性記憶體

六、申請專利範圍

體，其中上述電介質膜係由 Bi 系層狀構造鈣鈦礦型強電介質形成。

2 1 . 如申請專利範圍第 1 6 項記載之不揮發性記憶體，其中上述電介質膜係由含有以組成式 $B i_x (S r, C a, B a)_y (T a, N b)_z O_z$ (但是， $2.50 \geq x \geq 1.70$ 、 $1.20 \geq y \geq 0.60$ 、 $z = 9 \pm d$ 、 $1.0 \geq d \geq 0$) 被表示之結晶層 85% 以上之強電介質所形成。

2 2 . 如申請專利範圍第 1 6 項記載之不揮發性記憶體，其中上述電介質膜係由含有以組成式 $B i_x S r_y T a_z O_z$ (但是， $2.50 \geq x \geq 1.70$ 、 $1.20 \geq y \geq 0.60$ 、 $z = 9 \pm d$ 、 $1.0 \geq d \geq 0$) 被表示之結晶層 85% 以上之強電介質所形成。

2 3 . 如申請專利範圍第 1 6 項記載之不揮發性記憶體，其中上述電介質膜係由以 $S r B i_2 T a_2 O_9$ 被表示之強電介質所形成。

2 4 . 如申請專利範圍第 1 6 項記載之不揮發性記憶體，其中上述電介質膜係由以 $P b (Z r, T i) O_3$ 被表示之強電介質所形成。

2 5 . 如申請專利範圍第 1 6 項記載之不揮發性記憶體，其中上述電介質膜係由以 $(B a, S r) T i O_3$ 被表示之高電介質所形成。

2 6 . 如申請專利範圍第 1 6 項記載之不揮發性記憶體，其中上述下部電極係被設於由被設在上述電晶體之擴

六、申請專利範圍

散層上之 Si 或 W 形成之插塞上。

27. 一種具有第 1 導電層與上述第 1 導電層上之第 2 導電層之半導體裝置，其特徵為：在上述第 1 導電層與上述第 2 導電層之間，設置有由以組成式

$Pd_a(Rh_{100-x-y-z}Pt_xIr_yRu_z)_bO_c$ (但是， a 、 b 、 c 、 x 、 y 、 z 以原子 % 表示之組成) 被表示，其之組成範圍為： $70 \geq a \geq 20$ ， $40 \geq b \geq 10$ ， $60 \geq c \geq 15$ ， $a + b + c = 100$ ， $100 > x \geq 0$ ， $100 > y \geq 0$ ， $100 > z \geq 0$ ， $100 > x + y + z \geq 0$ 之材料形成之擴散防止層。

28. 如申請專利範圍第 27 項記載之半導體裝置，其中上述擴散防止層係以組成式 $Pd_aRh_bO_c$ (但是， a 、 b 、 c 以原子 % 表示之組成) 被表示，其之組成範圍為： $70 \geq a \geq 20$ ， $40 \geq b \geq 10$ ， $60 \geq c \geq 15$ ， $a + b + c = 100$ 之材料所形成。

29. 如申請專利範圍第 27 項記載之半導體裝置，其中上述第 1 導電層係由 Si 形成之擴散層，上述第 2 導電層係由導電材料形成之插塞。

30. 如申請專利範圍第 29 項記載之半導體裝置，其中上述插塞係由 Si、W 或 Al 形成。

31. 如申請專利範圍第 27 項記載之半導體裝置，其中上述第 1 導電層係由導電材料形成之插塞，上述第 2 導電層係 Al 合金配線。

32. 如申請專利範圍第 31 項記載之半導體裝置，

六、申請專利範圍

其中上述插塞係由 Si、W 或 Al 形成。

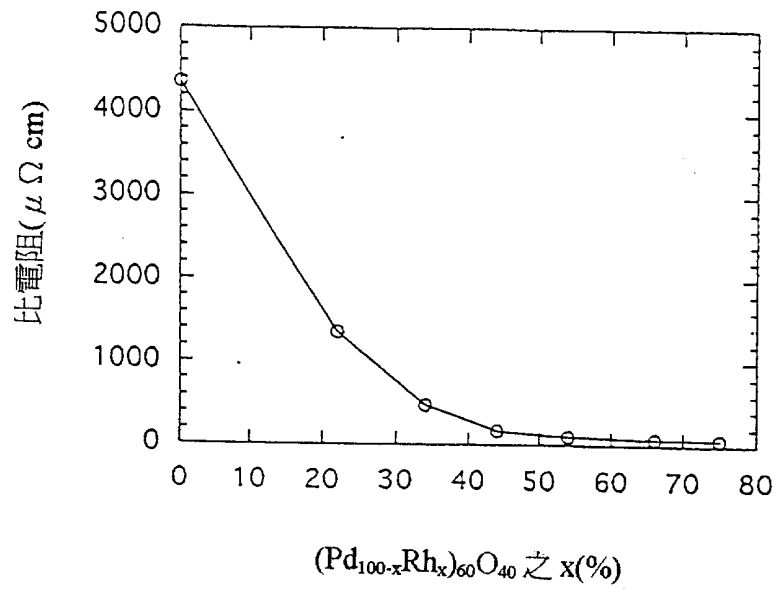
33. 如申請專利範圍第 27 項記載之半導體裝置，其中上述第 1 導電層係 Al 合金配線，上述第 2 導電層係由導電材料形成之插塞。

34. 如申請專利範圍第 33 項記載之半導體裝置，其中上述插塞係由 Si、W 或 Al 形成。

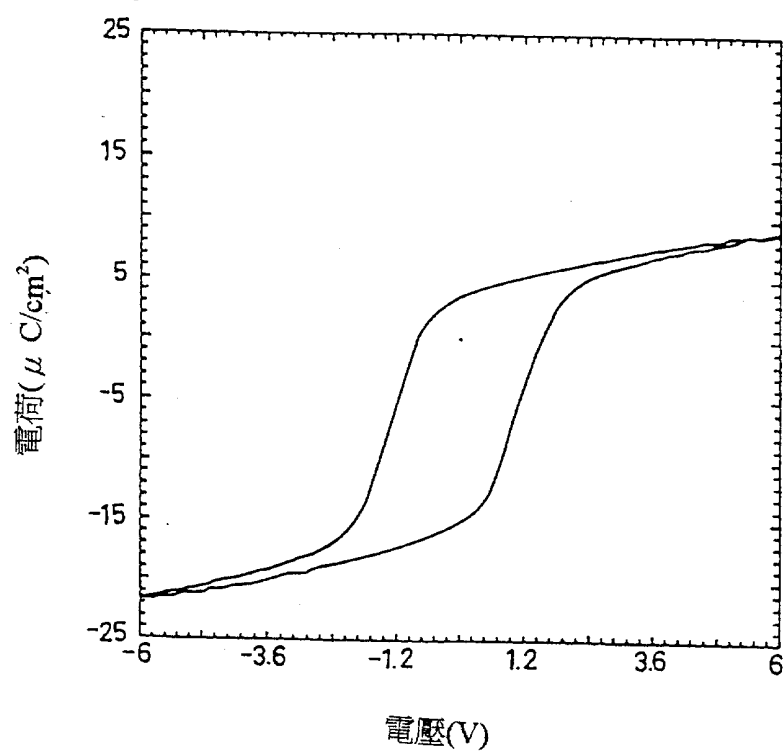
(請先閱讀背面之注意事項再填寫本頁)

裝

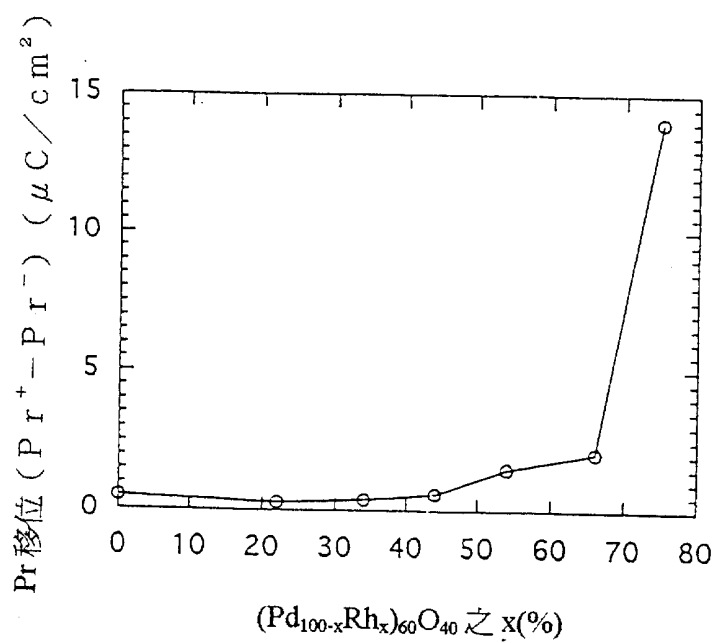
訂



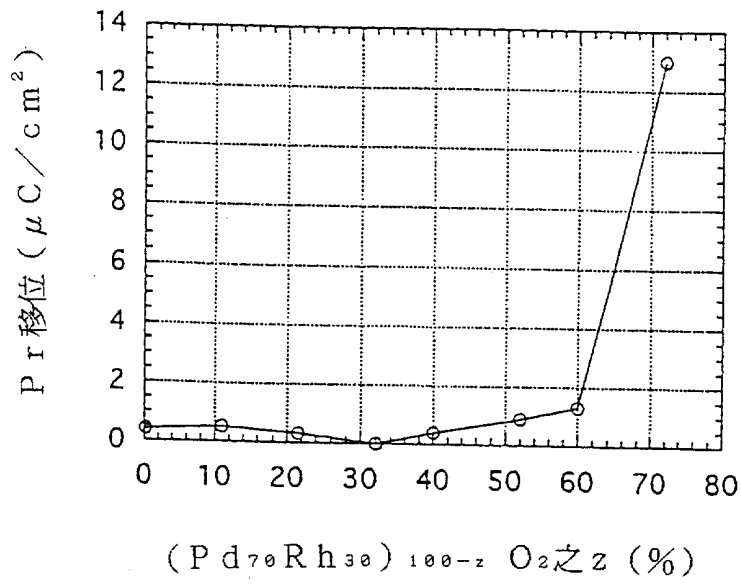
第 1 圖



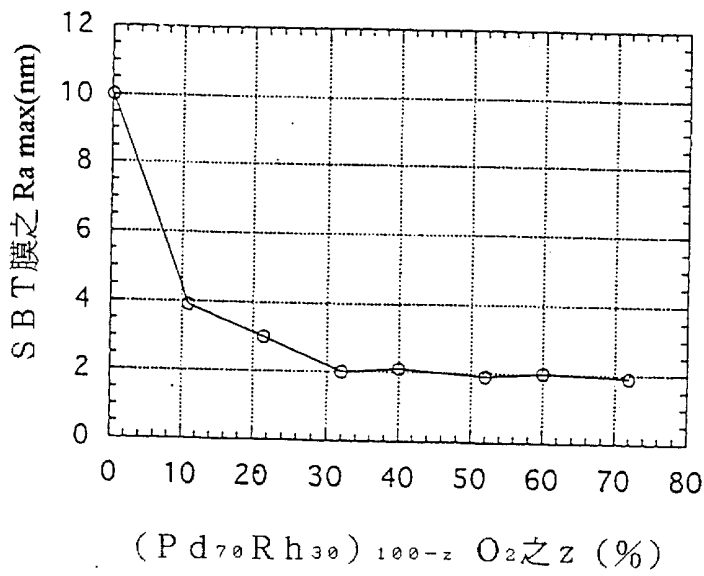
第 2 圖



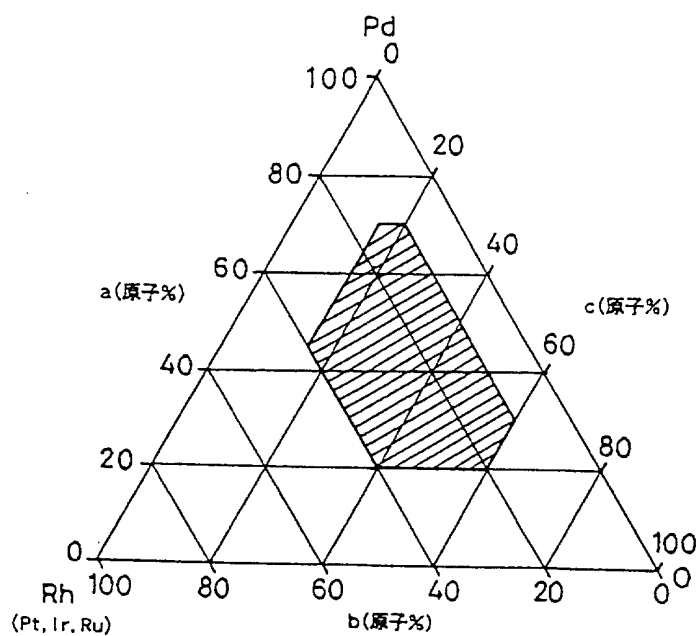
第 3 圖



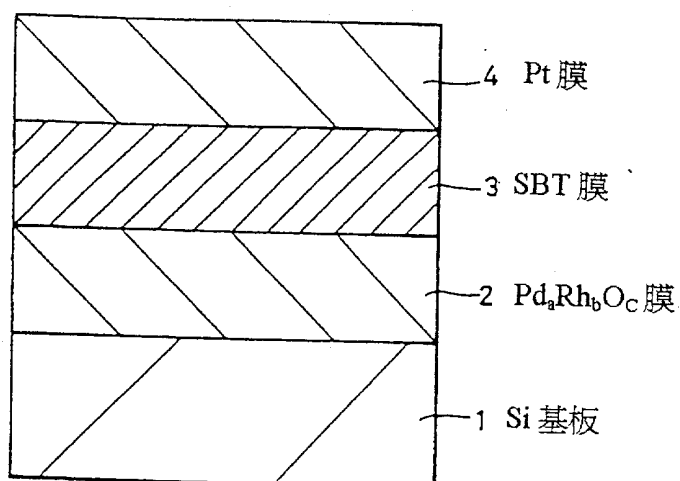
第 4 圖



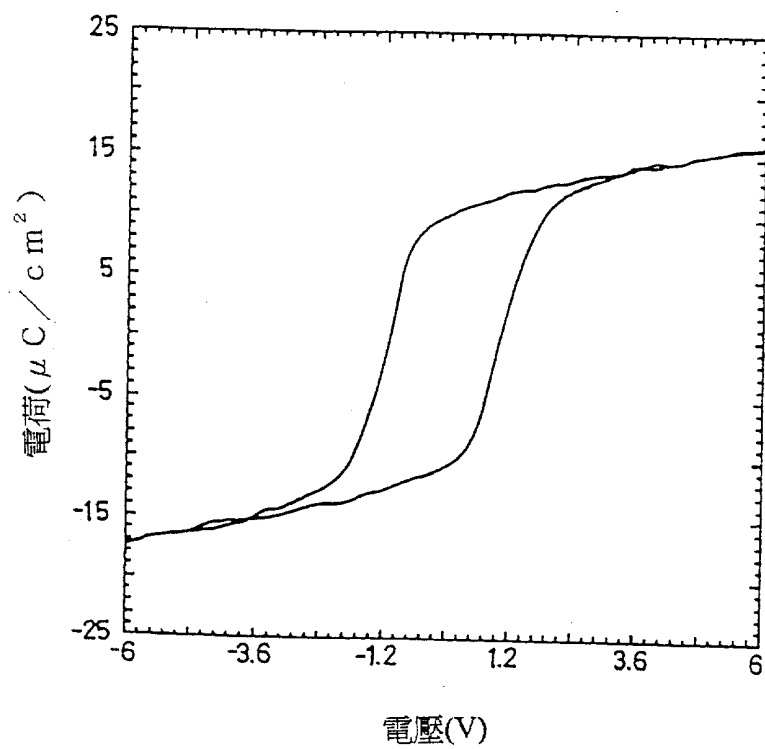
第 5 圖



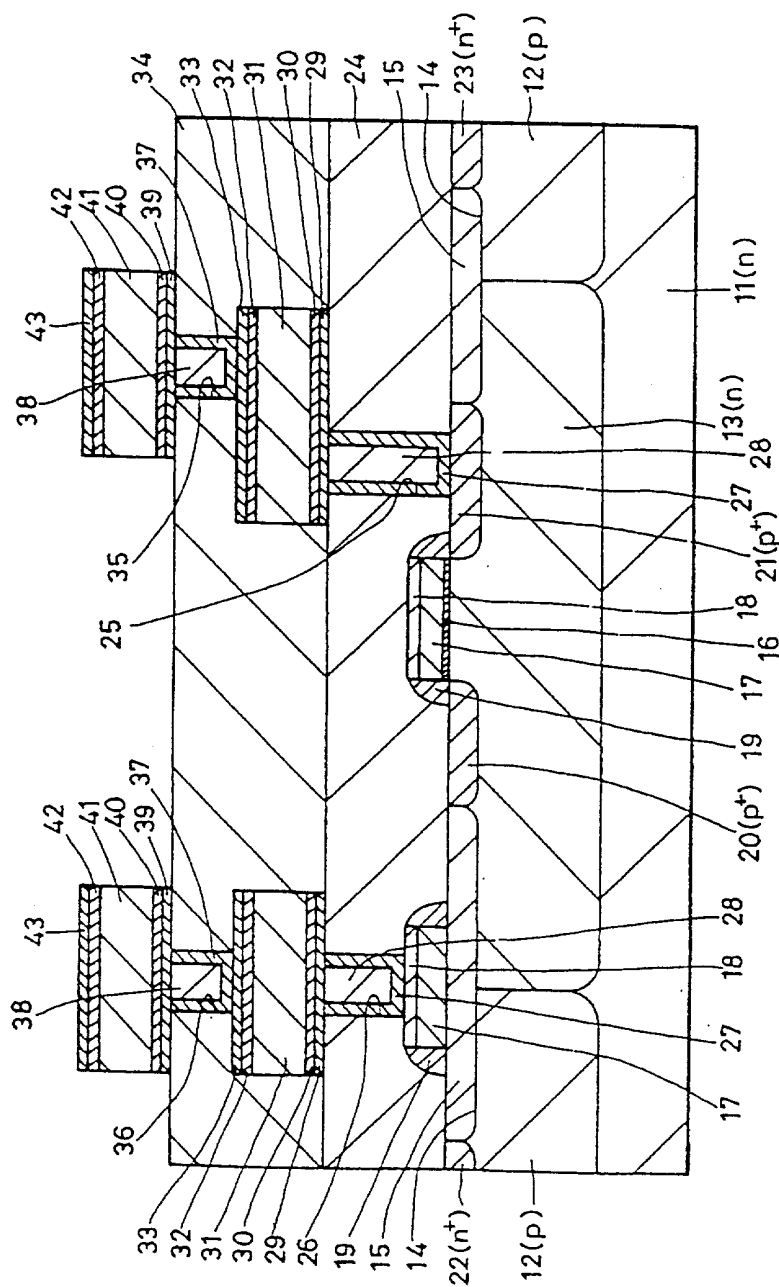
第 6 圖



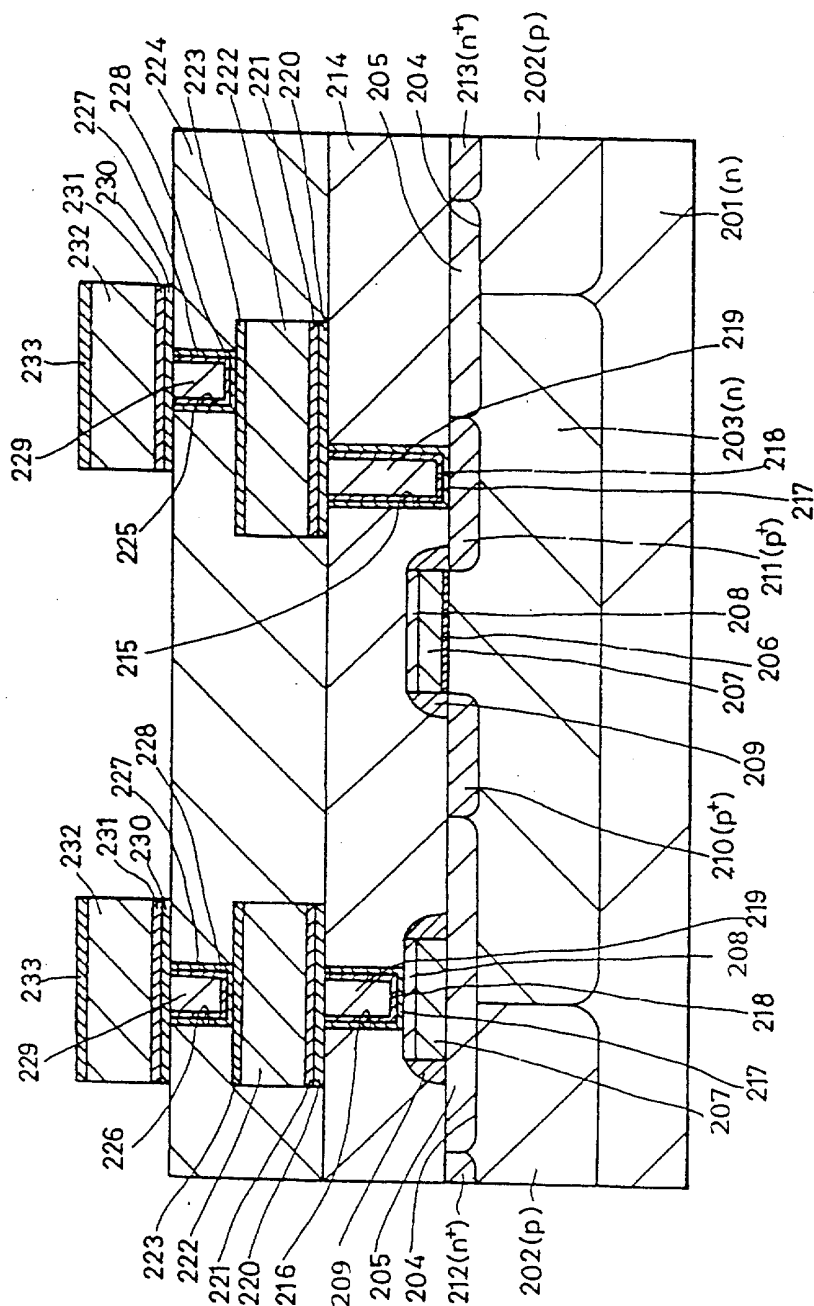
第 7 圖



第 8 圖



第 9 圖



第12圖