

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7369037号
(P7369037)

(45)発行日 令和5年10月25日(2023.10.25)

(24)登録日 令和5年10月17日(2023.10.17)

(51)国際特許分類

F I

H 0 1 L 23/02 (2006.01)

H 0 1 L 23/02

C

B 8 1 C 3/00 (2006.01)

B 8 1 C 3/00

B 8 1 B 7/02 (2006.01)

B 8 1 B 7/02

請求項の数 31 (全25頁)

(21)出願番号 特願2019-552212(P2019-552212)
 (86)(22)出願日 平成30年3月15日(2018.3.15)
 (65)公表番号 特表2020-515076(P2020-515076 A)
 (43)公表日 令和2年5月21日(2020.5.21)
 (86)国際出願番号 PCT/US2018/022688
 (87)国際公開番号 WO2018/175208
 (87)国際公開日 平成30年9月27日(2018.9.27)
 審査請求日 令和3年3月12日(2021.3.12)
 (31)優先権主張番号 62/474,478
 (32)優先日 平成29年3月21日(2017.3.21)
 (33)優先権主張国・地域又は機関 米国(US)
 (31)優先権主張番号 15/920,759
 (32)優先日 平成30年3月14日(2018.3.14)
 最終頁に続く

(73)特許権者 518065991
 アデア セミコンダクター ボンディング
 グ テクノロジーズ インコーポレイテッド
 アメリカ合衆国 カリフォルニア州 9 5
 1 3 4 サンノゼ オーチャード パーク
 ウェイ 3 0 2 5
 (74)代理人 100094569
 弁理士 田中 伸一郎
 (74)代理人 100103610
 弁理士 ▲吉▼田 和彦
 (74)代理人 100109070
 弁理士 須田 洋之
 (74)代理人 100098475
 弁理士 倉澤 伊知郎
 (74)代理人 100130937
 最終頁に続く

(54)【発明の名称】 超小型電子アセンブリの封止

(57)【特許請求の範囲】

【請求項1】

超小型電子アセンブリを形成する方法であって、

第1の超小型電子構成要素の第1の絶縁表面を、接着材なしで第2の超小型電子構成要素の第2の絶縁表面に接合することであって、前記第1の絶縁表面及び前記第2の絶縁表面は、前記第1の絶縁表面及び前記第2の絶縁表面が接触する接合結合部を形成するように、接合することと、

前記接合結合部の上に封止部を形成することであって、前記封止部は前記接合結合部を覆い、前記封止部は、金属材料を含み、かつ前記第1の超小型電子構成要素と前記第2の超小型電子構成要素との間の前記接合結合部を封止する封止部を形成することと、を含む、方法。

【請求項2】

無電解めっき又は印刷を介して前記接合結合部の上に前記金属材料を堆積させることによって、前記封止部を形成することをさらに含む、請求項1に記載の方法。

【請求項3】

前記封止部を、前記第1の超小型電子構成要素及び前記第2の超小型電子構成要素のうちの少なくとも一方の周辺部にわたって連続的に形成することをさらに含む、請求項1に記載の方法。

【請求項4】

前記接合結合部は、第1の接合結合部を含み、かつ前記封止部は、第1の封止部を含み

、前記方法は、前記第 1 の絶縁表面及び前記第 2 の絶縁表面のうちの少なくとも一方を第 3 の絶縁表面に接合することと、前記第 3 の絶縁表面が前記第 1 の絶縁表面又は前記第 2 の絶縁表面と接触する、少なくとも第 2 の接合結合部を形成することと、

前記第 2 の接合結合部の上に第 2 の封止部を形成することであって、前記第 2 の封止部は、前記第 2 の接合結合部を覆い、前記第 2 の封止部は、金属材料を含み、かつ前記第 2 の接合結合部を封止する第 2 の封止部を形成することと、をさらに含む、請求項 1 に記載の方法。

【請求項 5】

前記第 2 の封止部は、前記第 1 の封止部の一部分を含み、前記方法は、前記第 1 及び第 2 の接合結合部の上に前記第 1 の封止部を形成することをさらに含む、前記第 1 の封止部は、前記第 1 及び第 2 の接合結合部を覆い、かつ前記第 1 及び第 2 の接合結合部を封止する、請求項 4 に記載の方法。

10

【請求項 6】

前記第 1 の絶縁表面は、接着剤なしの、室温の、共有接合技術を使用して、前記第 2 の絶縁表面に接合される、請求項 1 に記載の方法。

【請求項 7】

前記第 1 の絶縁表面は、ポリマー接合技術を介してダイアタッチフィルム又はペーストを使用して、前記第 2 の絶縁表面に接合される、請求項 1 に記載の方法。

【請求項 8】

前記封止部は、前記接合結合部において 1 秒当たり $1 \times 10^{-6} \text{ atm} \cdot \text{cm}^3$ を超える流体漏れを防止するように構成された気密封止部を含む、請求項 1 に記載の方法。

20

【請求項 9】

超小型電子アセンブリを形成する方法であって、

第 1 の超小型電子構成要素の第 1 の絶縁表面を、接着材なしで第 2 の超小型電子構成要素の第 2 の絶縁表面に接合することであって、前記第 1 の絶縁表面及び前記第 2 の絶縁表面は、前記第 1 の絶縁表面及び前記第 2 の絶縁表面が接触する接合結合部を形成する、接合することと、

前記第 1 の絶縁表面内に第 1 のチャンネルを形成することと、

前記第 2 の超小型電子構成要素を貫通して第 2 のチャンネルを形成することであって、前記第 2 のチャンネルは、前記第 1 のチャンネルと整列し、前記第 1 のチャンネル及び前記第 2 のチャンネルは、前記接合結合部と交差する、形成することと、

30

前記第 1 のチャンネル及び前記第 2 のチャンネル内に封止部を形成することであって、前記封止部は、前記第 1 のチャンネルから前記第 2 のチャンネルまで連続的であり、前記封止部は、金属材料を含み、かつ前記第 1 の超小型電子構成要素と前記第 2 の超小型電子構成要素との間の前記接合結合部を封止する、形成することと、を含む、方法。

【請求項 10】

無電解めっきを介して前記接合結合部に前記金属材料を堆積させることによって、前記封止部を形成することをさらに含む、請求項 9 に記載の方法。

【請求項 11】

前記金属材料を、前記第 1 のチャンネル及び前記第 2 のチャンネルの複数の表面に適合させることをさらに含む、請求項 9 に記載の方法。

40

【請求項 12】

前記封止部を、前記第 1 の超小型電子構成要素及び前記第 2 の超小型電子構成要素のうちの少なくとも一方の周辺部内で連続的であるように形成することをさらに含む、請求項 9 に記載の方法。

【請求項 13】

前記第 1 のチャンネル及び前記第 2 のチャンネル内に前記封止部を形成することによって、前記接合結合部を横切る流体流を減少させることをさらに含む、請求項 9 に記載の方法。

【請求項 14】

前記封止部は、前記接合結合部において 1 秒当たり $1 \times 10^{-6} \text{ atm} \cdot \text{cm}^3$ を超える流

50

体漏れを防止するように構成された気密封止部を含む、請求項 9 に記載の方法。

【請求項 15】

超小型電子アセンブリであって、

第 1 の絶縁表面で、接着材なしで第 2 の超小型電子構成要素の第 2 の絶縁表面に接合された第 1 の超小型電子構成要素であって、前記第 1 の絶縁表面及び前記第 2 の絶縁表面は、前記第 1 の絶縁表面及び前記第 2 の絶縁表面が接触する接合結合部を形成する、第 1 の超小型電子構成要素と、

前記接合結合部の上に配設された封止部であって、前記封止部は、金属材料を含み、かつ前記第 1 の超小型電子構成要素と前記第 2 の超小型電子構成要素との間の前記接合結合部を封止する、封止部と、を備える、超小型電子アセンブリ。

10

【請求項 16】

前記封止部は、前記第 1 の超小型電子構成要素及び前記第 2 の超小型電子構成要素のうちの少なくとも一方の周辺部にわたって連続的である、請求項 15 に記載の超小型電子アセンブリ。

【請求項 17】

前記封止部は、前記第 1 の超小型電子構成要素及び前記第 2 の超小型電子構成要素のうちの少なくとも一方の周辺部内で連続的である、請求項 15 に記載の超小型電子アセンブリ。

【請求項 18】

前記第 1 の絶縁表面は、接着剤なしの、室温の、共有接合技術を使用して、前記第 2 の絶縁表面に接合される、請求項 15 に記載の超小型電子アセンブリ。

20

【請求項 19】

前記第 1 の絶縁表面は、ポリマー接合技術を介してダイアタッチフィルム又はペーストを使用して、前記第 2 の絶縁表面に接合される、請求項 15 に記載の超小型電子アセンブリ。

【請求項 20】

前記第 1 の超小型電子構成要素と前記第 2 の超小型電子構成要素との間の前記接合結合部に配設されたキャビティをさらに備え、前記キャビティは、前記第 1 の超小型電子構成要素の一部分及び前記第 2 の超小型電子構成要素の一部分によって形成され、かつ前記封止部は、前記第 1 の超小型電子構成要素及び前記第 2 の超小型電子構成要素のうちの少なくとも一方の周辺部内で連続的であり、かつ前記封止部は、前記キャビティの周辺部の周りで連続的である、請求項 15 に記載の超小型電子アセンブリ。

30

【請求項 21】

前記封止部は、前記接合結合部において 1 秒当たり $1 \times 10^{-6} \text{ atm} \cdot \text{cm}^3$ を超える流体漏れを防止するように構成された気密封止部を含む、請求項 15 に記載の超小型電子アセンブリ。

【請求項 22】

前記超小型電子アセンブリは、微小電気機械システム (MEMS) デバイスを備える、請求項 15 に記載の超小型電子アセンブリ。

【請求項 23】

超小型電子アセンブリであって、

第 1 の絶縁表面で、接着材なしで第 2 の超小型電子構成要素の第 2 の絶縁表面に接合された第 1 の超小型電子構成要素であって、前記第 1 の絶縁表面及び前記第 2 の絶縁表面は、前記第 1 の絶縁表面及び前記第 2 の絶縁表面が接触する接合結合部を形成する、第 1 の超小型電子構成要素と、

前記第 1 の絶縁表面内の第 1 のチャンネルと、

前記第 2 の超小型電子構成要素を貫通する第 2 のチャンネルであって、前記第 2 のチャンネルは、前記第 1 のチャンネルと整列し、前記第 1 のチャンネル及び前記第 2 のチャンネルは、前記接合結合部と交差する、第 2 のチャンネルと、

前記第 1 のチャンネル及び前記第 2 のチャンネル内に配設され、前記第 1 のチャンネルから前

40

50

記第 2 のチャンネルまで連続的である封止部であって、前記封止部は、金属材料を含み、かつ前記第 1 の超小型電子構成要素と前記第 2 の超小型電子構成要素との間の前記接合結合部を封止する、封止部と、を備える、超小型電子アセンブリ。

【請求項 24】

前記第 1 の絶縁表面内の 1 つ以上の追加チャンネルと、前記第 2 の超小型電子構成要素を貫通する 1 つ以上の対応するチャンネルと、をさらに備え、前記 1 つ以上の対応するチャンネルは、前記 1 つ以上の追加チャンネルと整列し、前記 1 つ以上の追加チャンネル及び前記 1 つ以上の対応するチャンネルは、前記接合結合部と交差し、かつ 1 つ以上の追加封止部は、前記 1 つ以上の追加のチャンネル及び前記 1 つ以上の対応するチャンネル内にそれぞれ配設され、かつ前記第 1 の超小型電子構成要素と前記第 2 の超小型電子構成要素との間の前記接合結合部を封止する、請求項 23 に記載の超小型電子アセンブリ。

10

【請求項 25】

前記封止部は、前記第 1 のチャンネル及び前記第 2 のチャンネルに共形である、請求項 23 に記載の超小型電子アセンブリ。

【請求項 26】

前記金属材料が、前記第 1 のチャンネル及び前記第 2 のチャンネルを実質的に充填する、請求項 23 に記載の超小型電子アセンブリ。

【請求項 27】

前記封止部は、前記第 1 の超小型電子構成要素及び前記第 2 の超小型電子構成要素のうちの少なくとも一方の周辺部内で連続的である、請求項 23 に記載の超小型電子アセンブリ。

20

【請求項 28】

前記第 1 の超小型電子構成要素と前記第 2 の超小型電子構成要素との間の前記接合結合部に配設されたキャビティをさらに備え、前記キャビティは、前記第 1 の超小型電子構成要素の一部分及び前記第 2 の超小型電子構成要素の一部分のうちの少なくとも一方によって形成され、かつ前記封止部は、前記第 1 の超小型電子構成要素及び前記第 2 の超小型電子構成要素のうちの少なくとも一方の周辺部内で連続的であり、かつ前記封止部は、前記キャビティの周辺部の周りで連続的である、請求項 23 に記載の超小型電子アセンブリ。

【請求項 29】

前記封止部は、前記接合結合部において 1 秒当たり $1 \times 10^{-6} \text{ atm} \cdot \text{cm}^3$ を超える流体漏れを防止するように構成された気密封止部を含む、請求項 23 に記載の超小型電子アセンブリ。

30

【請求項 30】

前記金属材料は、前記第 1 のチャンネル又は前記第 2 のチャンネルの幅の 10 パーセントを超える直径を有する粒を含む、請求項 23 に記載の超小型電子アセンブリ。

【請求項 31】

前記第 1 の超小型電子構成要素及び前記第 2 の超小型電子構成要素のうちの少なくとも一方の内部に埋め込まれた金属リングをさらに備え、前記金属リングは、前記第 1 の超小型電子構成要素及び前記第 2 の超小型電子構成要素のうちの少なくとも一方の周辺部内に配設され、かつ前記封止部は、前記金属リングと接触する、請求項 23 に記載の超小型電子アセンブリ。

40

【発明の詳細な説明】

【技術分野】

【0001】

(優先権主張及び関連出願の相互参照)

本出願は、2018年3月14日出願の「超小型電子アセンブリの封止」と題する米国特許出願第15/920,759号の優先権及び利益、並びに2017年3月21日出願の「超小型電子アセンブリの封止」と題する米国特許仮出願第62/474,478号の35 U. S. C. § 119 (e) (1) に基づく利益を主張するものであり、その全体が参照により本明細書に組み込まれる。

50

【0002】

(発明の分野)

以下の説明は、集積回路 (integrated circuit、「IC」) の処理に関する。より具体的には、以下の説明は、ICダイ及びアセンブリを処理するためのデバイス及び技術に関する。

【背景技術】

【0003】

集積チップ及びダイなどの超小型電子素子のよりコンパクトな物理的配置に対する需要は、ポータブル電子デバイスの急速な進歩、モノのインターネットの拡大、ナノスケール集積、サブ波長光集積、などでさらに高まってきている。単なる例として、通常「スマートフォン」と称されるデバイスは、高解像度ディスプレイ及び関連する画像処理チップと共に、高性能のデータプロセッサ、メモリ、並びに全地球測位システム受信機、電子カメラ、様々なセンサ、及びローカルエリアネットワーク接続などの付属デバイスを、携帯電話の機能に統合する。そのようなデバイスは、完全なインターネット接続性、フル解像度のビデオを含めた娯楽、ナビゲーション、電子バンキングなどの能力を、ポケットサイズのデバイス内に全て提供することができる。複合型携帯デバイスは、小さい空間内に多数のチップ及びダイを詰め込むことを必要とする。

【0004】

超小型電子素子は、シリコン又はガリウム砒素などの半導体材料の薄いスラブを備える。チップとダイは、通常、個別の予めパッケージ化されたユニットとして提供される。一部のユニット設計では、ダイは、基板又はチップキャリアに実装され、その基板又はチップキャリアは次に、プリント回路基板 (printed circuit board、PCB) などの回路パネル上に実装される。ダイは、製造中及びダイを外部基板上に実装する間のダイの取り扱いを容易にするパッケージ内に提供することができる。例えば、多くのダイは、表面実装のために好適なパッケージ内に提供される。

【0005】

この一般的なタイプの数多くのパッケージが、様々な用途のために提案されてきた。最も一般的には、そのようなパッケージは、通常「チップキャリア」と称される誘電体要素を含み、めっき又はエッチングされた金属構造体として形成された端子を、その誘電体上に有する。これらの端子は、典型的には、ダイキャリアに沿って延在する薄いトレースなどの導電性機能によって、及び、ダイのコンタクトと端子又はトレースとの間に延在する細いリード若しくはワイヤによって、ダイのコンタクト (例えば、接合パッド) に接続される。表面実装動作では、パッケージは、そのパッケージ上の各端子が、回路板上の対応する導体パッドと整列するように、回路板上に定置され得る。はんだ又は他の接合材料が、端子と導体パッドとの間に一般に提供される。パッケージは、はんだを融解又は「リフロー」するか、又は他の方式で接合材料を活性化するようにアセンブリを加熱することによって、所定の位置に恒久的に接合させることができる。

【0006】

多くのパッケージは、典型的には直径約0.02mm〜約0.8mm (5〜30ミル) のはんだボールの形態で、パッケージの端子に取り付けられた、はんだ塊を含む。その底部表面 (例えば、ダイの前面の反対側の表面) から突出するはんだボールのアレイを有するパッケージは、通常、ボールグリッドアレイ又は「BGA」パッケージと称される。ランドグリッドアレイ又は「LGA」パッケージと称される他のパッケージは、はんだから形成された薄層又はランドによって、基板に固定される。このタイプのパッケージは、極めてコンパクトにすることができる。通常「チップスケールパッケージ」と称される特定のパッケージは、そのパッケージ内に組み込まれたデバイスの面積に等しい、又は僅かにのみ大きい回路板の面積を占める。このスケールは、アセンブリの全体のサイズを低減し、基板上の様々なデバイス間での短い相互接続の使用を可能とし、次いで、デバイス間の信号伝搬時間を制限し、このためそのアセンブリの高速な動作を容易にする点で有利である。

【0007】

半導体ダイはまた、例えば、1つのダイがキャリア上に提供され、別のダイが第1のダイの上部に実装される、「積層」配置で提供され得る。これらの配置は、多数の異なるダイを回路基板上の単一のフットプリント内に実装することを可能にすることができ、ダイ間に短い相互接続を提供することによって、高速動作をさらに容易にすることができる。多くの場合、この相互接続距離はダイ自体の厚さより少しだけ長くすることができる。相互接続がダイパッケージの積層体内で達成されるために、機械的及び電氣的接続のための相互接続構造体は、各ダイパッケージの両側（例えば、表面）上に提供されてもよい（おそらく最頂部パッケージを除く）。これは、例えば、ダイが実装される基板の両側に導体パッド又はランドを設けることによって行われ、パッドは、導電ビアなどによって基板を通して接続されている。積層チップ配置及び相互接続構造体の例は、米国特許第出願公開第2010/0232129号に提供されており、その開示は、参照により本明細書に組み込まれる。他の実施例では、貫通シリコンビア（Through Silicon Via、TSV）が、ダイパッケージの積層体内で達成される相互接続のために使用される。いくつかの場合、ダイ又はウエハは、直接誘電接合、ZiBond（登録商標）などの非接着技術、又はDBI（登録商標）などのハイブリッド接合技術を含む、様々な接合技術を使用して、積層構成で接合されてもよく、両方ともInvensas Bonding Technologies, Inc.（以前のZiptronix, Inc.）、Xpericompanyから入手可能である（例えば、その全体が本明細書に組み込まれる米国特許第6,864,585号及び同第7,485,968号を参照されたい）。

10

20

【0008】

接合配置を含む積層ダイ及びウエハ配置もまた、微小電気機械システム（microelectromechanical system、MEMS）、センサなどの組み立てられた構成要素を形成するために使用され得る。例えば、その全体が本明細書に組み込まれる米国特許第7109092号を参照されたい。これらの配置の多くにおいて、積層ダイ及びウエハが、例えば、センサキャビティを形成するためにそれらの接合された表面で封止されることが望ましい。場合によっては、そのような封止に信頼性を持たせ、長続きさせることは、特にチップスケールで問題となり得る。

【図面の簡単な説明】

【0009】

詳細な説明は、添付の図を参照して説明される。図において、参照番号の左端の数字は、最初に参照番号が現れる図を特定する。異なる図における同じ参照番号の使用は、類似又は同一の項目を示す。

30

【0010】

この説明では、図に図示されるデバイス及びシステムは、多数の構成要素を有するものとして示されている。本明細書に記載されるようなデバイス及び／又はシステムの様々な実装形態は、より少ない構成要素を含んでもよく、本開示の範囲内にとどまり得る。あるいは、デバイス及び／又はシステムの他の実装形態は、追加の構成要素、又は記載された構成要素の様々な組み合わせを含んでもよく、本開示の範囲内にとどまる。

【0011】

【図1】（A）は、ZiBond技術を使用してMEMSウエハに接合されたキャビティウエハを示し、（B）は、DBI技術と共にZiBond技術を使用してMEMSウエハに接合されたキャビティウエハを示す。

40

【0012】

【図2】積層超小型電子デバイスを形成するための例示的な処理シーケンスを図示するグラフィカルフロー図である。

【0013】

【図3A】一実施形態による、例示的な封止された超小型電子デバイスの平面図を示す。

【図3B】本実施形態による、例示的な封止された超小型電子デバイスの上面図を示す。

【図3C】封止されたマルチ積層超小型電子配置を示す。

50

【0014】

【図4】別の実施形態による、例示的な封止された超小型電子デバイスを示す。実施例では、例示的な封止部の2つの別個の構成が図示されている。

【0015】

【図5】一実施形態による、封止された超小型電子デバイスを形成するための例示的な処理シーケンスを図示するグラフィカルフロー図である。

【0016】

【図6A】様々な実施形態による、封止部及び封止された超小型電子デバイスの例示的な実施形態を図示する。

【図6B】様々な実施形態による、封止部及び封止された超小型電子デバイスの例示的な実施形態を図示する。

10

【図6C】様々な実施形態による、封止部及び封止された超小型電子デバイスの例示的な実施形態を図示する。

【図6D】様々な実施形態による、封止部及び封止された超小型電子デバイスの例示的な実施形態を図示する。

【図6E】様々な実施形態による、封止部及び封止された超小型電子デバイスの例示的な実施形態を図示する。

【0017】

【図7A】さらなる実施形態による、封止部及び封止された超小型電子デバイスの例示的な実施形態を図示する。

20

【図7B】さらなる実施形態による、封止部及び封止された超小型電子デバイスの例示的な実施形態を図示する。

【図7C】さらなる実施形態による、封止部及び封止された超小型電子デバイスの例示的な実施形態を図示する。

【図7D】さらなる実施形態による、封止部及び封止された超小型電子デバイスの例示的な実施形態を図示する。

【0018】

【図8】別の実施形態による、封止された超小型電子デバイスを形成するための例示的な処理シーケンスを図示するグラフィカルフロー図である。

【0019】

30

【図9A】様々な実施形態による、封止された超小型電子デバイスの例示的な実施形態を図示する。

【図9B】様々な実施形態による、封止された超小型電子デバイスの例示的な実施形態を図示する。

【図9C】様々な実施形態による、封止された超小型電子デバイスの例示的な実施形態を図示する。

【0020】

【図10】さらなる実施形態による、封止された超小型電子デバイスを形成するための例示的な処理シーケンスを図示するグラフィカルフロー図である。

【0021】

40

【図11A】様々な実施形態による、封止された超小型電子デバイスの例示的な実施形態を図示する。

【図11B】様々な実施形態による、封止された超小型電子デバイスの例示的な実施形態を図示する。

【0022】

【図12】追加の実施形態による、封止された超小型電子デバイスを形成するための例示的な処理シーケンスを図示するグラフィカルフロー図である。

【0023】

【図13A】様々な実施形態による、封止された超小型電子デバイスの例示的な実施形態を図示する。

50

【図13B】様々な実施形態による、封止された超小型電子デバイスの例示的实施形態を図示する。

【図13C】様々な実施形態による、封止された超小型電子デバイスの例示的实施形態を図示する。

【発明を実施するための形態】

【0024】

概要

【0025】

封止部及び封止された超小型電子デバイスを形成するための技術及びデバイスの様々な実施形態が開示されている。封止部は、結合された表面を封止（例えば、気密封止）するために、結合された（例えば、接合された、連結されたなど）表面に配設される。結合された表面は、超小型電子デバイスの一部として、センサキャビティなどを形成するように封止され得る。例えば、陥凹した表面を有するダイが、平坦な表面又は陥凹した表面を有する別のダイに結合されるとき、2つのダイの間にキャビティを形成することができる。いくつかの用途では、キャビティ内の特定の真空レベルを維持し、所定の漏れ率を維持するために、このキャビティが気密封止されることが望ましい場合がある。

【0026】

封止されたキャビティの漏れ率は、キャビティの体積の関数として調べることができる。例えば、キャビティの体積が0.01cc以下である場合、一般に、漏れ率は、キャビティを気密封止したと見なすために、空気の5E-8 atm-cc/秒未満であるべきである。キャビティの体積が0.01~0.4ccの範囲である場合、漏れ率は1E-7未満であり、体積が0.4ccを超える場合、漏れ率は気密封止されたキャビティについて1E-6未満であるべきである（MIL-STD-883 Method 1014、MIL-STD-750 Method 1071に準拠）。

【0027】

ダイの積層体の周辺部における封止の完全性は、パッケージの特定の気密性及び低い漏れ率を維持するために重要であり得る。金属、セラミックス、及びガラスは、封止を形成し、水蒸気又は他のガス（例えば酸素など）が、パッケージ内部の構成要素にアクセスするのを防止するために使用される典型的な材料である。十分に低い漏れ率を有する適切に作製された気密封止部は、パッケージの内部を長年にわたって乾燥及び水分を含まない状態に保つことができる。

【0028】

本明細書に開示される技術は、少なくとも2つの表面の結合部（例えば、接合ライン、継ぎ目など）に（例えば）1つ以上の金属材料の封止部を形成することを含み、結合部で結合された表面を封止する。様々な実施形態において、金属材料は、無電解めっきなどを使用して堆積されてもよい。いくつかの実施形態では、金属材料は、結合部又はその周りの結合された表面上に直接堆積されてもよい。他の実施形態では、結合された表面上に1つ以上の非金属材料が堆積されてもよく、金属材料を非金属材料（複数可）の上に堆積させ、結合部を封止することができる。封止部は、結合されたダイ又はウエハの周り（例えば、デバイスの周辺部）に完全に形成された連続封止リング、又は必要に応じて1つ以上の部分的封止部を含んでもよい。

【0029】

様々な実施形態において、開示される技術は、「ZIBOND（登録商標）」技術を使用して積層及び接合されたダイ及びウエハを封止することができ、追加された封止の恩恵を得ることができる。例えば、図1Aでは、キャビティウエハ102は、例えば、ZIBOND（登録商標）技術を使用して微小電気機械システム（MEMS）ウエハ104（又は任意の他のウエハ）に接合されて、MEMSセンサデバイスなどの超小型電子デバイス100を形成する。キャビティウエハ102（又はダイ）は、同じ又は異なるサイズの1つ以上のキャビティ又は凹部を有してもよい。2つのウエハ（102及び104）の特に平坦な表面は、2つの対応する半導体及び／又は絶縁層の間の低温共有接合を使用して一

10

20

30

40

50

緒に接合される。接合は良好かもしれないが、封止は気密封止として十分でない可能性があり、漏れ率は、用途に望まれるほど低くない場合がある。さらに、接合ラインの幅（P1）は最適ではない場合があり、これは、比較的長い接合ラインが、ダイサイズを不必要に増加し得、ウエハ毎に製造されたダイの数を低減し得るためである。

【0030】

別の例では、図1Bに示すように、直接相互接続接合（Direct Bond Interconnect、DBI（登録商標））技術を使用して、接合シームに沿って1つ以上の金属～金属相互接続を形成することによって、封止を改善することができる。金属ライン106は、互いに整列するように、結合される表面のそれぞれに沿って堆積され、温度及び／又は圧力を使用して一緒に設定されたときに金属～金属接合を形成する。場合によっては、DBIライン106は、結合部の気密性を改善しながら、接合ライン幅（P2）を低減するのに役立ち得る。しかしながら、ZiBond法を利用するために必要とされる接合ライン幅（P1）は、用途に対して十分でない場合がある（例えば、ZiBondを使用する100ミクロンの接合ライン幅は、例えば、DBIを使用して、数十ミクロン又は十ミクロン未満に低減され得る）。さらに、このようなDBI接合は、達成するのが容易ではなく、アセンブリの複雑さ及びコストが増加する可能性がある。

【0031】

図2は、積層超小型電子デバイス100を形成するための例示的な処理シーケンス200を図示するグラフィカルフロー図である。プロセス200及び積層超小型電子デバイス100は、様々な封止技術及びデバイスを論じるための背景を形成する。様々な実施形態において、図2を参照して説明されるプロセス200は、接合結合部において接合された構成要素を気密封止するための技術及びデバイスを含むように修正されてもよい。図2は、頂部（及び中間）と（中間及び）底部ダイとの間に気密封止されたキャビティ202を作成する3ダイ積層体のプロセスを説明する。しかし、図1に描いたように、積層体は、それらの間にキャビティ202を有する2つのダイのみを含むこともできる。

【0032】

ブロック1では、陥凹したキャビティウエハ102が形成される。1つのキャビティ202がブロック1での例示において示されているが、ウエハ（又はダイ）102上にいくつかのこのような陥凹したキャビティ202を効果的に形成して、同様又は異なる寸法の1つ以上のキャビティ202がダイ位置毎に形成されてもよい。ブロック2では、キャビティウエハ102は、キャビティ202を内部に閉鎖するMEMSウエハ104（又は任意の他のウエハ又はダイ）に接合される。キャビティウエハ102は、親密な表面接合技術、例えば、ZIBOND（登録商標）技術を使用してMEMSウエハ104に接合することができ、絶縁表面（例えば、SiOx～SiOxなど）が接合される。ブロック3では、MEMSウエハ104を薄くし、パターン化して、スタンドオフを形成し得る。ブロック4では、金属化204を、パッド、コンタクト、トレースなどを含むMEMSウエハ104のパターン化された表面に追加することができる。代替例では、MEMSウエハ104の表面に金属化204は追加されない。本実施例では、超小型電子デバイス100は、例えば、接合表面にZiBond技術（例えば、SiOx～SiOx接合）などを使用して、又は接合された表面の一方若しくは両方で誘電体のための他の接合技術（ポリマー材料、例えば、ダイアタッチフィルム又はペーストなど）を使用して、論理デバイスウエハなどの別のデバイスに取り付けることができる。

【0033】

ブロック5では、キャビティ202にアクセスするMEMSウエハ104内に開口部が形成されて、用途に基づいて超小型電子デバイス100の特性を画定する。ブロック6では、超小型電子デバイス100は、論理デバイスウエハ（又はダイ）206に取り付けられて、超小型電子デバイス100のための論理／制御（例えば）を提供することができる。超小型電子デバイス100の金属化層204導体パッドは、論理デバイス206の表面上のコンタクト208に連結される。ブロック7では、超小型電子デバイス100の部分（例えば、キャビティウエハ102の部分など）は、論理デバイスウエハ206の他の導

10

20

30

40

50

体パッド、などへのアクセスを提供するために除去される（例えば、エッチングされるなど）。場合によっては、キャビティウエハ102とMEMSウエハ104との間のZibond又はDBI界面は、気体及び／又は液体などの流体の流れに対して十分な抵抗を提供し得る。他の実施形態では、超小型電子デバイス100の接合ライン又は連結結合部のうちの1つ以上は、以下で論じるように、気密性（例えば、気体及び／又は液体などの流体の流れに対する所定の抵抗、及び十分に低い水蒸気透過率、酸素透過率など）のために封止され得る。

実施形態例

【0034】

強固かつ気密封止された接合を確実にするために、本明細書に開示される技術は、以下でさらに論じられるように、ウエハの絶縁体表面（例えば、102及び104）を接合し、次いで、接合ラインに金属封止を追加して気密性を改善することを含む。

【0035】

図3は、図2を参照して形成された超小型電子デバイス100などの超小型電子デバイス100を封止する例示的实施形態を示す。図3Aの超小型電子デバイス100の側面図及び図3Bの上面図によって示されるように、金属封止リング302は、キャビティウエハ102及びMEMSウエハ104の接合結合部を取り囲むように形成することができ、及び、論理デバイス206をMEMSウエハ104に封止するために延長することもできる。封止リング302は、超小型電子構成要素（例えば、102、104及び206）の周辺部の周りに気密封止部を作成し、構成要素間の結合部を完全に封止する。封止リング302は、必要に応じて、超小型電子構成要素（例えば、102、104及び206）間の結合部のいずれか又は全てを封止するように位置付けすることができる。

【0036】

様々な実施形態において、封止リング302は、金属材料（すなわち、銅などの金属、例えば、合金、又は金属組成物）から構成される。いくつかの実施形態では、2つ以上の金属材料を層（又は他の組み合わせ）で使用して、封止リング302を形成してもよい。様々な実施形態において、封止リング302は、無電解めっき、電着、機械的印刷、又はこれらの様々な組み合わせなどを使用して堆積される。

【0037】

図3Cに示すように、複数の封止リング302を使用して、積層超小型電子配置300内の異なる積み重ねレベルで複数の構成要素（例えば、102、104、206及び304）間を封止してもよい。封止リング302は、必要に応じて、積層配置300のレベルのいずれか又は全てにおいて使用されてもよい。完全な封止リング302が論じられ図示されているが、部分的封止リング302が、接合結合部あるいは超小型電子デバイス（例えば、100、300）又はアセンブリの構成要素（例えば、102、104、206及び304）間に封止部を形成するように所望される所に使用されてもよい。

【0038】

図4は、別の実施形態による、内部封止部（例えば、402及び404）を使用した例示的な封止された超小型電子デバイス100を示す。図3に示される外部封止リング302の代わりに、又はそれに加えて、内部封止（例えば、402及び404）が、接合構成要素（例えば、102、104及び206）の内部周囲の周りにチャンネル406を（完全に又は部分的に）穿孔、エッチング、又はその他の方法で形成した後に、形成される。例示的な封止部の2つの別個の構成が図4に示されており、それは充填封止部402及び共形封止部404である。以下でさらに論じるように、両方の構成が、チャンネル406、穿孔された部分、などに形成される。充填封止リング402は、チャンネル406又は穿孔されたキャビティを1つ以上の金属材料で大部分又は完全に充填して、接合結合部に気密封止部を形成する。共形封止リング404は、チャンネル406又はキャビティの壁を1つ以上の金属材料でめっきして、気密封止部を形成する。様々な実装形態において、必要に応じて、充填封止部404又は共形封止部406のいずれかを使用して、2つ以上の構成要素（例えば、102、104及び206）を気密封止し得る。様々な実施例において、複

10

20

30

40

50

数の同心封止リング（例えば、302、402及び404）を使用して、2つ（又はそれ以上）の構成要素（例えば、102、104及び206）を封止し得る。チャンネル406は、構成要素104を貫通して、構成要素102との界面まで延在してもよく、又は、示されるように、構成要素102内に延在してもよい。

【0039】

図5は、内部封止部（例えば、402及び404）を使用する一実施形態による、封止された超小型電子デバイス100を形成するための例示的な処理シーケンス500を図示するグラフィカルフロー図である。様々な実施形態において、図5を参照して説明されるプロセス500は、必要に応じて、接合結合部において接合された超小型電子構成要素（例えば、102、104、206、など）を気密封止するための技術及びデバイスを含むために、超小型電子構成要素（例えば、102、104、206など）を接合することを含む、他のアセンブリプロセス（例えば、図2で言及したプロセス200）を修正するために使用され得る。

【0040】

ブロック1では、陥凹したキャビティウエハ102が形成される。チャンネル406（又は、キャビティ202を部分的に又は完全に囲む、「キャビティリング」）は、ウエハ102のキャビティ側表面上に形成される。チャンネル406は、ウエハ102の表面から材料をエッチング、穿孔、又は他の方法で除去することによって形成され得る。

【0041】

ブロック2では、キャビティウエハ102は、キャビティ202を内部に閉鎖するMEMSウエハ104に接合される。キャビティウエハ102は、例えば、ZIBOND（登録商標）技術などの親密な表面接合技術を使用してMEMSウエハ104に接合することができ、絶縁表面（例えば、SiO_x～SiO_xなど）が接合される。別の例では、キャビティウエハ102は、別の誘電体接合技術（例えば、気密封止を提供し得ず、及び気密封止を改善又は修正し得ない、ダイアタッチフィルム又はペースト、シリコン又はエポキシのようなポリマー材料、など）を使用してMEMSウエハ104に接合することができる。

【0042】

ブロック3では、MEMSウエハ104を薄くし、パターン化して、スタンドオフを形成し得る。別の場合では、スタンドオフは任意選択であり、MEMSウエハ104上に形成されなくてもよい。そのような場合、スタンドオフは、論理ウエハ206上に形成することができ、又は任意の他の材料（例えば、ダイアタッチフィルム又はペーストなど）によって作成することができる。ブロック4では、キャビティ202にアクセスするMEMSウエハ104内に開口部が形成されて、用途に基づいて超小型電子デバイス100の特性を画定する。また、内部封止部（例えば、402及び404）を形成するために、チャンネル406が、MEMSウエハ104内（及びいくつかの例では、キャビティウエハ102内）に形成されて、キャビティウエハ102とMEMSウエハ104との間の接合結合部を封止する。ある場合には、MEMSウエハ104に穿孔して、キャビティウエハ102内に予め形成されたキャビティリングチャンネル406と整列したMEMSウエハ104内の区域を開くことができる。代替的な場合には、MEMSウエハ104及びキャビティウエハ102は、一緒に穿孔されて、キャビティリングチャンネル406を形成することができる（例えば、キャビティウエハ102内のチャンネル406は、キャビティウエハ102をMEMSウエハ104に接合する前に予め形成されるのではなく、MEMSウエハ104を穿孔しながら、このステップで形成される）。

【0043】

ブロック5では、金属化204が、パッド、コンタクト、トレースなどを含むMEMSウエハ104のパターン化された表面に追加される。キャビティリングチャンネル406がまた、この時点で金属化され得る。チャンネル406が、部分的に又は完全に充填／めっきされて、充填封止リング402を形成することができ、又はチャンネル406の壁が、金属化／めっきされて共形封止リング404を形成することができる。充填封止リング402

10

20

30

40

50

又は共形封止リング４０４（いずれが使用されてもよい）のいずれかが、キャビティウエハ１０２とＭＥＭＳウエハ１０４との間の接合結合部を気密封止する。

【００４４】

別の例では、接合後、ＭＥＭＳウエハ１０４及びキャビティウエハ１０２と一緒に穿孔して、キャビティリングチャンネル４０６を形成することができ、それは金属化され得、その後、キャビティ２０２への開口部がＭＥＭＳウエハ１０４内に形成される。

【００４５】

ブロック６では、超小型電子デバイス１００は、超小型電子デバイス１００のための論理／制御（例えば）を提供するために、論理デバイス２０６に取り付けられてもよい。超小型電子デバイス１００の金属化層２０４の導体パッドは、論理デバイス２０６の表面上のコンタクト２０８に連結することができる。ブロック７では、超小型電子デバイス１００の部分は、論理デバイス２０６の他の導体パッド、などへのアクセスを提供するために、除去（例えば、エッチングなど）されてもよい。

【００４６】

図６Ａ～６Ｅは、様々な実施形態による、封止部３０２、４０２及び４０４並びに封止された超小型電子デバイス１００の例示的实施形態を図示する。図６Ａに図示される、第１の実施形態は、図３及び４を参照して上述したように実装された外部封止部３０２を示す。各封止部３０２は、結合部を気密封止するために、超小型電子構成要素１０２、１０４及び２０６との間の１つ以上の接合又は連結結合部を覆うビードを形成する。封止部３０２は、金属、合金、又は金属複合材、例えば、２つ以上の金属の組み合わせ、金属ガラス複合材料、金属セラミック複合材などの金属材料から構成することができる。

【００４７】

図６Ｂに図示される、第２の実施形態は、層状アプローチを有する封止部を示し、ポリマー封止部６０２が、最初に結合部の外部に適用され、金属材料封止部６０４が、気密封止を形成するポリマー封止部６０２の上に堆積される。代替的な実装形態において、１つ以上のポリマー封止部６０２を形成する複数のポリマー材料及び／又は１つ以上の金属封止部６０４を形成する複数の金属層もまた、封止リングを形成するために使用され得る。

【００４８】

図６Ｃに示される、第３の実施形態は、焼結可能な導電性ペースト、フリットガラス複合材などからなる別の外部封止リング６０６を示す。堆積された封止部６０６の材料中の金属又はガラス構成要素は、所望の気密封止を提供する。

【００４９】

図６Ｄに図示される、第４の実施形態は、図５及び６を参照して上述したような内部封止部４０２及び４０４を示す。チャンネル４０６は、ＭＥＭＳウエハ１０４を貫通してキャビティウエハ１０２内に形成され、チャンネル４０６は、ＭＥＭＳウエハ１０４側から、チャンネル４０６の壁に完全に（例えば、４０２）、部分的に（図示せず）又は共形に（例えば、４０４）のいずれかで、金属材料でめっきされる。

【００５０】

図６Ｅに示される、第５の実施形態は、複数の構成要素（例えば、１０２、１０４及び２０６）を貫通して封止リング（例えば、４０４）を形成する実施例を示す。この例では、ＭＥＭＳウエハ１０４と同様に、論理ウエハ２０６（又は同様のもの）を薄くし、穿孔することができる。例えば、論理ウエハ２０６、ＭＥＭＳウエハ１０４及びキャビティウエハ１０２は、プロセスで接合され、次いで、一緒に、又は整列するように別個のステップで、穿孔されてもよい。穿孔されたチャンネル４０６を論理ウエハ２０６側からめっき又は充填することにより、論理ウエハ２０６からＭＥＭＳウエハ１０４を通して、かつキャビティウエハ１０２内へと延在する封止リング（例えば、４０４）を形成し、接合結合部のそれぞれ及び構成要素（例えば、１０２、１０４及び２０６）間の空間を気密封止する。あるいは、封止部（例えば、４０４）は、所望に応じて、層／構成要素の一部のみを通して延在してもよい。様々な実施形態において、封止部（例えば、４０２、４０４）の金属化は、接地などのために、１つ以上のデバイスパッドと電氣的に連続的であるか、それ

らに連結されてもよい（パッケージ上の（例えば）ボール端子608と電氣的に連続的であってもよい）。複数のタイプの金属化（共形、非共形）が、図6D、6E及び本開示の他の場所で示されているが、一度に単一のタイプの金属化のみを使用して、流体の流れを阻害し、こうして、気密性を改善するための連続的又は不連続な形状を形成し得る。

【0051】

図7A～7Dは、さらなる実施形態による、封止部402及び404、並びに封止された超小型電子デバイス100の例示的实施形態を図示する。図7Aに例示される、一実施形態では、埋め込まれた金属リング702は、キャビティウエハ102（及び／又はMEMSウエハ104）内に部分的又は完全に埋め込まれ、キャビティ202を部分的又は完全に囲む。埋め込まれた金属リング702は、接合ラインに又はその近くに配設されてもよく、キャビティウエハ102とMEMSウエハ104との間の接合結合部の封止を助けることができる。ピア（簡略化のために図示されていない）が、キャビティウエハ102を通して延在し、金属リング702に接触してもよい。図7Bに例示される、別の実施形態では、超小型電子デバイス100は、図5及び6を参照して上述したように、キャビティ202を部分的に又は完全に囲む埋め込まれた金属リング702、並びに1つ以上の内部封止部402及び／又は404を含む。チャンネル406は、埋め込まれた金属リング702へ、MEMSウエハ104を貫通して、かつキャビティウエハ102内に形成され、チャンネル406は、MEMSウエハ104側から、チャンネル406の壁に完全に（例えば、402）、部分的に（図示せず）又は共形に（例えば、404）のいずれかで、金属材料でめっきされる。

【0052】

図7Bに示されるように、内部封止部402及び／又は404は、埋め込まれた金属製リング702上に（例えば、接触して）着地する。図7C及び7Dは、この配置の（多くの）2つの可能な実施形態の接近した詳細視図を示す。例えば、図7Cでは、チャンネル406は比較的矩形の断面を有し、図7Dでは、チャンネルは多角形又はその他の形状の断面（例えば、部分的又は完全に楕円形、不規則など）を有する。様々な実施形態において、封止部（402及び／又は404）が、埋め込まれた金属リング702と接触する、チャンネル406及び封止部（402及び／又は404）の断面の幅は、埋め込まれた金属リング702の断面の幅よりも小さい（例えば、60%以下）。封止部404の金属充填物は、埋め込まれた金属リング702と接触（着地）しながら、チャンネル406の内壁を完全に（図7Cに見られるように）、又は部分的に（図7Dに見られるように）裏打ちし得る。様々な実施形態において、チャンネル406の形状は既定のものであってもよく、又はチャンネル406を形成するために採用された穿孔技術の生成物であってもよい。

【0053】

図8は、内部封止部（例えば、806）を使用する別の実施形態による、封止された超小型電子デバイス100を形成するための例示的な処理シーケンス800を図示するグラフィカルフロー図である。様々な実施形態において、図8を参照して説明されるプロセス800は、必要に応じて、接合結合部で接合された超小型電子構成要素（例えば、102、104、206など）を気密封止するための技術及びデバイスを含むために、超小型電子構成要素（例えば、102、104、206など）の接合を含む、他のアセンブリプロセス（例えば、図2で言及したプロセス200）を修正するために使用され得る。

【0054】

ブロック1では、陥凹したキャビティウエハ102が形成され、第2のウエハ104に接合するために準備される。様々な実施形態において、第2のウエハ104の接合表面は、絶縁層、誘電体層、半導体層、金属層、などのような追加層802を含んでもよい。

【0055】

ブロック2では、キャビティウエハ102は、第2のウエハ104に接合され、キャビティ202を内部に閉鎖する。キャビティウエハ102は、例えば、ZIBOND（登録商標）技術などの親密な表面接合技術を使用して、第2のウエハ104（及び層802）に接合することができ、絶縁表面（例えば、SiO_x～SiO_xなど）が接合される。別

の例では、キャビティウエハ１０２は、別の誘電体接合技術（例えば、気密封止を提供し得ず、及び気密封止を改善又は修正し得ない、ダイアタッチフィルム又はペースト、シリコン又はエポキシのようなポリマー材料、など）を使用して第２のウエハ１０４に接合することができる。

【００５６】

ブロック３では、意図された用途に基づいて、キャビティウエハ１０２及び／又は第２のウエハ１０４を薄くすることができる。ブロック４では、誘電体層などのような、コーティング又は層８０４が、キャビティウエハ１０２の露出した表面に適用されてもよい。ブロック５では、１つ以上のチャネル４０６（又はキャビティ２０２を部分的に又は完全に取り囲む「キャビティリング」）は、キャビティウエハ１０２の部分、第２のウエハ１０４の部分を通して、かつ層８０２及び８０４の一方又は両方を貫通して形成することができる。チャネル４０６は、ウエハ１０２及び１０４から材料をエッチング、穿孔、又は他の方法で除去することによって形成され得、キャビティウエハ１０２又は第２のウエハ１０４の外側表面に開口してもよい。

【００５７】

ブロック６では、キャビティリングチャネル４０６は、金属材料（例えば、銅）で部分的又は完全に充填／めっきされて、充填封止リング８０６を形成することができる。充填封止リング８０６は、キャビティウエハ１０２と第２のウエハ１０４との間の接合結合部を気密封止し、キャビティ２０２を封止する。一実装形態では、金属封止リング８０６の頂部露出部分は、再配線層（redistribution layer、ＲＤＬ）を含む。

【００５８】

図９Ａ～９Ｃを参照して、封止された超小型電子デバイス１００のいくつかの実施形態が例として図示されている。図９Ａは、１つ以上の充填封止リング８０６の底部が、層８０２（例えば、誘電体層であってもよい）内に配設され、第２のウエハ１０４に貫入しても貫入しなくてもよい、封止された超小型電子デバイス１００を示す。充填封止リング８０６の反対側の端部は（例えば、キャビティウエハ１０２の頂部で）、露出され、例えば、超小型電子デバイス１００の電氣的（及び／又は熱放散）機能のための金属層に接触してもよい。

【００５９】

図９Ｂは、充填封止リング８０６の底部が、層８０２（例えば、誘電体層であってもよい）内に配設され、第２のウエハ１０４に貫入しても貫入しなくてもよい、別の封止された超小型電子デバイス１００を示す。充填封止リング８０６の頂部は、キャビティウエハ１０２の露出した表面の一部の上に再配線層（ＲＤＬ）を形成する。実施形態において、誘電体層８０４は、誘電体層８０４が１つ以上のキャビティ２０２の上を覆わないようにパターン化される。図９Ｃは、充填封止リング８０６の底部が、層８０２（例えば、誘電体層であってもよい）内に配設され、第２のウエハ１０４に貫入しても貫入しなくてもよい、さらなる封止された超小型電子デバイス１００を示す。充填封止リング８０６の頂部は、キャビティウエハ１０２の露出した表面の１つ以上の部分の上に再配線層（ＲＤＬ）を形成する。実施形態において、誘電体層８０４は、誘電体層８０４が１つ以上のキャビティ２０２の上を覆うようにパターン化されるが、異なる層９０２が、キャビティ２０２の上を覆うように配置される。様々な実施形態において、異なる層９０２は、基板、ガラスパネル、金属層、などを含んでもよい。

【００６０】

図１０は、内部封止部（例えば、８０６）を使用する別の実施形態による、封止された超小型電子デバイス１００を形成するための例示的な処理シーケンス１０００を図示するグラフィカルフロー図である。様々な実施形態において、図１０を参照して説明されるプロセス１０００は、必要に応じて、接合結合部で接合された超小型電子構成要素（例えば、１０２、１０４、２０６など）を気密封止するための技術及びデバイスを含むために、超小型電子構成要素（例えば、１０２、１０４、２０６など）の接合を含む、他のアセンブリプロセス（例えば、図２で言及したプロセス２００）を修正するために使用され得る。

【0061】

ブロック1では、陥凹したキャビティウエハ102が形成され、第2のウエハ104に接合するために準備される。様々な実施形態において、第2のウエハ104の接合表面は、絶縁層、誘電体層、半導体層、金属層、などのような追加層802を含んでもよい。

【0062】

ブロック2では、キャビティウエハ102は、第2のウエハ104に接合され、キャビティ202を内部に閉鎖する。キャビティウエハ102は、例えば、ZIBOND（登録商標）技術などの親密な表面接合技術を使用して、第2のウエハ104（及び層802）に接合することができ、絶縁表面（例えば、SiO_x～SiO_xなど）が接合される。別の例では、キャビティウエハ102は、別の誘電体接合技術（例えば、気密封止を提供し得ず、及び気密封止を改善又は修正し得ない、ダイアタッチフィルム又はペースト、シリコン又はエポキシのようなポリマー材料、など）を使用して第2のウエハ104に接合することができる。

【0063】

ブロック3では、意図された用途に基づいて、キャビティウエハ102及び／又は第2のウエハ104を薄くすることができる。さらに、キャビティウエハ102及び第2のウエハ104を特徴とするアセンブリは、第2のウエハ104側から処理するために反転されてもよい。ブロック4では、誘電体層などのような、コーティング又は層804が、第2のウエハ104の露出した表面に塗布されてもよい。ブロック5では、1つ以上のチャネル406（又はキャビティ202を部分的に又は完全に囲む「キャビティリング」）は、第2のウエハ104の部分、キャビティウエハ102の部分を通して、かつ層802及び804の一方又は両方を貫通して形成することができる。チャネル406は、ウエハ102及び104から材料をエッチング、穿孔、又は他の方法で除去することによって形成され得、第2のウエハ104又はキャビティウエハ102の外側表面に開口してもよい。上述のように、チャネルは、ウエハ（又はダイ）102と104との間の界面のみに延在してもよく、ウエハ104上又はウエハ104内のパッド若しくはビアなどの1つ以上の金属特徴部に延在してもよい。

【0064】

ブロック6では、キャビティリングチャネル406は、金属材料（例えば、銅）で部分的又は完全に充填／めっきされて、充填封止リング806を形成することができる。充填封止リング806は、第2のウエハ104とキャビティウエハ102との間の接合結合部を気密封止し、キャビティ202を封止する。一実装形態では、金属封止リング806の頂部露出部分は、再配線層（RDL）を含んでもよい。

【0065】

図11A～11Bを参照して、封止された超小型電子デバイス100の実施形態が、例として図示されている。図11A及び11Bは、封止された超小型電子デバイス100を示し、充填封止リング806の底部は、層802（例えば、誘電体層であってもよい）内に配設され、キャビティウエハ102に貫入しても貫入しなくてもよい。充填封止リング806の反対側の端部は（例えば、第2のウエハ104の頂部で）、露出され、例えば、超小型電子デバイス100の電氣的機能のために金属層に接触してもよい。実施形態において、誘電体層804は、誘電体層804が1つ以上のキャビティ202の上を覆わないようにパターン化されるが、異なる層902が、キャビティ202の上を覆うように配置される。様々な実施形態において、異なる層902は、基板、ガラスパネル、金属層、などを含んでもよい。

【0066】

様々な実施形態において、図11A及び11Bに示されるように、1つ以上のキャビティ202は、第2のウエハ104、並びにキャビティウエハ102内に延在する。充填封止リング806は、第2のウエハ104とキャビティウエハ102との間の接合結合部を気密封止し、キャビティ202を封止する。加えて、図11Bに示すように、金属障壁層1102が、1つ以上のキャビティ部202をさらに封止するために、キャビティ202

のうちの1つ以上内に適用されてもよい。金属障壁1102は、図11Bに示されるように、側壁上に、又はキャビティ202の内側表面を部分的又は完全に覆う、側面、頂部、及び底部壁上に配設することができる。一実装形態では、金属障壁1102は、キャビティウエハ102を第2のウエハ104に接合する前に、キャビティ202の内側表面に適用されてもよい。接合プロセスは、加熱焼鈍の有無にかかわらず、キャビティウエハ102の内側表面に配設された金属障壁1102を、第2のウエハ104の内側表面上に配置された金属障壁1102に接合するために、金属～金属接合（例えば、DBIなど）を含んでもよく、連続金属封止バリア1102を形成する。

【0067】

図12は、内部封止部（例えば、1202）を使用する別の実施形態による、封止された超小型電子デバイス100を形成するための例示的な処理シーケンス1200を図示するグラフィカルフロー図である。様々な実施形態において、図12を参照して説明されるプロセス1200は、必要に応じて、接合結合部で接合された超小型電子構成要素（例えば、102、104、206など）を気密封止するための技術及びデバイスを含むために、超小型電子構成要素（例えば、102、104、206など）の接合を含む、他のアセンブリプロセス（例えば、図2で言及したプロセス200）を修正するために使用され得る。

【0068】

ブロック1では、陥凹したキャビティウエハ102が形成され、第2のウエハ104（例えば、MEMSウエハであってもなくてもよい）に接合するために準備される。様々な実施形態において、第2のウエハ104の接合表面は、絶縁層、誘電体層、半導体層、金属層、などのような追加層802を含んでもよい。

【0069】

ブロック2では、キャビティウエハ102は、第2のウエハ104に接合され、キャビティ202を内部に閉鎖する。キャビティウエハ102は、例えば、ZIBOND（登録商標）技術などの親密な表面接合技術を使用して、第2のウエハ104（及び層802）に接合することができ、絶縁表面（例えば、SiO_x～SiO_xなど）が接合される。別の例では、キャビティウエハ102は、別の誘電体接合技術（例えば、気密封止を提供し得ず、及び気密封止を改善又は修正し得ない、ダイアタッチフィルム又はペースト、シリコン又はエポキシのようなポリマー材料、など）を使用して第2のウエハ104に接合することができる。

【0070】

ブロック3では、意図された用途に基づいて、キャビティウエハ102及び／又は第2のウエハ104を薄くすることができる。ブロック4では、誘電体層などのような、コーティング又は層804が、キャビティウエハ102の露出した表面に適用されてもよい。ブロック5では、1つ以上のチャンネル406（又はキャビティ202を部分的に又は完全に取り囲む「キャビティリング」）は、キャビティウエハ102の部分、第2のウエハ104の部分を通して、かつ層802及び804の一方又は両方を貫通して形成することができる。チャンネル406は、ウエハ102及び104から材料をエッチング、穿孔、又は他の方法で除去することによって形成され得、キャビティウエハ102又は第2のウエハ104の外側表面に開口してもよい。

【0071】

ブロック6では、キャビティリングチャンネル406は、金属材料（例えば、銅）で部分的に充填／めっきされて、共形封止リング1202を形成することができる。封止リング1202は、キャビティウエハ102と第2のウエハ104との間の接合結合部を気密封止し、キャビティ202を封止する。様々な実施形態において、チャンネル406は、共形封止リング1202を形成するように充填／めっきされ得、金属層1204は、キャビティウエハ102の露出表面の少なくとも一部分上に堆積される。したがって、様々な実施形態において、チャンネル406は、金属層1204の堆積と同じ又は別個のプロセスで充填される。

10

20

30

40

50

【0072】

図13A～13Cを参照して、封止された超小型電子デバイス100のいくつかの実施形態が、例として図示されている。図13A～13Cは、封止リング1202がキャビティ層102を貫通して形成され、封止リング1202の底部は、層802（例えば、誘電体層であってもよい）を通して配設され、かつまた第2のウエハ104に貫入する、封止された超小型電子デバイス100を示す。図13A及び13Bは、部分的に充填された封止リング1202（例えば、真空めっきされた）を示し、図13Bに示される実施形態は、図13Aに示される実施形態よりも、部分的に充填された封止リング1202内により多量の金属を有する。80～250℃の温度で部分的に充填された状態で基板（接合ウエハ102及び104）を焼鈍することは、めっき金属（例えば、1202及び／又は1204）の粒径を拡大することができる。拡大された粒径を生成するプロセスは、封止リング1202及び／又は金属層1204の金属層内の不純物を低減することができる。一実装形態では、粒は、チャンネル406の幅寸法の10%を超える概略の（例えば、平均の）直径を有する。

【0073】

図13Cは、チャンネル406内に完全に充填された封止リング1202を示す。いくつかの実施形態では、図13A及び13Bに示されるような、部分的に充填された封止リング1202の焼鈍された金属は、完全に充填された封止リング1202を形成するために、追加の金属層に追加されるか、又は追加の金属層でコーティングすることができる。一実施形態では、封止された超小型電子デバイス100は、追加の金属層の堆積後に再び焼鈍されてもよい。場合によっては、充填された封止リング1202のための所望の表面を形成するために、最終焼鈍の前又は後にCMPが使用されてもよい。信頼性、堅牢性、性能などのために、必要に応じて、1つ以上の追加の材料が、封止リング1202の未充填部分に提供されてもよい。

【0074】

充填された封止リング1202の頂部（例えば、露出した）の端部（例えば、キャビティウエハ102の頂部表面の）は、例えば、別のデバイスに接合されたときに、超小型電子デバイス100の電氣的機能のために、露出され、金属層に接触してもよい。

【0075】

図1～13の図示に示された封止リング302、402、404、806及び1202の数量は、例として及び議論のためである。様々な実施形態において、封止された超小型電子デバイス100又は同様のアセンブリは、より少ない、又はより多い数量の封止リング302、402、404、806及び1202を含んでもよく、本開示の範囲内にとどまる。さらに、本明細書に記載される様々な実装形態を組み合わせ、MEMSデバイスを製造する従来の技術の改善をさらに向上させ得る。例えば、封止リングは、構成要素の一方の側から1つの表面に延在するように示されているが、封止リングは、両方の側から形成されてもよく、互いに接触して、封止された超小型電子デバイス100を貫通して完全に延在する金属構造体を形成してもよい。

結論

【0076】

本開示の実装形態は、構造的特徴及び／又は方法論的行為に特有の言語で説明されてきたが、実装形態は、記載されている特定の特徵又は行為に必ずしも限定されないことを理解されたい。むしろ、特定の特徵及び行為は、例示的なデバイス及び技術を実装する代表的な形態として開示されている。

【0077】

本文書の各請求項は、別個の実施形態を構成し、異なる請求項及び／又は異なる実施形態を組み合わせる実施形態は、本開示の範囲内であり、本開示を再検討すると当業者には明らかとなるであろう。

10

20

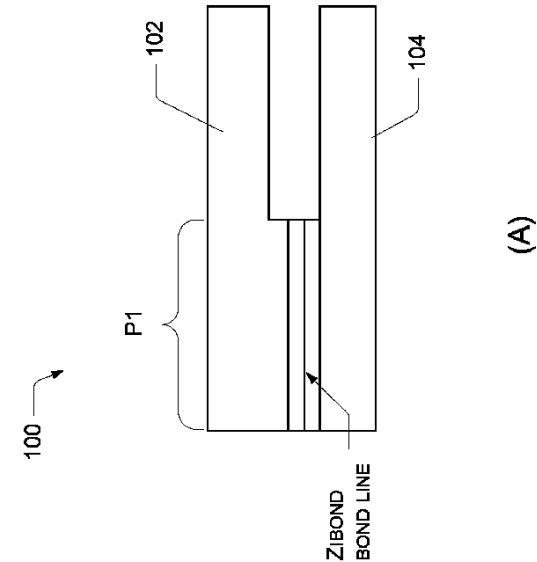
30

40

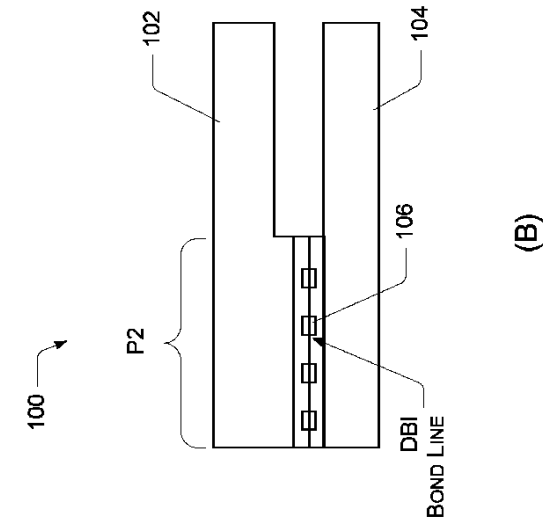
50

【図面】

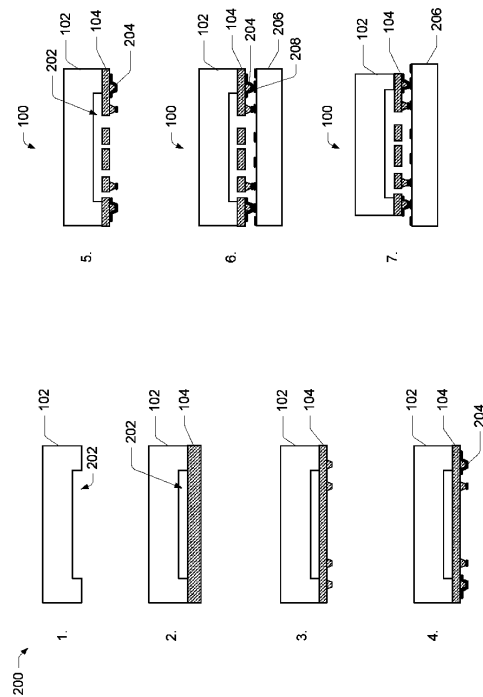
【図 1 (A)】



【図 1 (B)】



【図 2】



【図 3 (A)】

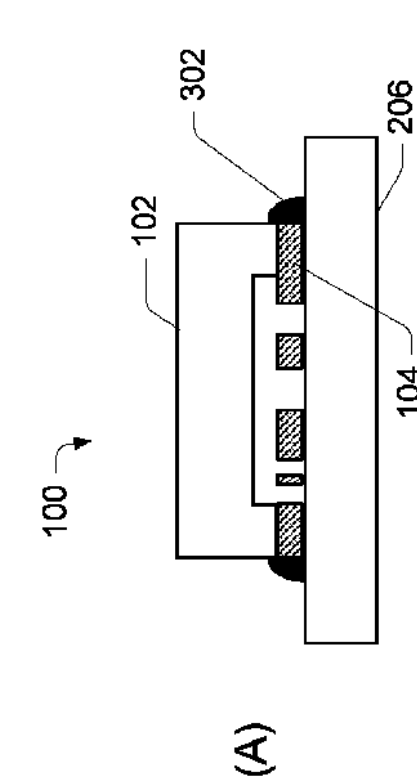


FIG. 2

10

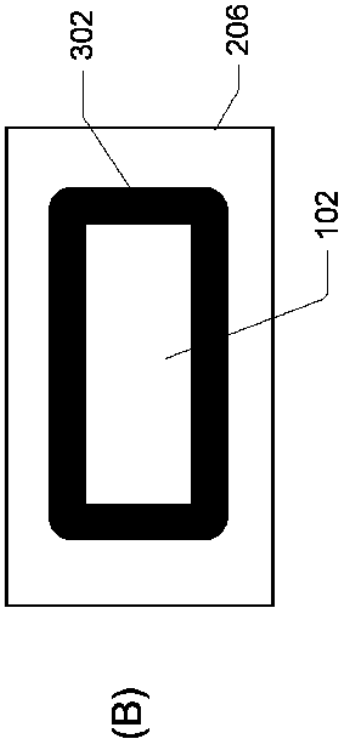
20

30

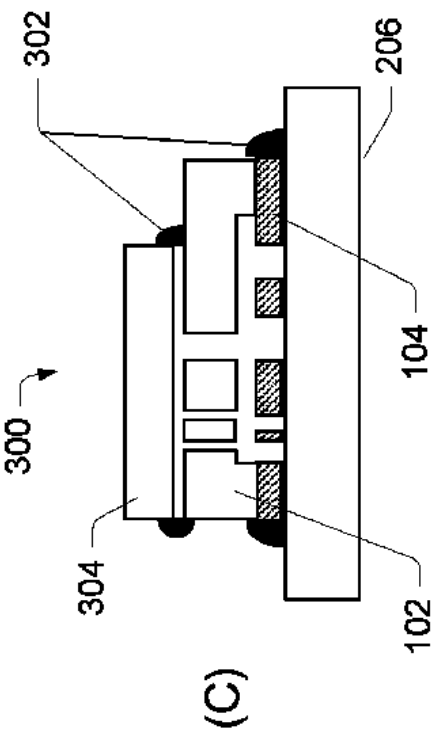
40

50

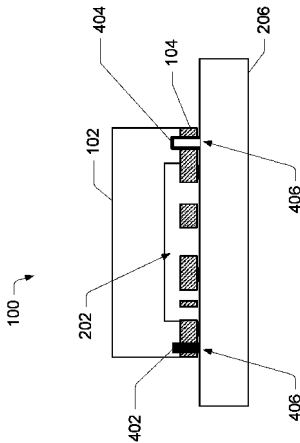
【図 3 (B)】



【図 3 (C)】



【図 4】



【図 5】

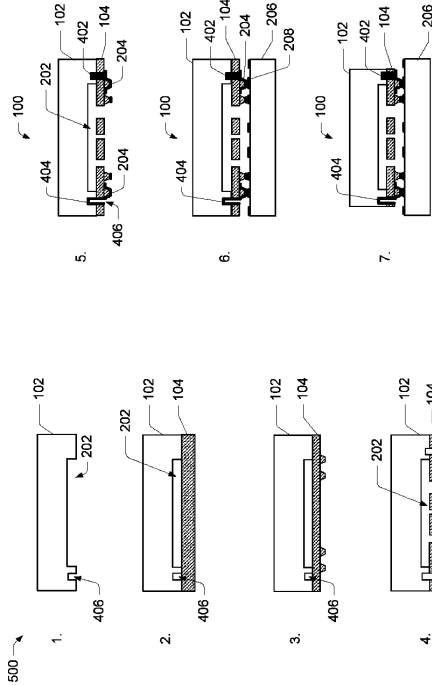
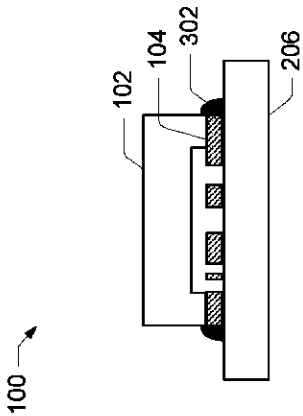


FIG. 4

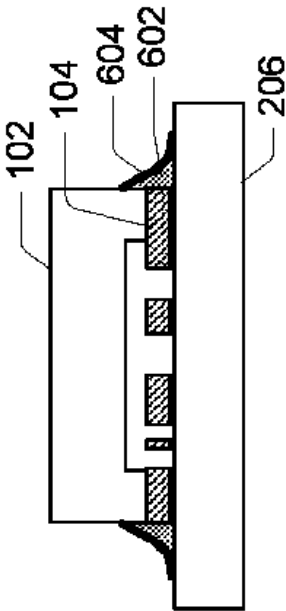
FIG. 5

【図 6 (A)】



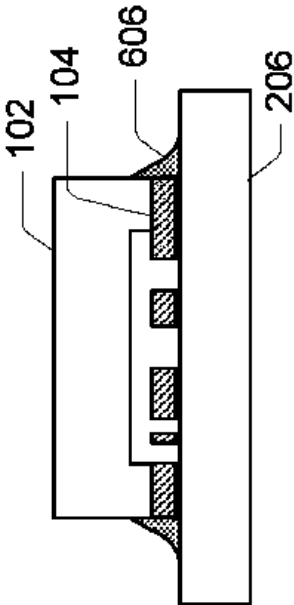
(A)

【図 6 (B)】



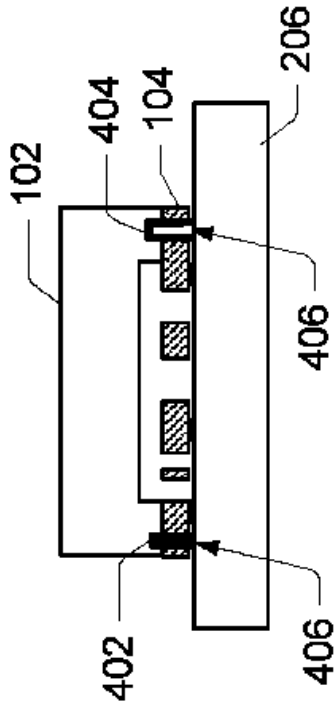
(B)

【図 6 (C)】



(C)

【図 6 (D)】



(D)

10

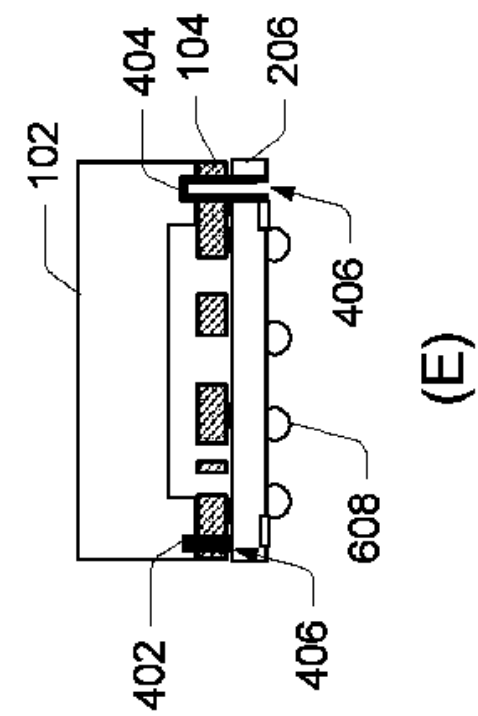
20

30

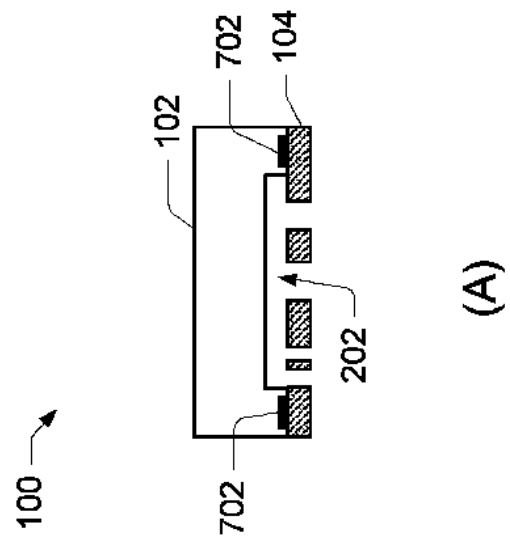
40

50

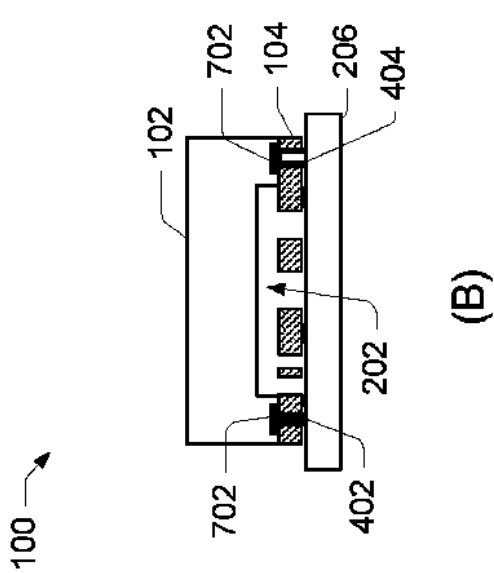
【図 6 (E)】



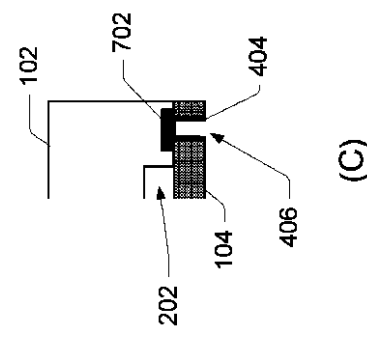
【図 7 (A)】



【図 7 (B)】



【図 7 (C)】



10

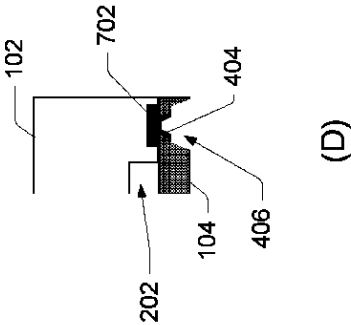
20

30

40

50

【図 7 (D)】



【図 8】

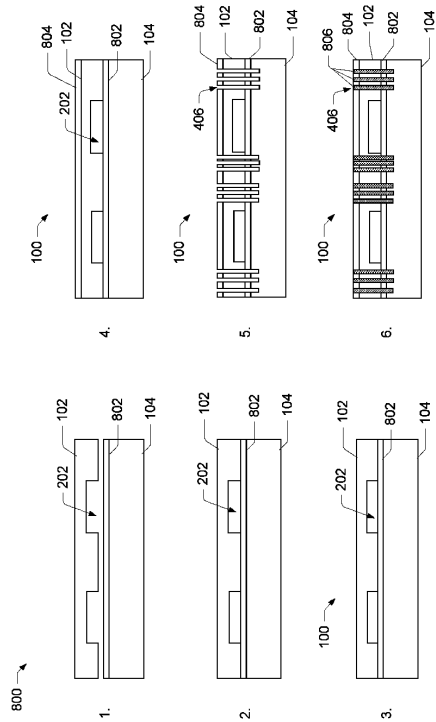
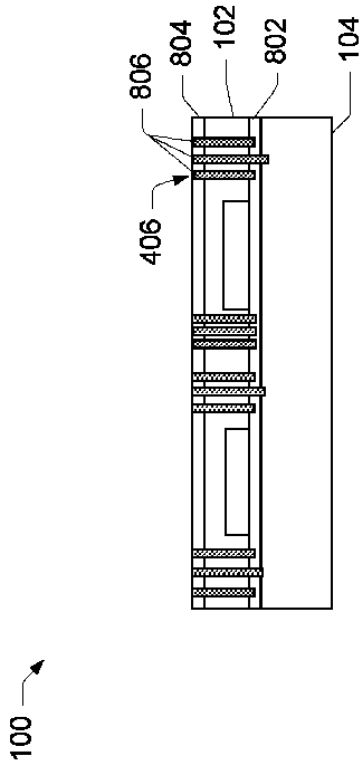
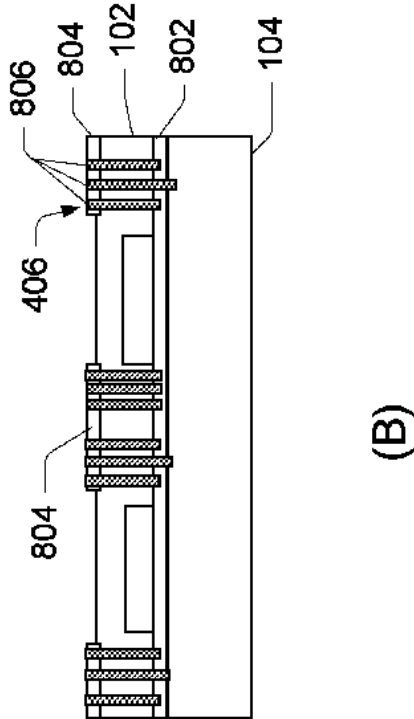


FIG. 8

【図 9 (A)】



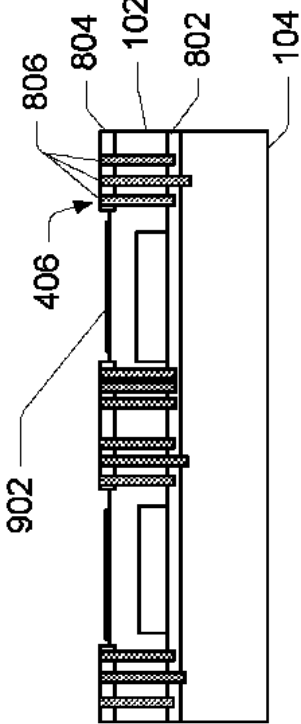
【図 9 (B)】



(A)

(B)

【図 9 (C)】



(C)

【図 10】

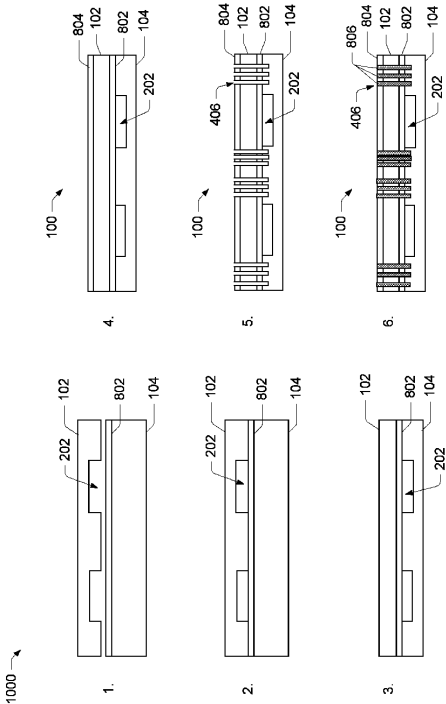
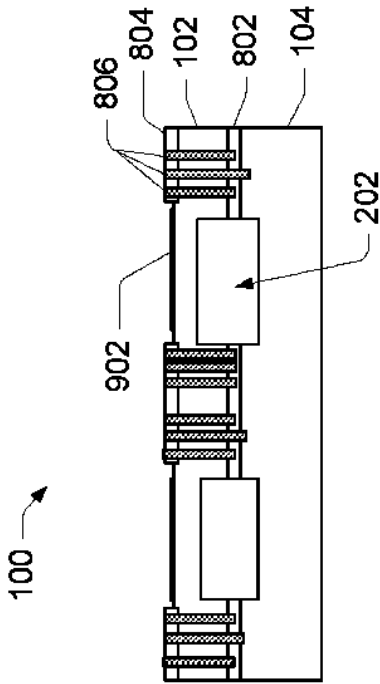


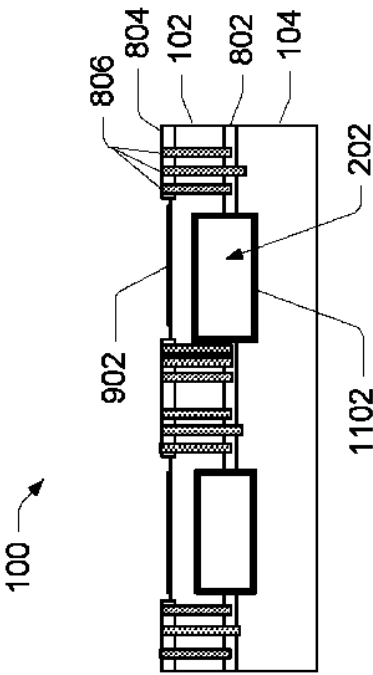
FIG. 10

【図 11 (A)】



(A)

【図 11 (B)】



(B)

【図 1 2】

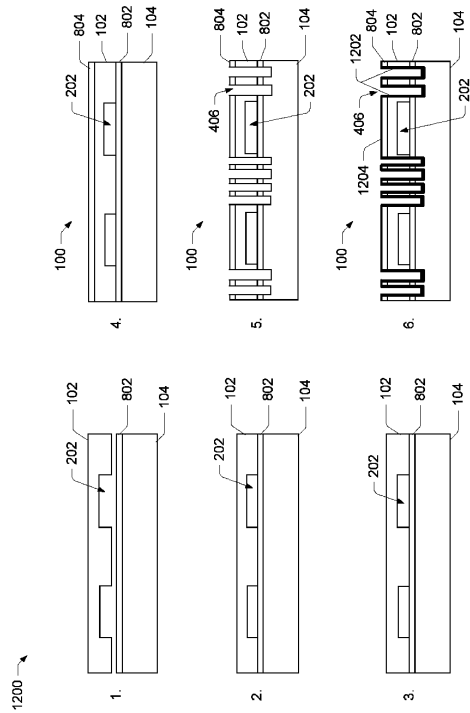
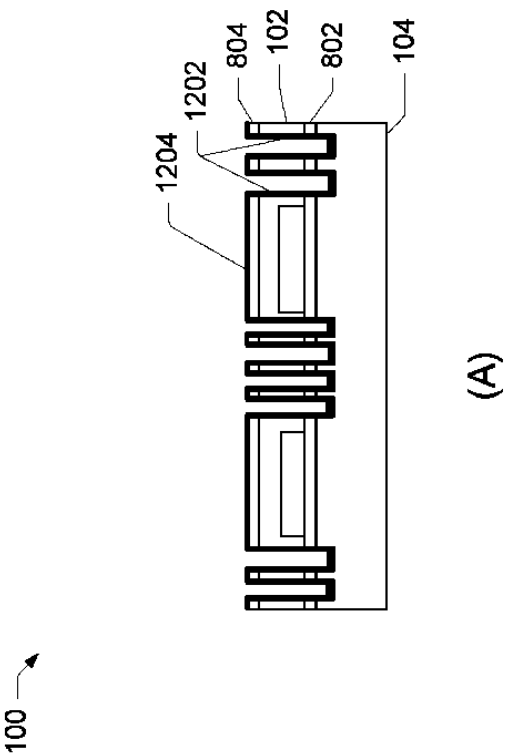
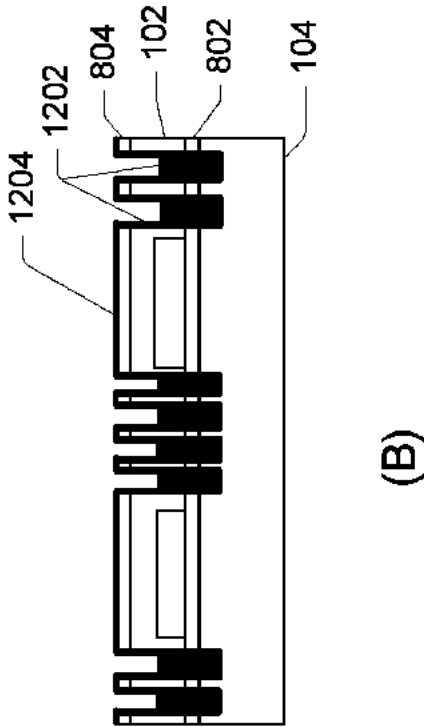


FIG. 12

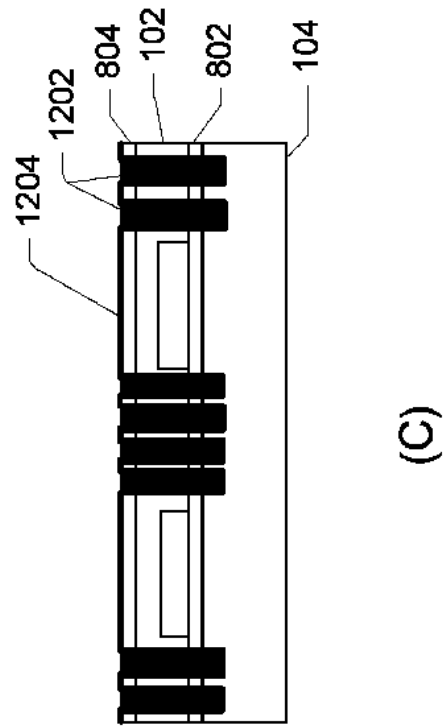
【図 1 3 (A)】



【図 1 3 (B)】



【図 1 3 (C)】



10

20

30

40

50

フロントページの続き

(33)優先権主張国・地域又は機関
米国(US)

早期審査対象出願

前置審査

弁理士 山本 泰史

(74)代理人 100144451

弁理士 鈴木 博子

(72)発明者 カトカール ラジェッシュ

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 ワン リャン

アメリカ合衆国 カリフォルニア州 9 4 5 6 0 ニューアーク ソーントン アベニュー 6 1 2 5

アパートメント エイ

(72)発明者 ウゾー シプリアン エメカ

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 ファン シャオウー

アメリカ合衆国 カリフォルニア州 9 4 0 8 6 サニーベール ウェスト オリーブ アベニュー 9 0 4

(72)発明者 ガオ ギリアン

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 モハメッド イリヤス

アメリカ合衆国 カリフォルニア州 9 5 0 5 0 サンタクララ ボハノン ドライブ 2 3 7 7

審査官 正山 旭

(56)参考文献 米国特許出願公開第2005/0263866 (US, A1)

特開2014-219321 (JP, A)

特表2013-513227 (JP, A)

米国特許第09834435 (US, B1)

特開2009-039843 (JP, A)

特開2011-131309 (JP, A)

特開2016-099224 (JP, A)

特開2015-153791 (JP, A)

米国特許出願公開第2011/0156242 (US, A1)

米国特許出願公開第2016/0146851 (US, A1)

(58)調査した分野 (Int.Cl., DB名)

H01L 23/02

B81C 3/00

B81B 7/02