



(21) 申請案號：103103721 (22) 申請日：中華民國 103 (2014) 年 02 月 05 日
 (51) Int. Cl. : H01L21/336 (2006.01) H01L21/205 (2006.01)
 (30) 優先權：2013/03/04 美國 13/783,685
 (71) 申請人：格羅方德半導體公司 (美國) GLOBALFOUNDRIES US INC. (US)
 美國
 (72) 發明人：候尼史奇爾 詹 HOENTSCHEL, JAN (DE)；費拉候史奇 史帝芬 FLACHOWSKY,
 STEFAN (DE)；理查 瑞夫 RICHTER, RALF (DE)；沙拉特 尼可拉斯 SASSIAT,
 NICOLAS (FR)
 (74) 代理人：洪武雄；陳昭誠
 (56) 參考文獻：
 TW 200807630 US 8124511B2
 US 2008/0237723A1 US 2010/0124621A1
 US 2012/0178264A1
 審查人員：王人毅
 申請專利範圍項數：22 項 圖式數：2 共 43 頁

(54) 名稱

應力記憶技術

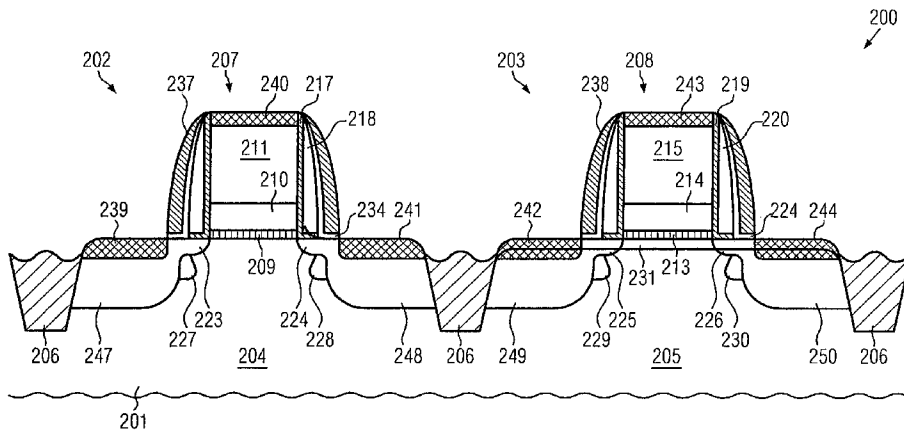
STRESS MEMORIZATION TECHNIQUE

(57) 摘要

本發明涉及應力記憶技術，公開一種方法，其包括提供一種包括設置在半導體區域上方的閘極結構的半導體結構。進行離子植入製程，其非晶化鄰近該閘極結構的該半導體區域的第一部分及鄰近該閘極結構的該半導體區域的第二部分，以使第一非晶區域及第二非晶區域在鄰近該閘極結構處形成。進行原子層沉積製程，其在該半導體結構上方沉積具有內部應力的材料層，且選定進行該原子層沉積製程的至少一部分的溫度及該原子層沉積製程的至少一部分的持續時間，以使該第一非晶區域及該第二非晶區域在該原子層沉積製程期間重新結晶。

A method comprises providing a semiconductor structure comprising a gate structure provided over a semiconductor region. An ion implantation process is performed. In the ion implantation process, a first portion of the semiconductor region adjacent the gate structure and a second portion of the semiconductor region adjacent the gate structure are amorphized so that a first amorphized region and a second amorphized region are formed adjacent the gate structure. An atomic layer deposition process is performed. The atomic layer deposition process deposits a layer of a material having an intrinsic stress over the semiconductor structure. A temperature at which at least a part of the atomic layer deposition process is performed and a duration of the at least a part of the atomic layer deposition process are selected such that the first amorphized region and the second amorphized region are re-crystallized during the atomic layer deposition process.

指定代表圖：



第2c圖

符號簡單說明：

- 200 . . . 半導體結構
- 201 . . . 基板
- 202、203 . . . 電晶體元件
- 204、205 . . . 半導體區域
- 206 . . . 溝槽隔離結構
- 207、208 . . . 閘極結構
- 209、213 . . . 閘極絕緣層
- 210、214 . . . 金屬部分
- 211、215 . . . 閘電極
- 217、219 . . . 襯墊層
- 218、220 . . . 二氧化矽側壁間隔件
- 223、225 . . . 源極延伸區
- 224、226 . . . 汲極延伸區
- 227、228、229、230 . . . 暈區
- 231 . . . 應力產生層
- 234 . . . 非晶區域
- 237、238 . . . 側壁間隔件
- 239、240、241、242、243、244 . . . 矽化物部分
- 247、249 . . . 源極區域
- 248、250 . . . 汲極區域

發明摘要

※申請案號：103103721

※申請日：103 2 5

※IPC 分類：

【發明名稱】(中文/英文)

應力記憶技術

STRESS MEMORIZATION TECHNIQUE

H01L21/336 (2006.01)

H01L 21/205 (2006.01)

【中文】

本發明涉及應力記憶技術，公開一種方法，其包括提供一種包括設置在半導體區域上方的閘極結構的半導體結構。進行離子植入製程，其非晶化鄰近該閘極結構的該半導體區域的第一部分及鄰近該閘極結構的該半導體區域的第二部分，以使第一非晶區域及第二非晶區域在鄰近該閘極結構處形成。進行原子層沉積製程，其在該半導體結構上方沉積具有內部應力的材料層，且選定進行該原子層沉積製程的至少一部分的溫度及該原子層沉積製程的至少一部分的持續時間，以使該第一非晶區域及該第二非晶區域在該原子層沉積製程期間重新結晶。

【英文】

A method comprises providing a semiconductor structure comprising a gate structure provided over a semiconductor region. An ion implantation process is performed. In the ion implantation process, a first portion of the semiconductor region adjacent the gate structure and a second portion of the semiconductor region adjacent the gate structure are amorphized so that a first amorphized region and a second amorphized region are formed adjacent the gate structure. An atomic layer deposition process is performed. The atomic layer deposition process deposits a layer of a material having an intrinsic stress over the semiconductor structure. A temperature at which at least a part of the atomic layer deposition process is performed and a duration of the at least a part of the atomic layer deposition process are selected such that the first amorphized region and the second amorphized region are re-crystallized during the atomic layer deposition process.

【代表圖】

【本案指定代表圖】：第（ 2c ）圖。

【本代表圖之符號簡單說明】：

200	半導體結構	201	基板
202、203	電晶體元件	204、205	半導體區域
206	溝槽隔離結構	207、208	閘極結構
209、213	閘極絕緣層	210、214	金屬部分
211、215	閘電極	217、219	襯墊層
218、220	二氧化矽側壁間隔件		
223、225	源極延伸區	224、226	汲極延伸區
227、228、229、230	暈區	231	應力產生層
234	非晶區域	237、238	側壁間隔件
239、240、241、242、243、244	矽化物部分		
247、249	源極區域	248、250	汲極區域

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

本案無化學式

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

應力記憶技術

STRESS MEMORIZATION TECHNIQUE

【技術領域】

【0001】一般來說，本發明涉及積體電路的領域，更特定來說，涉及形成積體電路的方法，其中應力記憶技術被用於在半導體材料中提供應力。

【先前技術】

【0002】積體電路包含大量電路元件，其特定來說，包括場效電晶體。在場效電晶體中設置有閘電極。閘電極可藉由在閘電極及通道區域之間提供電性絕緣的閘極絕緣層，而從通道區域分開。在鄰近該通道區域處，設置有源極區域及汲極區域。

【0003】通道區域、源極區域及汲極區域是由半導體材料形成，其中通道區域的摻雜不同於源極區域及汲極區域的摻雜。取決於施加到閘電極的電壓，場效電晶體可在打開及關閉狀態之間切換，其中在打開狀態中的通道區域的電導率大於在關閉狀態中的通道區域的電導率。

【0004】針對在打開狀態中提高通過場效電晶體的通道區域的電流，已經提出了在通道區域中提供彈性應力。拉伸應力可增加在如矽的半導體材料中的電子遷移率。在 N 通道電晶體的通道區域中提供拉伸應力可有助於提高通道區域的電導率，以得到較大的電流在打開狀態中通過場效應電晶體的通道區域。在如矽的

半導體材料中，壓縮應力可提高空穴的遷移率，故在 P 通道電晶體的通道區域中提供壓縮應力可有助於得到較大的電流在打開狀態中通過場效應電晶體的通道區域。

【0005】接下來，用於在 N 通道電晶體及 P 通道電晶體中設置應力通道區域的方法將參照第 1a 及 1b 圖而描述。

【0006】第 1a 圖顯示在製造過程的第一階段中，半導體結構 100 的示意性剖視圖。半導體結構 100 包括形成在基板 101 的半導體區域 104 中的電晶體元件 102 及形成在基板 101 的半導體區域 105 中的電晶體元件 103。溝槽隔離結構 106 在電晶體元件 102 及電晶體元件 103 之間提供電性絕緣，且在電晶體元件 102 和 103 及半導體結構 100 中的其他電路元件(未圖示)之間提供電性絕緣。

【0007】在製造過程中，N 通道電晶體可從電晶體元件 102 中形成，且 P 通道電晶體可從電晶體元件 103 中形成。半導體區域 104 及半導體區域 105 可依據電晶體元件 102 及電晶體元件 103 的摻雜方式而摻雜，而電晶體元件 102 及電晶體元件 103 的摻雜取決於將要形成的電晶體類型。因此，半導體區域 104 可為 P 型摻雜，而半導體區域 105 可為 N 型摻雜。

【0008】其中設置有半導體區域 104 及半導體區域 105 的基板可包括如矽的半導體材料。在電晶體元件 103 中，可設置如矽/鎢的應力產生材料層 133。由於在應力產生材料層 133 的材料與基板的材料之間的晶格失配，可在半導體區域 105 中提供壓縮應力。

【0009】電晶體元件 102 包括閘極結構 107。閘極結構 107 包括閘電極 111。閘電極 111 包括金屬部分 110。閘電極 111 的其他部分可由多晶矽形成。閘極絕緣層 109 將閘電極 111 從半導體區

域 104 中分開。在閘電極 111 的頂表面上，可設置蓋帽層 112。鄰近閘電極 111 處可設置二氧化矽側壁間隔件 118，其可藉由包含氮化矽的襯墊層 117 而從閘電極 111 中分開。

【0010】類似地，電晶體元件 103 包括閘極結構 108，該閘極結構 108 包括具有金屬部分 114、閘極絕緣層 113、二氧化矽側壁間隔件 120 及襯墊層 119 的閘電極 115。此外，在閘電極 115 的頂表面上，可設置蓋帽層 116。

【0011】在鄰近於電晶體元件 102 的閘極結構 107 處，可設置源極延伸區 123 及汲極延伸區 124。源極延伸區 123 及汲極延伸區 124 可為 N 摻雜。另外，可設置可為 P 摻雜的暈區 127 及暈區 128。電晶體組件 103 可包括可為 P 摻雜的源極延伸區 125 及汲極延伸區 126，以及可包括可為 N 摻雜的暈區 129 及暈區 130。

【0012】如上所述，應力產生材料層 133 可在 P 通道電晶體元件 103 的通道區域中提供壓縮應力。在 N 通道電晶體元件 102 的通道區域中可提供拉伸應力。為了達到此目的，可使用將要在以下所描述的應力記憶技術。

【0013】非晶區域 131 可形成在閘極結構 107 的源極側上，並且非晶區域 132 可形成在閘極結構 107 的汲極側上。為了形成非晶區域 131 及非晶區域 132，可進行離子植入製程，非摻雜元素(如氬或銻)的離子被植入半導體結構的 100 中。

【0014】在半導體區域 104 中半導體材料帶有離子的放射可能會使原子從它們在晶格中的位置移位放射，使得半導體材料的結晶秩序受到破壞。閘極結構 107 下方的半導體區域 104 的部分可由閘極結構 107 保護而免於離子的放射，故非晶區域 131 及非

晶區域 132 可藉由閘極結構 107 下方基本上結晶的區域而彼此分開。非晶區域 131 及非晶區域 132 的深度可藉由適當選定使用於離子植入製程中的離子能量而控制。

【0015】在形成非晶區域 131 及非晶區域 132 之後，可在半導體結構 100 上方形成包含二氧化矽的襯墊層 121 及受應力的氮化矽層 122。襯墊層 121 及受應力的氮化矽層 122 可借助化學氣相沉積及/或電漿增強化學氣相沉積的手段而形成。用於形成受應力的氮化矽層 122 的沉積製程參數可適配，以在受應力的氮化矽層 122 中得到拉伸應力。

【0016】由受應力的氮化矽層 122 提供的拉伸應力可在基板 101 的半導體材料的部分中產生拉伸應力。特別是，可在非晶區域 131 及非晶區域 132 中產生拉伸應力。

【0017】第 1b 圖顯示在製造過程的稍後階段中的半導體結構 100 的示意性剖視圖。在受應力的氮化矽層 122 形成之後，可進行用於使非晶區域 131 及非晶區域 132 重新結晶的退火製程。該退火製程是在受應力的氮化矽層 122 形成完成後進行。

【0018】既然，非晶區域 131 及非晶區域 132 的重新結晶發生在存在有由受應力的氮化矽層 122 所提供的拉伸應力的情況下，拉伸應力可影響在重新結晶製程中得到的晶格結構。因此，可在電晶體元件 102 的閘極結構 107 的源極側及汲極側上設置應力區域 138 及應力區域 139。應力區域 138 及應力區域 139 可在電晶體元件 102 的通道區域中提供拉伸應力。

【0019】此後，可進行非等向性刻蝕製程，以從受應力的氮化矽層 122 的部分中在鄰接閘極結構 107 處形成側壁間隔件 140，

及在鄰接閘極結構 108 處形成側壁間隔件 141 的。然後，可進行離子植入製程，以在電晶體元件 102 中形成 N 摻雜源極區 134 及 N 摻雜汲極區 135，且在電晶體組件 108 中形成 P 摻雜源極區 136 及 P 摻雜汲極區 137。

【0020】此後，可去除未受閘極結構 107 及閘極結構 108 的側壁間隔件 140、側壁間隔件 141、蓋帽層 112 及蓋帽層 116 所覆蓋的襯墊層 121 的部分，並且可在電晶體元件 102 及電晶體元件 103 的源極區域、汲極區域及閘電極中形成矽化部分 142、矽化部分 143、矽化部分 144、矽化部分 145、矽化部分 146 及矽化部分 147。

【0021】而應力區域 138 及應力區域 139 甚至可在去除受應力氮化矽層 122 的部分之後保持其內部應力，因此保持從電晶體元件 102 中形成的電晶體的通道區域中的拉伸應力，而該等被去除的氮化矽層 122 的部分是不同於該等側壁間隔件 140 及側壁間隔件 141 可由其所形成的部分。這種效應被稱為“應力記憶”。在從電晶體元件 103 中形成的電晶體的通道區域中的應力可基本上相當於是由應力產生層 133 所提供的，故可在電晶體元件 103 中形成的電晶體的通道區域中得到壓縮應力。

【0022】以上描述的應力記憶技術問題為用於形成受應力氮化矽層 122 的化學氣相沉積及電漿增強化學氣相沉積技術可能受到負荷的影響，其中受應力氮化矽層 122 的厚度取決於相鄰電晶體元件之間間距。這可能會導致如單間距及雙間距的電晶體器件的不同間距的電晶體之間的閾值電壓改變。這可對在半導體結構 100 中形成的積體電路的性能產生不利影響，及可減少製造過程中的產量。

【0023】以上描述的應力記憶技術的進一步的問題為：進行作為製造過程的獨立步驟的用於非晶區域 131 及非晶區域 132 重新結晶的退火製程可能會增加製造過程的複雜性。

【0024】本發明提供可避免或至少減少如上述問題其中的至少一部分的製造過程。

【發明內容】

【0025】為了提供本發明的某些態樣的基本認識，下文介紹本發明的簡化總結。本總結並不是本發明的一個詳盡的概述。其並非意圖指出本發明的主要或關鍵要素，或者打算劃定本發明的範疇。其唯一目的是提出一些簡化形式的概念，就好象作為後文中更詳細的論述的前言一般。

【0026】本文公開一種示例性的方法，其包括：設置半導體結構。該半導體結構包括設置在半導體區域上方的閘極結構。進行離子植入製程，其非晶化鄰近該閘極結構的該半導體區域的第一部分及鄰近該閘極結構的該半導體區域的第二部分，以使第一非晶區域及第二非晶區域在鄰近該閘極結構處形成。進行原子層沉積製程，其在該半導體結構上方沉積具有內部應力的材料層。選定進行該原子層沉積製程的至少一部分的溫度及該原子層沉積製程的至少一部分的持續時間以使該第一非晶區域及該第二非晶區域在該原子層沉積製程期間重新結晶。

【0027】本文公開另一種示例性的方法，其包括：設置半導體結構。該半導體結構包括第一電晶體元件及第二電晶體元件，該第一電晶體元件包括設置在第一半導體區域上的第一閘極結構，且該第二電晶體元件包括設置在第二半導體區域上的第二閘

極結構。該方法還包括：在鄰近該第一閘極結構的該第一半導體區域中形成第一非晶區域，且在鄰近該第一閘極結構的該第一半導體區域中形成第二非晶區域，其中，在該第二半導體區域中不形成非晶區域。進行原子層沉積製程，其在該第一半導體區域及該第二半導體區域上方沉積具有內部應力的材料層。選定進行該原子層沉積製程的至少一部分的溫度及該原子層沉積製程的至少一部分的持續時間，以使該第一非晶區域及該第二非晶區域在該原子層沉積製程期間基本上完全地重新結晶。

【圖式簡單說明】

【0028】本發明可藉由參照與附圖結合所得的以下描述而理解，在附圖中相同的元件符號代表類似的元件，且其中：

第 1a 及 1b 圖顯示在傳統製造技術階段中的半導體結構的示意性剖視圖；以及

第 2a 至 2c 圖顯示在根據本發明的方法的階段中的半導體結構的示意性剖視圖。

在本文中公開的主題容易受到各種修飾和替代形式影響，其特定具體實施方式已由附圖中的範例的方式表示並在本文中詳細地描述。然而可理解的是，本文所描述的具體實施例並不打算把本發明限制為特定形式，但相反的，目的是包含所有落在由所附申請專利範圍界定的本發明的精神及範疇內的修飾、等效及替換。

【實施方式】

【0029】本發明的各種說明性具體實施例描述如下。為清楚起見，並非所有實際實行的特徵都在本說明書中描述。當然也可以理解，在任何這些實際說明性具體實施例下，必須作出許多實

行的特定決定以達成開發者的特定目標，如符合系統相關及商業相關的約束，其將隨實行而異。此外，可以理解的是，這樣的開發努力可能是複雜且耗時的，但絕不會是那些在本發明中得到益處的本領域的普通技術人員來的例行任務。

【0030】本發明的主題現在將參照附圖而描述。各種結構、系統和設備是針對僅為解釋以便不混淆對那些熟悉本領域的技術人員來說為公知的本發明細節的目的而示意性描繪於附圖中。儘管如此，附圖的加入可以描述及解釋本發明的說明性範例。這裏所用的用詞和短語應被理解及闡釋為具有對由那些熟悉本領域的技術人員所理解的用詞和短語來說為一致的含義。本文中一致用法的術語或短語並沒有意圖暗指術語或短語的特別定義，即由那些本領域的普通技術人員所理解為不同于普通和習慣的意思的定義。當詞語或短語意圖具有特殊含義，即不同於熟悉本領域的技術人員所理解的意思，此種特別定義將以直接及明確地提供該術語或短語的特別定義的定義方式而在說明書中專門闡述。

【0031】在朝向 20 奈米技術節點及/或在 14 奈米技術節點的積體電路電晶體的持續縮放可能增加邊緣性問題(marginalities)、變異性和製造能力的挑戰。在電晶體器件之間的多間距中的持續縮放可能導致空間最小化，其中數種植入物、應力記憶技術、矽化物形成、雙應力襯墊及受應力的接觸都必須在這找到它們的容身之處。因此，進一步的尺寸縮放可能需要大量的努力去想辦法解決每一道工序步驟中的所有邊緣性問題以及減少變異性及邊緣性，以建立非常穩健的(robust)製程。

【0032】本發明的各態樣涉及藉由使用非常適形的間隔件材

料而減少隔離及密集嵌套的電晶體器件之間的變異性。在 28 nm 及其以下的技術節點中，在電晶體器件的源極和汲極區域的形成中使用非常適形的氮化矽間隔件可有利於在單一間距及雙間距的電晶體器件之間減少間隔件特徵的變異性。

【0033】用於氮化矽沉積的傳統的化學氣相沉積製程及/或電漿增強化學氣相沉積製程可能導致對不同的間距器件的負載效應。這樣可能會導致電晶體器件的閾值電壓漂移，及導致對相似的電晶體器件來說有不同的達成目標(targeting)與性能。此外，還可能導致產品性能的退化及可能減少生產過程中的產量。

【0034】使用其中採用原子層沉積的適形氮化矽側壁間隔件以沉積氮化矽可能有助於減少隔離及密集嵌套的電晶體器件之間的變化，這樣除了可有助於改善不同間距的電晶體器件的達成目標也可有助於提高其性能。

【0035】氮化矽的適形原子層沉積可在相對低的溫度下完成，其中可能須要相對比較長的沉積時間，或者在一些具體實施例中，增高的溫度可獲得更快的沉積。

【0036】當氮化矽的整個原子層沉積是在約 400°C 的相對較低的溫度下進行時，可能需要參照第 1a 及 1b 圖的如上所述的單獨的熱退火，以實現可提高電晶體器件性能的應力記憶效應。

【0037】本發明的各態樣提供可在不同溫度條件下進行的原子層沉積製程。通過在增高的溫度下進行氮化矽的原子層沉積，可在沉積製程期間得到在半導體結構中的非晶區域的再結晶。

【0038】由原子層沉積的氮化矽層可具有甚至比藉由化學氣相沉積或等離子增強化學氣相沉積方法所形成的氮化矽層更大的

內部應力。由於由氮化矽層提供的應力及在原子層沉積製程期間非晶區域的再結晶，在藉由原子層沉積方法的氮化矽層沉積期間可得到已形成在半導體材料中的內部應力區域。因此，不需要針對非晶區域再結晶的獨立退火製程並可省去該製程，而同時仍可產生應力記憶效應及提高電晶體器件的性能。

【0039】此外，由於原子層沉積可允許非常適形的氮化矽層的形成，使用原子層沉積製程來沉積氮化矽可有助於減少隔離及密集嵌套的電晶體器件之間的變化。

【0040】原子層沉積製程完成後，氮化矽層可用于形成側壁間隔件，其可在之後用於在閘極與藉由離子植入所形成的源極及汲極區域之間提供想要的距離。

【0041】氮化矽原子層沉積法可在約 400°C 的相對較低的沉積溫度下進行，其中須要長達約七小時的沉積製程的相對較長期間來得到想要的氮化矽層厚度。在相對較低的溫度下進行原子層沉積製程可有助於電晶體器件的寬度在閾值電壓上的影響，其歸因於氧的熱觸發擴散，該氧的熱觸發擴散是從以二氧化矽填充的溝槽隔離結構進入電晶體的通道區。除了需要長期間的沉積製程，由於在溫度為 400°C 下基本上不發生非晶的再結晶，則若整個原子層沉積製程是在低溫下進行，可能需要相似於參照第 1a 和 1b 圖的如上所述的額外熱退火以用於進行應變記憶技術。

【0042】本發明提供數個方法，其中例如為氮化矽層(其可用于應力記憶技術，並且側壁間隔件也可由其所形成)的適形材料層是在可落於約 500°C 至 600°C 範圍的較高溫度下沉積。

【0043】在較高的溫度下，可能發生非晶區域的再結晶，以

及既然由原子層沉積製程沉積的適形氮化矽層可具有相對高的內部應變，可能會發生原位應力記憶效應。可省略如參照第 1a 和 1b 圖所述的額外熱退火。因此，可減少生產時間及製造過程中的成本。此外，在一些具體實施例中，也可減少原子層沉積製程的時間。

【0044】在一些具體實施例中，在半導體材料中的非晶區域形成中，除了例如為惰性氣體離子或元素週期表中的碳族元素離子(如碳、矽及/或鍺)的非摻雜元素的離子之外，還可將氟及/或氮離子植入至半導體材料中。這可有助於防止氧從溝槽隔離結構擴散到半導體材料中，並且可有助於減少伴隨電晶體器件通道區域的寬度不同而變化的電晶體器件閾值電壓的變異。

【0045】可在一些具體實施例中得到的進一步優點包含增進的製造能力及較低的成本、在器件及產品性能的提升、在複雜的設計結構中較低的整體漏電(由於整體較佳的器件達成目標)及產品產量的增加。在具體實施例中，相同的達成目標可用於隔離及密集嵌套的電晶體器件，並可提供高 k 金屬閘極結構的穩固封蓋。

【0046】進一步的具體實施例將參照第 2a 至 2c 圖描述。第 2a 圖顯示在根據本發明的方法的一階段的半導體結構 200 的示意剖視圖。半導體結構 200 包括基板 201。而基板 201 可包含矽。

【0047】在一些具體實施例中，基板 201 可為例如為矽晶圓或矽晶粒的塊體(bulk)半導體基板。在其他具體實施例中，基板 201 可為絕緣體上半導體(SOI)的基板，其中例如為矽的半導體材料的相對薄層形成在例如為二氧化矽的電性絕緣材料層的上方。電性絕緣材料層可在半導體材料層與 SOI 基板(例如其上設有半

導體材料層及電性絕緣材料層的矽晶圓)的其他部分之間提供電性絕緣。

【0048】半導體結構 200 包括電晶體元件 202 及電晶體元件 203。在接下來所描述的方法中，N 通道電晶體可從電晶體元件 202 中形成，而 P 通道電晶體可從電晶體元件 203 中形成。

【0049】電晶體元件 202 包括設置在半導體區域 204 上方的閘極結構 207。依據從電晶體元件 202 中形成的 N 通道電晶體的通道區域的摻雜，半導體區域 204 可以被 P 型摻雜物摻雜。

【0050】同樣，電晶體元件 203 包括設置在半導體區域 205 上方的閘極結構 208。依據從電晶體元件 203 中形成的 P 通道電晶體的通道區域的摻雜，半導體區域 205 可以被 N 型摻雜物摻雜。

【0051】溝槽隔離結構 206 可將半導體區域 204 及半導體區域 205 彼此電性絕緣。此外，溝槽隔離結構 206 可在半導體結構 200 中的半導體區域 204、半導體區域 205 及其它電路元件之間提供電性絕緣。溝槽隔離結構 206 可為淺溝槽隔離結構，其中二氧化矽為提供電性絕緣的介電材料。

【0052】半導體區域 204 及半導體區域 205 可藉由離子植入製程而受到摻雜，其中摻雜物材料的離子被植入至半導體結構 200 中。針對摻雜半導體區域 204，半導體結構 200 可以 p 型摻雜物的離子放射，其中半導體區域 205 可由遮罩覆蓋以使 p 型摻雜物基本上不植入至半導體區域 205 中。

【0053】針對摻雜半導體區域 205，半導體結構 200 可以 N 型摻雜物的離子放射，其中半導體區域 204 可由遮罩覆蓋以基本上防止 N 型摻雜物植入至半導體區域 204 中。

【0054】溝槽隔離結構 206 可借助微影，蝕刻，氧化及沉積技術形成。

【0055】半導體區域 205 可包括應力產生層 231，其包含與半導體區域 205 其餘部分不同的半導體材料。在一些具體實施例中，應力產生層 231 可包含矽/鍺半導體，而半導體區域 205 其餘部分可包含矽。矽/鍺具有比矽大的晶格常數。因此，在應力產生層 231 的材料與半導體區域 205 的其餘部分的材料之間存在晶格失配。晶格失配可產生壓縮應力，特別是在應力產生層 231 與半導體區域 205 的其餘部分之間的接面的附近。壓縮應力可在從電晶體組件 203 中形成的 p 型電晶體的通道區域中增加空穴遷移率。

【0056】應力產生層 231 可藉由用於在矽上生長矽/鍺的選擇性磊晶生長製程的方法所形成。在選擇性磊晶生長製程期間，半導體區域 204 可由例如為包含二氧化矽或氮化矽的硬遮罩覆蓋。由於磊晶生長製程中的選擇性，在遮罩上可得到基本上沒有鍺的沉積或只有少量矽/鍺的沉積。在應力產生層 231 形成後，可去除遮罩。

【0057】電晶體元件 202 的閘極結構 207 可包括閘電極 211 及設置在閘電極 211 與半導體區域 204 之間的閘極絕緣層 209。閘極絕緣層 209 可在閘電極 211 與半導體區域 204 之間提供電性絕緣。閘電極 211 可包括在相鄰閘極絕緣層 209 的閘電極 211 的下部部分的金屬部分 210，而閘電極 211 的其餘部分可包含多晶矽。在閘電極 211 的頂表面上，可設置可包含二氧化矽的蓋帽層 212。在閘電極 211 的側壁處，可設置包含二氧化矽的側壁間隔件 218，且該側壁間隔件 218 可藉由襯墊層 217 而從閘電極 211 分開。襯墊層

217 可包含氮化矽。

【0058】類似地，電晶體元件 203 的閘極結構 208 可包括閘極絕緣層 213、可包括金屬部分 214 的閘電極 215、蓋帽層 216、側壁間隔件 220 及襯墊層 219。

【0059】閘極結構 207 及閘極結構 208 可在半導體區域 204、205 的摻雜之後及可在溝槽隔離結構 206 與應力產生層 231 的形成之後形成。爲了形成閘極結構 207 及閘極結構 208，可例如藉由化學氣相沉積製程或電漿增強化學氣相沉積製程來形成包含有閘極絕緣層 209 及閘極絕緣層 213 的材料的層，例如是如同氮氧矽鉛的高 k 材料層。

【0060】此後，包含閘極結構的 207 的金屬部分 210 的材料可形成在半導體區域 204 上方，而包含閘電極 215 的金屬部分 214 的材料可形成在半導體區域 205 上方。

【0061】在一些具體實施例中，金屬部分 210 及金屬部分 214 可包括相同的材料，如氮化鈦。在這樣的具體實施例中，金屬部分 210 及金屬部分 214 的鄰接層可藉由例如化學氣相沉積製程或電漿增強化學氣相沉積製程的方法而沉積在半導體結構 200 上方。

【0062】在其他具體實施例中，金屬部分 210 及金屬部分 214 可包含不同的材料。例如，N 通道電晶體元件 202 的閘電極 211 的金屬部分 210 可包含鐳(La)或氮化鐳(LaN)，而 P 通道電晶體元件 203 的閘電極 215 的金屬部分 214 可包含鋁(Al)或氮化鋁(AlN)。在這樣的具體實施例中，可使用微影、蝕刻及沉積等技術以用於在半導體區域 204 上方但不在半導體區域 205 上方形成金屬部分

210 的材料層，以及用於在半導體區域 205 上方但不在半導體區域 204 上方形成金屬部分 214 的材料層。

【0063】此外，由閘電極 211 及閘電極 215 的其餘部分中形成的例如為多晶矽層的材料層，以及由蓋帽層 212 及蓋帽層 216 的其餘部分中形成的例如為二氧化矽層的材料層可被沉積在半導體結構 200 上方。此後，包含有閘極絕緣層 209 及閘極絕緣層 213 的材料的層、包含有金屬部分 210 及金屬部分 214 的一或更多的材料的一或更多的層、包含有閘電極 211 及閘電極 215 的其餘部分的材料的層與包含有蓋帽層 212 及蓋帽層 216 的材料的層可藉由微影製程的方法而圖案化，以形成由蓋帽層 212 及蓋帽層 216 覆蓋的閘電極 211 及閘電極 215。

【0064】此後，例如為氮化矽層的襯墊層 217 及襯墊層 219 的材料層與例如為二氧化矽層的側壁間隔件 218 及側壁間隔件 220 的材料層可沉積在半導體結構 200 上方，並可進行一或多道蝕刻製程來形成鄰近閘電極 211 及閘電極 215 的側壁間隔件 218 及側壁間隔件 220，該蝕刻製程可包括非等向性蝕刻製程，該非等向性蝕刻製程適於從具有基本水準表面的半導體結構 200 的一部分去除側壁間隔件 218 及側壁間隔件 220 的材料。

【0065】在閘極結構 207 及閘極結構 208 形成後，源極延伸區 223 及汲極延伸區 224 可形成在半導體區域 204 中。同樣，源極延伸區 225 及汲極延伸區 226 可形成在半導體區域 205 中。在 N 通道電晶體元件 202 中的源極延伸區 223 及汲極延伸區 224 可包括 N 型摻雜物，並且在 P 通道電晶體元件 203 的源極延伸區 225 及汲極延伸區 226 可包括 P 型摻雜物。此外，可在 N 通道電晶體元件

202 中形成包含有 P 型摻雜物的暈區 227 及暈區 228，並且可在 P 通道電晶體元件 203 中形成包含有 N 型摻雜物的暈區 229 及暈區 230。源極延伸區 223、汲極延伸區 224、源極延伸區 225、汲極延伸區 226、暈區 227、228、229、230 可藉由習知的離子植入製程而形成。

【0066】在閘極結構 207 及閘極結構 208 形成後，可在鄰近電晶體元件 202 的閘極結構 207 處形成非晶區域 234 及非晶區域 235。非晶區域 234 可設置在源極延伸區 223 所在的閘極結構 207 的源極側，並且非晶區域 235 可設置在汲極延伸區 224 所在的閘極結構 207 的汲極側。

【0067】在非晶區域 234 及非晶區域 235 的形成中，半導體區域 204 的半導體材料的晶格結構可在非晶區域 234 及非晶區域 235 中破壞，使得非晶區域 234 及非晶區域 235 包含例如為非晶矽的非晶半導體材料。沿著基板 201 的厚度方向(在第 2a 圖的平面中為垂直)的延伸區，其也可表示成非晶區域 234 及非晶區域 235 的深度，可大於源極延伸區 223 及汲極延伸區 224 的深度與暈區 227 及暈區 228 的深度，使得源極延伸區 223、汲極延伸區 224、暈區 227 及暈區 228 的至少一部分是位於非晶區域 234 及非晶區域 235 內。

【0068】而在電晶體組件 203 中未形成非晶化區域。

【0069】爲了在電晶體元件 202 中但不在電晶體組件 203 中形成非晶區域 234 及非晶區域 235，可形成遮罩 232。遮罩 232 可包括光阻，並可藉由微影製程的方法形成。遮罩 232 覆蓋電晶體組件 203，且不覆蓋電晶體組件 202。

【0070】在形成遮罩 232 後，可如第 2a 圖中之箭頭 233 所示意性表示地進行離子植入製程。

【0071】在離子植入製程 233 中，以非摻雜物質的高能離子放射半導體結構 200，該非摻雜物質的高能離子基本上不改變在半導體區域 204 的半導體材料中的電荷載子濃度，或者當其包含在半導體材料內時對電荷載子濃度具有僅為相對小的影響。

【0072】在一些具體實施例中，離子植入製程 233 可包括以例如為惰性氣體離子(例如氦、氖、氬、氪及/或氙)的非摻雜元素的離子放射半導體結構 200。可替換地或附加地，離子植入製程 233 可包括以來自元素週期表中碳族元素的離子放射半導體結構 200，特別是以碳、矽及/或鍺離子放射。

【0073】用於離子植入製程 233 的離子能量可在約 25 至 80 千電子伏的範圍內，且離子劑量可落於從大約 5×10^{14} 個離子/平方公分至約 10^{17} 個離子/平方公分的範圍中。

【0074】除了惰性氣體離子或來自元素週期表碳族中的元素離子之外，在離子植入製程 233 中，可進行共植入製程，其中半導體結構 200 是以氟及/或氮離子放射。氟及/或氮離子的劑量可落於從大約 10^{14} 個離子/平方公分至約 10^{17} 個離子/平方公分的範圍中，且氟及/或氮離子的能量可落於與非摻雜元素的離子能量相同的範圍中。

【0075】在離子植入製程 233 的期間進行氟及/或氮離子的共植入可有助於減少在半導體結構 200 中所形成的電晶體的閾值電壓的變異，該形成在半導體結構 200 中的電晶體的通道區域(在垂直於從源極區至汲極區的長度方向的方向上的電晶體元件的通道

區域延伸區)具有不同寬度，其尤其可能對於如同從電晶體元件 202 中所形成的電晶體的 N 勾道電晶體而言是一個問題。

【0076】其通道區域具有不同寬度的電晶體器件的閾值電壓的變異歸因於在電晶體器件的部分中所積累的氧。氧的積累可能是由於從溝槽隔離結構 206 進入半導體區域 204 及半導體區域 205 的半導體材料內的氧的熱擴散所導致。納入特定電晶體的半導體區域內的氧含量可取決於電晶體的通道區寬度，使得電晶體的閾值電壓可取決於通道區域的寬度。

【0077】氟及/或氮的存在可有助於減少氧的存在對於閾值電壓上的影響。因此，離子植入製程 233 期間中提供氟及/或氮的共植入可有助於避免在製造過程中的後期階段(例如在將參照第 2b 圖的如下所述的原子層磊晶製程期間)中使半導體結構 200 暴露於相對高溫的不利影響。

【0078】第 2b 圖顯示在製造過程中的後期階段中半導體結構 200 的示意剖視圖。在非晶區域 234 及非晶區域 235 形成後，可去除遮罩 232。其後，可形成襯墊層 234。襯墊層 234 可包含二氧化矽，且可藉由化學氣相沉積製程或電漿增強化學氣相沉積製程的方法而形成。

【0079】在襯墊層 234 形成後，可進行由第 2b 圖中的箭頭 236 所示意地標示的原子層沉積製程。在原子層沉積製程 236 中，具有內部應力的材料層 235 是沉積在半導體結構上方。層 235 可包含氮化矽，且氮化矽可具有約 1GPa 的內部拉伸應力。

【0080】在原子層沉積製程 236 中，交替地供給第一前驅體及第二前驅體到半導體表面結構 200 的表面。在示例性具體實施

例中，其中層 235 包含氮化矽，而該第一前驅體可包含矽但不包含氮，且該第二前驅體可包含氮但不包含矽。舉例來說，第一前驅體可包含一氯甲矽烷(SiClH_3)、二氯矽烷(SiCl_2H_2)、三氯矽烷(SiCl_3H)及/或四氯矽烷(SiCl_4)。第二前驅體可包含氨(NH_3)及/或肼(N_2H_4)。

【0081】原子層沉積製程 236 包括多個原子層沉積運轉週期 (cycle)。每個運轉週期包括第一階段及第二階段。在第一階段期間，供給該第一前驅體到半導體表面結構 200 的表面但不供給該第二前驅體。而在第二階段中，供給第二前驅體到半導體表面結構 200 的表面但不供給該第一前驅體。

【0082】諸如進行原子層沉積製程中的溫度、運轉週期的持續時間和運轉週期的階段、以及在各個原子層沉積運轉週期中的第一階段及第二階段的第一前驅體及該第二前驅體的壓力等的原子層沉積製程參數可被適配，使得在各個原子層沉積運轉週期中的第一階段期間，可在半導體表面結構 200 的表面上形成該第一前驅體的單一層。與已形成在半導體表面結構 200 的表面的該第一前驅體的單一層結合的該第一前驅體的分子鍵結可能比與半導體表面結構 200 的未覆蓋表面結合的該第一前驅體的分子鍵結還要弱。因此，在形成單一層該第一前驅體後，基本上不再將該第一前驅體沉積到半導體結構 200 的表面上。

【0083】在各個原子層沉積運轉週期的第二階段，該第二前驅體與吸附在在半導體結構 200 的表面的該第一前驅體反應，且層 235 的材料是在該反應中形成。原子層沉積製程的參數可被適配，使得該第二前驅體的量在與沉積在半導體結構 200 的表面

上的該第一前驅體反應中消耗殆盡。

【0084】因此，在各個原子層沉積運轉週期中形成的層 235 的材料量是基本上受限於由在第一階段期間沉積在半導體結構 200 的表面的該第一前驅體的量。故原子層沉積製程是以自我限制方式進行，其中，在各個原子層沉積運轉週期中，沉積特定量的層 235 的材料。

【0085】可藉由適當選定在原子層沉積製程 236 的期間所進行的原子層沉積運轉週期的數目而控制層 235 的厚度。在一些具體實施例中，層 235 可具有約 22 奈米的厚度。

【0086】由於原子層沉積製程 236 的自我限制生長機制，可得到沉積製程的相對好的適形性。在適形沉積製程中，沉積材料層的厚度(在垂直於材料層所沉積的表面部分上的方向來測量)基本上是獨立於表面部分的取向(orientation)。因此，在原子層沉積製程 236 中所形成的材料層 235 的厚度可基本上等於半導體結構 200 的表面的基本水準部分，舉例來說為閘極結構 207 及閘極結構 208 的頂表面、鄰近閘極結構 207 及閘極結構 208 的半導體區域 204 及半導體區域 205 的表面以及在半導體結構 200 的表面的傾斜部分上(例如閘極結構 207 及閘極結構 208 的側壁)。此外，層 235 的材料厚度可基本上獨立於相鄰的電晶體器件之間間距。

【0087】原子層沉積可在相對大的溫度範圍內進行。特定來說，氮化矽的原子層沉積可在落於約 400°C 至 700°C 的溫度範圍中進行。在各個原子層沉積製程運轉週期的第一階段期間的該第一前驅體的壓力、在各個原子層沉積製程運轉週期的第二階段期間的該第二前驅體的壓力、原子層沉積運轉週期的持續時間以及各

個個別溫度下的原子層沉積運轉週期的第一階段及第二階段的持續時間可被適配，以得到在溫度範圍內的層 235 的材料的自我限制生長。

【0088】在原子層沉積製程是落在約 500°C 至 550°C 的溫度範圍中進行的具體實施例中，原子層沉積製程可在具有落在約 50 至 80Torr 的壓力範圍中的氣體環境下進行，該氣體環境可包括如分子氮(N₂)的惰性氣體加上可作為如上所述的前驅體的氨氣(NH₃)及二氯矽烷(SiCl₂H₂)的各別其中之一。原子層沉積製程的持續時間可能會落在約一小時至約七小時的範圍中，特定來說是落在約兩小時至約七小時的範圍內。

【0089】在其他具體實施例中，例如在原子層沉積製程是在不同溫度下進行的具體實施例中，可使用不同的原子層沉積製程參數，其可借由常規實驗手段而優化，其中，可選地，上述參數可作為起始值。

【0090】在進行原子層沉積製程 236 的至少一部分的溫度及原子層沉積製程 236 的至少一部分的持續時間可選定，使得非晶區域 234 及非晶區域 235 在原子層沉積製程 236 的期間中重新結晶。特定來說，可選定原子層沉積製程 236 的至少一部分的溫度及持續時間，使得非晶區域 234 及非晶區域 235 在原子層沉積製程 236 的期間中基本上完全重新結晶。因此，在原子層沉積製程 236 後，非晶區域 234 及非晶區域 235 的材料可具有晶體結構，而不需要進行額外的退火製程。

【0091】非晶區域 234 及非晶區域 235 的重新結晶是熱觸發程式。在半導體區域 204 包含矽的具體實施例中，非晶區域 234 及

非晶區域 235 的重新結晶可在當半導體結構 200 暴露於約 500°C 或更高的溫度時發生。用於達到基本上完全重新結晶非晶區域 234 及非晶區域 235 的所須時間可取決於溫度，其中，在較高的溫度下，可更快地得到非晶區域 234 及非晶區域 235 的重新結晶。

【0092】在一些具體實施例中，原子層沉積製程 236 的至少一部分可在落在約 500°C 至 600°C 的溫度範圍中進行。在一些具體實施例中，原子層沉積製程的至少一部分可在落在約 550°C 至 600°C 的溫度範圍中進行。

【0093】在約 600°C 或更低溫度下進行原子層沉積製程 236 可有助於減少摻雜物的擴散，特別是來自源極延伸區 223 及源極延伸區 225、汲極延伸區 224、汲極延伸區 226 以及暈區 227、228、229、230 的摻雜物的擴散。然而，在一些具體實施例中，可在原子層沉積製程 236 的至少一部分期間提供高於約 600°C 的溫度。

【0094】在一些具體實施例中，進行原子層沉積製程 236 時的溫度可落於從約 500°C 至 700°C 的範圍中，且原子層沉積製程的持續時間可落於從約一小時至約七小時的範圍中。

【0095】當非晶區域 234 及非晶區域 235 在原子層沉積製程 236 期間重新結晶時，材料層 235 的內部應力可在當非晶區域 234 及非晶區域 235 中的非結晶半導體材料重新結晶時在形成的結晶半導體材料中產生內部應力。因此，在原子層沉積製程 236 期間，應力區域 245 及應力區域 246 可形成在半導體區域 204 中。應力區域 245 及應力區域 246 可在閘極結構 207 下方的電晶體元件 202 的通道區域中提供內部應力，特別是內部拉伸應力。而該內部拉伸應力可提高從電晶體元件 202 中形成的 N 通道電晶體的性能。

【0096】類似於以參照第 1a 及 1b 圖的如上所述的應力記憶技術而形成的應力區域 138 及應力區域 139，當材料層 235 的部分在製造過程的較後階段中去除以用於如將要以參照第 2c 圖的如下所述地從材料層 235 形成側壁間隔件時，形成在半導體區域 204 中的應力區域 245 及應力區域 246 可保持其內部應力。

【0097】在一些具體實施例中，基本上可在整個原子層沉積製程 236 期間提供恒定的半導體結構 200 的溫度。在這些具體實施例中，原子層沉積製程 236 的持續時間可落於從約一小時至約七小時的範圍中。

【0098】然而，本發明為非限制的具體實施例，其中，在進行原子層沉積製程期間的溫度在原子層沉積製程 236 期間中保持基本上地恒定。

【0099】在一些具體實施例中，原子層沉積製程 236 的第一部分可在相對低的溫度下進行。原子層沉積製程 236 的該第一部分可在低於約 500°C 的溫度下進行，例如在落於從約 400°C 至 500°C 的溫度範圍中及/或在落於從約 400°C 至 450°C 的溫度範圍中，其中，基本上不會在非晶區域 234 及非晶區域 235 中得到材料的重新結晶，或者僅發生相對小量的重新結晶。

【0100】在原子層沉積製程 236 的第一部分期間，可進行一些適於沉積材料層 235 的一部分的原子層沉積運轉週期。形成在原子層沉積製程的第一部分期間的材料層 235 的部分可具有內部應力，故在原子層沉積製程 236 的第一部分結束時，基本上整個非晶區域 234 及非晶區域 235 或者非晶區域 234 及非晶區域 235 的至少相對大的部分是暴露於由材料層 235 的第一部分所提供的

應力。

【0101】原子層沉積製程 236 的第二部分可在足以在原子層沉積製程 236 的第二部分期間得到基本上完全重新結晶的非晶區域 234 及非晶區域 235 的相對高的溫度下進行。原子層沉積製程 236 的第二部分可在溫度高於約 500°C 及/或在溫度高於約 550°C 下進行。特定來說，原子層沉積製程 236 的第二部分可在落於從約 500°C 至 700°C 的溫度範圍中、在落於從約 500°C 至 600°C 的溫度範圍中及/或在落於從約 550°C 至 600°C 的溫度範圍中進行。在原子層沉積製程 236 的第二部分中，可形成材料層 235 的第二部分，其也可具有內部應力。

【0102】相比於原子層沉積製程是在基本上恒定溫度下進行的具體實施例，在原子層沉積製程 236 期間增加溫度可有助於在半導體區域 204 的應力區域 245 及應力區域 246 中提供較大的內部應力。這是因為，在這樣的具體實施例中，具有內部應力的材料層 235 的較大部分可在非晶區域 234 及非晶區域 235 中基本數量的材料重新結晶期間表現內部應力。

【0103】在一些具體實施例中，可在原子層沉積製程 236 的第一部分期間提供基本恒定的溫度，並可在原子層沉積製程 236 的第二部分期間提供基本恒定的溫度，其中，在原子層沉積製程 236 的第二部分中的溫度是大於在原子層沉積製程的第一部分中的溫度。可替換地，可在原子層沉積製程 236 期間持續增加半導體結構 200 的溫度。舉例來說，可在原子層沉積製程 236 期間提供溫度的線性增加。

【0104】當半導體結構 200 的溫度是在原子層沉積製程 236

期間增加時，例如為在各個原子層沉積程運轉週期的第一階段及第二階段中各自提供的該第一前驅體及該第二前驅體的壓力、原子層沉積運轉週期的持續時間及/或原子層沉積運轉週期的階段的持續時間等的其他原子層沉積製程 236 的參數可依據溫度的增加而變化，以使在整個原子層沉積製程 236 期間可達到材料的自我限制生長。因此，可得到高度適形的材料層 235。

【0105】第 2c 圖顯示了在生產過程較後階段的半導體結構 200 的示意性剖視圖。在原子層沉積製程 236 後，可進行非等向性刻蝕製程以用於從材料層 235 中形成鄰近電晶體元件 202 的閘極結構 207 的側壁間隔件 237 及鄰近電晶體元件 203 的閘極結構 208 的側壁間隔件 238。可使非等向性刻蝕製程的持續時間適配以令半導體結構 200 表面的基本上水準部分上的材料層 235 的部分被去除，其中襯墊層 234 可使用作為蝕刻停止層。在閘極結構 207 及閘極結構 208 的側壁上的材料層 235 的部分可留存在半導體結構 200 上並形成側壁間隔件 237 及側壁間隔件 238。

【0106】此後，可進行離子植入製程以用於在電晶體元件 202 中形成源極區域 247 及汲極區域 248，且用於在電晶體組件 203 中形成源極區域 249 及汲極區域 250。

【0107】在電晶體元件 202 是 N 通道電晶體元件的具體實施例中，N 型摻雜物可植入至半導體區域 204 中以形成源極區域 247 及汲極區域 248。而在電晶體元件 203 是 P 通道電晶體元件的具體實施例中，P 型摻雜物可植入至半導體區域 205 中以形成源極區域 249 及汲極區域 250。半導體區域 205 可在形成源極區域 247 及汲極區域 248 的期間由遮罩覆蓋，且半導體區域 204 可在形成

源極區域 249 及汲極區域 250 的期間由遮罩覆蓋。

【0108】在形成源極區域 247、源極區域 249、汲極區域 248 及汲極區域 250 期間的可足以在半導體區域 204 的部分中得到 N 型傳導性，其中源極區域 247 及汲極區域 248 與暈區 227 及暈區 228 重迭，且該植入離子劑量可足以在半導體區域 205 的部分中得到 P 型傳導性，其中源極區域 249 及汲極區域 250 與暈區 229 及暈區 230 重迭。

【0109】此後，可進行清洗製程，該清洗製程可為適配於選擇性去除襯墊層 234、蓋帽層 212 及蓋帽層 216 的蝕刻製程。在蓋帽層 212、蓋帽層 216 及襯墊層 234 包含二氧化矽的具體實施例中，該清洗製程可包括暴露半導體結構 200 於稀釋的氫氟酸。在該清洗製程中，暴露在半導體區域 204、半導體區域 205、閘電極 211 及閘電極 215 中的半導體材料。

【0110】此後，可在閘極結構 207 的源極側形成矽化物部分 239，且可在閘電極 211 形成矽化物部分 240，另可在閘極結構 207 的汲極側形成矽化物部分 241。類似地，可在閘極結構 208 的源極側形成矽化物部分 242，且可在閘電極 215 形成矽化物部分 243，另可在閘極結構 208 的汲極側形成矽化物部分 244。這可藉由沉積一層如鎳、鎢、鈷及/或鉑的耐火金屬以及進行退火製程(例如用於起始由金屬及半導體結構 200 的半導體材料產生矽化物的化學反應的快速熱退火製程)而達成。此後，可進行蝕刻製程以去除在矽化物的形成中尚未消耗的金屬。

【0111】以上公開的特定具體實施例僅為示例性的，對於可由本文教示得益的熟悉本領域的技術人員來說，可以不同但等效

的方式來修飾及實行本發明。舉例來說，如上闡述的製程步驟可以不同順序進行。此外，除了如前述的權利要求書所述以外，本發明並不打算對本文所示的結構或設計的細部作限制。因此，明顯的，以上所披露的特定實施例可被改變或修改，並且所有此種的變化都被視為在本發明的範疇與精神內。因此，本文所尋求的保護如上述的申請專利範圍所闡述。

【符號說明】

【0112】

100、200	半導體結構	101、201	基板
102、103、202、203	電晶體元件		
104、105、204、205	半導體區域		
106、206	溝槽隔離結構	107、108、207、208	閘極結構
109、113、209、213	閘極絕緣層		
110、114、210、214	金屬部分		
111、115、211、215	閘電極	112、116、212、216	蓋帽層
117、119、121、217、219	襯墊層		
118、120、218、220	二氧化矽側壁間隔件		
122	氮化矽層	123、125、223、225	源極延伸區
124、126、224、224、226	汲極延伸區		
127、128、129、130、227、228、229、230	暈區		
131、132	非晶區域	133	應力產生材料層
134	N 摻雜源極區	135	N 摻雜汲極區
136	P 摻雜源極區	137	P 摻雜汲極區
138、139、245、246	應力區域		

140、141 側壁間隔件

142、143、144、145、146、147 矽化部分

231 應力產生層 232 遮罩

233 離子植入製程 234、235 非晶區域

236 原子層沉積製程 237、238 側壁間隔件

239、240、241、242、243、244 矽化物部分

247、249 源極區域 248、250 汲極區域

C

O

申請專利範圍

1. 一種形成積體電路的方法，係包括：

設置半導體結構，係包括設置在半導體區域上方的閘極結構；

進行離子植入製程，係非晶化鄰近該閘極結構的該半導體區域的第一部分及鄰近該閘極結構的該半導體區域的第二部分，以使第一非晶區域及第二非晶區域在鄰近該閘極結構處形成；以及

進行原子層沉積製程，係在該半導體結構上方沉積具有內部應力的材料層，以及選定進行該原子層沉積製程的至少一部分的溫度及該原子層沉積製程的該至少一部分的持續時間，使得該第一非晶區域及該第二非晶區域在該原子層沉積製程期間重新結晶，

其中，該原子層沉積製程包括：交替供應包含矽的第一前驅體(precursor)及包含氮的第二前驅體至該半導體結構的表面，其中，該第一前驅體包含一氯甲矽烷、三氯矽烷及四氯矽烷中的至少其中一者，以及該第二前驅體至少包含肼。

2. 如申請專利範圍第 1 項所述的方法，其中，該第一非晶區域及該第二非晶區域在該原子層沉積製程期間基本上完全地重新結晶。
3. 如申請專利範圍第 2 項所述的方法，其中，該第一非晶區域及該第二非晶區域的重新結晶在鄰近該閘極結構處形成第一應力區域及第二應力區域，該第一應力區域及該第二應力區域具有內部應力。

4. 如申請專利範圍第 3 項所述的方法，其中，由該原子層沉積製程所沉積的該材料層的該內部應力為拉伸應力，以及其中，該第一應力區域及該第二應力區域的該內部應力為拉伸應力。
5. 如申請專利範圍第 1 項所述的方法，其中，該原子層沉積製程的該至少一部分係在大於 500°C 及 550°C 的至少其中之一的溫度下進行。
6. 如申請專利範圍第 5 項所述的方法，其中，該原子層沉積製程的該至少一部分係在落於大約 500°C 至 700°C 的範圍、落於大約 500°C 至 600°C 的範圍及落於大約 550°C 至 600°C 的範圍的至少其中之一的溫度下進行。
7. 如申請專利範圍第 6 項所述的方法，其中，在該原子層沉積製程期間，進行該原子層沉積製程時的溫度保持基本上恒定，以及該原子層沉積製程的持續時間落於大約一小時至約七小時的範圍內。
8. 如申請專利範圍第 1 項所述的方法，其中，藉由該原子層沉積製程所沉積的該材料層包括氮化矽。
9. 如申請專利範圍第 1 項所述的方法，其中，該離子植入製程包括以惰性氣體及來自元素週期表中碳族的元素的至少其中一者的離子放射該半導體結構。
10. 如申請專利範圍第 9 項所述的方法，其中，該離子植入製程還包括以氟及氮的至少其中一者的離子放射該半導體結構。
11. 如申請專利範圍第 1 項所述的方法，其中，該閘極結構包括：
閘電極，設置在該半導體區域上方；
閘極絕緣層，設置在該半導體區域及該閘電極之間；以及

第一側壁間隔件，形成在該閘電極的側壁。

12. 如申請專利範圍第 11 項所述的方法，其中，該閘極絕緣層包括具有介電常數大於二氧化矽之介電常數的高 k 材料，以及該閘電極包括金屬。

13. 如申請專利範圍第 11 項所述的方法，還包括：

在進行該原子層沉積製程之前，於鄰近該閘極結構處形成延伸的源極區域及延伸的汲極區域，形成該延伸的源極區域及該延伸的汲極區域包括植入摻雜物材料的離子；以及

在進行該原子層沉積製程之後，進行非等向性蝕刻製程，該非等向性蝕刻製程從在該原子層沉積製程所沉積的該材料層中於該閘極結構的側壁形成第二側壁間隔件，以及於鄰近該閘極結構處形成源極區域及汲極區域，形成該源極區域及該汲極區域包括將摻雜物材料的離子植入該半導體區域中。

14. 如申請專利範圍第 1 項所述的方法，其中，在該原子層沉積製程期間，進行該原子層沉積製程的溫度係增加。

15. 一種形成積體電路的方法，係包括：

設置半導體結構，該半導體結構包括：

第一電晶體元件，該第一電晶體元件包括設置在第一半導體區域上的第一閘極結構；以及

第二電晶體元件，該第二電晶體元件包括設置在第二半導體區域上的第二閘極結構；

該方法還包括：

在鄰近該第一閘極結構的該第一半導體區域中形成第一非晶區域，以及在鄰近該第一閘極結構的該第一半導體區域中

形成第二非晶區域，其中，在該第二半導體區域中不形成非晶區域；以及

進行原子層沉積製程，係在該第一半導體區域及該第二半導體區域之上沉積具有內部應力的材料層，以及選定進行該原子層沉積製程的至少一部分的溫度及該原子層沉積製程的該至少一部分的持續時間，使得該第一非晶區域及該第二非晶區域在該原子層沉積製程期間基本上完全地重新結晶，

其中，該原子層沉積製程包括：交替供應包含矽的第一前驅體(precursor)及包含氮的第二前驅體至該半導體結構的表面，其中，該第一前驅體包含一氯甲矽烷、三氯矽烷及四氯矽烷中的至少其中一者，以及該第二前驅體至少包含脒。

16. 如申請專利範圍第 15 項所述的方法，其中，形成該第一非晶區域及該第二非晶區域包括進行離子植入製程，其中，惰性氣體及來自元素週期表中碳族的元素的至少其中一者的離子係植入至該第一半導體區域中。
17. 如申請專利範圍第 16 項所述的方法，其中，該第二半導體區域包括形成在矽上的矽/鍺的應力產生層。
18. 如申請專利範圍第 17 項所述的方法，其中：

該第一閘極結構包括具有介電常數大於二氧化矽之介電常數的高 k 材料的第一閘極絕緣層、包括第一金屬及第一側壁間隔件的閘電極；

該第二閘極結構包括具有介電常數大於二氧化矽之介電常數的高 k 材料的第二閘極絕緣層、包括第二金屬及第二側壁間隔件的閘電極；

該方法還包括：

在進行該原子層沉積製程之前，選擇性植入 N 型摻雜物的離子至該第一半導體區域中，以於鄰近該第一閘極結構處形成第一源極延伸區域及第一汲極延伸區域，以及選擇性植入 P 型摻雜物的離子至該第二半導體區域中，以於鄰近該第二閘極結構處形成第二源極延伸區域及第二汲極延伸區域；以及

在進行該原子層沉積製程之後，進行非等向性蝕刻製程，以從在該原子層沉積製程所沉積的該材料層中於該第一閘極結構處形成第三側壁間隔件及於該第二閘極結構處形成第四側壁間隔件，以及選擇性植入 N 型摻雜物的離子至該第一半導體區域中，以於鄰近該第一閘極結構處形成第一源極區域及第一汲極區域，以及選擇性植入 P 型摻雜物的離子至該第二半導體區域中，以於鄰近該第二閘極結構處形成第二源極區域及第二汲極區域。

19. 如申請專利範圍第 18 項所述的方法，其中，形成該第一非晶區域及該第二非晶區域還包括以氟及氮的至少其中一者的離子植入該第一半導體區域中。
20. 如申請專利範圍第 19 項所述的方法，其中，在該原子層沉積製程期間，進行該原子層沉積製程的溫度係增加。
21. 一種形成積體電路的方法，係包括：

設置半導體結構，係包括設置在半導體區域上方的閘極結構；

進行離子植入製程，係非晶化鄰近該閘極結構的該半導體區域的第一部分及鄰近該閘極結構的該半導體區域的第二部

分，以使第一非晶區域及第二非晶區域在鄰近該閘極結構處形成；以及

進行原子層沉積製程，係在該半導體結構上方沉積具有內部應力的材料層，以及選定進行該原子層沉積製程的至少一部分的溫度及該原子層沉積製程的該至少一部分的持續時間，使得該第一非晶區域及該第二非晶區域在該原子層沉積製程期間重新結晶，

其中，在該原子層沉積製程期間，進行該原子層沉積製程的溫度係增加。

22. 一種形成積體電路的方法，係包括：

設置半導體結構，該半導體結構包括：

第一電晶體元件，該第一電晶體元件包括設置在第一半導體區域上的第一閘極結構；以及

第二電晶體元件，該第二電晶體元件包括設置在第二半導體區域上的第二閘極結構；

該方法還包括：

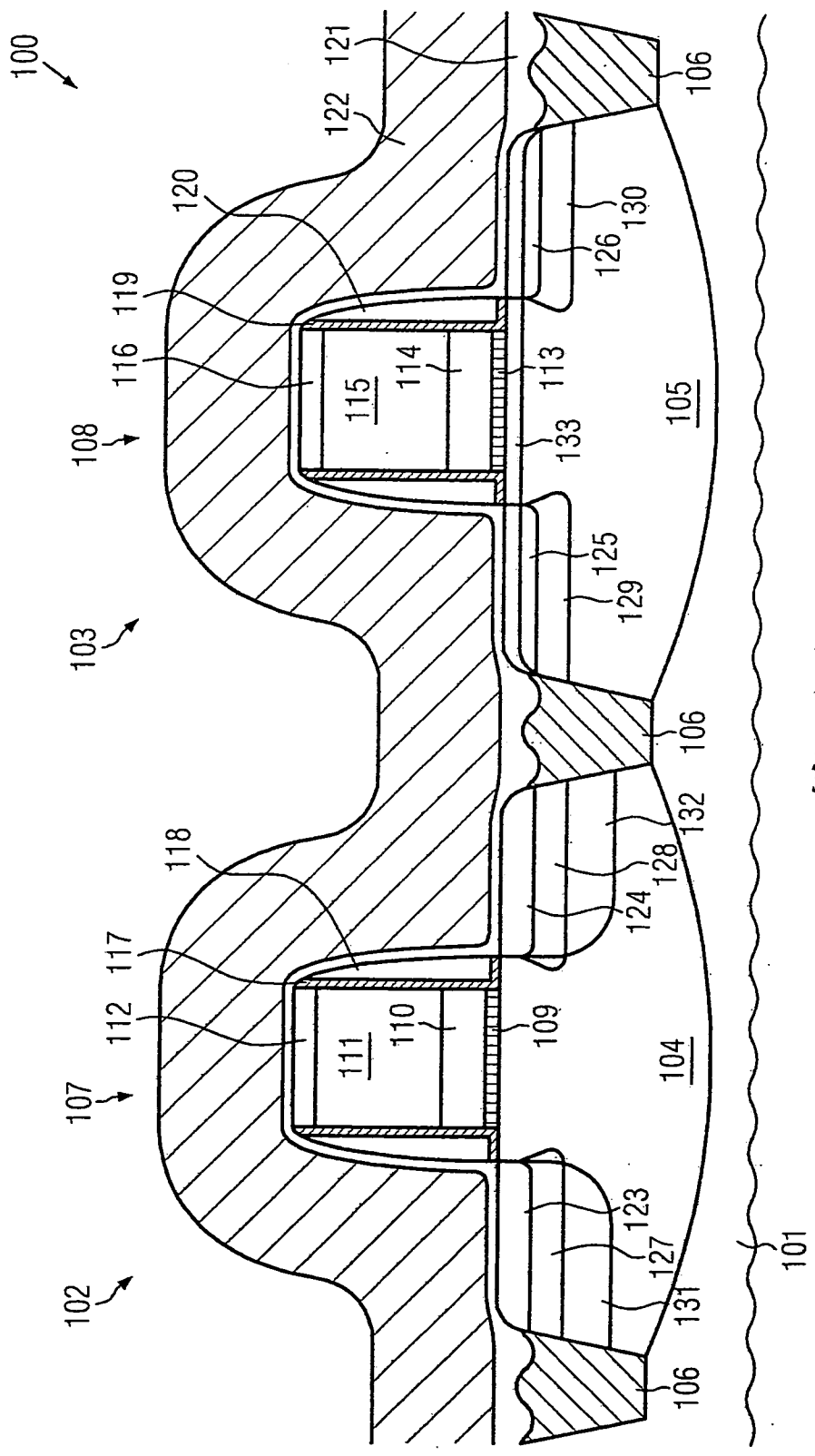
在鄰近該第一閘極結構的該第一半導體區域中形成第一非晶區域，以及在鄰近該第一閘極結構的該第一半導體區域中形成第二非晶區域，其中，在該第二半導體區域中不形成非晶區域；以及

進行原子層沉積製程，係在該第一半導體區域及該第二半導體區域之上沉積具有內部應力的材料層，以及選定進行該原子層沉積製程的至少一部分的溫度及該原子層沉積製程的該至少一部分的持續時間，使得該第一非晶區域及該第二非晶區

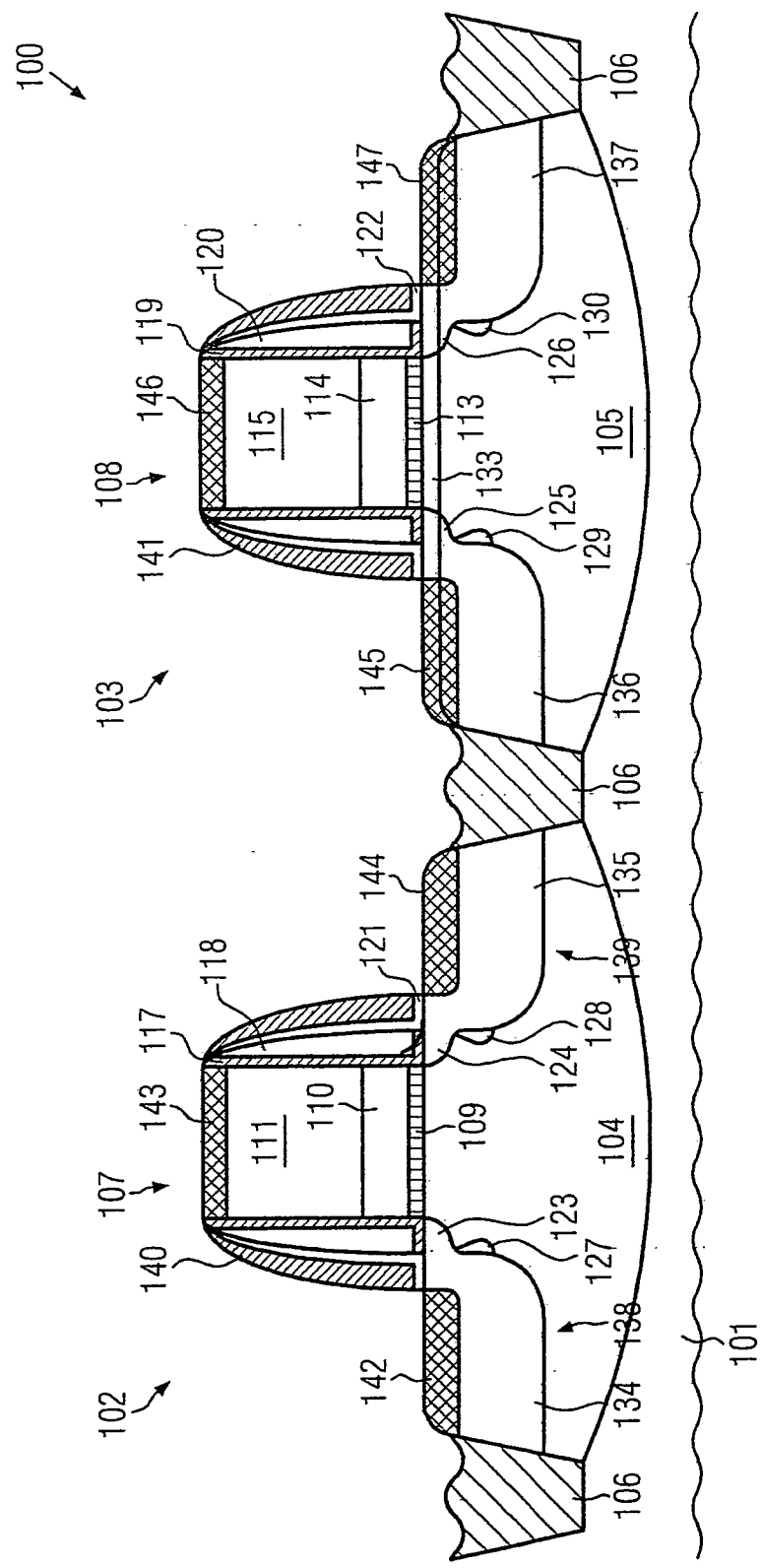
域在該原子層沉積製程期間基本上完全地重新結晶，

其中，在該原子層沉積製程期間，進行該原子層沉積製程的溫度係增加。

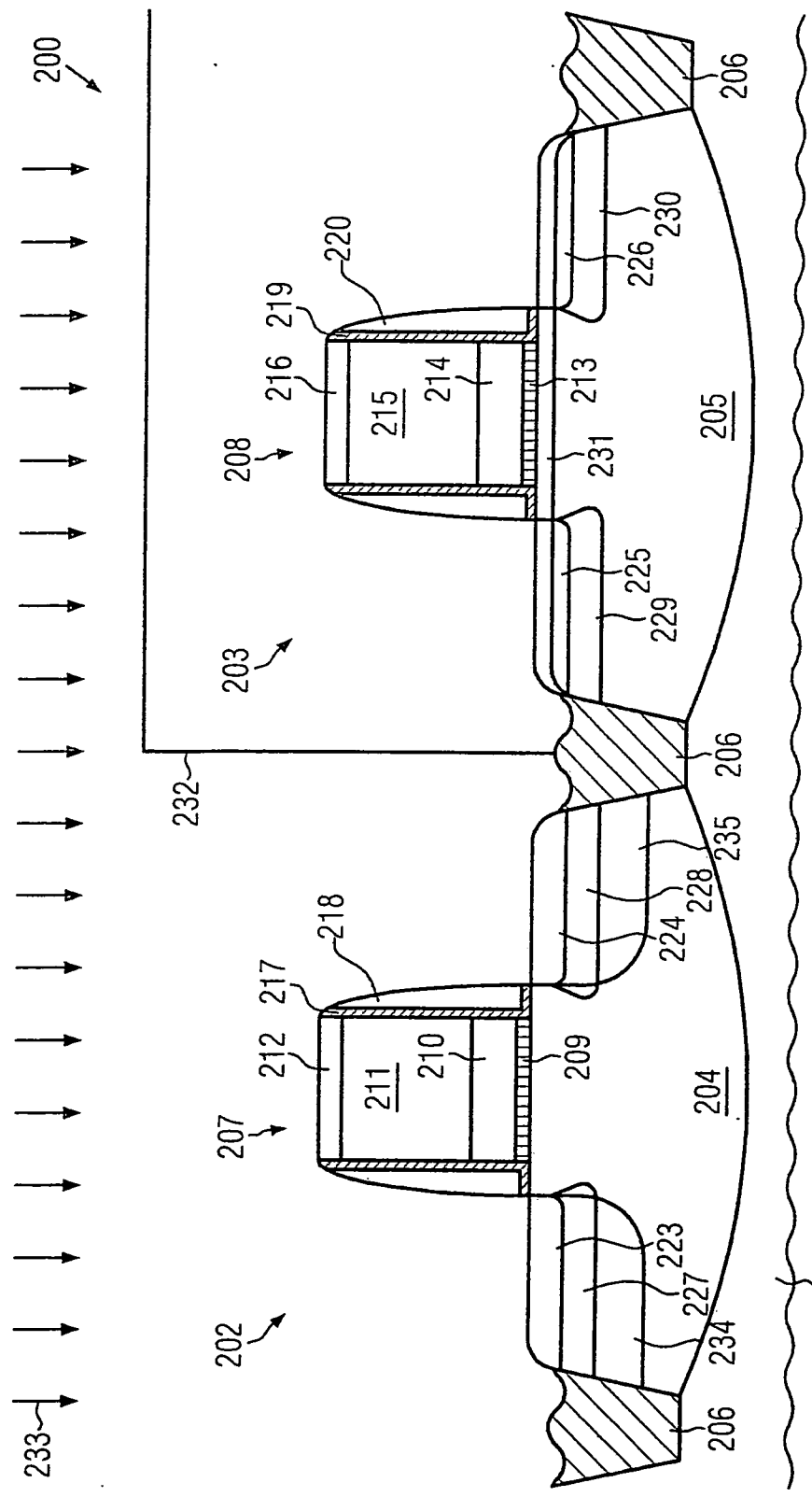
圖式



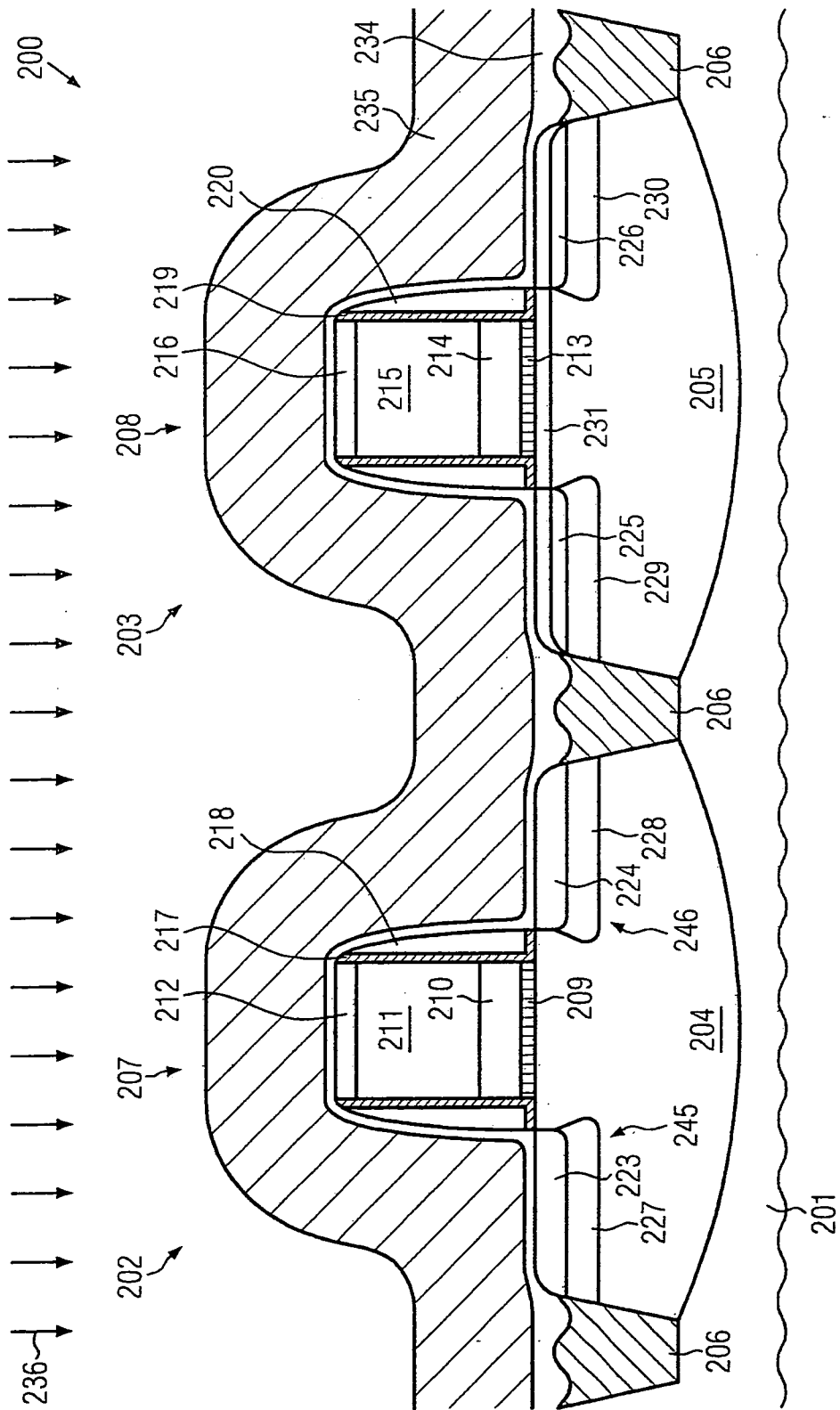
第1a圖
(先前技術)



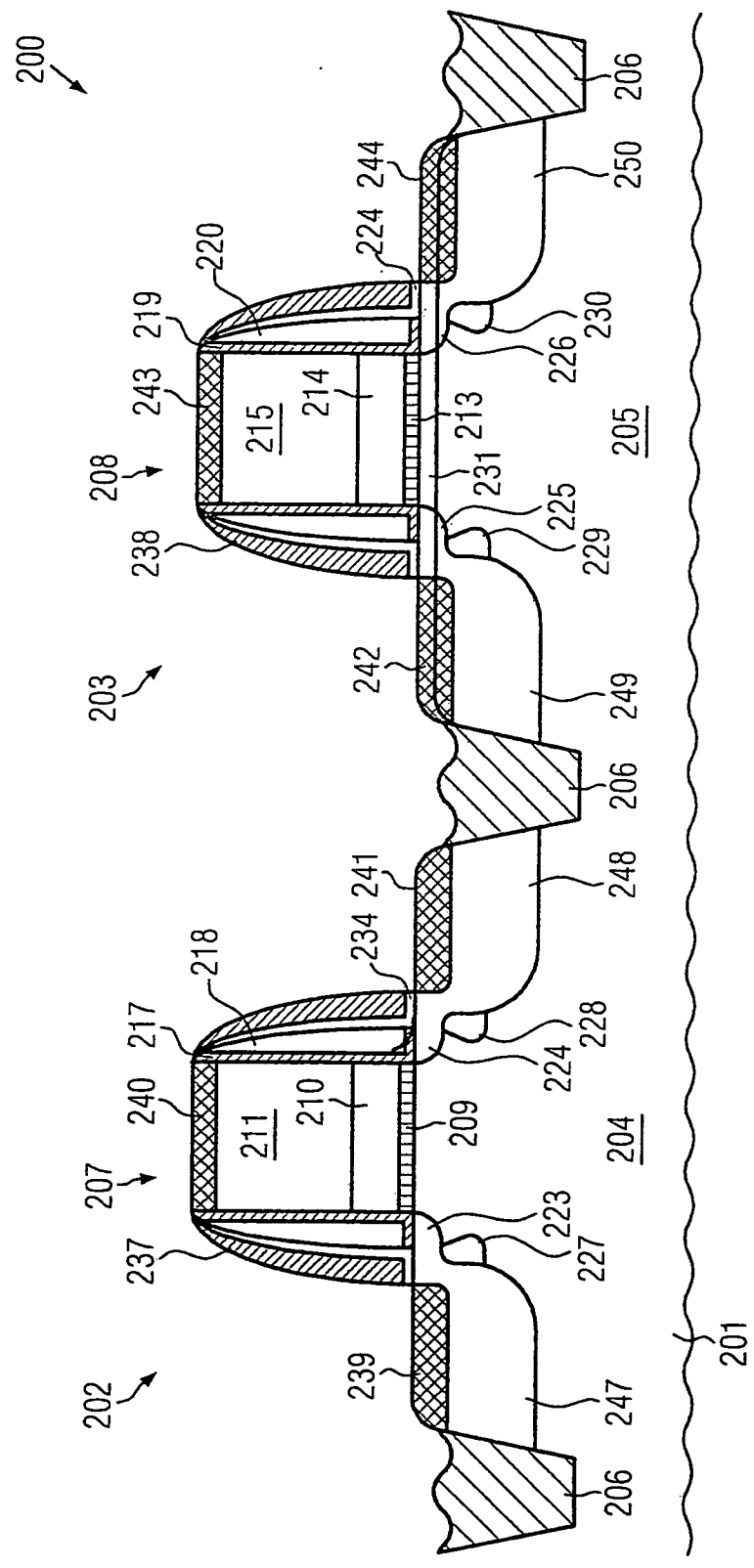
第1b圖
(先前技術)



第2a圖



第2b圖



第2c圖