

①⑨ RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①① N° de publication : **2 995 140**
(à n'utiliser que pour les
commandes de reproduction)
②① N° d'enregistrement national : **12 58244**

⑤① Int Cl⁸ : **H 01 L 29/788** (2013.01), **H 01 L 21/336**

①② **DEMANDE DE BREVET D'INVENTION**

A1

②② Date de dépôt : 04.09.12.

③③ Priorité :

④③ Date de mise à la disposition du public de la
demande : 07.03.14 Bulletin 14/10.

⑤⑥ Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥③ Références à d'autres documents nationaux
apparentés :

⑦① Demandeur(s) : **STMICROELECTRONICS SA Société
anonyme — FR.**

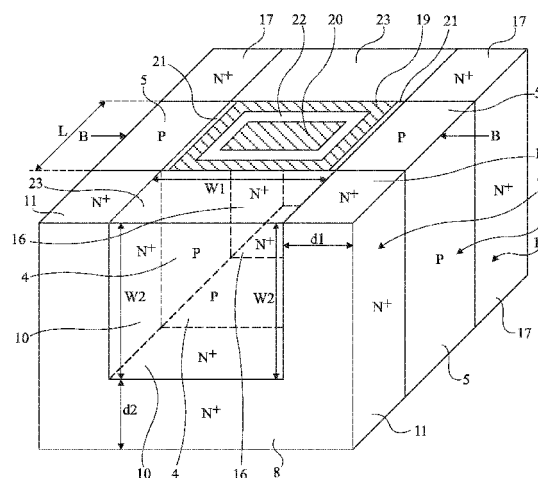
⑦② Inventeur(s) : **QUENETTE VINCENT.**

⑦③ Titulaire(s) : **STMICROELECTRONICS SA Société
anonyme.**

⑦④ Mandataire(s) : **CABINET BEAUMONT.**

⑤④ **TRANSISTOR MOS A GRILLE FLOTTANTE.**

⑤⑦ L'invention concerne un transistor MOS à grille flot-
tante comprenant une région semiconductrice de formation
de canal (1) en forme de "U" et des régions de source et de
drain (7, 13) de même forme de "U" accolées de part et
d'autre de la région de formation de canal, la surface interne
(4) de la région semiconductrice de formation de canal étant
revêtue d'une première grille conductrice (19) isolée elle-
même revêtue d'une seconde grille conductrice (20) isolée.



FR 2 995 140 - A1



TRANSISTOR MOS À GRILLE FLOTTANTEDomaine de l'invention

La présente invention concerne un transistor MOS à grille flottante et un procédé de fabrication d'un transistor MOS à grille flottante.

5 Exposé de l'art antérieur

Des transistors MOS à grille flottante, comprenant une grille de commande et une grille flottante, sont utilisés pour constituer des points mémoire de type EEPROM ("Electrically-Erasable Programmable Read-Only Memory"). La grille flottante
10 permet de stocker des charges et donc une information.

Dans le domaine des composants microélectroniques, un objectif constant est d'améliorer les performances des transistors MOS à simple grille et à grille flottante et d'augmenter leur densité d'intégration dans des puces de circuit
15 intégré. On cherche notamment à augmenter le courant à l'état passant et à réduire les courants de fuite des transistors MOS tout en diminuant leurs dimensions. Avec les structures classiques, ceci pose des difficultés car la miniaturisation des transistors MOS et la réduction de leur longueur de grille
20 entraînent l'apparition de nouveaux effets parasites qui réduisent les performances des transistors et/ou impliquent de recourir à des procédés de fabrication complexes.

Il existe donc un besoin pour un transistor MOS à grille flottante qui présente des performances accrues et dont le procédé de fabrication soit relativement simple à mettre en oeuvre.

5 Résumé

Pour satisfaire ce besoin, un mode de réalisation de la présente invention prévoit un transistor MOS à grille flottante comprenant une région semiconductrice de formation de canal en forme de "U" et des régions de source et de drain de même forme de "U" accolées de part et d'autre de la région de formation de canal, la surface interne de la région semiconductrice de formation de canal étant revêtue d'une première grille conductrice isolée elle-même revêtue d'une seconde grille conductrice isolée.

15 Selon un mode de réalisation de la présente invention, la première grille isolée revêt les parois d'une première ouverture définie par la surface interne de la région de formation de canal et des plans parallèles aux faces principales de la région de formation de canal. La première grille isolée définit une seconde ouverture, et la seconde grille isolée remplit la seconde ouverture de sorte que la surface supérieure de la seconde grille soit au même niveau que les surfaces supérieures des régions de source et de drain.

20 Selon un mode de réalisation de la présente invention, les surfaces internes des régions de source et de drain sont revêtues d'un matériau isolant.

Selon un mode de réalisation de la présente invention, la région de formation de canal et les régions de source et de drain sont formées dans une zone active d'un substrat semiconducteur délimitée par des tranchées d'isolement.

30 Selon un mode de réalisation de la présente invention, la région de formation de canal et les régions de source et de drain sont formées dans une zone active délimitée par des tranchées d'isolement d'une couche semiconductrice recouvrant une couche isolante.

Selon un mode de réalisation de la présente invention, la longueur de la première grille conductrice est comprise entre 10 nanomètres et 5 micromètres. La dimension du fond de la région de formation de canal en forme de "U" est comprise entre
5 0,05 micromètres et 5 micromètres, et la hauteur des branches de la région de formation de canal est comprise entre 5 nanomètres et 5 micromètres.

Un mode de réalisation de la présente invention prévoit en outre un procédé de fabrication d'un transistor MOS à
10 grille flottante dans une zone active délimitée par un anneau d'isolement d'une couche semiconductrice d'un premier type de conductivité, comprenant les étapes suivantes consistant à former une ouverture dans la zone active de façon à conserver des première et seconde bandes semiconductrices parallèles de
15 part et d'autre de l'ouverture ; remplir l'ouverture d'un matériau sacrificiel ; éliminer partiellement le matériau sacrificiel de façon à conserver une bande centrale de matériau sacrificiel s'étendant de la première bande à la seconde bande perpendiculairement à la première et à la seconde bande ;
20 implanter des éléments dopants dans les première et seconde bandes et dans la zone active de façon à obtenir des première et deuxième régions en forme de "U" fortement dopées du second type de conductivité de part et d'autre d'une troisième région en forme de "U" dopée du premier type de conductivité, la surface
25 interne de la troisième région étant recouverte du matériau sacrificiel ; revêtir les surfaces internes des première et deuxième régions d'un matériau isolant ; éliminer le matériau sacrificiel ; revêtir les parois des surfaces internes de la troisième région d'une première grille conductrice isolée de
30 façon qu'il subsiste une ouverture non remplie ; et remplir ladite ouverture d'une seconde grille conductrice isolée.

Selon un mode de réalisation de la présente invention, la couche semiconductrice est la partie supérieure d'un substrat semiconducteur.

Selon un mode de réalisation de la présente invention, la couche semiconductrice repose sur une couche isolante reposant elle-même sur un substrat semiconducteur.

Brève description des dessins

5 Ces objets, caractéristiques et avantages, ainsi que d'autres seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1A est une vue en perspective représentant
10 de façon schématique un mode de réalisation d'un transistor MOS à grille flottante, et les figures 1B et 1C sont respectivement des vues en coupe et de dessus correspondant à la figure 1A ; et

les figures 2A à 2J sont des vues en coupe et en perspective illustrant des étapes successives d'un mode de
15 réalisation d'un procédé de fabrication du transistor MOS à grille flottante des figures 1A à 1C.

Par souci de clarté, de mêmes éléments ont été désignés par de mêmes références dans les différentes figures et, de plus, comme cela est habituel dans la représentation des
20 composants microélectroniques, les diverses figures ne sont pas tracées à l'échelle.

Description détaillée

La figure 1A est une vue en perspective représentant de façon schématique un mode de réalisation d'un transistor MOS
25 à grille flottante. La figure 1B est une vue en coupe suivant le plan B-B de la figure 1A. La figure 1C est une vue de dessus correspondant à la figure 1A.

Une région 1 en forme de "U" en un matériau semiconducteur, par exemple en silicium, est dopée de type P. La
30 région 1 en forme de "U" comprend deux faces principales parallèles au plan de coupe de la figure 1B. Outre ces faces principales, la région 1 a une surface interne 4 et une surface externe 5.

Deux régions 7 et 13 en forme de "U" du même matériau
35 semiconducteur que la région 1 sont fortement dopées de type N.

Comme la région 1, les régions 7 et 13 comprennent chacune deux faces principales parallèles. L'une des faces principales de la région 7, la face 8, est la face avant de la figure 1A. La région 7 a une surface interne 10 et une surface externe 11, et
5 la région 13 a une surface interne 16 et une surface externe 17. Les régions 7 et 13 sont accolées à la région 1 de part et d'autre de celle-ci.

L'ouverture définie par la surface interne 4 de la région en U 1 et par des plans parallèles aux faces principales
10 de cette région 1, est partiellement remplie d'un matériau conducteur 19 isolé de la surface interne 4 par une couche isolante 21. Le reste de l'ouverture est rempli d'un matériau conducteur 20 isolé du matériau conducteur 19 par une couche isolante 22, de sorte que la surface supérieure du matériau
15 conducteur 20 est au même niveau que celles des régions en U 1, 7 et 13. Les matériaux conducteurs 19 et 20 sont par exemple en silicium polycristallin fortement dopé ou en un matériau métallique.

Les ouvertures définies par la surface interne 10 de la région en U 7 et par la surface interne 16 de la région en U 13 sont remplies d'un matériau isolant 23. Le matériau isolant 23 comprend par exemple un matériau à faible permittivité diélectrique.

Dans ce transistor MOS à grille flottante, le matériau
25 conducteur 19 correspond à la grille flottante et le matériau conducteur 20 à la grille de commande. Les régions 7 et 13 correspondent aux régions de source et de drain du transistor MOS. Un canal de conduction est susceptible de se former dans la région 1. Ce canal de conduction a une forme de "U". Le matériau
30 de la couche isolante 21 et son épaisseur sont choisis pour qu'il puisse exister un transfert de charges entre la région de formation de canal 1 du transistor et la grille flottante 19. Le transfert de charges est par exemple réalisé par effet tunnel (Fowler-Nordheim) au travers de la couche isolante 21,
35 permettant de retirer les charges négatives stockées dans la

grille flottante 19, ou par injection de porteurs chauds, permettant aux électrons de la région de formation de canal 1 de passer dans la grille flottante 19. La couche isolante 22 est par exemple un empilement constitué d'une couche de nitrure de silicium comprise entre deux couches d'oxyde de silicium, couramment désigné dans la technique par l'acronyme ONO ("Oxide Nitride Oxide" - Oxyde Nitrure Oxyde).

On désigne par d_1 les largeurs des branches des régions en U 1, 7 et 13 et par d_2 la hauteur du fond de ces régions. On pourra choisir ces dimensions d_1 , d_2 de façon que, à l'état passant, la région de formation de canal 1 soit complètement désertée.

Dans un tel transistor MOS à grille flottante, la longueur de grille correspond à l'épaisseur L de la région 1. La largeur de grille W correspond à la valeur du périmètre interne du U, soit $W=2W_2+W_1$, W_2 désignant la hauteur des branches et W_1 la dimension du fond du U (voir figure 1B).

La longueur de grille L peut être comprise entre 10 nm et quelques micromètres, par exemple entre 10 nm et 5 μm , par exemple de l'ordre de 100 nm. La dimension W_1 peut être comprise entre 0,05 μm et quelques micromètres, par exemple entre 0,05 μm et 5 μm , par exemple de l'ordre de 100 nm. La dimension W_2 peut être comprise entre quelques nanomètres et quelques micromètres, par exemple entre 5 nm et 5 μm , par exemple de l'ordre de 100 nm.

La structure illustrée en figure 1A est formée dans la partie supérieure d'un substrat semiconducteur de type P et est délimitée par des tranchées d'isolement. Le fond de la structure, à la distance $t=W_2+d_2$ de la surface supérieure de la structure, repose sur une couche semiconductrice ou, dans le cas d'une technologie de type SOI (silicium-sur-isolant, "Silicon-On-Insulator"), sur une couche isolante ou sur une couche semiconductrice recouvrant une couche isolante.

Un avantage d'un transistor MOS à grille flottante du type de celui décrit en relation avec les figures 1A à 1C réside

dans le fait que, pour une surface de zone active donnée, la largeur de grille effective W du transistor MOS est nettement supérieure à celle d'un transistor MOS à grille flottante classique (de largeur de grille W_1).

5 Un autre avantage d'un transistor MOS à grille flottante du type de celui décrit en relation avec les figures 1A à 1C réside dans le fait que la capacité de couplage entre la grille flottante et la grille de commande est accrue.

10 Un autre avantage d'un transistor MOS à grille flottante du type de celui décrit en relation avec les figures 1A à 1C est lié au fait que la surface supérieure de ce transistor est plane, la surface de la grille de commande 20 et celles des régions de source et de drain 7 et 13 étant au même niveau. Les contacts de grille de commande, de source et de
15 drain du transistor MOS peuvent alors être formés plus facilement que dans le cas d'un transistor MOS à grille flottante classique dans lequel la surface supérieure de la grille de commande est au-dessus de la surface supérieure des régions de source et de drain.

20 Les figures 2A à 2J sont des vues en coupe et en perspective illustrant de façon schématique des étapes successives d'un exemple de procédé de fabrication sur substrat massif d'un transistor MOS à grille flottante du type de celui illustré en figures 1A à 1C.

25 La figure 2A représente une portion d'un substrat semiconducteur 31, dopé de type P, comprenant une zone active 33 délimitée par un anneau d'isolement 35, par exemple en oxyde de silicium. La portion de l'anneau d'isolement 35 située en avant du plan de coupe n'est pas visible. Eventuellement, une couche
30 isolante enterrée (non représentée) peut également délimiter la zone active 33 en profondeur pour l'isoler du reste du substrat 31.

 A l'étape illustrée en figure 2B, une ouverture parallélépipédique 37 a été formée dans la zone active 33 à
35 partir de la surface supérieure du substrat. Dans une des deux

directions du plan, notée y , l'ouverture a été formée sur toute la longueur de la zone active 33 de sorte que les bords de l'ouverture 37 coïncident avec les bords internes de l'anneau d'isolement 35. Dans la direction perpendiculaire, notée x ,
5 l'ouverture 37 a été formée sur une largeur plus faible que celle de la zone active 33 de sorte que deux bandes parallèles de matériau semiconducteur 39 et 41 de mêmes dimensions soient conservées de part et d'autre de l'ouverture 37. L'ouverture a été formée dans le substrat 31 jusqu'à atteindre une profondeur
10 W_2 .

A l'étape illustrée en figure 2C, l'ouverture 37 a été remplie d'un matériau sacrificiel 43, par exemple du silicium-germanium.

A l'étape illustrée en figure 2D, le matériau
15 sacrificiel 43 a été partiellement éliminé de façon à conserver uniquement une bande centrale 51 du matériau sacrificiel s'étendant dans la direction x de la bande 39 à la bande 41 de matériau semiconducteur. Pour cela, une bande de résine 49 a été préalablement disposée au-dessus de la bande 51 du matériau
20 sacrificiel 43 qu'on ne veut pas éliminer. Après gravure sélective et anisotrope du matériau sacrificiel 43, on obtient deux ouvertures 45 et 47 de profondeur W_2 de part et d'autre de la bande 51 de matériau sacrificiel dans la direction y .

A l'étape illustrée en figure 2E, des éléments dopants
25 de type N ont été implantés dans le substrat 31 de type P, dans les portions des bandes 39 et 41 non protégées par la bande de résine 49 et sur une profondeur d_2 dans la zone active 33 entre les bandes parallèles 39 et 41. Après implantation, on obtient deux régions 55 et 57 en forme de "U" fortement dopées de type
30 N, de part et d'autre d'une région 53 en forme de "U" dopée de type P. Ces régions 55 et 57 correspondent aux régions de source et de drain du transistor MOS en cours de formation, et la région 53 à la région de formation du canal de conduction.

A l'étape illustrée en figure 2F, les ouvertures 45 et
35 47 formées à l'étape illustrée en figure 2D ont été remplies

d'un matériau isolant 59. Le matériau isolant 59 comprend par exemple un matériau à faible permittivité diélectrique.

A l'étape illustrée en figure 2G, la bande de résine 49 et le matériau sacrificiel 43 ont été éliminés. On obtient
5 une nouvelle ouverture 61 découvrant la surface interne de la région 53 en forme de "U".

A l'étape illustrée en figure 2H, une fine couche 63 d'un matériau isolant a été formée sur les parois et le fond de l'ouverture 61, c'est-à-dire sur la surface interne de la région
10 53 et éventuellement sur les faces en regard de matériau isolant 59. La couche isolante 63 est par exemple en un matériau à forte permittivité diélectrique, par exemple en oxyde d'hafnium (HfO_2) ou en oxyde de zirconium (ZrO_2), ou en une combinaison de plusieurs matériaux à forte permittivité diélectrique. Après la
15 formation de la fine couche isolante 63, il reste une ouverture 65.

A l'étape illustrée en figure 2I, un matériau conducteur 67 de grille flottante a été formé sur la surface interne de la région en U 53 revêtue de la couche isolante 63,
20 sans remplir complètement l'ouverture 65. Le matériau conducteur 67 est par exemple du silicium polycristallin ou un matériau métallique.

A l'étape illustrée en figure 2J, le reste de l'ouverture 65 a été rempli d'un matériau conducteur 69 de grille de commande isolé du matériau conducteur 67 par une
25 couche isolante 68. A l'issue de cette étape, la surface supérieure du matériau conducteur 69 est au même niveau que celles des régions de source, de drain et de formation de canal 55, 57 et 53. La couche isolante 68 est par exemple un
30 empilement de type ONO et le matériau conducteur 69 est par exemple de même nature que le matériau conducteur 67.

Des modes de réalisation particuliers de la présente invention ont été décrits. Diverses variantes et modifications apparaîtront à l'homme de l'art.

Bien que l'on ait décrit un transistor MOS à grille flottante formé dans un substrat semiconducteur dopé de type P, comprenant des régions de source et de drain fortement dopées de type N et une région de formation de canal dopée de type P, le
5 transistor MOS peut être formé dans un substrat semiconducteur dopé de type N et comprendre des régions de source et de drain fortement dopées de type P et une région de formation de canal dopée de type N.

Les matériaux conducteurs 19 et 20 peuvent être
10 constitués d'un empilement de différents matériaux conducteurs.

Bien que l'on ait décrit un transistor MOS à grille flottante comprenant des régions de source et de drain et une région de formation de canal en un même matériau semiconducteur, les régions de source et de drain pourront éventuellement être
15 en un matériau différent de celui de la région de formation de canal. De plus, on pourra compléter ou remplacer l'étape de formation par implantation d'éléments dopants des régions de source et de drain par une étape de siliciuration.

Bien que l'on ait décrit un transistor MOS à grille
20 flottante formé dans un substrat semiconducteur massif, le transistor MOS pourra bien entendu être formé dans la couche semiconductrice supérieure d'un substrat de type silicium-sur-isolant (SOI). Les régions en U 1, 7 et 13 de transistors MOS à grille flottante du type illustré en figures 1A-1C seront alors
25 formées dans la couche semiconductrice supérieure du substrat SOI.

Bien que l'on ait décrit un procédé de fabrication d'un transistor MOS à grille flottante utilisant un matériau sacrificiel en silicium-germanium, on pourra bien entendu
30 utiliser tout matériau pouvant être gravé sélectivement par rapport au matériau isolant 59 et par rapport au matériau semiconducteur du substrat massif ou de la couche supérieure du substrat de type SOI dans lequel est formé le transistor MOS.

On a décrit ci-dessus un transistor MOS à grille
35 flottante comprenant une grille flottante et une grille de

commande remplissant l'ouverture définie par la surface interne d'une région de formation de canal en forme de U et des plans parallèles aux faces principales de cette région, de sorte que la surface supérieure de la grille de commande est au même
5 niveau que celles des régions de source, de drain et de formation de canal. Selon une variante d'un transistor MOS à grille flottante du type décrit ci-dessus, la grille flottante peut remplir entièrement l'ouverture définie par la surface interne de la région de formation de canal en forme de U et des
10 plans parallèles aux faces principales de cette région, de sorte que la surface supérieure de la grille flottante et celles des régions de source et de drain soient au même niveau. La grille de commande est alors disposée au-dessus de la surface supérieure de la grille flottante avec interposition d'une
15 couche isolante.

REVENDEICATIONS

1. Transistor MOS à grille flottante comprenant une région semiconductrice de formation de canal (1) en forme de "U" et des régions de source et de drain (7, 13) de même forme de "U" accolées de part et d'autre de la région de formation de canal, la surface interne (4) de la région semiconductrice de formation de canal étant revêtue d'une première grille conductrice (19) isolée elle-même revêtue d'une seconde grille conductrice (20) isolée.

2. Transistor MOS à grille flottante selon la revendication 1, dans lequel la première grille isolée (19) revêt les parois d'une première ouverture définie par la surface interne (4) de la région de formation de canal et des plans parallèles aux faces principales de la région de formation de canal, dans lequel cette première grille définit une seconde ouverture, et dans lequel la seconde grille isolée (20) remplit la seconde ouverture de sorte que la surface supérieure de la seconde grille soit au même niveau que les surfaces supérieures des régions de source et de drain (7, 13).

3. Transistor MOS à grille flottante selon la revendication 1 ou 2, dans lequel les surfaces internes (10, 16) des régions de source et de drain (7, 13) sont revêtues d'un matériau isolant (23).

4. Transistor MOS à grille flottante selon l'une quelconque des revendications 1 à 3, dans lequel la région de formation de canal (1) et les régions de source et de drain (7, 13) sont formées dans une zone active d'un substrat semiconducteur délimitée par des tranchées d'isolement.

5. Transistor MOS à grille flottante selon l'une quelconque des revendications 1 à 3, dans lequel la région de formation de canal (1) et les régions de source et de drain (7, 13) sont formées dans une zone active délimitée par des tranchées d'isolement d'une couche semiconductrice recouvrant une couche isolante.

6. Transistor MOS à grille flottante selon l'une quelconque des revendications 1 à 5, dans lequel la longueur (L) de la première grille conductrice est comprise entre 10 nanomètres et 5 micromètres, dans lequel la dimension (W1) du fond de la région de formation de canal (1) en forme de "U" est comprise entre 0,05 micromètres et 5 micromètres, et dans lequel la hauteur (W2) des branches de la région de formation de canal est comprise entre 5 nanomètres et 5 micromètres.

7. Procédé de fabrication d'un transistor MOS à grille flottante dans une zone active (33) délimitée par un anneau d'isolement (35) d'une couche semiconductrice (31) d'un premier type de conductivité, comprenant les étapes suivantes :

former une ouverture (37) dans la zone active de façon à conserver des première et seconde bandes semiconductrices parallèles (39, 41) de part et d'autre de l'ouverture ;

remplir l'ouverture d'un matériau sacrificiel (43) ;
éliminer partiellement le matériau sacrificiel de façon à conserver une bande centrale (51) de matériau sacrificiel s'étendant de la première bande à la seconde bande perpendiculairement à la première et à la seconde bande ;

implanter des éléments dopants dans les première et seconde bandes et dans la zone active de façon à obtenir des première (55) et deuxième (57) régions en forme de "U" fortement dopées du second type de conductivité de part et d'autre d'une troisième région (53) en forme de "U" dopée du premier type de conductivité, la surface interne de la troisième région étant recouverte du matériau sacrificiel ;

revêtir les surfaces internes des première et deuxième régions d'un matériau isolant (59) ;

éliminer le matériau sacrificiel ;

revêtir les parois des surfaces internes de la troisième région d'une première grille conductrice (67) isolée de façon qu'il subsiste une ouverture non remplie; et

remplir ladite ouverture d'une seconde grille conductrice (69) isolée.

8. Procédé selon la revendication 7, dans lequel la couche semiconductrice (31) est la partie supérieure d'un substrat semiconducteur.

5 9. Procédé selon la revendication 7, dans lequel la couche semiconductrice (31) repose sur une couche isolante reposant elle-même sur un substrat semiconducteur.

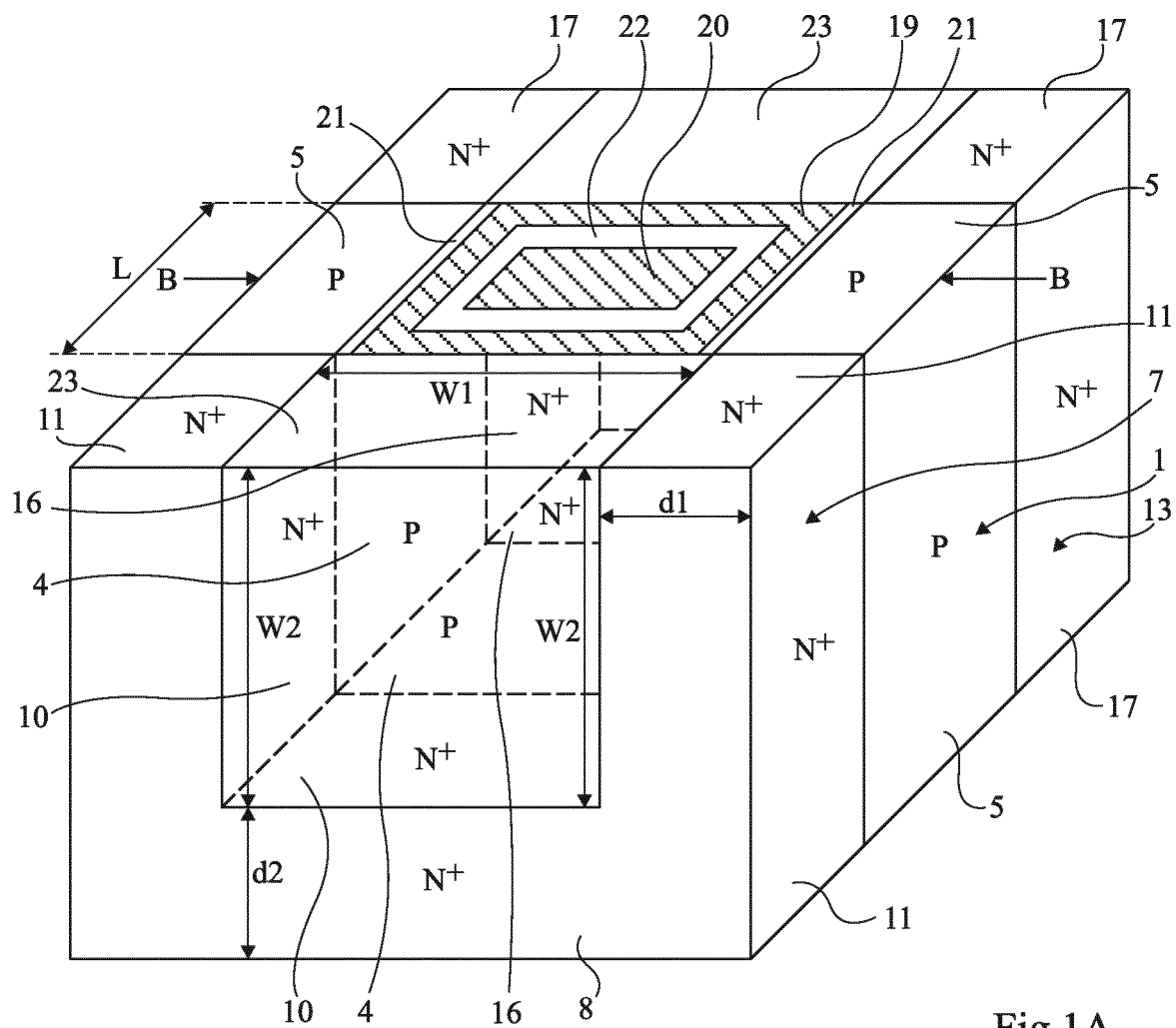


Fig 1A

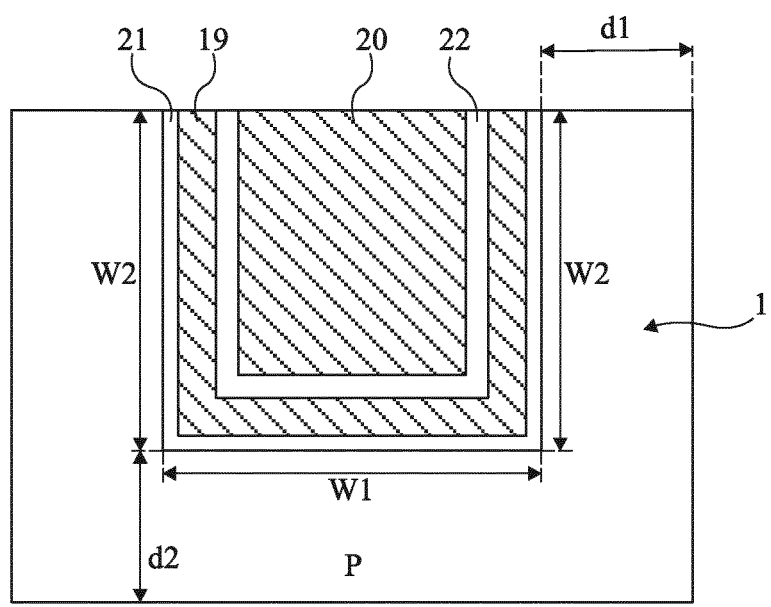


Fig 1B

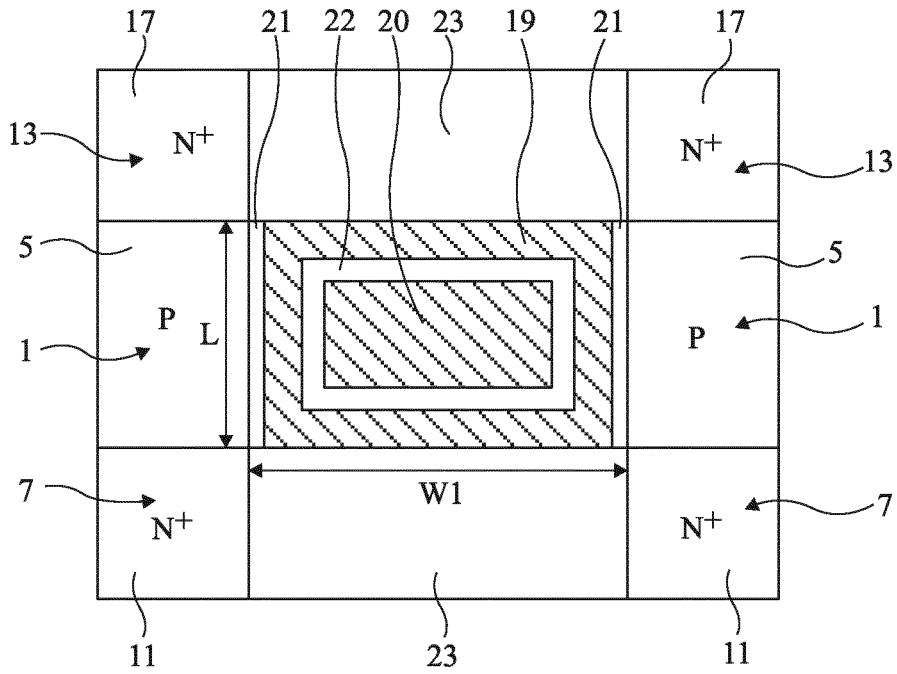


Fig 1C

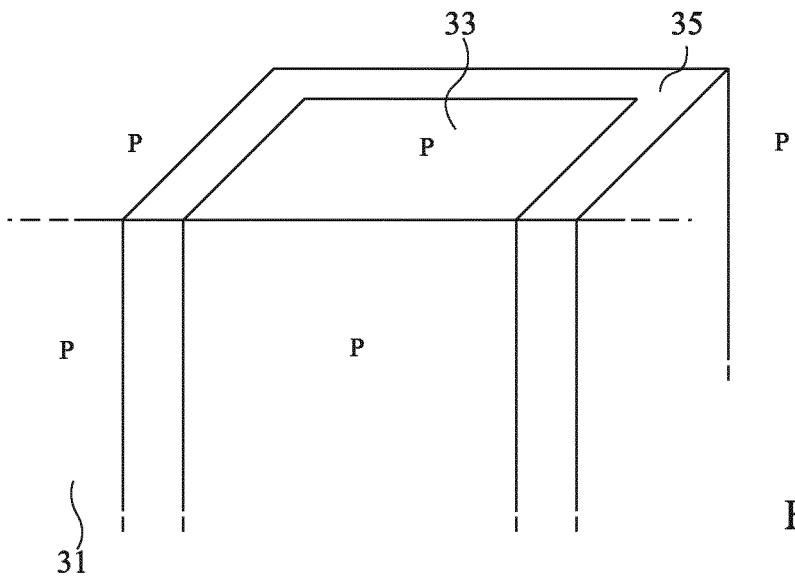


Fig 2A

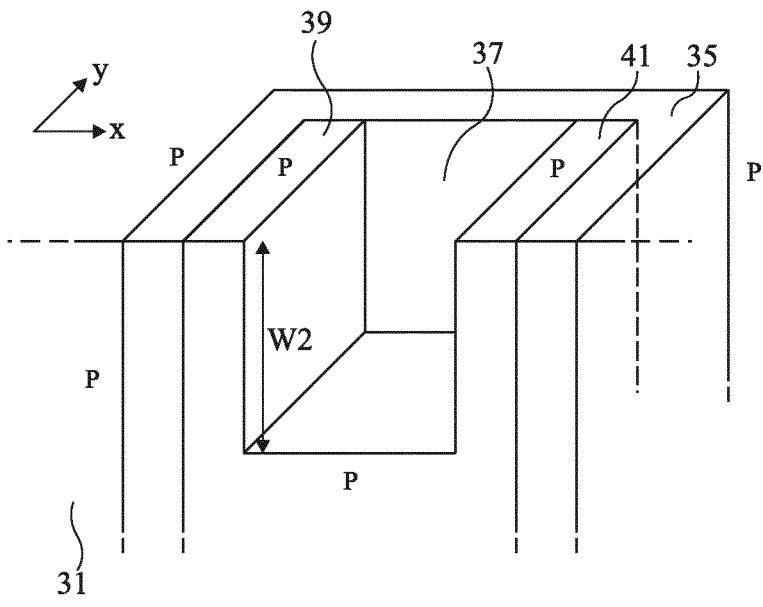


Fig 2B

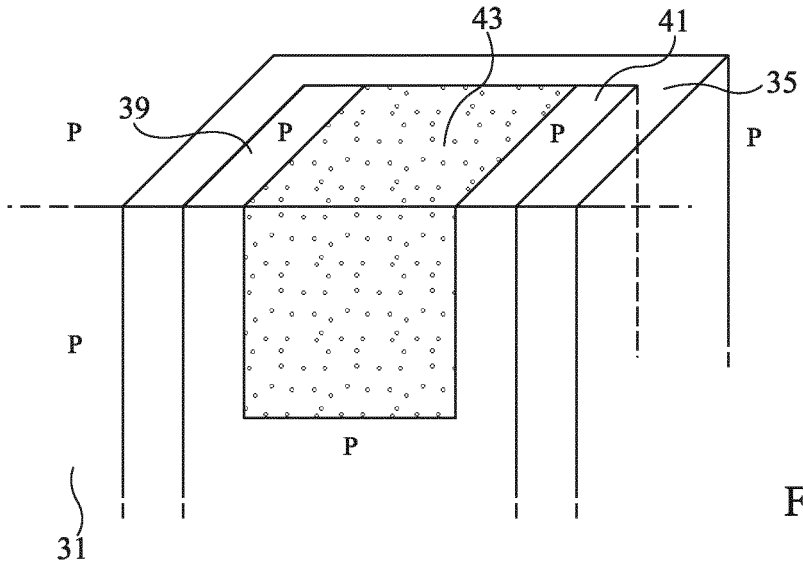


Fig 2C

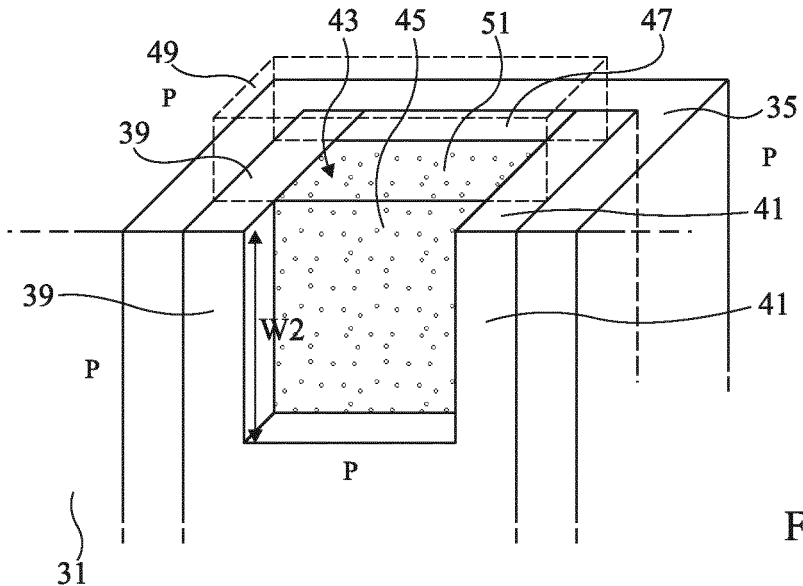


Fig 2D

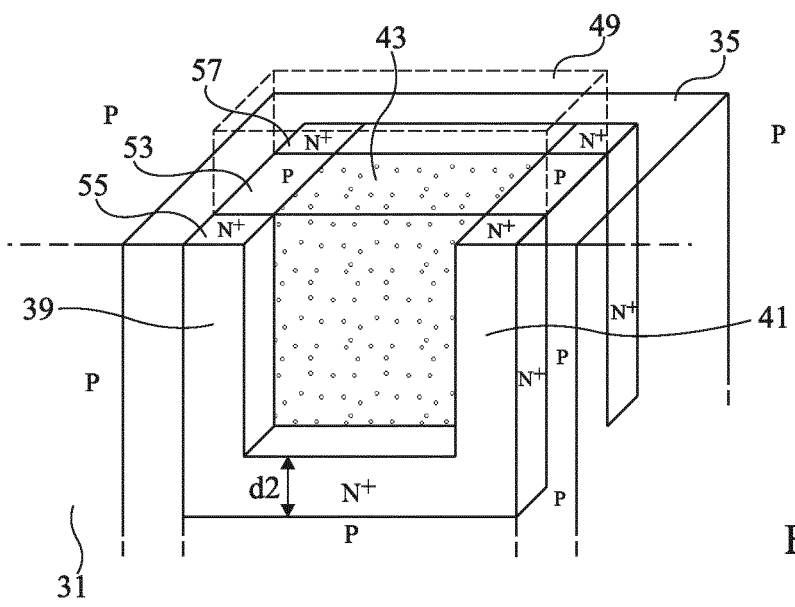


Fig 2E

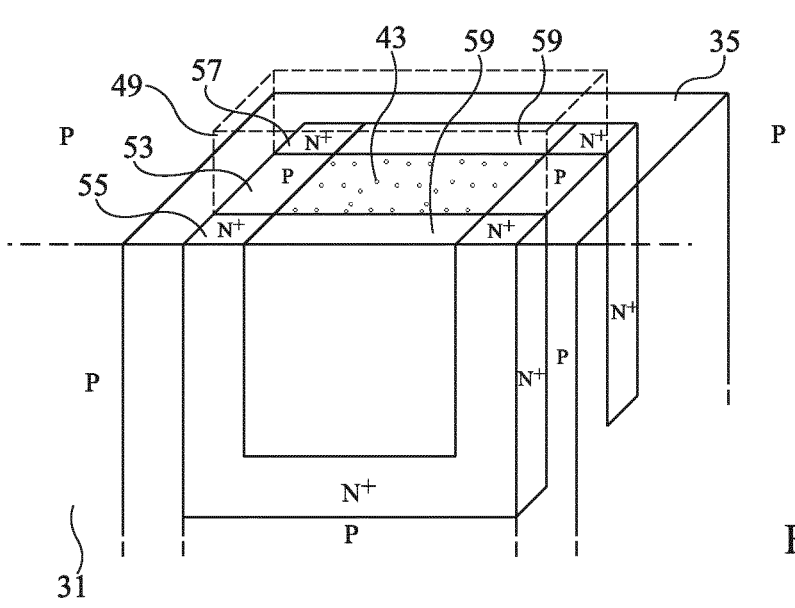


Fig 2F

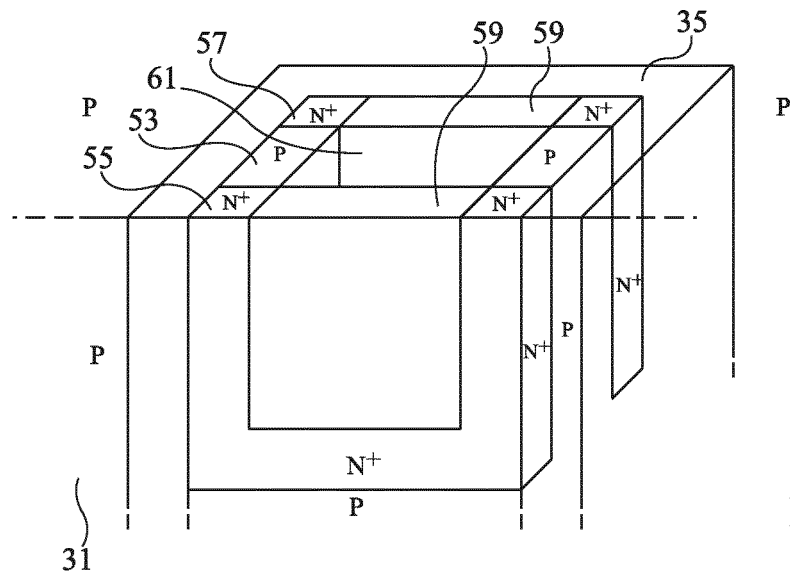


Fig 2G

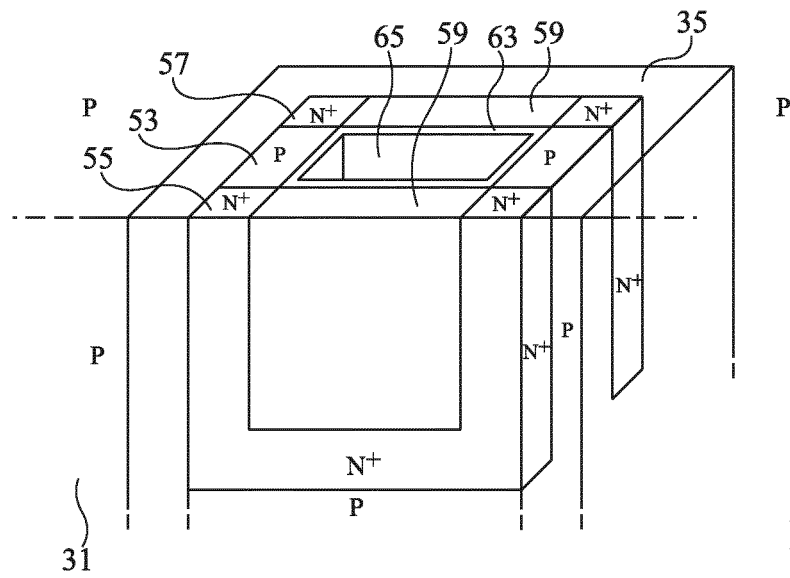


Fig 2H

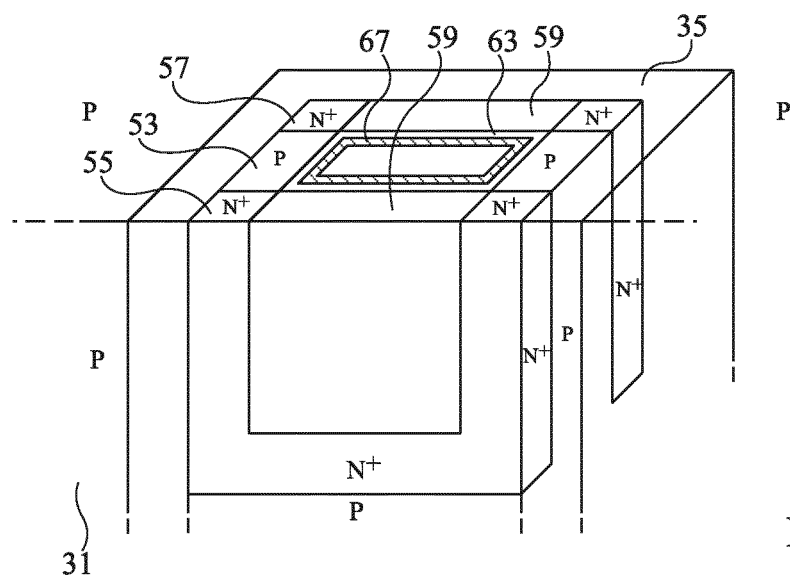


Fig 2I

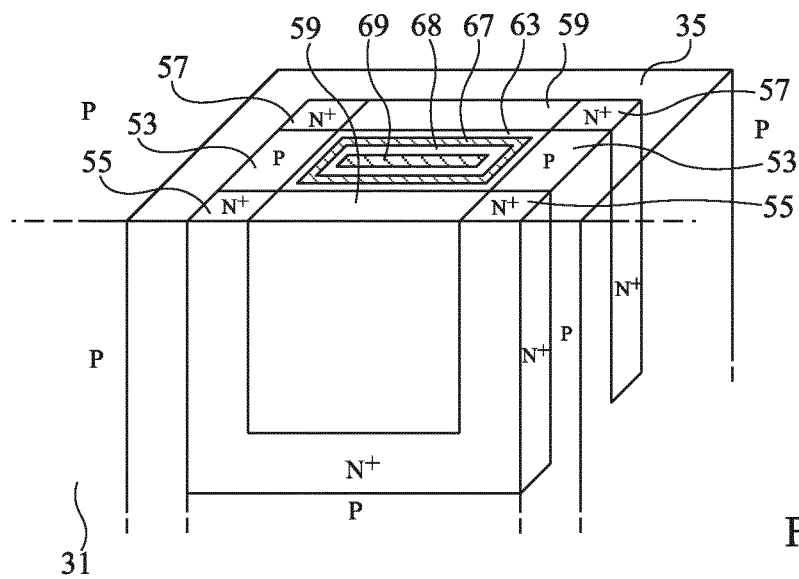


Fig 2J



RAPPORT DE RECHERCHE PRÉLIMINAIRE

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

N° d'enregistrement
national

FA 769352
FR 1258244

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	US 2009/008698 A1 (LEE SEUNG-CHEOL [KR] ET AL) 8 janvier 2009 (2009-01-08) * alinéas [0018] - [0051]; figures 1-3 *	1,3-9	H01L29/788 H01L21/336
X	US 2007/048934 A1 (KIM SUK-PIL [KR] ET AL) 1 mars 2007 (2007-03-01) * alinéas [0025] - [0052]; figures 1-10 *	1-9	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
15 mai 2013		Neumann, Andreas	
CATÉGORIE DES DOCUMENTS CITÉS X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant			

ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1258244 FA 769352

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **15-05-2013**

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2009008698 A1	08-01-2009	CN 101339948 A	07-01-2009
		JP 2009016784 A	22-01-2009
		KR 20090002645 A	09-01-2009
		US 2009008698 A1	08-01-2009

US 2007048934 A1	01-03-2007	CN 1925119 A	07-03-2007
		JP 2007067391 A	15-03-2007
		US 2007048934 A1	01-03-2007
		US 2008293215 A1	27-11-2008
