

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4483473号
(P4483473)

(45) 発行日 平成22年6月16日 (2010. 6. 16)

(24) 登録日 平成22年4月2日 (2010. 4. 2)

(51) Int. Cl.	F I
H03M 1/44 (2006.01)	H03M 1/44
H03M 1/14 (2006.01)	H03M 1/14 A

請求項の数 4 (全 17 頁)

(21) 出願番号	特願2004-233757 (P2004-233757)	(73) 特許権者	000002185
(22) 出願日	平成16年8月10日 (2004. 8. 10)		ソニー株式会社
(65) 公開番号	特開2006-54608 (P2006-54608A)		東京都港区港南1丁目7番1号
(43) 公開日	平成18年2月23日 (2006. 2. 23)	(74) 代理人	100094053
審査請求日	平成19年7月6日 (2007. 7. 6)		弁理士 佐藤 隆久
		(72) 発明者	尾野 孝一
			東京都品川区北品川6丁目7番35号 ソニー株式会社内
		審査官	栗栖 正和

最終頁に続く

(54) 【発明の名称】 パイプライン型アナログ／デジタル変換器

(57) 【特許請求の範囲】

【請求項 1】

アナログ／デジタル変換器と、デジタル／アナログ変換器と、差分増幅回路と、を含む変換ブロックが複数直列に連結され、

各変換ブロックにおいて、前記アナログ／デジタル変換器がアナログ信号をデジタルコードに変換し、前記デジタル／アナログ変換器が当該デジタルコードを第2のアナログ信号に変換し、前記差分増幅回路は、前記アナログ信号および前記第2のアナログ信号の差分を増幅した第3のアナログ信号を次段の変換ブロックに供給し、

各変換ブロックが生成するデジタルコードを加算するパイプライン型アナログ／デジタル変換器であって、

前記差分増幅回路は、周波数がサンプリング周波数に等しく互いに逆相関係にある2つのクロック信号によって制御され、

隣り合う変換ブロックの差分増幅回路のうち、奇数番目の差分増幅回路が初段となり、偶数番目の差分増幅回路が出力段となって2段増幅器を構成する第1の接続状態と、偶数番目の差分増幅回路が初段となり、奇数番目の差分増幅回路が出力段となって2段増幅器を構成する第2の接続状態と、を前記2つのクロック信号の信号レベルに応じて、交互に繰り返す

パイプライン型アナログ／デジタル変換器。

【請求項 2】

前記第1および第2の接続状態において、出力段となる差分増幅回路は、

10

20

当該差分増幅回路のアナログ出力信号をサンプルするとともに、位相補償を行うキャパシタを含む

請求項 1 記載のパイプライン型アナログ／デジタル変換器。

【請求項 3】

N 番目 (N: 整数) の変換ブロックの差分増幅回路は、第 1 の演算増幅器と、それぞれ一端が当該第 1 の演算増幅器の入力端子に接続される第 1 および第 2 のキャパシタと、第 1 のスイッチ群を含み、

N + 1 番目の変換ブロックの差分増幅回路は、第 2 の演算増幅器と、それぞれ一端が当該第 2 の演算増幅器の入力端子に接続される第 3 および第 4 のキャパシタと、第 2 のスイッチ群を含み、

10

N + 2 番目の変換ブロックの差分増幅回路は、第 3 の演算増幅器と、それぞれ一端が当該第 3 の演算増幅器の入力端子に接続される第 5 および第 6 のキャパシタと、第 3 のスイッチ群を含み、

前記 2 つのクロック信号によって前記第 1、第 2 および第 3 のスイッチ群を制御し、それにより、

前記サンプリング周波数に応じた M 番目 (M: 整数) のフェーズにおいて、

前記第 1 の演算増幅器と第 2 の演算増幅器が直列に接続され、前記第 2 のキャパシタの他端が前記第 2 の演算増幅器の出力端子に接続され、前記第 1 のキャパシタを入力容量、前記第 2 のキャパシタを帰還容量とするスイッチトキャパシタ増幅段を構成し、

前記第 3 および第 4 のキャパシタは、それぞれ他端が前記第 2 の演算増幅器の出力端子に接続され、当該出力端子の信号をサンプルし、

20

M + 1 番目のフェーズにおいて、

前記第 2 の演算増幅器と第 3 の演算増幅器が直列に接続され、前記第 4 のキャパシタの他端が前記第 3 の演算増幅器の出力端子に接続され、前記第 3 のキャパシタを入力容量、前記第 4 のキャパシタを帰還容量とするスイッチトキャパシタ増幅段を構成し、

前記第 5 および第 6 のキャパシタは、それぞれ他端が前記第 3 の演算増幅器の出力端子に接続され、当該出力端子の信号をサンプルする

請求項 1 記載のパイプライン型アナログ／デジタル変換器。

【請求項 4】

各変換ブロックにおいて、差分増幅回路は、

30

入力端子と出力端子を含む演算増幅器と、

第 1 のノードと前記入力端子間に接続された第 1 のキャパシタと、

第 2 のノードと前記入力端子間に接続された第 2 のキャパシタと、

前段の変換ブロックの差分増幅回路の出力端子と、前記入力端子間に接続された第 1 のスイッチと、

前記各変換ブロックのデジタル／アナログ変換器の出力端子と前記第 1 のノード間に接続された第 2 のスイッチと、

前記第 1 のノードと前記出力端子間に接続された第 3 のスイッチと、

前記第 2 のノードと前記出力端子間に接続された第 4 のスイッチと、

前記第 2 のノードと次段の変換ブロックの差分増幅回路の出力端子間に接続された第 5 のスイッチと、を含み、

40

前記第 1、第 3 および第 4 のスイッチと、前記第 2 および第 5 のスイッチは、それぞれ、前記 2 つのクロック信号のうち異なるクロック信号により制御され、かつ、奇数番目の変換ブロックと偶数番目の変換ブロックとでは、対応する各スイッチがそれぞれ異なるクロック信号により制御される

請求項 1 記載のパイプライン型アナログ／デジタル変換器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、集積回路に適用して好適なアナログ／デジタル変換器に関し、特にパイプ

50

ライン型のアナログ／デジタル変換器に関する。

【背景技術】

【0002】

高い分解能および高速のサンプリングレートを有するアナログ／デジタル変換器として、パイプライン型アナログ／デジタル変換器（パイプライン型A／D変換器）が知られている。

パイプライン型A／D変換器は、アナログ信号を1ビットのA／D変換器で量子化するとともに入力した量子化した分のアナログ値を減算して適宜増幅して次段に出力するパイプラインステージを複数個直列に接続することによってA／D変換器を構成したものである。なお、以下の説明において、パイプライン型A／D変換器を構成するパイプラインの各ステージをビットブロックと称する。

10

【0003】

図1は、従来のパイプライン型A／D変換器1aの構成例を示す図である。以下、図1に関連付けて、従来のパイプライン型A／D変換器の構成と動作について述べる。

図1に示すように、パイプライン型A／D変換器1aは、入力したアナログ信号 A_{in} をサンプルホールドするための入力サンプルホールド回路（ I_n-S/H ）10a、複数段のビットブロック11a～14a、デジタル補正回路（DC）20aにより構成される。

【0004】

入力段サンプルホールド回路10aは、複数段のビットブロック11a～14aを連結して構成され、所定の周波数（サンプリング周波数）によりアナログ入力信号 A_{in} をサンプルする。

20

【0005】

ビットブロック11aは、たとえば、1.5ビット等の小ビットのA／D変換器AD1およびD／A変換器DA1を含むサブ変換部 sub_1a と、スイッチトキャパシタ増幅段である増幅部AMP1aを含んで構成される。

入力段サンプルホールド回路10aによりサンプルされたアナログ信号 A_{in} は、A／D変換器AD1によってデジタルコードに変換される。

A／D変換器AD1では、たとえば、1.5ビットの分解能の場合には2つの比較器を含み、入力したアナログ信号をこれらの比較器を用いて所定の基準電圧と比較することによって得られるデジタル信号 $n1-b$ をデジタル補正回路20aへ出力する。

30

【0006】

AMP1aは、入力段サンプルホールド回路10aによりサンプルされたアナログ信号 A_{in} と、A／D変換器AD1によりデジタルコードに変換され、さらに当該デジタルコードをD／A変換器DA1により変換したアナログ信号との残差信号を $2^{(a-1)}$ 倍（ a ：A／D変換の分解能）に増幅してフルスケール値に戻した後に、次段のビットブロック12aに出力する。すなわち、増幅部AMP1aは残差アンプとして機能する。

【0007】

なお、AMP1aは、サンプルキャパシタをA／D変換の分解能に応じてアレイ状に設け、A／D変換のサーモメータコードを利用してDA機能と減算増幅機能を一体化するようにしてもよい（MDAC：Multiplying DAC）。

40

【0008】

ビットブロック12a～14aは、それぞれ、ビットブロック11aに対して順に連結され、その構成についてはビットブロック11aと同様である。したがって、各ビットブロックにより増幅された残差信号が順次、次段のビットブロックによってサンプルされるとともに、さらに残差信号を増幅する処理が順に行われる。

また、ビットブロック12a～14aからは、1.5ビット等の比較的分解能が低いデジタル信号 $n2-b$ ～ $n4-b$ がデジタル補正回路20aへ順次出力される。

なお、各ビットブロック12a～14aは、ビットブロック11aと同じ構成であり図示しないが、それぞれ、サブ変換部 sub_2a ～ sub_4a 、A／D変換器AD2～

50

4、D/A変換器DA2～4、および増幅部AMP2～4を有する。

【0009】

デジタル補正回路20aは、ビットブロック11a～14aにより生成されたデジタル信号を加算する。これにより、入力段サンプルホールド回路10aに入力されたアナログ信号に対するデジタル信号出力が生成される。

【0010】

次に、パイプライン型A/D変換器1aの動作について、図2に関連付けて述べる。

上述したように、パイプライン型A/D変換器では、上述したスイッチトキャパシタ(Switched capacitor)増幅段の動作が基本となり、各ビットブロック段のサンプルおよび増幅処理が交互に制御クロック信号に同期して行われる。すなわち、偶数段のビットブロック、たとえば図1のビットブロック11aおよび13aと、奇数段のビットブロック、たとえば図1のビットブロック12aおよび14aと、の隣り合うビットブロック間で、回路動作が異なることがパイプライン型A/D変換器の特徴である。

【0011】

図2は、サンプリング周波数に応じたタイミングによる各フェーズPH0, 1, 2, …の各構成部分の動作内容を示す。

各ビットブロックで入力したアナログ信号と、D/A変換されたアナログ信号との残差信号が、サンプリング周波数のクロック信号に同期した各フェーズPH1～5において、順次処理される。その際、フェーズPH1～5のうち、偶数フェーズと奇数フェーズの各タイミングでは、各ビットブロックのスイッチトキャパシタ増幅段のスイッチ群に与える2つの制御クロック信号のレベルが交互に反転し、これにより、図に示すように、特定の増幅部で見ると、隣り合うフェーズでは回路動作が異なり、サンプルを行うリセットフェーズ(Reset)と、残差増幅を行うアンプフェーズ(Amp)の動作が順に行われる。

【0012】

以上、従来のパイプライン型A/D変換器1aについて述べた。

ところで、上述したパイプライン型A/D変換器を設計する際には、複数のステージからなる各ビットブロックにおけるA/D変換のビット数をどのように分配するかという点が非常に重要となり、各増幅部の演算増幅器の帯域確保のために、1.5ビット/ステージとすることが非常に有効であることが知られている。

この場合の各増幅部のゲインは2倍となって、設計上広い帯域が確保しやすい。さらに、A/D変換器を2個の比較器のみで構成できるため、回路素子の数の低減による低電力化に利することは明らかである。

かかる観点から、10ビットクラスのパイプライン型A/D変換器では、ビットの分配を1.5ビット/ステージとしたものが採用され、製品化されている。

【0013】

しかしながら、10ビットを超える高分解能のパイプライン型A/D変換器においては、上述した1.5ビット/ステージのパイプライン型A/D変換器は消費電力の観点から課題を有する。

すなわち、たとえば12ビット等の高精度なパイプライン型A/D変換器では、高精度化に伴って、残差信号をフルスケール値まで増幅する増幅部内の演算増幅器の高利得化を図る必要が生ずる。すなわち、高利得化のために演算増幅器を複数段設定すると、増幅部で消費する電力が全体の消費電力に対して支配的となる。

特に、1.5ビット/ステージ構成のパイプライン型A/D変換器では、1段のA/D変換を行うことで、次段のA/D変換は1ビットしか要求精度が緩和されず、前述した高利得の演算増幅器を多く配置する必要があるので、全体として消費電力が増大する傾向にある。

【0014】

かかる課題に対し、ビットブロックに対する特定のビット分配方法とアンプシェア技術の組み合わせによって、演算増幅器の消費電力を抑制したパイプライン型A/D変換器に

関する技術が下記の非特許文献 1 において開示されている。

図 3 は、非特許文献 1 において開示されている 12 ビットのパイプライン型 A/D 変換器 1b の回路ブロックである。なお、図において、たとえば、G: 8 はゲインが 8 であることを示し、4b は 4 ビットであることを示す。

図に示すように、パイプライン型 A/D 変換器 1b は、4 ビットのビットブロック 11b および 13b と、1.5 ビットのビットブロック 12b および 14b とが交互にパイプライン接続されて構成される。各ビットブロックにより生成されたデジタル信号は、デジタル補正回路 20b で加算されて 12 ビットのデジタル信号が出力される。

パイプライン型 A/D 変換器 1b では、各ビットブロックに対して特定のビット割付け（図では、4 ビットおよび 1.5 ビット）を行うとともに、図に矢印で示すビットブロック間でアンプシェアを行っている。

10

【0015】

ここで、従来のパイプライン型 A/D 変換器 1b において行われている、各ビットブロックに対する 4 ビットおよび 1.5 ビットのビット割付けとアンプシェアについて以下に述べる。

一般に、高精度のパイプライン型 A/D 変換器を設計する際には、初段のビットブロックに多くのビット数を分配することが、線形性の観点および次段における A/D 変換精度を緩和させる観点から有利となる。

一方、各ビットブロックの残差アンプでは、ビットブロック間でアナログ信号レベルの段差が生じないようにするため、分配されるビット数を a とした場合には、 $2^{(a-1)}$ 倍の増幅利得を設定する必要がある。たとえば、4 ビットのビットブロックの場合には、残差アンプのゲインは 8 倍 ($a=4$) となり、トータルは 12 ビット A/D 変換であることから、残差アンプの演算増幅器に必要とされる DC ゲインは 90 dB 程度となる。

20

しかしながら、一般的にシングル段の演算増幅器の DC ゲインは 60 dB 程度であるため、60 dB 以上の DC 利得を得ようとする場合には、各残差アンプの演算増幅器の段数を増加させる必要があり、回路規模および設計の困難性の観点から不利となる。

【0016】

そこで、スイッチトキャパシタ増幅段を構成する残差アンプの演算増幅器を、増幅段がアクティブとなっていない隣り合う残差アンプの演算増幅器と連結し、2 段アンプを構成する。これをアンプシェアという。

30

その際、バンド幅が比較的狭く高速動作の点でクリティカルとなる利得 8 倍のアンプ（8 倍アンプ）として残差アンプを構成する時には、負荷を軽減するために出力側の A/D 変換器を 1.5 ビットとし、バンド幅が比較的広く高速動作の点でクリティカルとならない利得 2 倍のアンプ（2 倍アンプ）として残差アンプを構成する場合には、出力側の A/D 変換器を 4 ビットとする。

すなわち、各ビットブロックのビット配分を 4 ビットおよび 1.5 ビットの交互に行い、4 ビットのビットブロックをアンプモードとして使用する場合にはのみアンプシェアを行う。

【0017】

次に、従来のパイプライン型 A/D 変換器 1b の動作について説明する。

40

図 4 は、パイプライン型 A/D 変換器 1b におけるアンプシェアの動作を時系列のフェーズ毎の等価回路により示す。なお、実際には、各ビットブロックの増幅部間に接続されたスイッチ群（図示しない）がサンプリング周波数に応じた所定のクロック信号により制御されるが、図 4 では、このクロック信号の制御結果により得られる各フェーズ毎の等価回路のみを示す。

【0018】

図 5 は、交互に偶数フェーズおよび奇数フェーズとなる各フェーズ PH0～PH5 において、パイプライン接続された各ビットブロックの動作状態を示す。

なお、増幅部 AMP1b～AMP4b は、それぞれビットブロック 11b～14b の増幅部に対応する。サブ変換部 sub_1b～sub_4b は、それぞれビットブロック 1

50

1 b～1 4 bのサブ変換部に対応する。サブ変換部 s u b _ 1 b および s u b _ 3 b は、それぞれ4ビットのA/D変換器A D 1 およびA D 3 と、4ビットのD/A変換器D A 1 およびD A 3 を有し、サブ変換部 s u b _ 2 b および s u b _ 4 b は、それぞれ1. 5ビットのA/D変換器A D 2 およびA D 4 と、1. 5ビットのD/A変換器D A 2 およびD A 4 を有している。

【0019】

図4において、偶数フェーズ、たとえばP H 2 およびP H 4 では、2つの演算増幅器の入出力が連結されて2段アンプを構成するアンプシェアが行われる。

たとえば、フェーズP H 2 では、C 1 2 b / C 1 0 b およびC 1 3 b / C 1 1 b の容量比に応じて、8倍アンプを構成し、その際に、演算増幅器2 1 0 b と2 2 0 b の入出力が連結されてアンプシェアが行われる。

10

この時、演算増幅器2 2 0 b の入出力間に接続されたキャパシタC 2 0 b ～C 2 3 b は、位相補償容量として用いられる。これらのキャパシタは8倍残差アンプの出力電圧をチャージしていることと等価であるため、次フェーズP H 3 における利得2倍の残差アンプのサンプリングも同時に兼ねていることになる (I n n e r s a m p l i n g) 。

【0020】

上述したアンプシェア技術により、各残差アンプの演算増幅器の段数を増やすことなく高利得の演算増幅器が偶数フェーズにおいて可能となるため、1. 5ビット/ステージの構成のみによって1 2ビットのパイプライン型A/D変換器を実現した場合と比較して、回路規模を縮小させるとともに、消費電力を低減させることができる。

20

【0021】

【非特許文献1】"A 30mW 12b 21MSample/s Pipelined CMOS ADC" (2002 IEEE International Solid-State Circuits Conference (ISSCC), Dig. Tech. Paper, Feb.2002, pp18.4)

【発明の開示】

【発明が解決しようとする課題】

【0022】

しかし、従来のパイプライン型A/D変換器1 b は、各ビットブロックのビット配分が4ビットおよび1. 5ビットが交互になるように構成されているため、設計自由度が少なく、更なる回路規模縮小・消費電力低減を行うことが困難である。

30

たとえば、図4において、主として増幅部A M P 1 b により8倍アンプを構成するフェーズP H 2 では、高速動作の観点から負荷となるA/D変換器A D 2 の分解能が制限される。同様に、主として増幅部A M P 3 b により8倍アンプを構成するフェーズP H 4 では、高速動作の観点から負荷となるA/D変換器A D 4 の分解能が制限される。

すなわち、従来のパイプライン型A/D変換器では、各ビットブロックに対して、比較的大きなビット、たとえば4ビットと、小さなビット、たとえば1. 5ビットが交互に分配されるように、ビット割り振りが制限されている。

【0023】

本発明はかかる事情に鑑みてなされたものであり、その目的は、設計自由度が高く、かつ、回路規模・消費電力を低減したパイプライン型アナログ/ディジタル変換器を提供することにある。

40

【課題を解決するための手段】

【0024】

上記目的を達成するために、本発明は、アナログ/ディジタル変換器と、ディジタル/アナログ変換器と、差分増幅回路と、を含む変換ブロックが複数直列に連結され、各変換ブロックにおいて、前記アナログ/ディジタル変換器がアナログ信号をディジタルコードに変換し、前記ディジタル/アナログ変換器が当該ディジタルコードを第2のアナログ信号に変換し、前記差分増幅回路は、前記アナログ信号および前記第2のアナログ信号の差分を増幅した第3のアナログ信号を次段の変換ブロックに供給し、各変換ブロックが生成するディジタルコードを加算するパイプライン型アナログ/ディジタル変換器であって、

50

前記差分増幅回路は、周波数がサンプリング周波数に等しく互いに逆相関係にある2つのクロック信号によって制御され、隣り合う変換ブロックの差分増幅回路のうち、奇数番目の差分増幅回路が初段となり、偶数番目の差分増幅回路が出力段となって2段増幅器を構成する第1の接続状態と、偶数番目の差分増幅回路が初段となり、奇数番目の差分増幅回路が出力段となって2段増幅器を構成する第2の接続状態と、を前記2つのクロック信号の信号レベルに応じて、交互に繰り返すパイプライン型アナログ／デジタル変換器である。

【0025】

好適には、前記第1および第2の接続状態において、出力段となる差分増幅回路は、当該差分増幅回路のアナログ出力信号をサンプルするとともに、位相補償を行うキャパシタを含む。

10

【0026】

特定的には、N番目（N：整数）の変換ブロックの差分増幅回路は、第1の演算増幅器と、それぞれ一端が当該第1の演算増幅器の入力端子に接続される第1および第2のキャパシタと、第1のスイッチ群を含み、N+1番目の変換ブロックの差分増幅回路は、第2の演算増幅器と、それぞれ一端が当該第2の演算増幅器の入力端子に接続される第3および第4のキャパシタと、第2のスイッチ群を含み、N+2番目の変換ブロックの差分増幅回路は、第3の演算増幅器と、それぞれ一端が当該第3の演算増幅器の入力端子に接続される第5および第6のキャパシタと、第3のスイッチ群を含み、前記2つのクロック信号によって前記第1、第2および第3のスイッチ群を制御し、これにより、前記サンプリング周波数に応じたM番目（M：整数）のフェーズにおいて、前記第1の演算増幅器と第2の演算増幅器が直列に接続され、前記第2のキャパシタの他端が前記第2の演算増幅器の出力端子に接続され、前記第1のキャパシタを入力容量、前記第2のキャパシタを帰還容量とするスイッチトキャパシタ増幅段を構成し、前記第3および第4のキャパシタは、それぞれ他端が前記第2の演算増幅器の出力端子に接続され、当該出力端子の信号をサンプルし、M+1番目のフェーズにおいて、前記第2の演算増幅器と第3の演算増幅器が直列に接続され、前記第4のキャパシタの他端が前記第3の演算増幅器の出力端子に接続され、前記第3のキャパシタを入力容量、前記第4のキャパシタを帰還容量とするスイッチトキャパシタ増幅段を構成し、前記第5および第6のキャパシタは、それぞれ他端が前記第3の演算増幅器の出力端子に接続され、当該出力端子の信号をサンプルする。

20

30

【0027】

特定的には、各変換ブロックにおいて、差分増幅回路は、入力端子と出力端子を含む演算増幅器と、第1のノードと前記入力端子間に接続された第1のキャパシタと、第2のノードと前記入力端子間に接続された第2のキャパシタと、前段の変換ブロックの差分増幅回路の出力端子と、前記入力端子間に接続された第1のスイッチと、前記各変換ブロックのデジタル／アナログ変換器の出力端子と前記第1のノード間に接続された第2のスイッチと、前記第1のノードと前記出力端子間に接続された第3のスイッチと、前記第2のノードと前記出力端子間に接続された第4のスイッチと、前記第2のノードと次段の変換ブロックの差分増幅回路の出力端子間に接続された第5のスイッチと、を含み、前記第1、第3および第4のスイッチと、前記第2および第5のスイッチは、それぞれ、前記2つのクロック信号のうち異なるクロック信号により制御され、かつ、奇数番目の変換ブロックと偶数番目の変換ブロックとは、対応する各スイッチがそれぞれ異なるクロック信号により制御される。

40

【0028】

本発明のパイプライン型アナログ／デジタル変換器の作用は、以下の通りである。

すなわち、各変換ブロックにおいて、入力したアナログ信号をアナログ／デジタル変換器がデジタルコードに変換し、デジタル／アナログ変換器が当該デジタルコードを第2のアナログ信号に変換し、差分増幅回路は、前記アナログ信号および第2のアナログ信号の差分を増幅した第3のアナログ信号を次段の変換ブロックに供給する。

【0029】

50

サンプリング周波数に応じたあるフェーズにおいて、差分増幅を行う変換ブロックでは、2つのクロック信号のうち一方のクロック信号が所定のレベルとなって、当該差分増幅回路と隣り合う次の変換ブロックの差動増幅回路と連結され、当該差分増幅回路を初段、次の差分増幅回路を出力段となる2段増幅器を構成する第1の接続状態となる。

次のフェーズでは、2つのクロック信号のうち他方のクロック信号が所定レベルとなって、次の差分増幅回路と隣り合うさらに次の差分増幅回路の差動増幅回路と連結され、2段増幅器を構成する第2の接続状態となる。

【0030】

すなわち、奇数番目の差分増幅回路が初段となり、偶数番目の差分増幅回路が出力段となって2段増幅器を構成する第1の接続状態と、偶数番目の差分増幅回路が初段となり、奇数番目の差分増幅回路が出力段となって2段増幅器を構成する第2の接続状態と、を交互に繰り返し、順次、各変換ブロックでデジタルコードを生成する。

10

したがって、すべてのフェーズにおいて、2段増幅器を構成するため、各変換ブロックにおける差動増幅回路のループゲインを高く設定することができるので、各変換ブロックのアナログ／デジタル変換器およびデジタル／アナログ変換器に対するビット分配を自由に設定することができる。これにより、パイプラインを構成する変換ブロックの数を低減させることが可能となる。

【発明の効果】

【0031】

本発明に係るパイプライン型アナログ／デジタル変換器によれば、多ビット構成の場合でも、設計自由度が高く、かつ、消費電力を低減させることができる。

20

【発明を実施するための最良の形態】

【0032】

実施の形態

以下、本発明に係るパイプライン型アナログ／デジタル変換器の一実施形態について添付図面に関連付けて説明する。

図6は、本発明に係る12ビットのパイプライン型A/D変換器の一構成例を示す。実施形態に係るパイプライン型A/D変換器は、隣り合うビットブロック同士に対して常にアンプシェア（図で矢印で示す）を行うことを企図する。すなわち、偶数フェーズのみではなくすべてのフェーズにおいてアンプシェアを行うことで、各ビットブロックに対するビットの割付けの自由度を向上させる。

30

各ビットブロックのビットの割付けの自由度が向上することで、たとえば図6に示すように、12ビットのパイプライン型A/D変換器を、 I_{n-S}/H （入力サンプルホールド部）と、2段構成の4ビットのビットブロックと、最終段の6ビットA/D変換器のみによって構成することができ、従来のパイプライン型A/D変換器に対してビットブロックの段数を格段に少なくすることができる。

【0033】

なお、図6に示す構成によってアンプシェアを行う場合には、4ビットのビットブロックにおいて、8倍アンプを構成するスイッチトキャパシタ増幅段の負荷が4ビットA/D変換器（16個の比較器分の容量）となり、従来のパイプライン型A/D変換器1b（1.5ビットA/Dにより2個の比較器分の容量）と比較して負荷が大きくなる。

40

しかしながら、

(1) 近年の半導体における線幅等の微細プロセスが大幅に進展していること、及び、
(2) 近年のA/D変換の高分解能化に伴いサンプリングの熱雑音（ kT/C ノイズ）を低減させる観点からサンプル容量の下限値に限界があること、
を鑑みると、各ビットブロックの負荷よりも各ビットブロックのサンプル容量が支配的となりつつある。すなわち、各ビットブロックの負荷となるA/D変換器は、更なる微細プロセスの進展に伴い、たとえば、4ビット等の所定の性能を確保した上でシュリンクすることが行われている一方で、特に初段のビットブロックでは、要求される分解能の増加に応じて、10ビット／12ビット等に見合ったサンプル容量を少なくとも確保する必要が

50

ある。

したがって、今後の微細プロセスの進展を考慮すると、パイプライン型A/D変換器をチップ上に実装する際に、たとえば、数ビット程度のA/D変換の入力容量（負荷）がスイッチトキャパシタ増幅段の高速動作に影響を与えることはなく、各ビットブロックに対するビットの割付けを、図6に例示したように自由に設定しても構わない。

【0034】

以下、図6に例示した本実施形態に係るパイプライン型A/D変換器の一般的な構成として、図7に示すパイプライン型A/D変換器1について説明する。

図7に示すように、パイプライン型A/D変換器1は、入力したアナログ信号A_{in}をサンプルホールドするための入力サンプルホールド回路（I_n-S/H）10、複数段のビットブロック11～13、ディジタル補正回路（DC）20を含んで構成される。ここで、各ビットブロックは、本発明の変換ブロックの一実施形態である。

なお、最終段のA/D変換器、たとえば、図6に示す6ビットA/D変換器（6b A/D）については、従来のパイプライン型A/D変換器の最終段のA/D変換器と同一の構成とする。

【0035】

入力段サンプルホールド回路10は、複数段のビットブロック11～13を連結して構成される。所定の周波数（サンプリング周波数）のクロック信号に同期してアナログ入力信号A_{in}をサンプルする。

【0036】

ビットブロック11～13の構成は、同一であるため、ビットブロック11の構成についてのみ以下に述べる。

ビットブロック11は、たとえば4ビット等の分解能の低いA/D変換器AD1およびD/A変換器DA1を含むサブ変換部sub_1と、増幅部AMP1を含んで構成される。なお、増幅部は、本発明の差分増幅回路の一実施形態である。

A/D変換器AD1は、たとえば、4ビットの分解能であれば16個の比較器を含み、入力したアナログ信号をこれらの比較器を用いて所定の基準電圧と比較することによって得られる4ビットのディジタル信号n_{1-b}をディジタル補正回路20へ出力する。

【0037】

AMP1は、入力段サンプルホールド回路10によりサンプルされたアナログ信号A_{in}と、A/D変換器AD1によりディジタルコードに変換され、さらに当該ディジタルコードをD/A変換器DA1により変換したアナログ信号との残差信号を $2^{(a-1)}$ 倍（a：A/D変換の分解能）に増幅してフルスケール値に戻した後に、次段のビットブロック12に出力する。すなわち、増幅部AMP1は残差アンプとして機能する。

ここで、各ビットブロックの増幅部では、ビットブロック間でアナログ信号レベルの段差が生じないようにするため、分配されるビット数をaとした場合には、 $2^{(a-1)}$ 倍の増幅利得（ループゲイン）を設定する必要がある。たとえば、A/D変換器AD1の分解能が4ビットの場合には、増幅部AMP1は8倍アンプとなるように設定される。

【0038】

次に、図7に示した増幅部AMP0～AMP3の具体的な回路構成の一例を説明する。

図8は、入力段サンプルホールド回路10およびビットブロック11～13の増幅部AMP0～AMP3の回路構成の一例を示す。なお、図において、四角形で示した素子は、スイッチ（半導体スイッチ）であり、四角形の中に記載したクロック信号φ0またはφ1は、当該スイッチの導通状態がクロック信号φ0またはφ1によって制御されることを意味している。

図9は、増幅部AMP0～3を制御するクロック信号φ0およびφ1の信号波形を示す図である。図に示すように、クロック信号φ0およびφ1は、互いに逆相関係にあり、信号レベルが重なり合わない信号波形となっており、サンプリング周波数と同一の周波数でオン状態とオフ状態を繰り返す。

なお、図8において、クロック信号φ0がHレベルの時に、クロック信号φ0で制御さ

10

20

30

40

50

れる各スイッチがオン状態となり、クロック信号φ 0がLレベルの時に、クロック信号φ 0で制御される各スイッチがオフ状態となる。クロック信号φ 1がHレベルの時に、クロック信号φ 1で制御される各スイッチがオン状態となり、クロック信号φ 1がLレベルの時に、クロック信号φ 1で制御される各スイッチがオフ状態となる。

【0039】

増幅部AMP 0は、2入力2出力の反転増幅器である演算増幅器200、キャパシタC 2、C 3を含んで構成される。

図8に示すように、パイプライン型A/D変換器1のアナログ入力端子とキャパシタC 2、C 3の間には、それぞれスイッチ102、103が接続される。演算増幅器200の入出力端子間には、スイッチ106、107が接続される。キャパシタC 2、C 3とAMP 1の演算増幅器210の出力端子の間には、それぞれスイッチ104、105が接続される。

10

【0040】

増幅部AMP 1は、2入力2出力の反転増幅器である演算増幅器210、キャパシタC 10、C 11、キャパシタC 12、C 13を含んで構成される。

図8に示すように、D/A変換器DA 1の出力端子とキャパシタC 10、C 11の間には、それぞれスイッチ112、113が接続される。増幅部AMP 0の演算増幅器200の出力端子と演算増幅器210の入力端子の間には、スイッチ114、115が接続される。キャパシタC 10、C 11の一端が演算増幅器210の入力端子に接続され、キャパシタC 10、C 11の他端と演算増幅器210の出力端子の間には、それぞれスイッチ110、111が接続される。キャパシタC 12、C 13の一端が演算増幅器210の入力端子に接続され、キャパシタC 12、C 13の他端と演算増幅器210の出力端子の間には、それぞれスイッチ116、117が接続される。キャパシタC 12、C 13の当該他端と増幅部AMP 2の演算増幅器220の出力端子の間には、それぞれスイッチ118、119が接続される。

20

【0041】

AMP 2は、2入力2出力の反転増幅器である演算増幅器220、キャパシタC 20、C 21、キャパシタC 22、C 23を含んで構成される。

図8に示すように、D/A変換器DA 2の出力端子とキャパシタC 20、C 21の間には、それぞれスイッチ122、123が接続される。増幅部AMP 1の演算増幅器210の出力端子と演算増幅器220の入力端子の間には、スイッチ124、125が接続される。キャパシタC 20、C 21の一端が演算増幅器220の入力端子に接続され、キャパシタC 20、C 21の他端と演算増幅器220の出力端子の間には、それぞれスイッチ120、121が接続される。キャパシタC 22、C 23の一端が演算増幅器220の入力端子に接続され、キャパシタC 22、C 23の他端と演算増幅器220の出力端子の間には、それぞれスイッチ126、127が接続される。キャパシタC 22、C 23の当該他端と増幅部AMP 3の演算増幅器230の出力端子の間には、それぞれスイッチ128、129が接続される。

30

【0042】

AMP 3は、2入力2出力の反転増幅器である演算増幅器230、キャパシタC 30、C 31、キャパシタC 32、C 33を含んで構成される。

図8に示すように、D/A変換器DA 3の出力端子とキャパシタC 30、C 31の間には、それぞれスイッチ132、133が接続される。増幅部AMP 2の演算増幅器220の出力端子と演算増幅器230の入力端子の間には、スイッチ134、135が接続される。キャパシタC 30、C 31の一端が演算増幅器230の入力端子に接続され、キャパシタC 30、C 31の他端と演算増幅器230の出力端子の間には、それぞれスイッチ130、131が接続される。キャパシタC 32、C 33の一端が演算増幅器230の入力端子に接続され、キャパシタC 32、C 33の他端と演算増幅器230の出力端子の間には、それぞれスイッチ136、137が接続される。キャパシタC 32、C 33の当該他端と次段の増幅部の演算増幅器の出力端子の間には、それぞれスイッチ138、139が

40

50

接続される。

【0043】

なお、図7に図示しない増幅部AMP3以降の増幅部についても、図8に示す回路構成と同様に構成される。

また、図8に示すように、増幅部AMP1および増幅部AMP2のスイッチ群を比較すると、対応する位置にある各スイッチが動作するクロック信号がそれぞれクロック信号φ0およびφ1であり、反転している。同様に、増幅部AMP2および増幅部AMP3のスイッチ群を比較すると、対応する位置にある各スイッチが動作するクロック信号が反転している。

すなわち、図8に示す回路においては、偶数番目のビットブロックと奇数番目のビットブロックとで、各ビットブロックの増幅部に接続されたスイッチ群が動作するタイミングが交互に切り替わる。

【0044】

次に、本実施形態に係るパイプライン型A/D変換器1の動作について、図10に関連付けて説明する。

図10は、フェーズ毎のスイッチ群の動作状態に応じた各増幅部の接続状態を示す等価回路である。すなわち、図8に示した各増幅部の回路構成について、図9に示す波形のクロック信号φ0およびφ1を動作させた場合の各フェーズ毎の等価回路を示している。

なお、図10において、たとえば「PH0(φ0)」は、フェーズPH0でクロック信号φ0がオン状態(クロック信号φ1はオフ状態)であることを示す。

【0045】

まず、フェーズPH0において、入力段サンプルホールド回路10は、入力したアナログ信号A_{in}がキャパシタC2およびC3にサンプルされる。この時、増幅部AMP0はResetモードとなっている。

【0046】

フェーズPH1では、図10に示すように、増幅部AMP0と増幅部AMP1の演算増幅器200および210の入出力が連結された状態となり、アンプシェアを構成する。すなわち、キャパシタC2およびC3の一端を増幅部AMP1の演算増幅器210の出力端に接続させることで、増幅部AMP0が初段、増幅部AMP1が出力段となる2段アンプが構成される。

この時、増幅部AMP0はAmpモード(増幅モード)として機能する。また、キャパシタC10、C11は、発振を回避するための位相補償容量として機能するとともに、2段アンプの出力電圧がチャージされるため、次フェーズのためのアナログ信号をサンプルすることと等価となる(Inner Sample)。

また、フェーズPH1では、フェーズPH0でキャパシタC2およびC3にチャージされた電荷がサブ変換部sub_1のA/D変換器AD1に供給され、デジタルコードに変換される。

【0047】

次に、フェーズPH2では、図10に示すように、増幅部AMP1と増幅部AMP2の演算増幅器210および220の入出力が連結された状態となり、増幅部AMP1が初段(Sub-Amp)、増幅部AMP2が出力段となる2段アンプを構成する(アンプシェア)。

すなわち、キャパシタC12およびC13の一端を増幅部AMP2の演算増幅器220の出力端に接続し、キャパシタC10、C11を入力容量、キャパシタC12、C13を帰還容量とするスイッチトキャパシタ増幅段(残差アンプ)を構成する。その際、主の増幅機能となる演算増幅器210に対して、次段の演算増幅器220を連結して、高いDC利得を確保する。

また、各ビットブロックのビット分配が例えば4ビットであれば、残差アンプとして8倍の増幅利得(ループゲイン)を得る必要があるため、容量比(C12/C10、C13/C11)をそれに応じて設定する。

10

20

30

40

50

【0048】

AMP2のキャパシタC20, C21は、発振を回避するための位相補償容量として機能するとともに、2段アンプの出力電圧がチャージされるため、次フェーズのためのアナログ信号をサンプルすることと等価となる (Inner Sample)。

フェーズPH2において、演算増幅器220の出力電圧は、サブ変換部sub_2のA/D変換器AD2によりデジタルコードに変換される。

なお、図10に示すように、フェーズPH2では、増幅部AMP0はResetモードとなっている。

【0049】

次に、フェーズPH3では、図10に示すように、増幅部AMP2と増幅部AMP3の演算増幅器220および230の入出力が連結された状態となり、増幅部AMP2が初段 (Sub-Amp)、増幅部AMP3が出力段となる2段アンプを構成する (アンプシェア)。

すなわち、キャパシタC22およびC23の一端を増幅部AMP3の演算増幅器230の出力端に接続し、キャパシタC20, C21を入力容量、キャパシタC22, C23を帰還容量とするスイッチトキャパシタ増幅段 (残差アンプ) を構成する。その際、主の増幅機能となる演算増幅器220に対して、次段の演算増幅器230を連結して、高いDC利得を確保する。

また、各ビットブロックのビット分配が例えば4ビットであれば、残差アンプとして8倍の増幅利得 (ループゲイン) を得る必要があるため、容量比 (C22/C20, C23/C21) をそれに応じて設定する。

【0050】

増幅部AMP3のキャパシタC30, C31は、発振を回避するための位相補償容量として機能するとともに、2段アンプの出力電圧がチャージされるため、次フェーズのためのアナログ信号をサンプルすることと等価となる (Inner Sample)。

フェーズPH3において、演算増幅器230の出力電圧は、サブ変換部sub_3のA/D変換器AD3によりデジタルコードに変換される。

【0051】

フェーズPH4以降においても、上述した動作がビットブロック毎に順に行われる。

図11は、時系列上での各機能ブロックの動作を示した図である。図では、フェーズPH0, 1, 2, 3, ...において、増幅部AMP0~4の各フェーズ毎の動作状態と、サブ変換部sub_1~5のうち、各フェーズにおいて動作している変換器と、が示されている。

図に示すように、クロック信号φ0がオン状態となる偶数フェーズPH0, 2, 4, ...と、クロック信号φ1がオン状態となる奇数フェーズPH1, 3, 5, ...がサンプリング周波数によるタイミングで交互に発生し、一連の処理を繰り返す。その際に、隣り合うビットブロックの2つの増幅部を順にシェアすることによって、高利得の残差アンプが実現される。

【0052】

以上説明したように、本実施形態に係るパイプライン型A/D変換器1によれば、アナログ信号を、分配された所定ビットのデジタルコードに変換するA/D変換器と、当該デジタルコードをアナログ信号に変換するD/A変換器と、増幅部と、を有するビットブロックの複数段をカスケード接続し、各ビットブロックの増幅部は、前段からのアナログ信号とD/A変換器からのアナログ信号の差分を増幅して順次次段のビットブロックに供給する。

その際、昨今の半導体における微細プロセスの進展によって数ビット (たとえば、4ビット程度) のA/D変換器の比較器による負荷よりもサンプル容量が支配的となっていることに着目し、すべての隣り合うビットブロック間でアンプシェアを行う。すなわち、隣り合うビットブロックの増幅部同士が演算増幅器をシェアすることで得られる高いDCゲインに基づいてスイッチトキャパシタ増幅段を構成する。

【0053】

これにより、アンプシェアにより得られる演算増幅器の高いDCゲインを利用して、どのビットブロック間でも、すなわち、奇数フェーズおよび偶数フェーズの両フェーズで高いループ利得の残差アンプを構成することができるため、ビットの割り振りを比較的自由に設定することができる。すなわち、特定のタイミングにのみ小ビット（たとえば、1.5ビット）のビットブロックを割り付ける必要がなく、各ビットブロックに対するビット割付けを自由に設定することができる。

したがって、分解能、変換速度に応じて最適に設定可能なパイプライン型A/D変換器の提供が可能になる。

【0054】

10

また、本実施形態に係るパイプライン型A/D変換器1によれば、ビットの割り振りを自由に設定することができる結果、多ビット/ステージのパイプラインを構成でき、カスケード接続を行う段数を低減することが可能となる。したがって、パイプライン型A/D変換器全体の回路規模・消費電力を低減させることができる。

【図面の簡単な説明】

【0055】

【図1】従来のパイプライン型A/D変換器の構成例を示す図である。

【図2】従来のパイプライン型A/D変換器の動作タイミングを示す図表である。

【図3】従来の12ビットのパイプライン型A/D変換器の回路ブロック図である。

【図4】従来の12ビットのパイプライン型A/D変換器におけるアンプシェアの動作を時系列のフェーズ毎の等価回路である。

20

【図5】交互に偶数フェーズおよび奇数フェーズとなる各フェーズにおいて、パイプライン接続された各ビットブロックの動作状態を示す図表である。

【図6】実施形態に係る12ビットのパイプライン型A/D変換器の一構成例を示す。

【図7】実施形態に係るパイプライン型A/D変換器の一般的な構成を示す。

【図8】入力段サンプルホールド回路およびビットブロックの増幅部の回路構成の一例を示す。

【図9】増幅部を制御する2つのクロック信号の信号波形を示す。

【図10】フェーズ毎のスイッチ群の動作状態に応じた各増幅部の接続状態を示す等価回路である。

30

【図11】時系列上での各機能ブロックの動作を示す図表である。

【符号の説明】

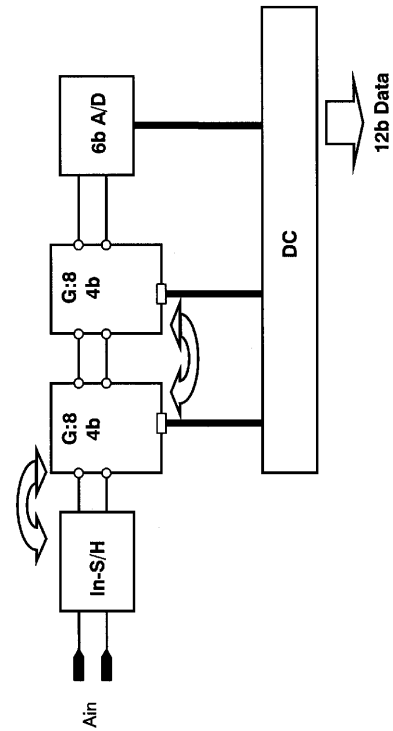
【0056】

1, 1a, 1b…パイプライン型A/D変換器、10, 10a…入力段サンプルホールド回路、11～13, 11a～14a…ビットブロック、20, 20a, 20b…デジタル補正回路。

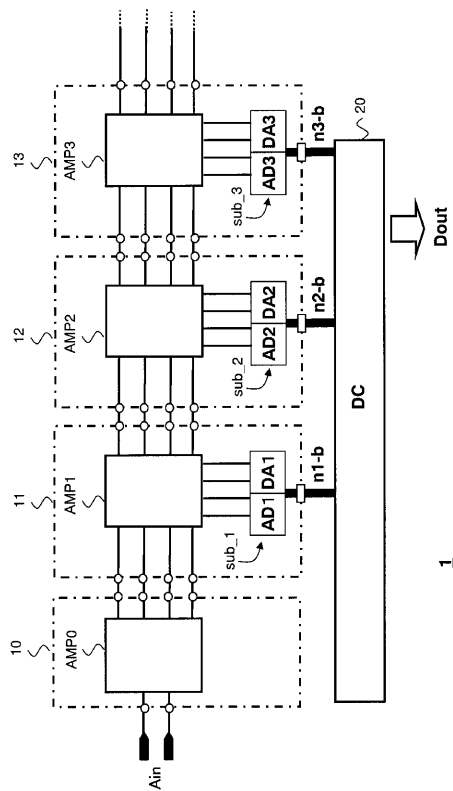
【図 5】

	PH0	PH1	PH2	PH3	PH4	PH5	...
AMP1b		Reset					
AMP2b			Amp				
AMP3b			Inner Sample	Amp			
AMP4b				Inner Sample	Amp		
sub_1b		AD1	DA1		Inner Sample	Amp	
sub_2b			AD2				
sub_3b				AD3	DA3		
sub_4b					AD4	DA4	
						AD5	

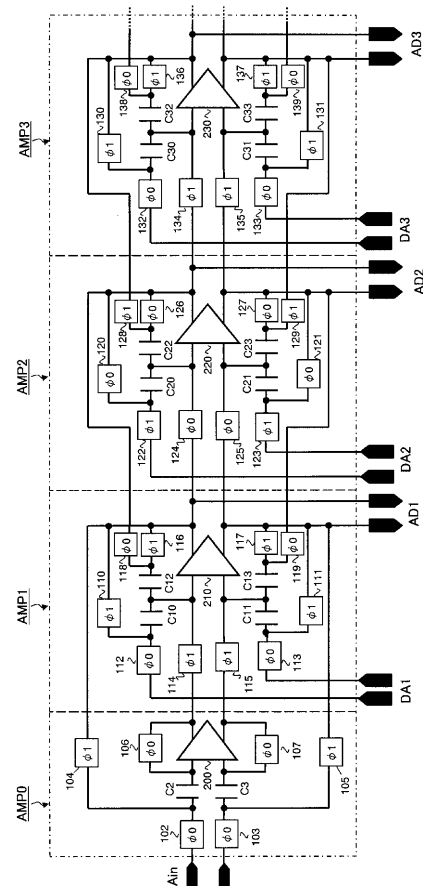
【図 6】



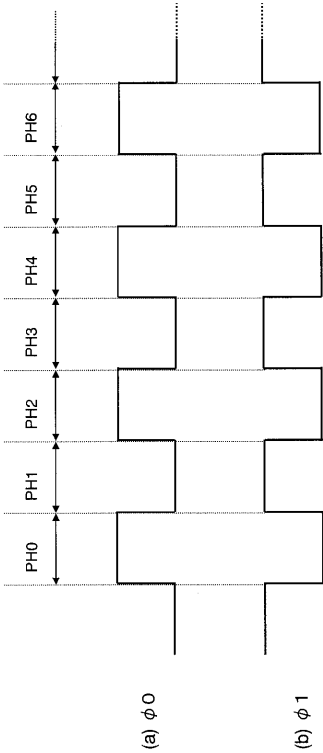
【図 7】



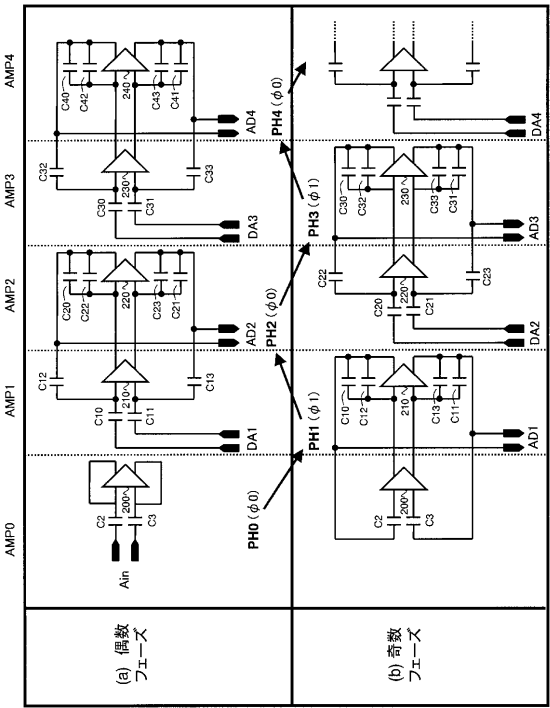
【図 8】



【図 9】



【図 10】



【図 11】

	PH0	PH1	PH2	PH3	PH4	PH5	...
AMP0	Reset	Amp					
AMP1		Inner Sample	Sub-Amp				
AMP2			Inner Sample	Sub-Amp			
AMP3				Inner Sample	Sub-Amp		
AMP4					Inner Sample	Sub-Amp	
sub_1		AD1	DA1				
sub_2			AD2	DA2			
sub_3				AD3	DA3		
sub_4					AD4	DA4	
sub_5						AD5	

フロントページの続き

(56)参考文献 特開平11-298262 (JP, A)

特開2005-252326 (JP, A)

特開2005-286910 (JP, A)

S. Kulhalli et al., "A 30mW 12b 21MSample/s Pipelined CMOS ADC", ISSCC Digest of Technical Papers, 米国, IEEE, 2002年 2月, 18.4

(58)調査した分野(Int.Cl., DB名)

H03M 1/00-1/88