【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第７部門第２区分
【発行日】平成18年5月11日(2006.5.11)

【公開番号】特開2000-269449(P2000-269449A)
【公開日】平成12年9月29日(2000.9.29)
【出願番号】特願平11-67390
【国際特許分類】
***Ｈ０１Ｌ　27/10　(2006.01)***
***Ｈ０１Ｌ　27/04　(2006.01)***
***Ｈ０１Ｌ　21/822　(2006.01)***
***Ｈ０１Ｌ　21/8247　(2006.01)***
***Ｈ０１Ｌ　27/115　(2006.01)***
***Ｈ０１Ｌ　29/792　(2006.01)***
***Ｈ０１Ｌ　29/788　(2006.01)***
【ＦＩ】
Ｈ０１Ｌ　27/10　４８１
Ｈ０１Ｌ　27/04　Ｃ
Ｈ０１Ｌ　27/10　４３４
Ｈ０１Ｌ　29/78　３７１

【手続補正書】
【提出日】平成18年3月13日(2006.3.13)
【手続補正１】
【補正対象書類名】明細書
【補正対象項目名】特許請求の範囲
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】　第１の領域と第２の領域とを画成された基板と、
前記基板上の前記第１の領域に形成されたメモリ素子と、
前記基板上の前記第２の領域において、素子分離構造上に形成されたキャパシタとよりなり、
前記メモリ素子は、第１の導体パターンと、前記第１の導体パターン上に形成された第１の絶縁膜とを含み、
前記キャパシタは、前記素子分離構造上に形成された第２の導体パターンと、前記第２の導体パターン上に形成された第２の絶縁膜とを含み、
前記第１の絶縁膜と前記第２の絶縁膜とは、それぞれ互いに異なった厚さを有し、前記第2の絶縁膜は前記第1の絶縁膜よりも薄いことを特徴とする半導体集積回路装置。
【請求項２】　前記第１の絶縁膜と前記第２の絶縁膜とは、互いに異なった誘電率を有することを特徴とする請求項１記載の半導体集積回路装置。
【請求項３】　前記第１の絶縁膜と前記第２の絶縁膜とは、互いに異なった層構造を有することを特徴とする請求項１または２記載の半導体集積回路装置。
【請求項４】　前記第１の絶縁膜は、前記第１の導体パターン上に形成された第３の絶縁膜と前記第３の絶縁膜上に形成された第４の絶縁膜とよりなり、前記第２の絶縁膜は、前記第４の絶縁膜と実質的に同一の組成を有することを特徴とする請求項１～３のうち、いずれか一項記載の半導体集積回路装置。
【請求項５】　前記第１の絶縁膜と前記第２の絶縁膜とは、実質的に同一の組成を有することを特徴とする請求項１記載の半導体集積回路装置。
【請求項６】　前記第１の絶縁膜と前記第２の絶縁膜とは、それぞれ互いに異なっ

た不純物濃度を有することを特徴とする請求項５記載の半導体集積回路装置。

【請求項７】　前記第１の導体パターンと前記第２の導体パターンとは、いずれも同一組成の導電性材料よりなり、前記第１の導体パターンと前記第２の導体パターンとは、互いに異なった濃度で不純物元素を含むことを特徴とする請求項５または６記載の半導体集積回路。

【請求項８】　不揮発性メモリとキャパシタとを有する半導体集積回路装置の製造方法において、

基板上に第１の領域と第２の領域とを画成する工程と、

前記基板上、前記第１の領域にトンネル絶縁膜を形成する工程と、

前記基板上、前記第２の領域に素子分離絶縁膜を形成する工程と、

前記トンネル絶縁膜および前記素子分離絶縁膜を形成された基板上に、前記第１の領域を、前記トンネル絶縁膜を介して覆うように第１の電極パターンを、また前記素子分離絶縁膜上に第２の電極パターンを、実質的に同時に形成する工程と、

前記基板上に、前記第１の電極パターンおよび前記第２の電極パターンを覆うように第１の絶縁膜を形成し、これを前記第２の電極パターンが露出するようにパターニングすることにより、前記第１の電極パターンを覆う第１の絶縁膜パターンを形成する工程と、

前記第１の絶縁膜パターンを形成する工程の後、前記露出した第２の電極パターンの表面を酸化することにより、前記第２の電極パターンの表面に第２の絶縁膜パターンを形成する工程と、

前記第２の絶縁膜パターンを形成する工程の後、前記第１の絶縁膜パターンを形成された前記第１の電極パターンおよび前記第２の絶縁膜パターンを形成された前記第２の電極パターンを覆うように、前記基板上に導電性膜を堆積する工程と、

前記導電性膜をパターニングして、前記第１の絶縁膜パターン上に第３の電極を、また前記第２の絶縁膜パターンを覆うように第４の電極を、実質的に同時に形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項９】　不揮発性メモリとキャパシタとを有する半導体集積回路装置の製造方法において、

基板上の第１の領域にトンネル絶縁膜を形成する工程と、

前記基板上の前記第１の領域とは異なる第２の領域に素子分離絶縁膜を形成する工程と、

前記トンネル絶縁膜および前記素子分離絶縁膜を形成された基板上に、前記第１の領域を前記トンネル絶縁膜を介して覆うように第１の電極パターンを、また前記素子分離絶縁膜上に第２の電極パターンを、実質的に同時に形成する工程と、

前記第１および第２の電極パターンのいずれか一方に、不純物元素をイオン注入により選択的に導入する工程と、

前記イオン注入工程の後、前記第１および第２の電極パターンの表面を酸化することにより、前記第１および第２の電極パターンの表面に、それぞれ第１および第２の厚さの、第１および第２の絶縁膜パターンを形成する工程と、

前記第１および第２の絶縁膜パターンを形成する工程の後、前記第１の絶縁膜パターンを形成された前記第１の電極パターンおよび前記第２の絶縁膜パターンを形成された前記第２の電極パターンを覆うように、前記基板上に導電性膜を堆積する工程と、

前記導電性膜をパターニングして、前記第１の絶縁膜パターンを覆うように第３の電極を、また前記第２の絶縁膜パターンを覆うように第４の電極を、実質的に同時に形成する工程とを含むことを特徴とする半導体集積回路装置の製造方法。

【請求項１０】　前記不純物元素を導入する工程は、Ｐ＋

を前記第１の電極パターンにイオン注入する工程を含むことを特徴とする請求項９記載の半導体装置の製造方法。

【手続補正２】

【補正対象書類名】明細書

【補正対象項目名】００２１

【補正方法】変更
【補正の内容】
【００２１】
【課題を解決するための手段】
本発明は、上記の課題を、例えば下記手段、
第１の領域と第２の領域とを画成された基板と、
前記基板上の前記第１の領域に形成されたメモリ素子と、
前記基板上の前記第２の領域において、素子分離構造上に形成されたキャパシタとよりなり、
前記メモリ素子は、第１の導体パターンと、前記第１の導体パターン上に形成された第１の絶縁膜とを含み、
前記キャパシタは、前記素子分離構造上に形成された第２の導体パターンと、前記第２の導体パターン上に形成された第２の絶縁膜とを含み、
前記第１の絶縁膜と前記第２の絶縁膜とは、それぞれ互いに異なった厚さを有し、前記第2の絶縁膜は前記第1の絶縁膜よりも薄いことを特徴とする半導体集積回路装置により解決する。
【手続補正３】
【補正対象書類名】明細書
【補正対象項目名】００２２
【補正方法】変更
【補正の内容】
【００２２】
また本発明は上記構成において、
前記第１の絶縁膜と前記第２の絶縁膜とが互いに異なった誘電率を有するように構成してもよい。
あるいは、上記構成において、前記第１の絶縁膜と前記第２の絶縁膜とが互いに異なった層構造を有するように構成してもよい。