

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5922997号
(P5922997)

(45) 発行日 平成28年5月24日(2016.5.24)

(24) 登録日 平成28年4月22日(2016.4.22)

(51) Int.Cl.

F 1

HO3M	1/14	(2006.01)
HO3M	1/56	(2006.01)
HO3M	1/38	(2006.01)
HO3M	1/74	(2006.01)
HO4N	5/3745	(2011.01)

HO3M	1/14
HO3M	1/56
HO3M	1/38
HO3M	1/74
HO4N	5/335

B
7 4 5

請求項の数 7 (全 17 頁) 最終頁に続く

(21) 出願番号

特願2012-141462 (P2012-141462)

(22) 出願日

平成24年6月22日(2012.6.22)

(65) 公開番号

特開2014-7527 (P2014-7527A)

(43) 公開日

平成26年1月16日(2014.1.16)

審査請求日

平成27年4月28日(2015.4.28)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100076428

弁理士 大塚 康徳

(74) 代理人 100112508

弁理士 高柳 司郎

(74) 代理人 100115071

弁理士 大塚 康弘

(74) 代理人 100116894

弁理士 木村 秀二

(74) 代理人 100130409

弁理士 下山 治

(74) 代理人 100134175

弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【特許請求の範囲】

【請求項 1】

アナログ値をデジタル値に変換する A/D 変換器と、

前記 A/D 変換器にアナログ信号を供給する複数の画素とを有する固体撮像装置であって

、前記 A/D 変換器は、

バイナリウェイトの容量値を有する複数のキャパシタと、前記複数のキャパシタから 1 つ以上のキャパシタを選択するスイッチ回路とを有し、前記選択した 1 つ以上のキャパシタの合成容量値に応じた比較信号を生成する生成回路と、

前記アナログ値と前記比較信号の値とを比較する比較回路と、

前記比較回路からの比較結果に基づいて前記合成容量値を変更することにより前記比較信号の値を変更しながら二分探索を行って前記アナログ値を含む範囲を絞り込む第 1 比較動作と、前記比較信号を一定の変化率で変化させている間の前記比較回路からの比較結果に基づいて前記アナログ値を含む範囲を絞り込む第 2 比較動作とを実行する制御回路とを有し、

前記複数の画素は、画素のリセットレベルに相当する基準信号と、画像情報を有する画像信号とを前記 A/D 変換器に供給し、

前記 A/D 変換器は、前記画像信号が供給された場合に、前記第 1 比較動作と前記第 2 比較動作との一方の比較動作を実行した後に前記第 1 比較動作と前記第 2 比較動作との他方の比較動作を実行し、前記一方の比較動作で絞り込まれた範囲に基づいて前記他方の比較

10

20

動作を実行して前記デジタル値を決定し、

前記 A D 変換器は、前記基準信号が供給された場合に、前記一方の比較動作を実行せず
に前記他方の比較動作を実行して前記デジタル値を決定することを特徴とする固体撮像装置。

【請求項 2】

前記生成回路は、基準電圧を前記合成容量値で変換して前記比較信号を生成し、ランプ信号を前記比較信号に加えて前記比較信号を変化させ、

前記第 2 比較動作の間の前記ランプ信号の変化量は前記基準電圧に等しいことを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

アナログ値をデジタル値に変換する A D 変換器と、

前記 A D 変換器にアナログ信号を供給する複数の画素とを有する固体撮像装置であって

前記 A D 変換器は、

バイナリウェイトの容量値を有する複数のキャパシタと、前記複数のキャパシタから 1 つ以上のキャパシタを選択するスイッチ回路とを有し、前記選択した 1 つ以上のキャパシタの合成容量値に応じた比較信号を生成する生成回路と、

前記アナログ値と前記比較信号の値とを比較する比較回路と、

前記比較回路からの比較結果に基づいて前記スイッチ回路が選択する 1 つ以上のキャパシタの組み合わせを変えながら前記比較信号と前記アナログ信号とを比較する第 1 比較動作と、前記生成回路に入力されるランプ信号に基づいて前記比較信号を変化させながら前記比較信号と前記アナログ信号とを比較する第 2 比較動作とを実行する制御回路とを有し

前記複数の画素は、画素のリセットレベルに相当する基準信号と、画像情報を有する画像信号とを前記 A D 変換器に供給し、

前記 A D 変換器は、前記画像信号が供給された場合に、前記第 1 比較動作と前記第 2 比較動作との一方の比較動作を実行した後に前記第 1 比較動作と前記第 2 比較動作との他方の比較動作を実行し、

前記 A D 変換器は、前記基準信号が供給された場合に、前記一方の比較動作を実行せず
に前記他方の比較動作を実行することを特徴とする固体撮像装置。

【請求項 4】

前記 A D 変換器は、前記一方の比較動作によって絞り込まれた範囲よりも幅が広い範囲から前記他方の比較動作を開始することを特徴とする請求項 1 乃至 3 の何れか 1 項に記載の固体撮像装置。

【請求項 5】

前記 A D 変換器は、前記一方の比較動作によって絞り込まれた範囲の 2 倍以下の幅の範囲から前記他方の比較動作を開始することを特徴とする請求項 4 に記載の固体撮像装置。

【請求項 6】

前記 A D 変換器は、前記第 1 比較動作を実行して前記アナログ値を含む範囲を絞り込み、前記絞り込まれた範囲に基づいて前記第 2 比較動作を実行して前記デジタル値を決定することを特徴とする請求項 1 乃至 5 の何れか 1 項に記載の固体撮像装置。

【請求項 7】

前記 A D 変換器は、前記第 2 比較動作を実行して前記アナログ値を含む範囲を絞り込み、前記絞り込まれた範囲に基づいて前記第 1 比較動作を実行して前記デジタル値を決定することを特徴とする請求項 1 乃至 6 の何れか 1 項に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は固体撮像装置に関する。

【背景技術】

【0002】

一般に、デジタルカメラやデジタルビデオに使われる固体撮像装置はアナログ値の画像信号をデジタル値に変換するためのA D変換器を有する。さまざまなタイプのA D変換器が知られているが、その1つにランプ型A D変換器がある。ランプ型A D変換器では比較器を用いて入力アナログ信号とランプ信号との大小関係を比較し、ランプ信号が変化を始めてから比較器の出力が反転するまでの時間を測定することによってデジタル信号を決定する。ランプ型A D変換器は小規模な回路で構成できるが、nビットの分解能でA D変換を行う場合に $2^{(n-1)}$ クロックを要するので高速化に不向きである。また、別のタイプに逐次比較型A D変換器がある。逐次比較型A D変換器は、バイナリウェイトを有する複数のキャパシタを有し、このキャパシタを用いて比較信号を変更し、アナログ値を含む範囲を半減していく。逐次比較型A D変換器は、nクロックでnビットの分解能を実現できるので高速化に向くが、キャパシタの容量比（すなわち面積比）が最大で1： $2^{(n-1)}$ となってしまい、回路規模が大きくなる。10

【0003】

このような現状に対して、特許文献1はハイブリッド型のA D変換器を提案する。このA D変換器では、複数のキャパシタを用いてデジタル値を含むサブレンジを決定し、ランプ信号を用いてサブレンジからデジタル値を決定する。

【先行技術文献】**【特許文献】****【0004】**

【特許文献1】特開2012-54913号公報

20

【発明の概要】**【発明が解決しようとする課題】****【0005】**

特許文献1に記載された構成では、フォトダイオードから出力された信号に対して、相関二重サンプリングを施すことによってノイズを低減した信号をA D変換器でデジタル信号に変換する。ところが、特許文献1に記載の方法では、A D変換器そのものが有するオフセット成分が重畠されたデジタル信号が得られるため、A D変換の精度が十分にならないおそれがある。そこで、本発明は、高速且つ高精度なA D変換器を提供するために有利な技術を提供することを目的とする。30

【課題を解決するための手段】**【0006】**

上記課題に鑑みて、本発明の1つの側面では、アナログ値をデジタル値に変換するA D変換器と、前記A D変換器にアナログ信号を供給する複数の画素とを有する固体撮像装置であって、前記A D変換器は、バイナリウェイトの容量値を有する複数のキャパシタと、前記複数のキャパシタから1つ以上のキャパシタを選択するスイッチ回路とを有し、前記選択した1つ以上のキャパシタの合成容量値に応じた比較信号を生成する生成回路と、前記アナログ値と前記比較信号の値とを比較する比較回路と、前記比較回路からの比較結果に基づいて前記合成容量値を変更することにより前記比較信号の値を変更しながら二分探索を行って前記アナログ値を含む範囲を絞り込む第1比較動作と、前記比較信号を一定の変化率で変化させている間の前記比較回路からの比較結果に基づいて前記アナログ値を含む範囲を絞り込む第2比較動作とを実行する制御回路とを有し、前記複数の画素は、画素のリセットレベルに相当する基準信号と、画像情報を有する画像信号とを前記A D変換器に供給し、前記A D変換器は、前記画像信号が供給された場合に、前記第1比較動作と前記第2比較動作との一方の比較動作を実行した後に前記第1比較動作と前記第2比較動作との他方の比較動作を実行し、前記一方の比較動作で絞り込まれた範囲に基づいて前記他方の比較動作を実行して前記デジタル値を決定し、前記A D変換器は、前記基準信号が供給された場合に、前記一方の比較動作を実行せずに前記他方の比較動作を実行して前記デジタル値を決定することを特徴とする固体撮像装置が提供される。40

【発明の効果】

50

【0007】

上記手段により、高速且つ高精度な A D 变換器を提供するために有利な技术が提供される。

【図面の簡単な説明】**【0008】**

【図1】本発明の実施形態の A D 变換器 100 の構成例を説明する図。

【図2】本発明の実施形態の A D 变換器 100 の動作原理を説明する図。

【図3】本発明の実施形態の A D 变換器 300 の構成例を説明する図。

【図4】本発明の実施形態の A D 变換器 300 の動作例を説明する図。

【図5】本発明の実施形態の A D 变換器 300 の動作例を説明する図。 10

【図6】本発明の実施形態の A D 变換器 600 の構成例を説明する図。

【図7】本発明の実施形態の A D 变換器 600 の動作例を説明する図。

【図8】本発明の実施形態の固体撮像装置 800 の構成例を説明する図。

【図9】本発明の実施形態の各種発生回路の構成例を説明する図。

【図10】本発明の実施形態の增幅器 804 の構成例を説明する図。

【図11】本発明の実施形態の增幅器 804 の動作例を説明する図。

【発明を実施するための形態】**【0009】**

添付の図面を参照しつつ本発明の実施形態について以下に説明する。様々な実施形態を通じて同様の要素には同一の参照符号を付して重複する説明を省略する。また、各実施形態は適宜変更、組み合わせが可能である。 20

【0010】

図1を用いて、本発明の1つの実施形態に係る A D 变換器 100 の回路構成例を説明する。 A D 变換器 100 は入力端子 IN 及び出力端子 OUT を有し、入力端子 IN から入力されたアナログ信号 Sin をデジタル信号 Sout に変換して出力端子 OUT から出力する。 A D 变換器 100 はアナログ信号 Sin を 14 ビットの分解能でデジタル信号 Sout に変換する。すなわち、アナログ信号 Sin の値（アナログ値）に相当する 0 以上 2^{14} - 1 以下の何れかの整数値（デジタル値）をデジタル信号 Sout として出力する。

【0011】

A D 变換器 100 はアナログ信号 Sin との比較に用いられる比較信号を生成する生成回路 101 を更に有する。生成回路 101 はバイナリウェイトの容量値を有する複数のキャパシタ c p 0 ~ c p 4 と、キャパシタ c p 0 ~ c p 4 に接続された複数のスイッチ sw 0 ~ sw 4 とを有する。複数のスイッチ sw 0 ~ sw 4 によって、キャパシタ c p 0 ~ c p 4 のうちの1つ以上を選択するスイッチ回路が構成される。バイナリウェイトとは、公比 2 の等比数列をなす重み（容量値）の集合のことである。図1の例では、キャパシタ c p 0 ~ c p 4 は順に、1C、2C、4C、8C、16C の容量値を有する。キャパシタ c p 0 ~ c p 4 の一方の電極は生成回路 101 の供給端子 SPL に接続され、他方の電極はそれぞれスイッチ sw 0 ~ sw 4 に接続される。スイッチ sw 0 ~ sw 4 はそれぞれ、一端がキャパシタ c p 0 ~ c p 4 に接続され、他端が端子 A と端子 B との間をトグルする。端子 A には接地電位 GND が供給され、端子 B には基準電圧 Vref が供給される。基準電圧 Vref は A D 变換器 100 の外部から供給される定電圧であり、接地電位 GND よりも大きな値である。スイッチ sw 0 が端子 A にトグルすると、キャパシタ c p 0 に接地電位 GND が供給され、スイッチ sw 0 が端子 B にトグルすると、キャパシタ c p 0 に基準電圧 Vref が供給される。他のスイッチ sw 1 ~ sw 4 についても同様である。スイッチ sw 0 ~ sw 4 が切り替わることによって、供給端子 SPL と基準電圧 Vref との間に接続されるキャパシタの合成容量値が変化し、その結果として供給端子 SPL から出力される比較信号 Vcmp の値が変化する。 40

【0012】

生成回路 101 の供給端子 SPL には更に、 A D 变換器 100 の外部からのランプ信号 Vrmp がキャパシタ c p 5 を介して供給される。キャパシタ c p 5 はランプ信号 Vrmp 50

p の大きさを調整するためのキャパシタであり、 $1C$ の容量値を有する。すなわち、キャパシタ $c p 5$ の容量値は、バイナリウェイトの容量値を有するキャパシタ群 $c p 0 \sim c p 4$ の最小の容量値と等しい。ランプ信号 V_{rmp} の値が変化すると供給端子 SPL から出力される比較信号 V_{cmp} の値も変化する。

【0013】

供給端子 SPL と基準電圧 V_{ref} との間に接続されるキャパシタの集合と、ランプ信号 V_{rmp} の値とを組み合わせることによって、比較信号 V_{cmp} は接地電位 GND 以上、基準電圧 V_{ref} 以下の任意の値を取りうる。

【0014】

A/D 変換器 100 は比較器 CMP を更に有する。比較器 CMP はアナログ信号 Sin の値と比較信号 V_{cmp} の値とを比較して、比較結果に応じた信号を出力する。比較器 CMP の非反転端子にはキャパシタ $c p 6$ を介してアナログ信号 Sin が供給され、比較器 CMP の反転端子には生成回路 101 の供給端子 SPL から比較信号 V_{cmp} が供給される。それにより、アナログ信号 Sin の値が比較信号 V_{cmp} の値以上の場合に $HIGH$ が出力され、アナログ信号 Sin の値が比較信号 V_{cmp} の値未満の場合に LOW が出力される。この例ではアナログ信号 Sin の値と比較信号 V_{cmp} の値が等しい場合に $HIGH$ を出力しているが、 LOW を出力してもよい。キャパシタ $c p 6$ はアナログ信号 Sin の値を比較信号 V_{cmp} との比較が可能な範囲に調整する。本実施形態では、説明を簡単にするために、アナログ信号 Sin の値は接地電位 GND 以上、基準電圧 V_{ref} 以下であり、アナログ信号 Sin と同じ大きさの信号が比較器 CMP の非反転端子に供給される場合を扱う。

【0015】

図 1 の例ではアナログ信号 Sin を比較器 CMP の非反転端子に供給し、比較信号 V_{cmp} を比較器 CMP の反転端子に供給するが、アナログ信号 Sin の値と比較信号 V_{cmp} の値との大小関係を判定できれば他の構成も取りうる。例えば、アナログ信号 Sin と比較信号 V_{cmp} との差分を比較器 CMP の非反転端子に供給し、接地電位 GND を比較器 CMP の反転端子に供給してもよい。

【0016】

A/D 変換器 100 はスイッチ $s w 5$ 、 $s w 6$ を更に有する。これらのスイッチ $s w 5$ 、 $s w 6$ が導通状態になると、比較器 CMP の非反転端子、反転端子に接地電位 GND が供給され、比較器 CMP がリセットされる。

【0017】

比較器 CMP は制御回路 102 及びカウンタ 103 を更に備える。制御回路 102 には比較器 CMP から比較結果が供給され、制御回路 102 はこの比較結果に基づいてデジタル信号 $Sout$ を生成し、出力端子 OUT から出力する。制御回路 102 はまた、各スイッチ $s w 0 \sim s w 6$ に制御信号を送信してその状態を切り替える。カウンタ 103 は制御回路 102 からの指示に従ってカウントを開始し、制御回路 102 からの後続の指示に従って現在のカウント値を制御回路 102 へ返す。

【0018】

続いて、図 2 のタイミングチャートを用いて、A/D 変換器 100 による A/D 変換動作の原理を説明する。A/D 変換器 100 は逐次比較期間にキャパシタ群 $c p 0 \sim c p 4$ を用いて比較信号 V_{cmp} を変化させて二分探索する第 1 比較動作（以下、逐次比較）を実行し、デジタル信号 $Sout$ の値の上位 5 ビットを決定する。続いて、ランプ比較期間（第 2 期間）にランプ信号 V_{rmp} を用いて比較信号 V_{cmp} を変化させてアナログ信号 Sin との比較する第 2 比較動作（以下、ランプ比較）を実行し、デジタル信号 $Sout$ の値の下位 9 ビットを決定する。図 2において、 V_{rmp} はランプ信号 V_{rmp} の値を示す。ランプ信号 V_{rmp} の値はランプ比較期間が始まるまでは接地電位 GND に等しく、ランプ比較期間において基準電圧 V_{ref} に等しくなるまで単調に変化する。図 2 の例では、ランプ信号 V_{rmp} の値は一定の変化率で増加し、すなわち単位時間ごとに等しい値だけ増加する。A/D 変換器 100 では、ランプ信号 V_{rmp} の値はクロックごとに $V_{ref}/2$

10

20

30

40

50

⁹だけ増加する。これによって、A D変換器100はランプ比較期間に9ビットの分解能でアナログ信号S inと比較信号V cmpとの比較を行える。すなわち、制御回路102は、ランプ比較によって、アナログ信号S inの値を含む範囲をV ref / 2⁹の幅の範囲に絞り込めるので、この範囲に相当するデジタル値を決定する。

【0019】

本実施形態では、ランプ信号V rmpの変化量は基準電圧V refに等しい。このようなランプ信号V rmpをA D変換器100に供給することによって、ランプ信号V rmpが供給されるキャパシタc p 5の容量値をバイナリウェイトの容量値と整数比になるよう10に設定できる。モノリシックICでは比が整数値であるウェイト(容量値)を有するキャパシタを容易に構成できるので、ランプ比較における比較信号V cmpの変化量をキャパシタc p 5の容量値だけで設定できるA D変換器100の構成は有利である。

【0020】

図2において、s w 0 ~ s w 6は制御回路102からスイッチs w 0 ~ s w 6に供給される制御信号の値を示す。スイッチs w 0 ~ s w 4は、供給される制御信号がH i g hである場合に端子Bへトグルし、制御信号がL o wである場合に端子Aへトグルする。スイッチs w 5、s w 6は、供給される制御信号がH i g hである場合に導通状態となり、制御信号がL o wである場合に非導通状態となる。図2の下側にはアナログ信号S in及び比較信号V cmpが示される。図2では、アナログ信号S inの値が10進デジタル値3382(2進数で00 1101 0011 0110)に相当する場合を例として扱う。

【0021】

続いて、A D変換器100のA D変換動作を時系列に沿って説明する。制御回路102は準備期間において、スイッチs w 0 ~ s w 4に供給される制御信号をL o wにし、スイッチs w 5、s w 6に供給される制御信号をH i g hにする。これにより、比較器C M Pの非反転端子及び反転端子が接地電位G N Dにリセットされるとともに、比較信号V cmpの値が接地電位G N Dに等しくなる。その後、制御回路102はスイッチs w 5、s w 6に供給される制御信号をL o wにする。以降の動作において、比較器C M Pの非反転端子にはアナログ信号S inが供給され続ける。

【0022】

次に、逐次比較期間が始まると、制御回路102はスイッチs w 4に供給される制御信号をH i g hに変更する。これにより、スイッチs w 4は端子Bにトグルし、バイナリウェイトの中で1番目に大きな容量値を有するキャパシタc p 4を介して生成回路101の供給端子S P Lに基準電圧V refが印加される。その結果、比較信号V cmpがV ref / 2だけ増加し、比較信号V cmpの値はV ref / 2に等しくなる。制御回路102は、比較器C M Pからの比較結果に基づいて、アナログ信号S inの値が比較信号V cmpの値(V ref / 2)よりも小さいと判定し、スイッチs w 4に供給される制御信号をL o wに戻す。それにより、比較信号V cmpの値は接地電位G N Dに戻る。この比較結果は、デジタル信号S outの値のM S B(L S Bを0ビット目とした場合に13ビット目)が0であることを意味する。

【0023】

次に、制御回路102はスイッチs w 3に供給される制御信号をH i g hに変更する。これにより、バイナリウェイトの中で2番目に大きな容量値を有するキャパシタc p 3を介して生成回路101の供給端子S P Lに基準電圧V refが印加される。その結果、比較信号V cmpがV ref / 4だけ増加し、比較信号V cmpの値はV ref / 4に等しくなる。制御回路102は、比較器C M Pからの比較結果に基づいて、アナログ信号S inの値が比較信号V cmpの値(V ref / 4)よりも小さいと判定し、スイッチs w 3に供給される制御信号をL o wに戻す。それにより、比較信号V cmpの値は接地電位G N Dに戻る。この比較結果は、デジタル信号S outの値の12ビット目が0であることを意味する。

【0024】

次に、制御回路102はスイッチs w 2に供給される制御信号をH i g hに変更する。

10

20

30

40

50

これにより、バイナリウェイトの中で3番目に大きな容量値を有するキャパシタ c p 2 を介して生成回路 101 の供給端子 S P L に基準電圧 V r e f が印加される。その結果、比較信号 V c m p が V r e f / 8 だけ増加し、比較信号 V c m p の値は V r e f / 8 に等しくなる。制御回路 102 は、比較器 C M P からの比較結果に基づいて、アナログ信号 S i n の値が比較信号 V c m p の値 (V r e f / 8) よりも大きいと判定し、スイッチ s w 2 に供給される制御信号を H i g h のままにする。それにより、比較信号 V c m p の値は V r e f / 8 に維持される。この比較結果は、デジタル信号 S o u t の値の 11 ビット目が 1 であることを意味する。

【 0 0 2 5 】

次に、制御回路 102 はスイッチ s w 1 に供給される制御信号を H i g h に変更する。
これにより、バイナリウェイトの中で4番目に大きな容量値を有するキャパシタ c p 1 と、キャパシタ c p 2 を介して生成回路 101 の供給端子 S P L に基準電圧 V r e f が印加される。その結果、比較信号 V c m p が V r e f / 1 6 だけ増加し、比較信号 V c m p の値は V r e f * 3 / 1 6 に等しくなる。制御回路 102 は、比較器 C M P からの比較結果に基づいて、アナログ信号 S i n の値が比較信号 V c m p の値 (V r e f * 3 / 1 6) よりも大きいと判定し、スイッチ s w 1 に供給される制御信号を H i g h のままにする。それにより、比較信号 V c m p の値は V r e f * 3 / 1 6 に維持される。この比較結果は、デジタル信号 S o u t の値の 10 ビット目が 1 であることを意味する。

【 0 0 2 6 】

最後に、制御回路 102 はスイッチ s w 0 に供給される制御信号を H i g h に変更する。
これにより、バイナリウェイトの中で5番目に大きな容量値を有するキャパシタ c p 0 と、c p 1、c p 2 を介して生成回路 101 の供給端子 S P L に基準電圧 V r e f が印加される。その結果、比較信号 V c m p が V r e f / 3 2 だけ増加し、比較信号 V c m p の値は V r e f * 7 / 3 2 に等しくなる。制御回路 102 は、比較器 C M P からの比較結果に基づいて、アナログ信号 S i n の値が比較信号 V c m p の値 (V r e f * 7 / 3 2) よりも小さいと判定し、スイッチ s w 0 に供給される制御信号を L o w に戻す。それにより、比較信号 V c m p の値は V r e f * 3 / 1 6 に戻る。この比較結果は、デジタル信号 S o u t の値の 9 ビット目が 0 であることを意味する。

【 0 0 2 7 】

以上の逐次比較により、制御回路 102 はアナログ信号 S i n の値を含む範囲を、 V r e f * 3 / 1 6 以上、 V r e f * 7 / 3 2 未満の範囲に絞り込める。これにより、制御回路 102 はデジタル信号 S o u t の値の上位ビットが 00110 であると決定する。すなわち、制御回路 102 はデジタル信号 S o u t の値が 2 進数で 00 1100 0000 0000 以上、 00 11 01 1111 1111 以下に含まれることを特定する。そこで、続いて行われるランプ比較において、 A D 変換器 100 は絞り込んだ範囲からデジタル信号 S o u t の値を決定する。

【 0 0 2 8 】

ランプ比較が始まると、ランプ信号 V r m p が増加を開始する。制御回路 102 は、ランプ信号 V r m p の増加開始と共に、カウンタ 103 にカウントを開始させる。ランプ信号 V r m p の供給源は、制御回路 102 からの要求に応じてランプ信号 V r m p の増加を開始してもよいし、要求を受けることなく所定のタイミングで開始してもよい。ランプ信号 V r m p が接地電位 G N D から基準電圧 V r e f まで変化する間に、比較信号 V c m p の値も V r e f * 3 / 1 6 から V r e f * 7 / 3 2 まで変化する。制御回路 102 は比較回路 C M P からの出力が反転した時点でカウンタ 103 からカウント値を取得する。このカウント値はアナログ信号 S i n の値から V r e f * 3 / 1 6 を引いた値に相当し、図 2 の例では、 1 0011 0110 (2 進数) である。この値はデジタル信号 S o u t の下位ビットに一致する。制御回路 102 はこのランプ比較によってアナログ信号 S i n の値を含む範囲をさらに絞り込める。制御回路 102 はさらに絞り込んだ範囲に対応するデジタル値を求め、アナログ信号 S i n の値に相当するデジタル値は 3 3 8 2 であると決定し、この値を出力端子 O U T から出力する。

【 0 0 2 9 】

10

20

30

40

50

以上のように、A D変換器100は逐次比較によってデジタル信号Soutの値の上位ビットを決定するので、全ビットをランプ比較によって決定するA D変換器と比較して、A D変換に要する時間を短縮できる。また、バイナリウェイトの容量値を有するキャパシタ群を用いて逐次比較を行っているので、逐次比較を行うための回路規模を低減できる。上述の例では、ランプ信号Vrmpが単調増加する場合を扱ったが、ランプ信号Vrmpは単調減少してもよい。この場合には、逐次比較によって絞り込まれた範囲の上限から下限まで比較信号Vcmpの値が単調減少する。

【0030】

続いて、図8を用いて、本実施形態に係る固体撮像装置800の構成例を説明する。固体撮像装置800は図8に示す構成要素を有しうる。画素アレイ801には複数の画素802がアレイ状に配置されている。垂直走査回路803は画素802を行単位で走査し、画素列で共有される垂直信号線に画素信号を出力するタイミングを制御する。増幅器804は垂直信号線からの信号を増幅してA D変換器805へ供給する。増幅器804は例えばゲインが可変である増幅器である。A D変換器805は例えば上述のA D変換器100、300、600の何れかである。A D変換器805は増幅器804から供給されたアナログ値の画素信号をデジタル値の画素信号に変換して、メモリ806に格納する。基準電圧発生回路807は基準電圧VrefをA D変換器805に供給し、ランプ信号発生回路808はランプ信号VrmpをA D変換器805に供給する。制御部809は固体撮像装置800の各構成要素にクロック信号や制御信号を供給する。

【0031】

固体撮像装置800において、画素802からの信号は画素ソースフォロワのような画素増幅器によって出力されるのが一般的である。この場合に、画素802は、画素のリセットレベルに相当する基準信号と、光電変換素子から電荷を転送した後の画像情報を含む画像信号とをアナログ信号として出力する。本実施例では、A D変換器805は基準信号と画像信号とをそれぞれA D変換して、この両者の信号の差分をとる。これにより、画素802に固有の固定ノイズを低減するCDS(相関2重サンプリング)動作を行うとともに、A D変換器805に固有の固定ノイズを低減する。

基準信号をA D変換して得られるデジタル信号には、A D変換器805に固有の固定ノイズ(オフセット)が重畠されている。同様に、画像信号をA D変換して得られるデジタル信号にも、A D変換器805に固有のオフセットも重畠されている。したがって、これらの2つのデジタル信号の差分処理を行うことで、画素に固有の固定ノイズを低減するとともに、A D変換器805に固有の固定ノイズも低減できる。

【0032】

基準信号の値は画像信号の値と比較して小さな値となる。そこで、A D変換器805は画像信号をA D変換する場合に上述のA D変換動作のすべてを行い、基準信号をA D変換する場合に上述のA D変換動作の一部を省略する。例えば、A D変換器805がA D変換器100であるとする。A D変換器100が基準信号をA D変換する場合には、制御回路102は逐次比較を省略して、ランプ比較だけを行ってもよい。具体的には、制御回路102は、逐次比較を行わず、逐次比較によって絞り込まれる最小の範囲である0以上、Vref/32未満の範囲にアナログ信号Sinが含まれると判定し、この範囲でランプ比較を行ってもよい。そして、制御回路102はランプ比較終了後に、逐次比較によって決定される上位ビットがすべて0であるとしてデジタル値を決定する。これにより、逐次比較に要する時間を短縮できる。また、A D変換器100は逐次比較の一部の処理のみを行ってもよい。例えば、キャパシタcp2～cp4を用いて決定される上位3ビットを予め0であると仮定して、キャパシタcp2を用いて上位4ビット目から逐次比較を開始してもよい。基準信号に対してどの範囲でA D変換を行うかは画素802の特性などによって適宜設計される。

【0033】

さらに、A D変換器805がA D変換器100であり、基準信号をA D変換する場合に、制御回路102が逐次比較を省略して、ランプ比較だけを行う場合を考える。さらに、

10

20

30

40

50

カウンタ103がアップカウント・ダウンカウント切り替え機能を有しているとする。この場合に、制御回路102は、基準信号をA/D変換する際にカウンタ103にダウンカウントさせ、画像信号をA/D変換する際に、カウンタ103にアップカウントさせてもよい。これにより、A/D変換器100から出力されるデジタル値の画像信号は基準信号を減算した値が出力される。このようにA/D変換器100が自動的にCDS動作を行うことで、キャパシタのばらつき等によるA/D変換器の変換誤差を低減できると共に、画像信号から基準信号を別途減算するための時間を短縮できる。

【0034】

ここでは固体撮像装置を例に取って説明したが、固体撮像装置に限らず、信号源からの基準信号のA/D変換結果と、基準信号に信号成分が重畠された信号のA/D変換結果とを減算することで、A/D変換器の特性に起因するオフセットを低減できる。特に、固体撮像装置800のように画素の各列にA/D変換器が設けられた構成においては、A/D変換器間のオフセットの相違は、取得される画像にスジ状のノイズとして現れるため、A/D変換器のオフセットを低減することが効果的である。10

【0035】

続いて、本発明の別の実施形態に係るA/D変換器について説明する。先の実施例では、画素のリセットレベルに相当する基準信号と、光電変換素子から電荷を転送した後の画像情報を含む画像信号とを用いてA/D変換器のオフセットを低減したが、本実施例では、増幅器の出力を用いてA/D変換器のオフセットを低減する。ここでは、図8の固体撮像装置800において、増幅器804が容量帰還型の増幅器である場合を説明する。20

【0036】

図10は本実施例に係る増幅器の構成例を示す。図10において、増幅器804は演算増幅器OPと、入力容量Cinと、帰還容量Cfと、リセットスイッチSWrとを含む。入力容量Cin及び帰還容量Cfの少なくとも一方の容量値を可変とすることで、増幅器804のゲインを可変にできる。

【0037】

図11は、図10に係る増幅器804の動作例を説明するためのタイミングチャートである。まず、信号RをHighレベルとして、スイッチSWrをオンする。これにより、帰還容量Cfの両端の電位がVrefにリセットされる。この期間に、画素をリセットした場合の画素信号を増幅器804に入力する。その後、信号RをLowレベルにした場合の増幅器804の出力を基準信号として、A/D変換を行う(A/D変換1)。30

【0038】

基準信号のA/D変換が終了した後に、画素から画像信号を増幅器804に入力する。これにより、画素に起因するノイズが入力容量によって低減されて、増幅器804から出力される。この場合の増幅器804からの出力を映像信号として、A/D変換を行う(A/D変換2)。

【0039】

その後、A/D変換1で得られたデジタル信号と、A/D変換2で得られたデジタル信号との差分を取ることにより、A/D変換器に固有のオフセットを低減できる。差分処理の仕方は、先の実施例と同様に、アップカウント・ダウンカウント切り替え機能を有するカウンタを用いて行ってもよい。40

【0040】

続いて、図3を用いて、本発明の別の実施形態に係るA/D変換器300の回路構成例を説明する。A/D変換器300は生成回路101及び制御回路102の代わりに生成回路301及び制御回路302を有する点で上述のA/D変換器100と異なる。以下ではA/D変換器100との相違点を中心にA/D変換器300を説明する。A/D変換器300はアナログ信号Sinを13ビットの分解能でデジタル信号Soutに変換する。すなわち、アナログ信号Sinの値(アナログ値)に相当する0以上、 $2^{13}-1$ 以下の何れかの整数値(デジタル値)をデジタル信号Soutとして出力する。A/D変換器を高速に動作させる場合に、セトリング不足などの要因によって、比較器が誤判定することがある。本実施形態50

に係る A D 変換器 3 0 0 は比較器 C M P が誤判定をした場合でも正しく A D 変換を行える。

【 0 0 4 1 】

生成回路 3 0 1 は、生成回路 1 0 1 の構成要素のほかにキャパシタ c p a とスイッチ s w a を更に有する。キャパシタ c p a の一方の電極は生成回路 1 0 1 の供給端子 S P L に接続され、他方の電極はスイッチ s w a に接続される。スイッチ s w a は、一端がキャパシタ c p a に接続され、他端が端子 A と端子 B との間をトグルする。端子 A には接地電位 G N D が供給され、端子 B には基準電圧 V r e f が供給される。スイッチ s w a が端子 A にトグルすると、キャパシタ c p a に接地電位 G N D が供給され、スイッチ s w a が端子 B にトグルすると、キャパシタ c p a に基準電圧 V r e f が供給される。キャパシタ c p a の容量値は C / 2 である。すなわち、キャパシタ c p a の容量値は、バイナリウェイトの容量値を有するキャパシタ群 c p 0 ~ c p 4 の最小の容量値の半分の値である。さらに、生成回路 3 0 1 において、キャパシタ C P 5 の容量値は 2 C である。すなわち、キャパシタ c p 5 の容量値は、バイナリウェイトの容量値を有するキャパシタ群 c p 0 ~ c p 4 の 2 番目に小さい容量値と同じである。10

【 0 0 4 2 】

続いて、図 4、図 5 のタイミングチャートを用いて、A D 変換器 3 0 0 による A D 変換動作の例を説明する。図 4、図 5 においても、図 2 と同様に、ランプ信号 V r m p の値はランプ比較期間が始まるまでは接地電位 G N D に等しく、ランプ比較期間において基準電圧 V r e f に等しくなるまで一定の変化率で変化する。A D 変換器 3 0 0 でも、ランプ信号 V r m p の値はクロックごとに V r e f / 2⁹だけ増加する。これによって、A D 変換器 3 0 0 はランプ比較期間に 9 ビットの分解能でアナログ信号 S i n と比較信号 V c m p との比較を行える。図 4、図 5 において、s w a は制御回路 3 0 2 からスイッチ s w a に供給される制御信号の値を示す。スイッチ s w a は、供給される制御信号が H i g h である場合に端子 B へトグルし、制御信号が L o w である場合に端子 A へトグルする。20

【 0 0 4 3 】

まず、図 4 を用いて、比較器 C M P が誤判定をしなかった場合の例を説明する。図 4 では、アナログ信号 S i n の値が 10 進デジタル値 1 7 1 8 (2 進数で 0 0 1 1 0 1 0 1 1 0 1 1 0) に相当する場合を例として扱う。制御回路 3 0 2 は準備期間において、スイッチ s w 0 ~ s w 4 に供給される制御信号を L o w にし、スイッチ s w a 、 s w 5 、 s w 6 に供給される制御信号を H i g h にする。これにより、比較器 C M P の非反転端子及び反転端子が接地電位 G N D にリセットされるとともに、比較信号 V c m p の値が接地電位 G N D に等しくなる。その後、制御回路 3 0 2 はスイッチ s w 5 、 s w 6 に供給される制御信号を L o w にする。以降の動作において、比較器 C M P の非反転端子にはアナログ信号 S i n が供給され続ける。また、制御回路 3 0 2 は逐次比較期間にスイッチ s w a に供給される制御信号を H i g h に維持する。30

【 0 0 4 4 】

次に、逐次比較期間の動作が行われるが、この期間の A D 変換器 3 0 0 による逐次比較は A D 変換器 1 0 0 と同様のため、説明を省略する。逐次比較の終了後、制御回路 3 0 2 はアナログ信号 S i n の値を含む範囲を V r e f * 3 / 1 6 以上、 V r e f * 7 / 3 2 未満の範囲(矢印 4 0 1 で示す範囲)に絞り込む。言い換えると、制御回路 3 0 2 はデジタル信号 S o u t の値の上位ビットが 00110 であると決定する。しかしながら、逐次比較において比較器 C M P が誤判定をした場合には、アナログ信号 S i n の値がこの範囲に含まれない場合がある。そこで、制御回路 1 0 2 はこの範囲よりも広い範囲でランプ比較を行う。具体的には逐次比較で決定された範囲よりも両側に V r e f / 6 4 ずつ広い V r e f * 1 1 / 6 4 以上、 V r e f * 1 5 / 6 4 未満の範囲(矢印 4 0 2 で示す範囲)を変化する比較信号 C M P の値とアナログ信号 S i n の値とを比較する。すなわち、制御回路 1 0 2 は、誤判定を修正するために、デジタル信号 S o u t の値を 2 進数で 0 0 1 0 1 1 0 0 0 0 0 0 以上、 0 0 1 1 1 0 1 1 1 1 1 1 以下 の範囲に絞り込む。この範囲での比較を行うために、制御回路 3 0 2 は逐次比較が終了すると、スイッチ s w a に供給される制御信号を L o w に切り4050

替える。その結果、スイッチ *s w a* に供給される電圧は基準電圧 *V r e f* から接地電位 *G N D* に切り替わり、比較信号 *V c m p* の値は *V r e f / 6 4* だけ小さくなり、*V r e f * 1 1 / 6 4* となる。

【0045】

ランプ比較期間が始まると、ランプ信号 *V r m p* の増加と共に、比較信号 *V c m p* も *V r e f * 1 1 / 6 4* から増加する。A D 変換器 3 0 0 ではキャパシタ *c p 5* の容量値が 2 C であるので、ランプ信号が *V r e f* だけ増加すると、比較信号 *V c m p* は *V r e f / 1 6* だけ増加する。そのため、ランプ比較期間において、比較信号 *V c m p* の値は *V r e f * 1 1 / 6 4* から *V r e f * 1 5 / 6 4* まで変化する。比較器 C M P からの出力が反転したときのカウント値はアナログ信号 *S i n* の値から *V r e f * 1 1 / 6 4* を引いた値に相当し、図 4 の例では、1 0011 0110 (2 進数) である。そこで、制御回路 3 0 2 は以下の計算を行ってデジタル信号 *S o u t* の値を決定する。10

$$\text{デジタル値} = \text{上位ビット} * 2^{56} - 128 + \text{下位ビット}$$

ここで、「上位ビット」は逐次比較により決定された値であり、図 4 の例では 6 (10 進数) である。「* 2⁵⁶」は上位ビットを 8 ビットだけ左にシフトすることを意味する。「128」は逐次比較終了後に比較信号 C M P の値を低減した値 (*V r e f / 6 4*) に相当する。「下位ビット」はランプ比較により決定された値であり、図 4 の例では 310 (10 進数) である。従って、図 4 の例では $6 * 2^{56} - 128 + 310 = 1718$ が決定されたデジタル値となる。20

【0046】

次に、図 5 を用いて、比較器 C M P が誤判定をした場合の例を説明する。図 5 でも図 4 と同様にアナログ信号 *S i n* の値が 10 進デジタル値 1718 (2 進数で 0 0110 1011 0110) に相当する場合を例として扱う。準備期間の説明は図 4 と同様であるため省略する。20

【0047】

逐次比較において、制御回路 3 0 2 がスイッチ *s w 0* に供給される制御信号を *H i g h* に変更した際に比較器 C M P が誤判定をしたとする。すなわち、比較器 C M P は、比較信号 *V c m p* の値 (*V r e f * 7 / 3 2*) よりもアナログ信号が小さいにもかかわらず、その逆の結果を出力する。これにより、制御回路 3 0 2 は、比較器 C M P からの比較結果に基づいて、アナログ信号 *S i n* の値が比較信号 *V c m p* の値 (*V r e f * 7 / 3 2*) よりも大きいと判定し、スイッチ *s w 0* に供給される制御信号を *H i g h* に維持する。それにより、比較信号 *V c m p* の値は *V r e f * 7 / 3 2* に維持される。この比較結果は、デジタル信号 *S o u t* の値の 10 ビット目が 1 であることを意味する。30

【0048】

逐次比較の終了後、制御回路 3 0 2 はアナログ信号 *S i n* の値を含む範囲を *V r e f * 7 / 3 2* 以上、*V r e f / 4* 未満の範囲 (矢印 5 0 1 で示す範囲) に絞り込む。言い換えると、制御回路 3 0 2 はデジタル信号 *S o u t* の値の上位ビットが 00111 であると決定する。しかしながら、逐次比較において比較器 C M P が誤判定をしたので、アナログ信号 *S i n* の値はこの範囲に含まれない。本実施形態に係る A D 変換器 3 0 0 の制御回路 1 0 2 はこの範囲よりも広い範囲でランプ比較を行うので、この誤判定を修正できる。具体的には逐次比較で決定された範囲よりも両側に *V r e f / 6 4* ずつ広い *V r e f * 1 3 / 6 4* 以上、*V r e f * 1 7 / 6 4* 未満 (矢印 5 0 2 で示す範囲) を変化する比較信号 C M P の値とアナログ信号 *S i n* の値とを比較する。すなわち、制御回路 1 0 2 は、誤判定を修正するために、デジタル信号 *S o u t* の値を 2 進数で 0 0110 1000 0000 以上、0 1000 0111 1111 以下に絞り込む。この範囲での比較を行うために、制御回路 3 0 2 は逐次比較が終了すると、スイッチ *s w a* に供給される制御信号を *L o w* に切り替える。その結果、スイッチ *s w a* に供給される電圧は基準電圧 *V r e f* から接地電位 *G N D* に切り替わり、比較信号 *V c m p* の値は *V r e f / 6 4* だけ小さくなり、*V r e f * 1 3 / 6 4* となる。40

【0049】

ランプ比較期間が始まると、ランプ信号 *V r m p* の増加と共に、比較信号 *V c m p* も *V r e f * 1 3 / 6 4* から増加する。A D 変換器 3 0 0 ではキャパシタ *c p 5* の容量値が 250

Cであるので、ランプ信号がV_{ref}だけ増加すると、比較信号V_{cmp}はV_{ref}/16だけ増加する。そのため、ランプ比較期間において、比較信号V_{cmp}の値はV_{ref}*13/64からV_{ref}*17/64まで変化する。比較器C M Pからの出力が反転したときのカウント値はアナログ信号S_{in}の値からV_{ref}*13/64を引いた値に相当し、図4の例では、0 0011 0110(2進数)である。そこで、制御回路302は先程と同じ計算式により、7*256 - 128 + 54 = 1718が決定されたデジタル値となる。この値は、図4で説明した誤判定をしなかった場合と等しい。

【0050】

以上のように、A D変換器300はA D変換器100の上述の利点に加えて、比較器C M Pによる誤判定を修正できるという利点を有する。上述の例では、ランプ比較での比較範囲を逐次比較で決定した範囲よりも両側にV_{ref}/64ずつ広くしている。これにより、A D変換器300は比較器C M PによるV_{ref}/64の誤差の誤判定までを許容できる。ランプ比較での比較範囲を広くすればするほど、より広い範囲の誤差を許容できるが、それに伴い、A D変換の分解能が低下するか、ランプ比較に要する時間が長くなる。そこで、上述の例のように、ランプ比較での比較範囲を逐次比較により絞り込んだ範囲の2倍としてもよいし、2倍以下にしてもよい。また、上述の例では、比較範囲を両側に同じ幅だけ広げたが、これらの幅が異なっていてもよいし、上側又は下側の一方のみを広げてもよい。

【0051】

続いて、図6を用いて、本発明の別の実施形態に係るA D変換器600の回路構成例を説明する。A D変換器600は生成回路101及び制御回路102の代わりに生成回路601及び制御回路602を有する点で上述のA D変換器100と異なる。以下ではA D変換器100との相違点を中心にA D変換器600を説明する。A D変換器600はアナログ信号S_{in}を9ビットの分解能でデジタル信号S_{out}に変換する。すなわち、アナログ信号S_{in}の値(アナログ値)に相当する0以上、2⁹-1以下の何れかの整数値(デジタル値)をデジタル信号S_{out}として出力する。A D変換器600はランプ比較によってアナログ信号S_{in}の値を含む範囲を絞り込んだ後に、逐次比較によってデジタル信号S_{out}の値を決定する。

【0052】

生成回路301は、生成回路101の構成要素のほかにキャパシタc p hとスイッチs w hとを更に有する。スイッチs w hはキャパシタc p 5とランプ信号V_{rmp}との間に接続される。キャパシタc p hの一方の電極はスイッチs w hとキャパシタc p 5との間に接続され、他方の電極には接地電位GNDが供給される。キャパシタc p hの容量値は64Cである。すなわち、キャパシタc p hの容量値は、バイナリウェイトの容量値を有するキャパシタ群c p 0 ~ c p 4の最大の容量値の4倍の値である。

【0053】

続いて、図7のタイミングチャートを用いて、A D変換器600によるA D変換動作の例を説明する。ランプ信号V_{rmp}の値はランプ比較期間が始まるまでは接地電位GNDに等しく、ランプ比較期間において基準電圧V_{ref}から接地電位GNDに等しくなるまで一定の変化率で変化する。図7の例では、ランプ信号V_{ref}は線形に減少する。A D変換器600は、ランプ信号V_{rmp}の値はクロックごとにV_{ref}/2⁴だけ減少する。これによって、A D変換器600はランプ比較期間に4ビットの分解能でアナログ信号S_{in}と比較信号V_{cmp}との比較を行える。その結果、アナログ信号S_{in}の値を含む範囲を、V_{ref}/2⁴の幅の範囲に絞りめる。図7において、s w hは制御回路602からスイッチs w hに供給される制御信号の値を示す。スイッチs w hは、供給される制御信号がH i g hである場合に導通状態となり、制御信号がL o wである場合に非導通状態となる。

【0054】

続いて、A D変換器600のA D変換動作を時系列に沿って説明する。制御回路602は準備期間において、スイッチs w 0 ~ s w 4に供給される制御信号をL o wにし、スイ

10

20

30

40

50

ツチ s w h、s w 5、s w 6 に供給される制御信号を H i g h にする。これにより、比較器 C M P の非反転端子及び反転端子が接地電位 G N D にリセットされるとともに、比較信号 V c m p の値が接地電位 G N D に等しくなる。その後、制御回路 3 0 2 はスイッチ s w 5、s w 6 に供給される制御信号を L o w にする。以降の動作において、比較器 C M P の非反転端子にはアナログ信号 S i n が供給され続ける。また、制御回路 3 0 2 はランプ比較期間の開始時点でスイッチ s w h に供給される制御信号を H i g h に維持する。

【 0 0 5 5 】

ランプ比較期間が始まると、ランプ信号 V r m p は V r e f まで増加した後、減少を開始する。制御回路 6 0 2 は、ランプ信号 V r m p の減少開始と共に、カウンタ 1 0 3 にカウントを開始させる。ランプ信号 V r m p が基準電圧 V r e f から接地電位 G N D まで変化する間に、比較信号 V c m p の値も基準電圧 V r e f からクロックあたり（単位時間あたり）V r e f / 1 6（矢印 7 0 1 の範囲）だけ減少する。制御回路 6 0 2 は比較回路 C M P からの出力が反転した時点でカウンタ 1 0 3 からカウント値を取得するとともに、スイッチ s w h に供給される制御信号を L o w に切り替える。これにより、キャパシタ c p h にこの時点の比較信号 V c m p の値がサンプリングされる。取得したカウント値はデジタル信号 S o u t の上位ビットに相当する。さらに、制御回路 6 0 2 は、アナログ信号 S i n の値を含む範囲を矢印 7 0 2 に示す範囲に絞り込める。そこで、続く逐次比較において、制御回路 6 0 2 はキャパシタ c p 0 ~ c p 4 を用いて二分探索を行い、デジタル信号 S o u t の下位ビットを決定する。

【 0 0 5 6 】

以上のように、A D 変換器 6 0 0 も、A D 変換器 1 0 0 と同様に、A D 変換に要する時間を短縮しつつ、逐次比較を行うための回路規模を低減できる。また、A D 変換器 6 0 0 でも A D 変換器 3 0 0 と同様にキャパシタ c p a 及びスイッチ s w a を追加して、ランプ比較により絞り込まれた範囲を広げてから逐次比較によってデジタル信号 S o u t の値を決定してもよい。これにより、ランプ信号 V r m p の値とアナログ信号 S i n の値の比較において比較器 C M P が誤判定をした場合であっても、後続の逐次比較によってその誤判定を修正できる。

【 0 0 5 7 】

A D 変換器 6 0 0 も A D 変換器 1 0 0 や 3 0 0 と同様に、固体撮像装置に適用することができる。A D 変換器 6 0 0 が基準信号を A D 変換する場合に、制御回路 1 0 2 はランプ比較を省略して、逐次比較だけを行ってもよい。具体的には、制御回路 1 0 2 は、ランプ比較を行わず、逐次比較によって絞り込まれる最小の範囲である 0 以上、V r e f / 1 6 未満にアナログ信号 S i n が含まれると判定し、この範囲で逐次比較を行ってもよい。そして、制御回路 1 0 2 は逐次比較終了後に、ランプ比較によって決定される上位ビットがすべて 0 であるとしてデジタル値を決定する。これにより、逐次比較に要する時間を短縮できる。また、A D 変換器 6 0 0 はランプ比較の一部の処理のみを行ってもよい。例えば、比較信号 V c m p の単調減少を V r e f / 4 から開始して、ランプ比較によって上位ビットを決定する。これは、デジタル値の上位 2 ビットを予め 0 であると仮定している。

【 0 0 5 8 】

続いて、図 9 を用いて、基準電圧発生回路 8 0 7 及びランプ信号発生回路 8 0 8 の回路構成例を説明する。図 9 に示すように、ランプ信号発生回路 8 0 8 はバイナリウェイトを有する複数の p チャネルトランジスタ p t 0 ~ p t n を有する。p チャネルトランジスタ p t 0 ~ p t n のゲートにはバイアスプロックから所定の電圧 B I A S が印加される。p チャネルトランジスタ p t 0 ~ p t n はそれぞれスイッチ s b 0 ~ s b n を介して抵抗素子 r t 1 に接続されている。スイッチ s b 0 ~ s b n のうち、導通状態にするものの組合せによって抵抗素子 r t 1 に流れる電流値が変化し、この電流値が抵抗素子 r t 1 によって電圧に変換されてランプ信号 V r m p として出力される。カウンタ c n t が各スイッチ s b 0 ~ s b n をオン・オフすることによって、時間に対して所定の変化をするランプ信号 V r m p が生成される。

【 0 0 5 9 】

10

20

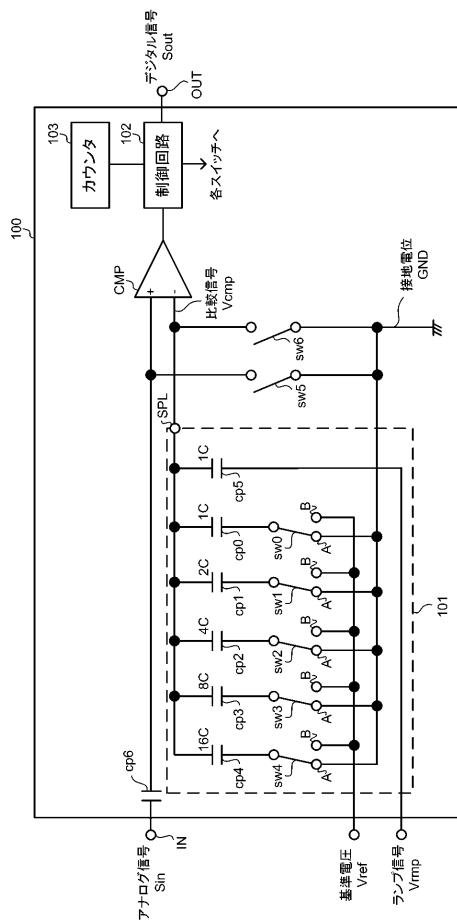
30

40

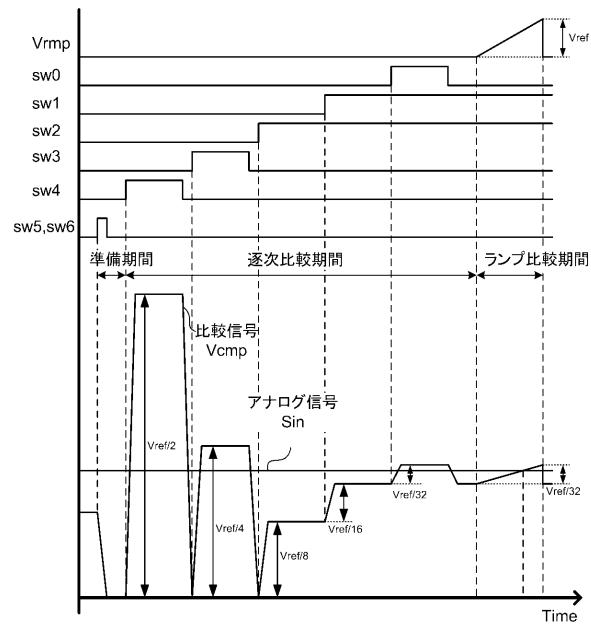
50

基準電圧発生回路 807 は、p チャネルトランジスタ p tr と抵抗素子 r t 2 とを有する。p チャネルトランジスタ p tr にも電圧 BIAS が印加され、p チャネルトランジスタ p tr を流れる電流が抵抗素子 r t 2 により電圧に変換され、オペアンプ OP に供給される。オペアンプ OP はボルテージフォロアとして動作し、基準電圧 Vref を出力する。p チャネルトランジスタ p tr のウェイトを調整することによって、ランプ信号 Vrm と基準電圧 Vref との値を同じにできる。

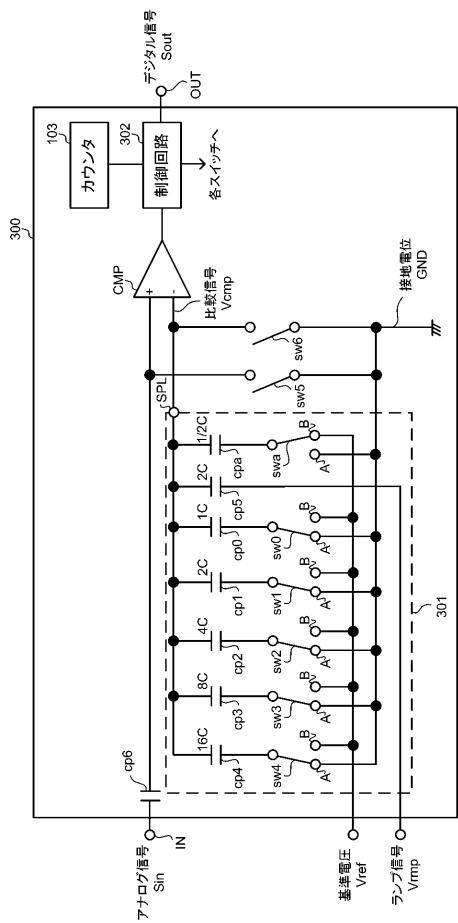
【図 1】



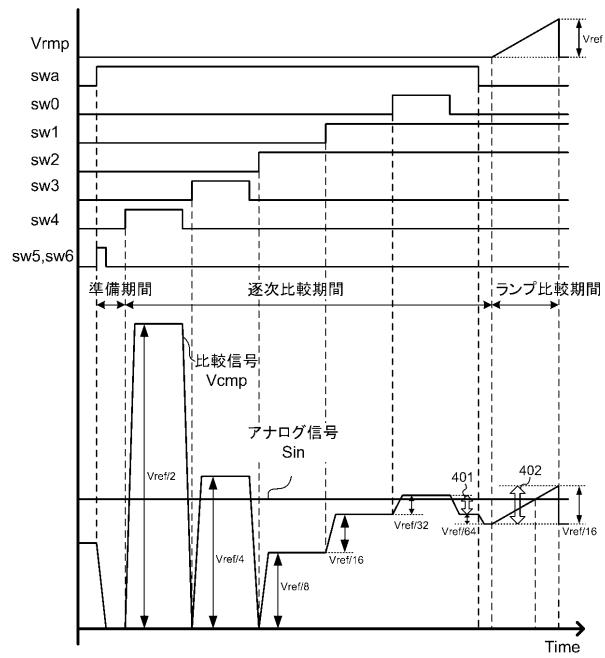
【図 2】



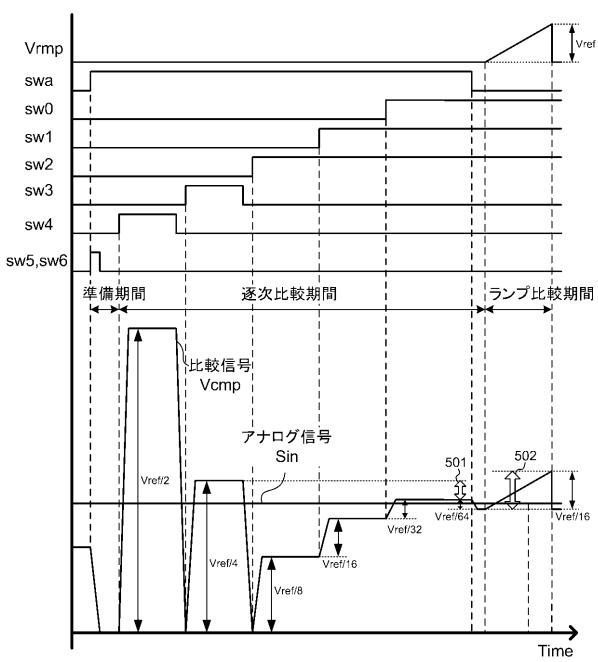
【 义 3 】



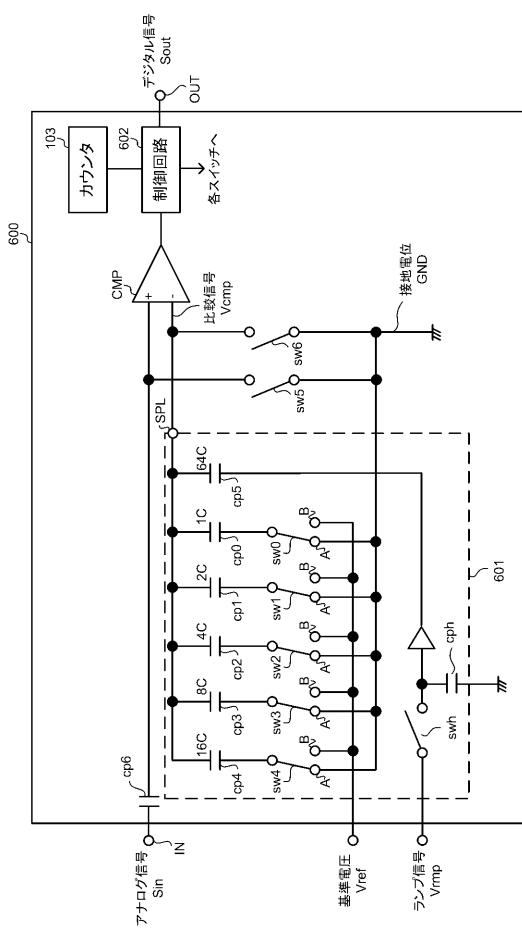
【 図 4 】



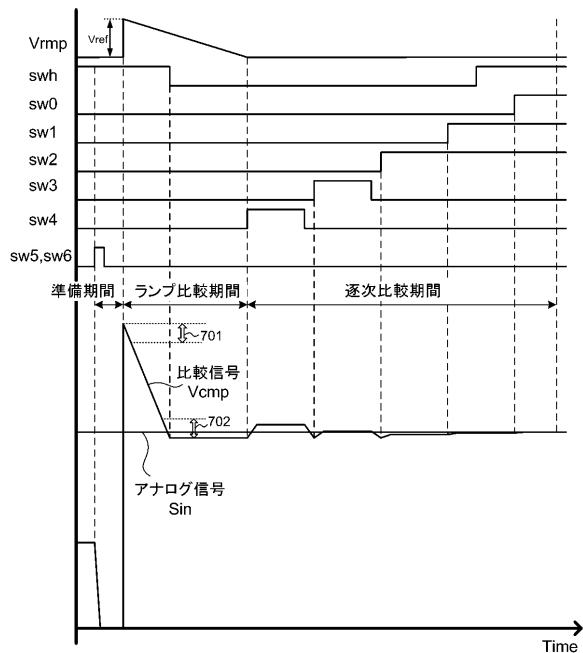
【図5】



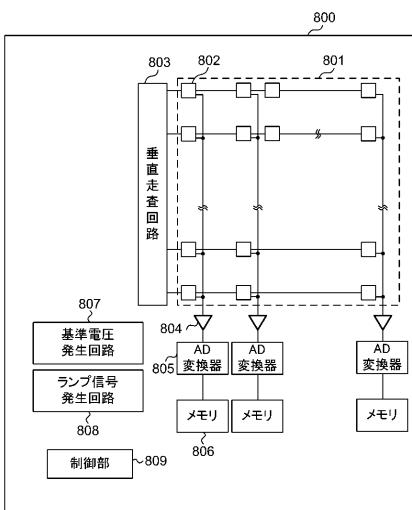
【図6】



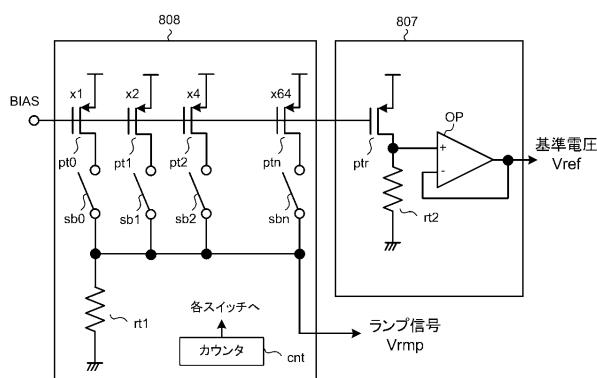
【図7】



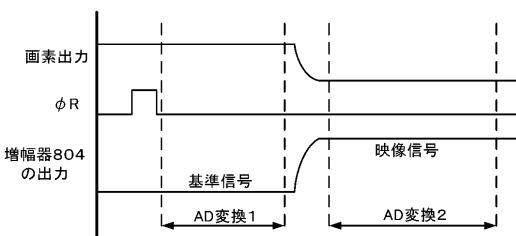
【図8】



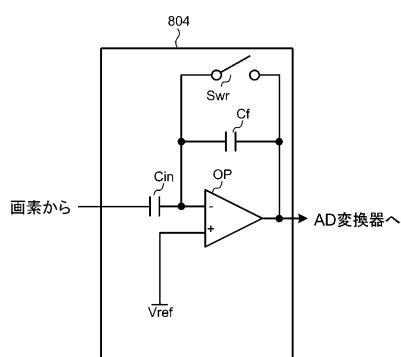
【図9】



【図11】



【図10】



フロントページの続き

(51)Int.Cl. F I
H 01 L 27/146 (2006.01) H 01 L 27/14 A

(72)発明者 吉田 大介
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 柳下 勝幸

(56)参考文献 特開2012-054913 (JP, A)
特開2008-244716 (JP, A)
特開2009-189068 (JP, A)
特開2011-035701 (JP, A)
特開2013-150255 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H 03 M 1 / 00 - 1 / 88
H 01 L 27 / 146
H 04 N 5 / 3745