

【特許請求の範囲】**【請求項 1】**

半導体装置であって、
表面にトレンチが形成されている半導体基板と、
前記トレンチの内面を覆っているゲート絶縁層と、
前記トレンチ内に配置されているゲート電極、
を有しており、
前記トレンチの側面に、段差が形成されており、
前記トレンチの前記側面が、前記段差よりも上側に位置する上部側面と、前記段差の表面と、前記段差よりも下側に位置する下部側面を有しており、
前記半導体基板が、
前記上部側面において前記ゲート絶縁層に接している第 1 導電型の第 1 領域と、
前記第 1 領域に接する位置から前記段差よりも下側の位置に跨って配置されており、前記第 1 領域の下側の前記上部側面において前記ゲート絶縁層に接している第 2 導電型のボディ領域と、
前記ボディ領域の下側に配置されており、前記下部側面において前記ゲート絶縁層に接している第 1 導電型の第 2 領域と、
前記段差の表面において前記ゲート絶縁層に接しており、前記第 2 領域と繋がっている第 1 導電型の側部領域、
を有している半導体装置。

【請求項 2】

前記段差の表面が、前記トレンチの中心側に向かうほど下側に変位するように傾斜している請求項 1 の半導体装置。

【請求項 3】

前記ボディ領域が、上部領域と、前記上部領域よりも第 2 導電型不純物濃度が低いとともに前記上部領域の下側に配置されている下部領域を有しており、
前記段差が、前記上部領域と前記下部領域の境界の位置または前記境界よりも下側に形成されている、
請求項 1 または 2 の半導体装置。

【請求項 4】

半導体装置を製造する方法であって、
第 1 導電型の第 2 領域と、前記第 2 領域上に配置されている第 1 導電型のボディ領域を有する半導体基板に、前記ボディ領域を貫通して前記第 2 領域に達するとともに前記第 2 領域よりも上側の側面に段差を有するトレンチを形成する工程と、
前記段差の表面に第 1 導電型不純物を注入することによって、前記段差の表面に露出しており、前記第 2 領域と繋がっている第 1 導電型の側部領域を形成する工程と、
前記トレンチの内面を覆うゲート絶縁層を形成する工程と、
前記トレンチ内にゲート電極を形成する工程と、
前記半導体基板中に、第 1 導電型の第 1 領域を形成する工程、
を有し、
前記半導体装置において、前記第 1 領域が、前記段差よりも上側に位置する前記トレンチの前記側面において前記ゲート絶縁層に接している、
方法。

【請求項 5】

前記ボディ領域が、前記第 2 領域上に配置されている下部領域と、前記下部領域上に配置されているとともに前記下部領域よりも第 2 導電型不純物濃度が高い上部領域を有しており、
前記トレンチを形成する工程において、前記半導体基板をエッチングすることによって、前記上部領域と前記下部領域を貫通して前記第 2 領域に達するトレンチを形成する、
請求項 4 の方法。

10

20

30

40

50

【請求項 6】

前記方法が、

前記トレンチの底面に第 2 導電型不純物を注入することによって、前記底面に露出する第 2 導電型の底部領域を形成する工程をさらに有し、

前記ゲート絶縁層を形成する工程が、

前記第 2 導電型不純物の前記注入後であって、前記第 1 導電型不純物の前記注入前に、前記段差よりも下側の前記トレンチ内に底部絶縁層を形成する工程と、

前記第 1 導電型不純物の前記注入後に、前記底部絶縁層よりも上側の前記トレンチの前記側面に側部絶縁膜を形成する工程、

を有する請求項 4 または 5 の方法。

10

【請求項 7】

前記段差の表面に第 1 導電型不純物を注入する工程において、前記トレンチに隣接する前記半導体基板の表面に対して第 1 導電型不純物を注入する請求項 4 ~ 6 の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書に開示の技術は、トレンチ内に配置されたゲート電極を有する半導体装置に関する。

【背景技術】

【0002】

特許文献 1 には、トレンチ内に配置されたゲート電極を有する MOSFET が開示されている。この MOSFET の半導体基板内には、n 型のソース領域と、p 型のボディ領域と、n 型のドリフト領域が形成されている。すなわち、この MOSFET は、n チャネル型である。ゲート電極に所定の電位を印加すると、ゲート絶縁膜に隣接するボディ領域が n 型に反転し、n 型に反転した領域（すなわち、チャネル）を通して電流が流れる。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2006 - 128507 号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0004】

特許文献 1 の MOSFET では、ボディ領域の厚みによってチャネル長が変化する。すなわち、ボディ領域の厚みを薄くするほど、チャネル長が短くなり、MOSFET で生じる損失が小さくなる。また、ボディ領域の厚みは、パンチスルー電圧にも影響する。すなわち、MOSFET をオフした状態で、ドレイン電圧を上昇させると、ボディ領域とドリフト領域の界面からボディ領域内に空乏層が伸展する。さらにドレイン電圧を上昇させると、空乏層がソース領域に到達する。すなわち、ソース領域とドリフト領域の間が空乏層によって接続された状態（いわゆる、パンチスルー）が発生する。パンチスルーが発生すると、漏れ電流が発生し、問題となる。パンチスルーが発生するときのドレイン電圧が、パンチスルー電圧である。パンチスルー電圧は、ボディ領域の厚みが厚いほど高くなる（すなわち、改善される）。すなわち、チャネル長を短くするためにはボディ領域の厚みを薄くする必要がある一方で、パンチスルー電圧を高くするためにはボディ領域の厚みを厚くする必要がある。このように、従来は、チャネル長とパンチスルー電圧がトレードオフの関係にあった。このトレードオフの関係は、p チャネル型の MOSFET や、IGBT 等、ゲート電極を有する種々の半導体装置でも同様に起こる。したがって、本明細書では、このトレードオフの関係を改善することが可能な技術を提供する。

40

【課題を解決するための手段】

【0005】

本明細書が開示する半導体装置は、表面にトレンチが形成されている半導体基板と、前

50

記トレンチの内面を覆っているゲート絶縁層と、前記トレンチ内に配置されているゲート電極を有している。前記トレンチの側面に、段差が形成されている。前記トレンチの前記側面は、前記段差よりも上側に位置する上部側面と、前記段差の表面と、前記段差よりも下側に位置する下部側面を有している。前記半導体基板が、第1領域と、ボディ領域と、第2領域と、側部領域を有している。前記第1領域は、前記上部側面において前記ゲート絶縁層に接している第1導電型の領域である。前記ボディ領域は、前記第1領域に接する位置から前記段差よりも下側の位置に跨って配置されており、前記第1領域の下側の前記上部側面において前記ゲート絶縁層に接している第2導電型の領域である。前記第2領域は、前記ボディ領域の下側に配置されており、前記下部側面において前記ゲート絶縁層に接している第1導電型の領域である。前記側部領域は、前記段差の表面において前記ゲート絶縁層に接しており、前記第2領域と繋がっている第1導電型の領域である。

10

【0006】

なお、本明細書において、「上側」はトレンチが形成されている半導体基板の表面側を意味し、「下側」はトレンチが形成されている半導体基板の表面とは反対側の表面側を意味する。

【0007】

この半導体装置では、トレンチの側面に段差が形成されており、その段差の位置に第1導電型の側部領域が形成されている。側部領域は、ボディ領域の下側の第2領域と繋がっている。ボディ領域の下端は段差よりも下側に位置するので、側部領域は、第2領域から上側に突出するように配置されている。この半導体装置は、第1領域と側部領域の間のボディ領域にチャンネルが形成されることでスイッチングする。すなわち、チャンネル長が、第1領域から側部領域までの距離によって定まる。側部領域はボディ領域の下端よりも上側に突出しているので、チャンネル長はボディ領域の厚み（すなわち、ボディ領域の下端から第1領域までの距離）よりも短い。すなわち、この半導体装置では、チャンネル長をボディ領域の厚みよりも小さい値に設定することができる。また、この半導体装置をオフすると、第2領域とボディ領域の界面からボディ領域内に空乏層が伸展する。したがって、パンチスルー電圧は、ボディ領域の厚み（すなわち、ボディ領域の下端から第1領域までの距離）によって定まる。上記の通り、ボディ領域の厚みは、チャンネル長よりも長い。すなわち、チャンネル長から独立してパンチスルー電圧を改善することができる。以上に説明したように、この半導体装置によれば、従来のチャンネル長とパンチスルー電圧のトレードオフ

20

30

【0008】

また、本明細書は、半導体装置を製造する方法を提供する。この方法は、トレンチ形成工程と、側部領域形成工程と、ゲート絶縁層形成工程と、ゲート電極形成工程と、第1領域形成工程を有している。前記トレンチ形成工程では、第1導電型の第2領域と、前記第2領域上に配置されている第1導電型のボディ領域を有する半導体基板に、前記ボディ領域を貫通して前記第2領域に達するとともに前記第2領域よりも上側の側面に段差を有するトレンチを形成する。前記側部領域形成工程では、前記段差の表面に第1導電型不純物を注入することによって、前記段差の表面に露出しており、前記第2領域と繋がっている第1導電型の側部領域を形成する。前記ゲート絶縁層形成工程では、前記トレンチの内面を覆うゲート絶縁層を形成する。前記ゲート電極形成工程では、前記トレンチ内にゲート電極を形成する。前記第1領域形成工程では、前記半導体基板中に、第1導電型の第1領域を形成する。前記半導体装置において、前記第1領域が、前記段差よりも上側に位置する前記トレンチの前記側面において前記ゲート絶縁層に接している。

40

【0009】

この方法によれば、側部領域を有する半導体装置を製造することができる。

【図面の簡単な説明】

50

【 0 0 1 0 】

【 図 1 】 実施例 1 の半導体装置 1 0 の縦断面図。

【 図 2 】 上部領域 2 6 b 及び下部領域 2 6 c 形成後の半導体基板 1 2 の縦断面図。

【 図 3 】 トレンチ 3 4 形成後の半導体基板 1 2 の縦断面図。

【 図 4 】 p 型イオン注入工程中の半導体基板 1 2 の縦断面図。

【 図 5 】 底部絶縁層 3 8 a 形成後の半導体基板 1 2 の縦断面図。

【 図 6 】 n 型イオン注入工程中の半導体基板 1 2 の縦断面図。

【 図 7 】 側部絶縁膜 3 8 b 及びゲート電極 4 0 形成後の半導体基板 1 2 の縦断面図。

【 図 8 】 ソース領域 2 2 及び高濃度領域 2 6 a 形成後の半導体基板 1 2 の縦断面図。

【 図 9 】 実施例 2 の半導体装置の縦断面図。

10

【 図 1 0 】 実施例 3 の半導体装置の縦断面図。

【 図 1 1 】 低濃度領域 2 6 d 形成後の半導体基板 1 2 の縦断面図。

【 図 1 2 】 トレンチ 1 3 4 形成後の半導体基板 1 2 の縦断面図。

【 図 1 3 】 トレンチ 3 4 形成後の半導体基板 1 2 の縦断面図。

【 図 1 4 】 n 型イオン注入工程中の半導体基板 1 2 の縦断面図。

【 発明を実施するための形態 】

【 実施例 1 】

【 0 0 1 1 】

図 1 に示すように、実施例 1 に係る半導体装置 1 0 は、半導体基板 1 2 と、半導体基板 1 2 の表面 1 2 a 及び裏面 1 2 b に形成された電極、絶縁層等を有している。半導体基板 1 2 は、4 H 型の S i C により構成されている。

20

【 0 0 1 2 】

半導体基板 1 2 の表面 1 2 a には、ソース電極 8 0 が形成されている。半導体基板 1 2 の裏面 1 2 b には、ドレイン電極 8 4 が形成されている。ドレイン電極 8 4 は、裏面 1 2 b の略全域を覆っている。

【 0 0 1 3 】

各トレンチ 3 4 は、側面 5 0 を有している。トレンチ 3 4 の側面 5 0 には、段差 3 5 が形成されている。トレンチ 3 4 の側面 5 0 は、段差 3 5 より上側の上部側面 5 0 a と、段差 3 5 の表面 5 0 b と、段差 3 5 より下側の下部側面 5 0 c を有している。段差 3 5 の表面 5 0 b は、トレンチ 3 4 の幅方向の中心 C 1 に近づくに従って下側に変位するように傾斜している。すなわち、トレンチ 3 4 の両側の側面 5 0 に形成されている一組の段差 3 5 の表面 5 0 b は、テーパ状に傾斜している。上部側面 5 0 a と下部側面 5 0 c は、若干テーパ状に傾斜しているものの、半導体基板 1 2 の厚み方向に沿って伸びている。

30

【 0 0 1 4 】

各トレンチ 3 4 内には、ゲート絶縁層 3 8 と、ゲート電極 4 0 が形成されている。ゲート絶縁層 3 8 は、底部絶縁層 3 8 a と側部絶縁膜 3 8 b を有している。底部絶縁層 3 8 a は、トレンチ 3 4 の底部に形成された厚い絶縁層である。底部絶縁層 3 8 a は、段差 3 5 よりも下側のトレンチ 3 4 内に形成されている。底部絶縁層 3 8 a の上側のトレンチ 3 4 の側面 5 0 は、側部絶縁膜 3 8 b によって覆われている。すなわち、側部絶縁膜 3 8 b は、上部側面 5 0 a と段差 3 5 の表面 5 0 b を覆っている。側部絶縁膜 3 8 b は、底部絶縁層 3 8 a と繋がっている。底部絶縁層 3 8 a の上側のトレンチ 3 4 内には、ゲート電極 4 0 が配置されている。ゲート電極 4 0 は、側部絶縁膜 3 8 b 及び底部絶縁層 3 8 a によって、半導体基板 1 2 から絶縁されている。ゲート電極 4 0 の上面は、層間絶縁層 3 6 によって覆われている。ゲート電極 4 0 は、層間絶縁層 3 6 によってソース電極 8 0 から絶縁されている。

40

【 0 0 1 5 】

半導体基板 1 2 内には、ソース領域 2 2、ボディ領域 2 6、ドリフト領域 2 8、ドレイン領域 3 0、底部領域 3 2 及び側部領域 3 3 が形成されている。

【 0 0 1 6 】

ソース領域 2 2 は、半導体基板 1 2 中に複数個形成されている。ソース領域 2 2 は、n

50

型領域である。ソース領域 22 は、トレンチ 34 に隣接する位置に形成されている。ソース領域 22 は、トレンチ 34 の上部側面 50 a において、側部絶縁膜 38 b に接している。ソース領域 22 は、半導体基板 12 の表面 12 a に露出する範囲に形成されている。ソース領域 22 は、ソース電極 80 に対してオーミック接触している。

【0017】

ボディ領域 26 は、ソース領域 22 の側方及び下側に形成されており、ソース領域 22 に接している。ボディ領域 26 は、p 型領域であり、高濃度領域 26 a と、上部領域 26 b と、下部領域 26 c を有している。高濃度領域 26 a は、上部領域 26 b 及び下部領域 26 c よりも高い p 型不純物濃度を有している。高濃度領域 26 a は、ソース領域 22 の側方に形成されており、半導体基板 12 の表面 12 a に露出している。高濃度領域 26 a は、ソース電極 80 に対してオーミック接触している。上部領域 26 b は、ソース領域 22 及び高濃度領域 26 a の下側に形成されている。上部領域 26 b は、ソース領域 22 の下側のトレンチ 34 の上部側面 50 a において、側部絶縁膜 38 b に接している。上部領域 26 b の p 型不純物濃度は、高濃度領域 26 a の p 型不純物濃度よりも低い。上部領域 26 b の p 型不純物濃度は、ゲート電極 40 の電位を上昇させたときに、側部絶縁膜 38 b 近傍の上部領域 26 b が n 型に反転可能な濃度に調整されている。下部領域 26 c は、上部領域 26 b の下側に形成されている。下部領域 26 c の p 型不純物濃度は、上部領域 26 b の p 型不純物濃度よりも低い。下部領域 26 c と上部領域 26 b の境界 27 は、段差 35 の深さに位置している。すなわち、境界 27 をトレンチ 34 側に延長した延長線は、段差 35 と交差する。

10

20

【0018】

ドリフト領域 28 は、低濃度に n 型不純物を含む n 型領域である。ドリフト領域 28 の n 型不純物濃度は、ソース領域 22 の n 型不純物濃度よりも低い。ドリフト領域 28 は、下部領域 26 c の下側に形成されており、下部領域 26 c に接している。ドリフト領域 28 は、下部領域 26 c の下端の位置から、トレンチ 34 の下端よりも下側まで広がっている。ドリフト領域 28 は、ボディ領域 26 によってソース領域 22 から分離されている。ドリフト領域 28 は、下部側面 50 c において、底部絶縁層 38 a に接している。

【0019】

側部領域 33 は、n 型領域である。側部領域 33 は、段差 35 の下側に形成されている。側部領域 33 は、段差 35 の表面 50 b と、段差 35 近傍の下部側面 50 c に露出する範囲に形成されている。側部領域 33 は、段差 35 の表面 50 b の全域において側部絶縁膜 38 b に接している。また、側部領域 33 は、段差 35 近傍の下部側面 50 c において、底部絶縁層 38 a に接している。側部領域 33 は、段差 35 の表面 50 b から下側に伸びている。側部領域 33 は、上部領域 26 b 及び下部領域 26 c に接している。また、側部領域 33 の下端部は、ドリフト領域 28 と繋がっている。

30

【0020】

上述したソース領域 22、上部領域 26 b 及び側部領域 33 は、側部絶縁膜 38 b を介してゲート電極 40 に対向している。

【0021】

底部領域 32 は、p 型領域である。底部領域 32 は、各トレンチ 34 の底面 54 に露出する位置に形成されている。底部領域 32 は、トレンチ 34 の底面 54 の全域において、底部絶縁層 38 a に接している。底部領域 32 の周囲は、ドリフト領域 28 に囲まれている。各底部領域 32 は、ドリフト領域 28 によって、ボディ領域 26 及び側部領域 33 から分離されている。底部領域 32 は、いずれの電極にも接続されておらず、底部領域 32 の電位は浮遊電位とされている。

40

【0022】

ドレイン領域 30 は、高濃度に n 型不純物を含む n 型領域である。ドレイン領域 30 の n 型不純物濃度は、ドリフト領域 28 の n 型不純物濃度よりも高い。ドレイン領域 30 は、ドリフト領域 28 の下側に形成されている。ドレイン領域 30 は、ドリフト領域 28 に接しており、ドリフト領域 28 によってボディ領域 26、底部領域 32 及び側部領域 33

50

から分離されている。ドレイン領域 30 は、半導体基板 12 の裏面 12 b に露出する範囲に形成されている。ドレイン領域 30 は、ドレイン電極 84 に対してオーミック接触している。

【0023】

次に、半導体装置 10 の動作について説明する。半導体基板 12 内には、ソース領域 22、ボディ領域 26、ドリフト領域 28、側部領域 33、ドレイン領域 30、ゲート電極 40 及びゲート絶縁層 38 等によって、nチャネル型の MOSFET が形成されている。半導体装置 10 を動作させる際には、ドレイン電極 84 に、ソース電極 80 よりも高い電位を印加する。さらに、ゲート電極 40 に閾値以上の電位を印加すると、MOSFET がオンする。すなわち、側部絶縁膜 38 b に接する範囲のボディ領域 26 (すなわち、上部領域 26 b) にチャネルが形成される。これにより、ソース電極 80 から、ソース領域 22、チャネル、側部領域 33、ドリフト領域 28 及びドレイン領域 30 を経由して、ドレイン電極 84 に向かって電子が流れる。

10

【0024】

この半導体装置 10 では、側部絶縁膜 38 b に接する位置に、ドリフト領域 28 よりも上側に突出する側部領域 33 が形成されている。ボディ領域 26 に形成されるチャネルは、ソース領域 22 と側部領域 33 を接続する。すなわち、ソース領域 22 と側部領域 33 の間の距離が、チャネル長に相当する。側部領域 33 が形成されていることで、チャネル長が、ドリフト領域 28 とソース領域 22 の間のボディ領域 26 の厚みよりも短くなっている。このため、この半導体装置 10 では、チャネルで生じる損失が従来よりも小さい。

20

【0025】

ゲート電極 40 の電位を閾値未満の電位に低下させると、チャネルが消失し、MOSFET がオフする。すると、ボディ領域 26 とドリフト領域 28 の境界部の pn 接合 29 からボディ領域 26 内及びドリフト領域 28 内に空乏層が広がる。pn 接合 29 からドリフト領域 28 内に伸びる空乏層は、底部領域 32 に到達する。すると、底部領域 32 からその周囲のドリフト領域 28 内に空乏層が広がる。すなわち、底部領域 32 によって、ドリフト領域 28 内への空乏層の伸展が促進される。その後、空乏層は、ドリフト領域 28 の略全域に進展する。上記のように底部領域 32 によって空乏層の伸展が促進されるため、ゲート絶縁層 38 の近傍で高い電界が生じることが防止される。これによって、半導体装置 10 の耐電圧特性が向上されている。

30

【0026】

また、通常の使用状態において、pn 接合 29 からボディ領域 26 内に伸びる空乏層は、ソース領域 22 までには到達しない。すなわち、pn 接合 29 からボディ領域 26 内に伸びる空乏層の伸展は、空乏層の上端が上部領域 26 b 内に位置する状態で停止する。但し、半導体装置 10 が接続されている回路の動作状態によっては、ドレイン電極 84 の電位が極めて高くなる場合がある。このように極めて高い電位がドレイン電極 84 に印加されると、pn 接合 29 からボディ領域 26 内に伸びる空乏層がソース領域 22 に到達する場合がある。すなわち、パンチスルーが生じる。本実施例の半導体装置 10 では、ドリフト領域 28 からソース領域 22 までの距離 (すなわち、pn 接合 29 からソース領域 22 までの距離) が十分に長いので、パンチスルー電圧が高い。したがって、この半導体装置 10 では、パンチスルーが生じ難い。

40

【0027】

以上に説明したように、本実施例の半導体装置 10 では、ボディ領域 26 の厚みが十分厚く、これによって、ドリフト領域 28 からソース領域 22 までの距離が十分に確保されている。これによって、高いパンチスルー電圧が実現されている。また、半導体装置 10 では、側部絶縁膜 38 b に接する位置に、ドリフト領域 28 から上側に突出する n 型の側部領域 33 が形成されている。このため、ボディ領域 26 の厚みが厚いにも係らず、チャネル長 (すなわち、ソース領域 22 から側部領域 33 までの距離) が短い。これによって、半導体装置 10 の低損失化が実現されている。このように、この半導体装置 10 の構造によれば、パンチスルー電圧とチャネル長とを独立して調節することができる。高いパン

50

チスルー電圧とチャネルにおける損失低減とを両立させることができる。

【0028】

次に、半導体装置10の製造方法について説明する。半導体装置10は、全体がドリフト領域28と略同じn型不純物濃度を有するn型の半導体基板12から製造される。まず、p型不純物のイオン注入によって、図2に示すように、半導体基板12中に下部領域26cと上部領域26bを形成する。下部領域26cは、ドリフト領域28上に位置するように形成される。上部領域26bは、下部領域26c上に位置するように形成される。上部領域26bは、下部領域26cよりも高いp型不純物濃度を有する。この段階では、上部領域26bは、半導体基板12の表面12aに露出している。

【0029】

次に、図3に示すように、半導体基板12の表面12aにエッチング用マスク70を形成し、エッチング用マスク70を通して半導体基板12をエッチングする。ここでは、異方性のドライエッチングによって、半導体基板12をエッチングする。これによって、半導体基板12の表面12aに、トレンチ34を形成する。なお、上部領域26bのp型不純物濃度は、下部領域26cのp型不純物濃度よりも高い。このため、上部領域26bにおけるエッチングレートは、下部領域26cにおけるエッチングレートよりも高い。換言すると、上部領域26bは、下部領域26cよりも高速でエッチングされる。このため、図3に示すようにドリフト領域28に達するトレンチ34を形成すると、上部領域26bにおけるトレンチ34の幅が、下部領域26cにおけるトレンチ34の幅よりも広くなる。その結果、上部領域26bと下部領域26cの境界27の深さにおいて、トレンチ34の側面に段差35が形成される。このように、この方法では、不純物濃度の差に起因して生じる上部領域26bと下部領域26cのエッチングレートの差を利用して、側面50に段差35を有するトレンチ34を形成する。この方法によれば、一回のエッチング処理によって、段差35を有するトレンチ34を形成することができる。また、この方法によれば、段差35の表面50bを、トレンチ34の中心側に向かうにしたがって下側に変位するように傾斜した形状に形成することができる。エッチングが完了したら、エッチング用マスク70を除去する。

【0030】

次に、図4に示すように、半導体基板12の表面12aにイオン注入用マスク72を形成し、イオン注入用マスク72を通して半導体基板12にp型不純物を注入する。ここでは、トレンチ34内にp型不純物を注入する。p型不純物は、トレンチ34の底面54と段差35の表面50bに注入される。これによって、底面54に露出する範囲に、p型の底部領域32が形成される。また、段差35の表面50bに露出する範囲に、p型の側部領域133が形成される。イオン注入が完了したら、イオン注入用マスク72を除去する。

【0031】

次に、トレンチ34内と半導体基板12上に、絶縁層を成長させる。トレンチ34内には、絶縁層が隙間なく形成される。次に、絶縁層をエッチングすることで、半導体基板12上の絶縁層を除去すると共に、トレンチ34内の絶縁層を部分的に除去する。ここでは、図5に示すように、段差35よりも下側にのみ絶縁層を残存させる。残存した絶縁層は、底部絶縁層38aとなる。

【0032】

次に、図6に示すように、半導体基板12の表面12aにイオン注入用マスク74を形成し、イオン注入用マスク74を通して半導体基板12にn型不純物を注入する。ここでは、トレンチ34内にn型不純物を注入する。段差35より下側のトレンチ34内には底部絶縁層38aが形成されているので、n型不純物はトレンチ34の底面54には注入されない。ここでは、n型不純物は、段差35の表面50bに注入される。段差35の表面50bには、図4において説明したp型不純物注入よりも高濃度にn型不純物を注入する。これによって、段差35の表面50bに露出する半導体領域をn型化させる。これによって、n型の側部領域33を形成する。側部領域33の下端は、ドリフト領域28と繋が

10

20

30

40

50

る。また、上述したように、段差 35 の表面 50 b は、トレンチ 34 の中心側に向かうほど下側に変位するように傾斜している。このように段差 35 の表面 50 b が傾斜しているため、段差 35 の表面 50 b に n 型不純物を注入して側部領域 33 を形成すると、側部領域 33 の上下方向（すなわち、半導体基板 12 の厚み方向）の幅 Z1 を広くすることができる。このため、側部領域 33 の上下方向の幅 Z1 は、底部領域 32 の上下方向の幅 Z2 よりも広い。イオン注入が完了したら、イオン注入用マスク 74 を除去する。

【0033】

次に、図 7 に示すように、底部絶縁層 38 a よりも上側のトレンチ 34 の側面 50 に側部絶縁膜 38 b を成長させる。側部絶縁膜 38 b を形成したら、図 7 に示すように、トレンチ 34 内にゲート電極 40 を形成する。

10

【0034】

ゲート電極 40 を形成したら、半導体基板 12 の表面 12 a に対して p 型及び n 型の不純物を選択的に注入することによって、図 8 に示すように、ソース領域 22 とボディ領域 26 の高濃度領域 26 a を形成する。次に、半導体基板 12 の表面 12 a に層間絶縁層 36 とソース電極 80 を形成する。次に、半導体基板 12 の裏面 12 b に n 型不純物を注入して、ドレイン領域 30 を形成する。次に、半導体基板 12 の裏面 12 b にドレイン電極 84 を形成する。以上の工程によって、図 1 に示す半導体装置 10 が完成する。

【0035】

以上に説明したように、この方法によれば、単一のエッチング処理によって段差 35 を有するトレンチ 34 を形成することができる。したがって、効率的に半導体装置 10 を製造することができる。

20

【0036】

また、この方法によれば、段差 35 の表面 50 b を、トレンチ 34 の中心に向かうに従って下側に変位するように傾斜した形状に形成することができる。したがって、段差 35 の表面 50 b に n 型不純物を注入することで、上下方向の幅 Z1 が広い側部領域 33 を形成することができる。側部領域 33 の上下方向の幅 Z1 が広いと、ドリフト領域 28 に対して側部領域 33 を上側に大きく突出させることができる。したがって、チャンネル長をより短くすることができる。

【実施例 2】

【0037】

図 9 に示す実施例 2 の半導体装置では、段差 35 が、上部領域 26 b と下部領域 26 c の境界 27 よりも下側に配置されている。段差 35 は、下部領域 26 c とドリフト領域 28 の境界の pn 接合 29 よりも上側に配置されている。実施例 2 の半導体装置のその他の構成は、実施例 1 の半導体装置 10 と等しい。実施例 2 の半導体装置でも、側部領域 33 がドリフト領域 28 よりも上側に突出しているため、チャンネル長とパンチスルー電圧の両立を図ることができる。また、トレンチ 34 を形成する際のエッチング時間を実施例 1 よりも長くすることで、実施例 2 のように段差 35 を上部領域 26 b と下部領域 26 c の境界 27 よりも下側に配置することができる。

30

【実施例 3】

【0038】

図 10 に示す実施例 3 の半導体装置では、段差 35 が傾斜していない。すなわち、段差 35 が、半導体基板 12 の表面 12 a と略平行に形成されている。また、実施例 3 の半導体装置では、高濃度領域 26 a よりも下側のボディ領域 26 が、低濃度領域 26 d のみを有している。すなわち、実施例 1 では高濃度領域 26 a よりも下側のボディ領域 26 が上部領域 26 b と下部領域 26 c を備えていたのに対し、実施例 3 では、高濃度領域 26 a よりも下側のボディ領域 26（すなわち、低濃度領域 26 d）内の p 型不純物濃度が略均一である。低濃度領域 26 d の p 型不純物濃度は、高濃度領域 26 a の p 型不純物濃度よりも低い。実施例 3 の半導体装置でも、側部領域 33 がドリフト領域 28 よりも上側に突出しているため、チャンネル長とパンチスルー電圧の両立を図ることができる。

40

【0039】

50

実施例 3 の半導体装置の製造工程では、まず、図 1 1 に示すように、p 型不純物のイオン注入によって、半導体基板 1 2 中に低濃度領域 2 6 d を形成する。次に、図 1 2 に示すように、半導体基板 1 2 の表面 1 2 a にエッチング用マスク 7 6 を形成し、エッチング用マスク 7 6 を通して半導体基板 1 2 をエッチングする。ここでは、図 1 0 のトレンチ 3 4 よりも浅く、トレンチ 3 4 よりも幅が狭いトレンチ 1 3 4 を形成する。トレンチ 1 3 4 を形成した後に、エッチング用マスク 7 6 を除去する。次に、図 1 3 に示すように、トレンチ 1 3 4 よりも開口部の幅が広いエッチング用マスク 7 8 を形成する。そして、エッチング用マスク 7 8 を通して半導体基板 1 2 をエッチングする。このように 2 段階でエッチングを行うことによって、図 1 3 に示すように、フラットな段差 3 5 を有するトレンチ 3 4 を形成することができる。ここでは、段差 3 5 が低濃度領域 2 6 d の下端よりも上側に位置するように、トレンチ 3 4 を形成する。その後、実施例 1 と同様に半導体基板 1 2 に対して加工を行うことによって、図 1 0 に示す半導体装置を得ることができる。

10

【 0 0 4 0 】

なお、上述した各実施例の段差 3 5 に n 型不純物を注入する工程において、図 1 4 に示すように、マスク 7 4 の開口部をトレンチ 3 4 よりも幅広に形成し、トレンチ 3 4 に隣接する半導体基板 1 2 の表面 1 2 a にも n 型不純物を注入してもよい。これによって、側部領域 3 3 と同時にソース領域 2 2 を形成することが可能となる。

【 0 0 4 1 】

なお、上述した各実施例では、底部領域 3 2 の電位が浮遊電位とされていた。しかしながら、底部領域 3 2 が、所定の固定電位に接続されていてもよい。

20

【 0 0 4 2 】

また、上述した各実施例では、n チャネル型の MOSFET について説明したが、p チャネル型の MOSFET に本明細書に開示の技術を適用してもよい。

【 0 0 4 3 】

また、上述した実施例 1 では、底部絶縁層 3 8 a の上端が p n 接合 2 9 よりも上側に位置していたが、底部絶縁層 3 8 a の上端が p n 接合 2 9 よりも下側に位置していてもよい。

【 0 0 4 4 】

上述した各実施例の構成と請求項の構成との対応関係について説明する。実施例のソース領域 2 2 は、請求項の第 1 領域の一例である。実施例のドリフト領域 2 8 は、請求項の第 2 領域の一例である。

30

【 0 0 4 5 】

本明細書が開示する技術要素について、以下に列記する。なお、以下の各技術要素は、それぞれ独立して有用なものである。

【 0 0 4 6 】

本明細書が開示する一例の構成では、段差の表面が、トレンチの中心側に向かうほど下側に変位するように傾斜している。

【 0 0 4 7 】

このような構成によれば、側部領域の上下方向の幅を広くすることができる。これによって、チャンネル長とパンチスルー電圧とのトレードオフの関係をより改善することができる。

40

【 0 0 4 8 】

本明細書が開示する一例の構成では、ボディ領域が、上部領域と、上部領域よりも第 2 導電型不純物濃度が低いとともに上部領域の下側に配置されている下部領域を有している。段差が、上部領域と下部領域の境界の位置または境界よりも下側に形成されている。

【 0 0 4 9 】

このような構成によれば、上部領域と下部領域のエッチングレートの差を利用することによって、一度のエッチングで段差を有するトレンチを形成することができる。

【 0 0 5 0 】

本明細書が開示する一例の構成では、ボディ領域が、第 2 領域上に配置されている下部

50

領域と、下部領域上に配置されているとともに下部領域よりも第2導電型不純物濃度が高い上部領域を有している。トレンチを形成する工程において、半導体基板をエッチングすることによって、上部領域と下部領域を貫通して第2領域に達するトレンチを形成する。

【0051】

このような構成によれば、上部領域と下部領域のエッチングレートの差を利用することによって、一度のエッチングで段差を有するトレンチを形成することができる。

【0052】

本明細書が開示する一例の構成では、段差の表面に第1導電型不純物を注入する工程において、トレンチに隣接する半導体基板の表面に対して第1導電型不純物を注入する。

【0053】

このような構成によれば、側部領域に対する第1導電型不純物注入と同時に第1領域に対する第1導電型不純物注入を行うことができる。

【0054】

本明細書が開示する一例の構成では、製造方法が、トレンチの底面に第2導電型不純物を注入することによって、底面に露出する第2導電型の底部領域を形成する工程をさらに有する。ゲート絶縁層を形成する工程が、第2導電型不純物の注入後であって、第1導電型不純物の注入前に、段差よりも下側のトレンチ内に底部絶縁層を形成する工程と、第1導電型不純物の前記注入後に、底部絶縁層よりも上側のトレンチの側面に側部絶縁膜を形成する工程を有する。

【0055】

以上、実施形態について詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。

本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせによって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの1つの目的を達成すること自体で技術有用性を持つものである。

【符号の説明】

【0056】

- 10：半導体装置
- 12：半導体基板
- 22：ソース領域
- 26：ボディ領域
- 26a：高濃度領域
- 26b：上部領域
- 26c：下部領域
- 28：ドリフト領域
- 30：ドレイン領域
- 32：底部領域
- 33：側部領域
- 34：トレンチ
- 35：段差
- 36：層間絶縁層
- 38：ゲート絶縁層
- 38a：底部絶縁層
- 38b：側部絶縁膜
- 40：ゲート電極

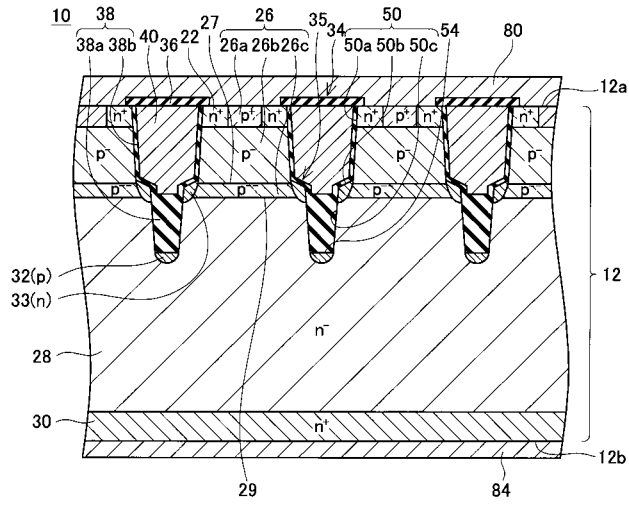
10

20

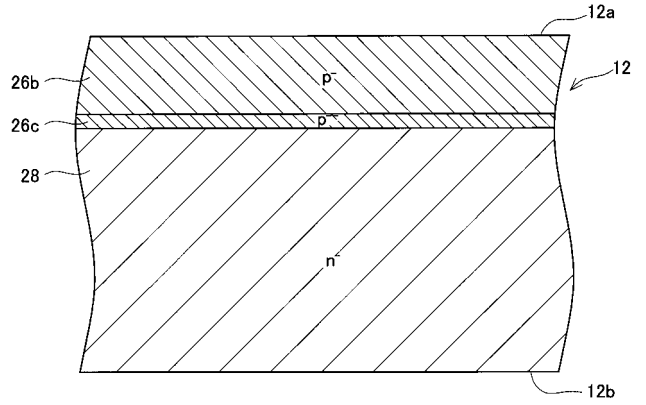
30

40

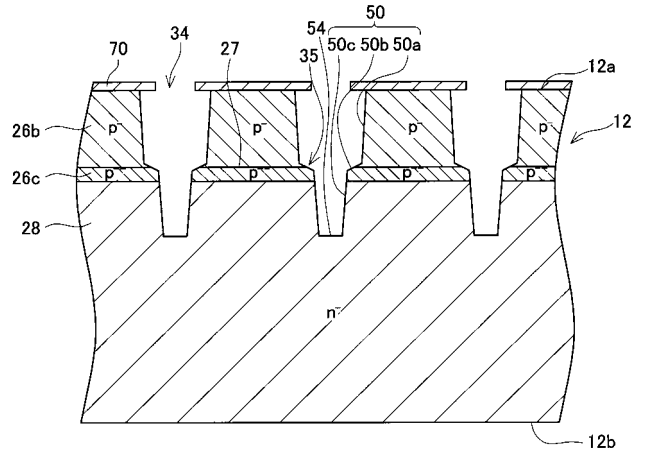
【図 1】



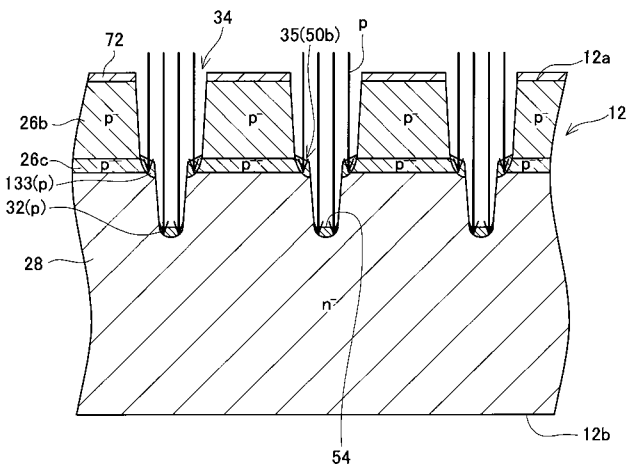
【図 2】



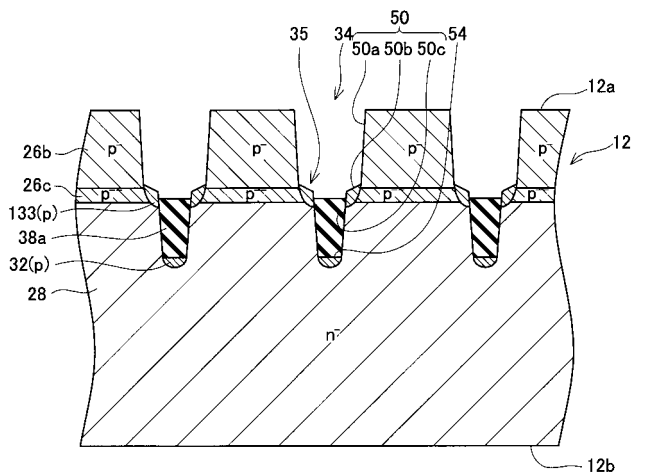
【図 3】



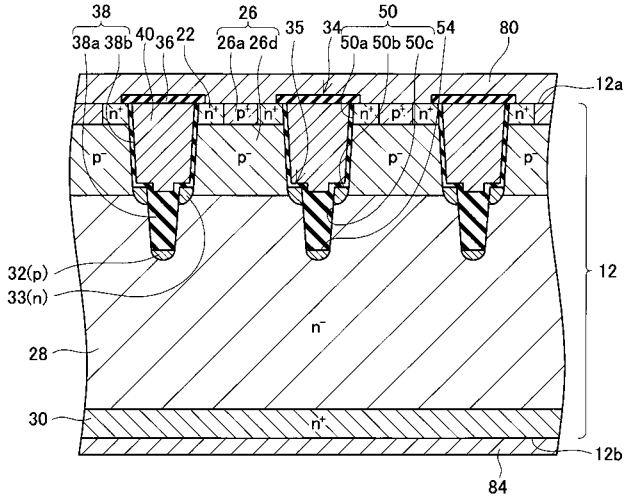
【図 4】



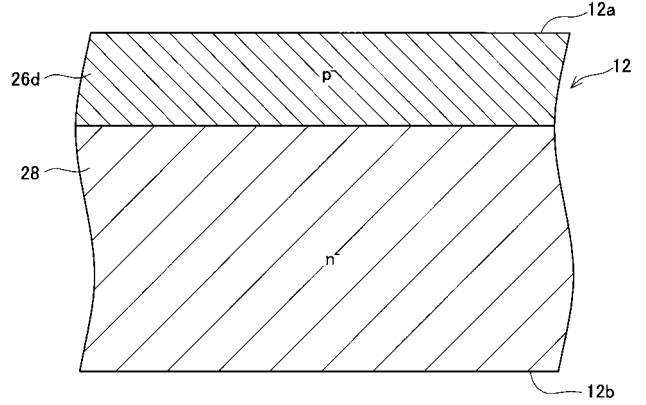
【図 5】



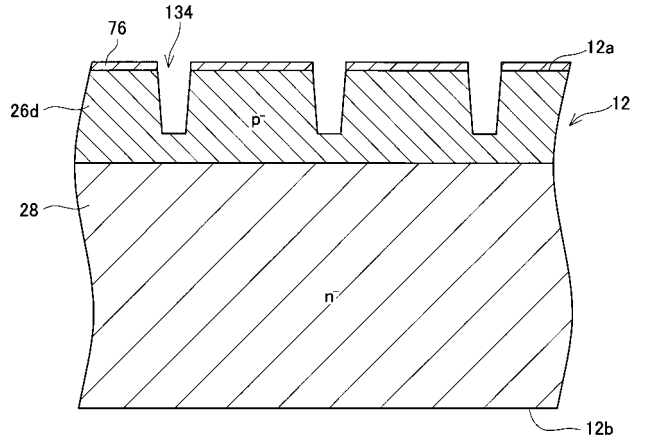
【 図 1 0 】



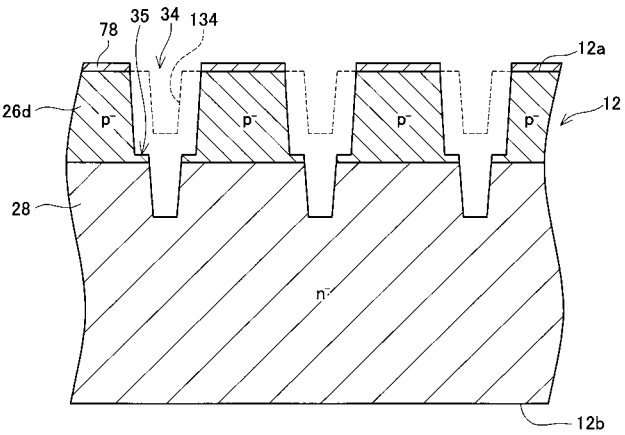
【 図 1 1 】



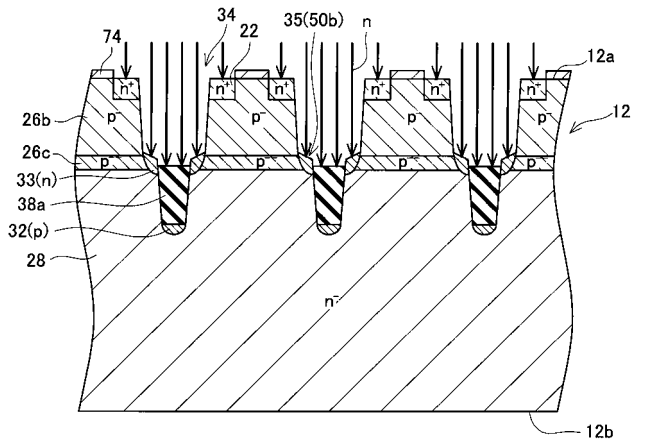
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

- (72)発明者 朽木 克博
愛知県長久手市横道4-1番地の1 株式会社豊田中央研究所内
- (72)発明者 青井 佐智子
愛知県長久手市横道4-1番地の1 株式会社豊田中央研究所内
- (72)発明者 宮原 真一朗
愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内