

# 公告本

申請日期	88.7.1
案號	447112
類別	H01L 27/04

A4  
C4

447112

(以上各欄由本局填註)

## 發明專利說明書

一、發明 名稱	中文	積體電路配置及其製造方法以及具有複數個積體電路配置之晶圓						
	英文	Integrated circuit-arrangement, method for its production and wafer with some integrated circuit-arrangements						
二、發明人 創作	姓名	<table border="0"> <tr> <td>1. 倫哈史坦格 Reinhard Stengl</td> <td>4. 弗克利曼 Volker Lehmann</td> </tr> <tr> <td>2. 馬丁富拉諾屈 Martin Franosch</td> <td>5. 漢斯瑞辛格 Hans Reisinger</td> </tr> <tr> <td>3. 哈伯查弗 Herbert Schaefer</td> <td>6. 赫曼溫特 Hermann Wendt</td> </tr> </table>	1. 倫哈史坦格 Reinhard Stengl	4. 弗克利曼 Volker Lehmann	2. 馬丁富拉諾屈 Martin Franosch	5. 漢斯瑞辛格 Hans Reisinger	3. 哈伯查弗 Herbert Schaefer	6. 赫曼溫特 Hermann Wendt
	1. 倫哈史坦格 Reinhard Stengl	4. 弗克利曼 Volker Lehmann						
2. 馬丁富拉諾屈 Martin Franosch	5. 漢斯瑞辛格 Hans Reisinger							
3. 哈伯查弗 Herbert Schaefer	6. 赫曼溫特 Hermann Wendt							
	國籍	1.-6. 皆屬德國						
	住、居所	<table border="0"> <tr> <td>1. 德國史塔特伯根 D-86391 伯格街 3 號</td> </tr> <tr> <td>2. 德國慕尼黑 D-81739 哈姆-庫特納-街 27 號</td> </tr> <tr> <td>3. 德國荷漢克陳-西格斯特 D-85635 勒陳街 33 號</td> </tr> <tr> <td>4. 德國慕尼黑 D-80689 蓋爾史普格街 53 號</td> </tr> <tr> <td>5. 德國古倫華 D-82031 艾伯西街 14 號</td> </tr> <tr> <td>6. 德國格拉斯布倫 D-85630 安威席格坦 49 號</td> </tr> </table>	1. 德國史塔特伯根 D-86391 伯格街 3 號	2. 德國慕尼黑 D-81739 哈姆-庫特納-街 27 號	3. 德國荷漢克陳-西格斯特 D-85635 勒陳街 33 號	4. 德國慕尼黑 D-80689 蓋爾史普格街 53 號	5. 德國古倫華 D-82031 艾伯西街 14 號	6. 德國格拉斯布倫 D-85630 安威席格坦 49 號
1. 德國史塔特伯根 D-86391 伯格街 3 號								
2. 德國慕尼黑 D-81739 哈姆-庫特納-街 27 號								
3. 德國荷漢克陳-西格斯特 D-85635 勒陳街 33 號								
4. 德國慕尼黑 D-80689 蓋爾史普格街 53 號								
5. 德國古倫華 D-82031 艾伯西街 14 號								
6. 德國格拉斯布倫 D-85630 安威席格坦 49 號								
三、申請人	姓名 (名稱)	西門斯股份有限公司 SIEMENS AKTIENGESELLSCHAFT						
	國籍	德國						
	住、居所 (事務所)	德國慕尼黑 D-80333 威田巴契廣場 2 號						
	代表人 姓名	貝斯納 (Basner) 雷哈特 (Reinhardt)						

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權  
 德 1998年7月2日 19829629.0

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( )

本發明係關於一種積體電路配置，其製造方法以及具有複數個積體電路配置之晶圓。

半導體組件中之漏電流通常是不期望的，因為其會造成較高之能量消耗且使半導體組件之理想的特性曲線發生偏離現象。

在一些記憶體單胞配置中，漏電流之大小決定了此種儲存在記憶體單胞中之資訊須更新時所依據之最大期間。此種期間亦稱為保持(retention)時間。特別是在一些記憶體單胞配置(其用於電池操作之裝置中，例如，用於可攜式電腦中)中須力求使此種保持時間增大。

若此種保持時間隨時間改變(請參閱P.J.Restle et al, "DRAM Variable Retention-Time", IEDM 92 page 807至810)，則表示此種記憶體單胞具有一種所謂可變之保持時間(VRT)。在VRT-效應之產生以及矽基體之晶體結構缺陷之產生之間存在一種很密切之關係，記憶體單胞配置是配置在矽基體中。

由D.Chidambarrao et al"Stresses in Silicon Substrates Near Isolation Trenches", J. Appl. Phys. 70(9), 1991, 第4816至4821頁中已知：隔離溝渠(即，配置在矽基體之淺凹口中之隔離結構)會在基體中產生機械應力，其可產生一種偏移(off set)形式之缺陷。

由R. Stengl. et al, "High Pressure Oxidation Induced Stress in Submicron Trench Structures",

## 五、發明說明( )

Appl. Physics. Lett. 68(20), 1996, Page 2843 to 2845. 中已知：基體凹口面積之熱氧化作用(DRAM單胞配置之記憶體電容器是產生於基體中)會在基體中造成很大之應力。

由 T.O. Sedgwick et al, "Growth of Facet-Free Selective Silicon Epitaxy at Low Temperature and Atmospheric Pressure", J. Electrochem. Soc., Vol. 138, No. 10, 1991, 第 3042 至 3047 頁中已知：若氧化島沿著基體之晶體柵格之  $\langle 100 \rangle$ -方向而配置時則在氧化島之間在矽基體上之矽進行磊晶過程時可達到一種較氧化島沿著  $\langle 110 \rangle$ -方向而配置時還小之缺陷密度。此種缺陷密度是與一種所謂 Microtwin-缺陷有關。

在 B. El-kareh et al, "The Evolution of DRAM Cell Technology", Solid State Technology, 1997, 第 89 至 101 頁中描述一種 DRAM-單胞配置，其中二個平面式電晶體配置在二個配置於凹口中之記憶體電容器之間。此二個電晶體分別具有一個第一源極/汲極區，其是與相鄰之記憶體電容器相連接。在此二個電晶體之通道區之間配置一個此二個電晶體所共用之第二源極/汲極區。第二源極/汲極區是與位元線相連接。此二個電晶體是由字線所控制，字線垂直於位元線。在電晶體和記憶體電容器外部配置一個配置在淺凹口中之隔離結構。

特別是在記憶體單胞配置中，各組件是在週期性重複的距離中沿著各條線(其平行於  $y$ -軸而延伸或平行於與  $y$ -軸垂直之  $x$ -軸而延伸)而互相配置在矽基體之表面上。 $y$ -軸例如是與基體之晶體柵格之  $[110]$ -方向相一致

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(3)

。須選取此種配置，這是由於電晶體之特性是和通道相對於晶體柵格之走向有關。在半導體製程中，通常有一些相同之電路配置是產生在晶圓形式之矽基體(所謂晶圓)上。為了產生此種電路配置，須另外以光技術用之機械使光阻遮罩塗佈於晶圓上。為了使光阻遮罩(簡稱光罩)可輕易地相對於晶體柵格來進行調整，傳統上此晶圓都具有一種平面(所謂Flat)，由於此種平面，則晶圓在一些相關位置上之形式是與淺圓柱不同的。此種平面(Flat)是與晶體柵格之(110)-平面相一致的。

本發明之目的是提供一種積體電路配置，其具有至少一個含有至少一個p-n-接面之組件，其中流經p-n-接面之漏電流和先前技藝比較時是較小的。此外，本發明亦提供此種積體電路配置用之製造方法以及一種具有複數個積體電路配置之晶圓。

上述目的是由申請專利範圍第1項之積體電路配置，第6，7項之晶圓，第8，9項之方法來達成。本發明之其它形式則敘述在申請專利範圍其餘各項中。

本發明探討一種DRAM單胞配置(其具有VRT-效應)之配置在矽基體中之記憶體單胞。所探討之DRAM單胞配置之佈局(layout)即對應於上述El-Kareh et al所著文件中之DRAM單胞配置。在二個相鄰之記憶體電容器 $S_p$ 之間的連接線(其與二個配置於其間之平面式電晶體相交)是平行於y-軸y而延伸(請參閱第1圖)。此種DRAM單胞配置之記憶體電容器 $S_p$ 和電晶體是沿著這些線(其是平行於

## 五、發明說明 ( )

y-軸 y 而延伸或平行於位於表面中之與 y-軸 y 垂直之 x-軸 x 而延伸)而在週期性重複之距離中互相配置著。電晶體之 p-n-界面  $\bar{U}$  之邊緣(通道電流可流經此邊緣)平行於 x-軸 x 而延伸。y-軸 y 則與矽基體之晶體柵格之  $\langle 110 \rangle$ -方向相一致。藉助於傳輸式電子顯微鏡則可意外地發現：幾乎所有所產生之偏移缺陷 V 都屬於  $\langle -1, 1, z \rangle$ -burger-向量，其中 Z 是一種整數。此種偏移缺陷 V 平行於  $\langle -1, 1, z \rangle$ -burger-向量而延伸且通常由一個電容器延伸至另一個電容器  $S_p$ (第 1 圖)。由於基體之表面垂直於 burger-向量所在之平面，偏移缺陷 V 因此顯示成一種直線。此外，又發現：在顯示有 VRT-效應之此種記憶體單胞中此種偏移缺陷 V 是與所屬電晶體之 p-n-界面  $\bar{U}$  相交。此種偏移缺陷可能會產生漏電流，其會造成 VRT-效應。第 1 圖顯示相關記憶體單胞之俯視圖。橢圓形之結構是記憶體電容器  $S_p$ 。縱向區域 u(其由一個電容器延伸至另一個電容器  $S_p$ )包括了電晶體。平行於 x-軸 x 而延伸之實線(其劃分了此縱向區域 u)是 p-n-界面  $\bar{U}$ 。偏移缺陷 V 是一種平行於 y-軸 y 而延伸之線，其與縱向區域 u 相交。

本發明是確認：偏移缺陷(其與 p-n-界面相交)可造成漏電流且此種缺陷之起點或終點是位於基體之平面上。

本發明之積體電路配置是配置在基體中，其中上述之缺陷至少以區段方式而延伸在基體之晶體柵格之平面(以

## 五、發明說明(5)

下稱為缺陷平面)中。此種缺陷會延伸之原因是晶體柵格之對稱性所造成。其它原因可能是基體之化學組成和組件在基體中之配置方式(即, 佈局)。此電路配置製造時之技藝和方式可影響此種缺陷之產生和外形。

此種缺陷可以是一種偏移, 就像螺旋式偏移一樣, 此種缺陷之另一種形式可以是堆疊式缺陷。

此種基體例如可以包含單晶矽, 亦可包含其它適用於此電路配置之元素, 例如鍺(Ge)。

此種基體可具有一種晶體結構, 其具有以fcc為主之鑽石形柵格。具有其它柵格種類之基體同樣亦在本發明之範圍中。

此種基體電路配置包含至少一種第一組件(其具有一種配置在基體中之結構, 上述缺陷可鄰接於此結構上)以及一種第二組件(其具有至少一個p-n-接面)。此種缺陷可由於上述結構之產生而產生。p-n-接面須鄰接於上述結構, 使其不會由於距離及/或配置之原因而被排除; 由此種結構所造成之這些缺陷會經由基體而擴大且可與p-n-接面相交。p-n-接面例如可由基體(其鄰接於此結構)之由第一導電性所摻雜之第一區以及由第二導電性(其與第一導電性相反)所摻雜之第二區之間的界面所形成。p-n-接面及此結構滿足以下之條件: 它們須相對於晶體柵格而配置, 使每一直線(其是與此結構及p-n-接面相交或接觸)都與缺陷平面相交。由於此缺陷(其是由結構所形成)之起點是在此結構之邊緣, 此缺陷(其延

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明 ( b )

伸於缺陷平面中)之各區段不會與 p-n-接面相交。因此，這些區段對漏電流不會有貢獻，於是和先前技藝比較時漏電流是較小的。

若此種缺陷具有其它區段(其最好是平行於其它缺陷平面而延伸)，則須滿足以下之其它條件：每一直線(其是與此結構及 p-n-接面相交或接觸)須與其它缺陷平面相交。

上述結構及 p-n-接面可以是第一組件之一部份。在此情況下第一組件和第二組件相疊合。

第一組件例如可以是電容器或接觸墊(pad)。電容器可配置在基體之凹口中或基體上。第二組件例如可以是電晶體，二極體或導線(例如，接地)。

在滿足上述條件之較佳可能性中，須考慮一些在基體表面上之投影以取代三維空間之伸展。上述條件之實際上之滿足於是可簡化。若無此種平行於表面而延伸之直線(其是與此結構在表面 S 上之投影相交或相接觸以及與 p-n-接面在表面  $\bar{U}1$  上之投影相交或相接觸)平行於此種直線(其在缺陷平面之對表面之投影中)而延伸時(請參閱第 2 圖)，則可滿足上述條件。

缺陷平面最好是與表面相垂直。在此情況中此缺陷平面之投影是唯一之直線。

滿足上述條件之有利之可能性以下將以其它方式來描述。恰好存在二條邊界線 G1, G2, 其分別與結構 S 之投影以及 p-n-接面  $\bar{U}1$  之投影相接觸而不與這些投影相交且

## 五、發明說明 ( )

分別與這些投影之間的連接線相交(第2圖)。此二條邊界線  $G_1$ ,  $G_2$  相交於一個交叉點。p-n-接面  $\bar{U}_1$  之投影及結構  $S$  之投影位於此表面之二個由邊界線  $G_1$ ,  $G_2$  所限制之區域  $B_1$ ,  $B_2$  中。若一條與缺陷平面之投影相平行之直線  $G_d$  (其經由上述之交叉點) 位於此二個區域  $B_1$ ,  $B_2$  之外部(第2圖), 則可滿足上述條件。若存在其它之缺陷平面, 則相對應之直線同樣須位於各區域之外部。

此缺陷之各區段之外形之投影平行於直線  $G_d$  而延伸, 但不與上述之交叉點相交, 這是因為這些缺陷是起源於結構之各邊緣。由於邊界線  $G_1$ ,  $G_2$  似乎使 p-n-接面  $\bar{U}_1$  之投影以及結構  $S$  之投影之極端點互相連接, 則這些缺陷不會與 p-n-接面相交。第2圖依據投影之大小及缺陷平面之位置而顯示了上述之特性。

若此結構之平行於表面之各橫切面基本上是相等且此 p-n-接面之平行於表面之橫切面基本上是相等時, 則藉由投影之考慮來滿足上述條件所表示之意義是: 就組件之各種配置可能性而言, 和考慮三維空間之伸展相比較時幾乎是沒有任何限制的。

若此電路配置具有其它組件, 則此情況亦在本發明之範圍中。這些組件是沿著這些線(其平行於  $y$ -軸而延伸或平行於與  $y$ -軸相垂直之  $x$ -軸而延伸)而在週期性重複之距離中互相配置著。其中  $x$ -軸和  $y$ -軸是平行於基體之表面而延伸。p-n-接面和此結構是沿著  $y$ -軸而配置。須形成此種結構和 p-n-接面, 使  $y$ -軸在其中點將此二個區域(其以邊界線為界)劃分開。換言之,  $y$ -軸是一

## 五、發明說明 ( )

種由邊界線所圍成之角度之角平分線。(在下文中是表示在邊界線之一部份之  $x$ -軸上之投影之長度，此部份之起始點或終止點是邊界線與此結構或  $p$ - $n$ -接面相接觸之點。邊界線之此一部份在  $y$ -軸上之投影之長度是以  $a$  表示。若缺陷平面和晶體結構相對於  $x$ -軸和  $y$ -軸而對準，使缺陷平面之投影起源於  $y$ -軸旋轉一個角度，此角度是在  $(\tan^{-1} c/a)$  和  $(180^\circ - \tan^{-1} c/a)$  之間的範圍中，則上述條件可滿足。若存在其它之缺陷平面，則這些缺陷平面之投影同樣起源於  $y$ -軸旋轉再旋轉一個角度，此角度是在上述範圍中。

此種電路配置例如是一種 DRAM 單胞配置，這些組件是記憶體電容器和電晶體。上述結構是電容器，其可配置在凹口中。 $p$ - $n$ -接面是電晶體之一部份。第一區和第二區(其形成  $p$ - $n$ -接面)是電晶體之第一源極/汲極區及通道區。電容器之平行於表面之橫切面基本上是相等的且例如是接近圓形的。 $p$ - $n$ -接面之平行於表面之橫切面基本上是相同的。電容器之平行於  $x$ -軸之直徑至少須和  $p$ - $n$ -接面之平行於  $x$ -軸之大小一樣大。 $p$ - $n$ -接面之投影之邊緣例如至少一部份是平行於  $x$ -軸而延伸。在電晶體和記憶體節點外部可設置一種隔離結構，缺陷外形可終止於此種隔離結構上。此種隔離結構界定了此基體之面積。

此種 DRAM 單胞配置可對應於上述 El-kareh et al 所著之文件。

若基體含有單晶矽且缺陷平面平行於晶體柵格之  $\langle -1, 1, z \rangle$ -方向時，則此種情況亦在本發明之範圍中，其中

## 五、發明說明( )

$z$  是一種整數。本發明之實施形式是以第 4 頁第 17 至 20 行中所述之認知為基準，即，矽基體中之偏移缺陷可對應於  $\langle -1, 1, z \rangle$ -Burger-向量。電腦模擬在依據矽基體中之 DRAM 單胞配置所列舉之尺寸之情況下已證實：上述條件之滿足可使偏移缺陷不會與 p-n-接面相交。第 3 圖是由電腦模擬所計算之 DRAM 單胞配置之俯視圖，其表示此種基體中缺陷之外形，其中上述之條件並未滿足。在此一任意之例子中上述之角度是  $0^\circ$ 。圓形之結構是電容器，電晶體則在一對電容器之間的縱向區域中，其餘之各條線則顯示各缺陷之外形。在縱向區域之一之中顯示了一些 p-n-接面，其劃分了此縱向區域。吾人可辨認此缺陷平面及另一缺陷平面之投影，此缺陷平面是平行於  $\langle -1, 1, z \rangle$ -方向而延伸，而另一缺陷平面則垂直於此缺陷平面之投影而延伸。另一缺陷平面在此種基體中可有效地去除，其中各結構是配置在電晶體外部之基體中。各缺陷不能經由這些結構而延伸。這些結構例如可以是隔離結構，其配置在基體之凹口中。第 4 圖顯示一種由電腦模擬所計算之 DRAM 單胞配置之俯視圖，其表示此種基體中各缺陷之外形，其中滿足上述之條件。在此一任意之例子中上述之角度是  $45^\circ$ 。如圖所示，p-n-接面不會和缺陷相交。

在本發明之晶圓之第一實施形式中，晶圓包含一個基體，其顯示一種標記，此標記是表示 y-軸之外形。在基體中配置一些本發明中相同之電路配置，其中每一電路

## 五、發明說明(10)

配置之組件沿著各條線(其平行於y-軸或x-軸而延伸)而在週期性重複之距離中互相配置著。

上述標記例如可以是一種平面(Flat)或凹口(其通常稱為"Notch")。

若基體包含單晶矽，則此種平面(Flat)之面是平行於晶體柵格之<100>-方向而延伸。

本發明之電路配置之各組件是沿著各條線(其平行於y-軸或x-軸而延伸)而在週期性重複之距離中互相配置著，本發明之積體電路配置之製造方法之實施形式與傳統之製造方法特別是有下述之不同點：此電路配置所使用之基體具有一種標記，此種標記是表示y-軸之外形。習知佈局之光罩以傳統之方式相對於基體之標記來進行調整。電路配置是由於使用此種基體而產生，使缺陷不會與p-n-接面相交。當然亦可使用新式之佈局。

就本發明之相同之多個電路配置產生時所用之方法而言，基體可以是一種第一實施形式中之晶圓。晶圓中所產生之電路配置然後被分開。

在本發明之晶圓之第二實施形式中，晶圓包括一種基體，其具有一種標記，標記之外形表示一種缺陷平面。在基體中配置一些本發明中相同之電路配置，其中每一電路配置之組件沿著各條線(其平行於y-軸或x-軸而延伸)而在週期性重複之距離中互相配置著。

標記例如可以是一種平面(Flat)或凹口(Notch)。

若此基體包括單晶矽，則此平面(Flat)之面平行於晶

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

### 五、發明說明( )

體柵格之<110>-方向而延伸。

本發明之電路配置之各組件是沿著各條線(其平行於y-軸或x-軸而延伸)而在週期性重複之距離中相互配置著,本發明之積體電路配置之製造方法之另一實施形式與傳統之製造方法特別是有下述不同點:使用一種佈局,其是由習知之佈局相對於y-軸旋轉一個角度而得,使缺陷不會與p-n-接面相交。此種電路配置所使用之基體具有一種標記,此種標記表示此缺陷平面之外形。須產生一些光罩,其除了相對於此標記之定向外亦可與習知之光罩相一致。當然亦可使用一些新式之佈局。

就本發明之多個相同之電路配置產生時所用之方法而言,此基體可以是第二實施形式中之晶圓。在晶圓上所產生之電路配置然後被分開。

就上述方法和晶圓之實施形式而言,則此種電路配置之各種變型同樣是可能的。

本發明顯示在第5至7圖中之實施例將詳述於下。  
圖式簡單說明:

第1圖 相關記憶體單胞之俯視圖。

第2圖 依據投影之大小及缺陷平面之位置所顯示之缺陷之特性。

第3圖 由電腦模擬所計算之DRAM單胞配置之俯視圖。

第4圖 由電腦模擬所計算之DRAM單胞配置之俯視圖,其缺陷不同於第3圖者。

第5圖 DRAM單胞配置之俯視圖,其中顯示記憶體電容器,具有p-n-接面之電晶體,x-軸,y-軸以及缺陷平面在第一基體之表面上之投影。

第6圖 第一晶圓之俯視圖,其具有一種標記,此種標記是表示y-軸之外形,其中顯示缺陷平面之投影以及單胞配置。另顯示一個遮罩。

第7圖 第二晶圓之俯視圖,其具有一種標記,此種

煩請委員明示89年12月14日所提之修正本上有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

## 五、發明說明( )

標記是表示缺陷平面之外形，其中顯示 y-軸和單胞配置。另一顯示一個遮罩。

這些圖式未依比例繪出。

在第一實施例中，第一基體 1(其中配置一種 DRAM 單胞配置)含有單晶矽。須產生記憶體電容器  $S_{p'}$  和電晶體。DRAM 單胞配置之記憶體單胞配置分別包含一個電容器  $S_{p'}$  和一個平面式電晶體(第 5 圖)。沿著 y-軸  $y'$ (其在第一基體 1 之表面中延伸)而相鄰之電容器  $S_{p'}$  形成一對(pair)。在每一對之二個電容器  $S_{p'}$  之間配置二個電晶體。電晶體之第一源極/汲極區 D1 是與相鄰之電容器  $S_{p'}$  相連接。此二個電晶體劃分一個共同之源極/汲極區 D2。在第一源極/汲極區 D1 和第二源極/汲極區 D2 之間配置一個通道區 ka。在通道區 ka 和源極/汲極區 D1, D2 之間的界面形成 p-n-界面  $U'$ 。電容器  $S_{p'}$  之平行於表面之橫切面基本上是圓形的。電容器  $S_{p'}$  之橫切面之直徑大約是 600nm。x-軸 x 垂直於 y-軸 y 而延伸且在表面中。p-n-界面之平行於 x-軸 x 之大小大約是 250nm。第一源極/汲極區 D1 之平行於 y-軸 y 之大小大約是 250nm。第二源極/汲極區 D2 之平行於 y-軸 y 之大小大約是 250nm。通道區 ka 之平行於 y-軸 y 之大小大約是 250nm。在表面之區域中在電晶體和電容器  $S_{p'}$  之外部存在一種大約 250nm 厚之隔離結構 I。

## 五、發明說明(13)

一條在表面中延伸之第一邊界線  $G1'$  是與電容器  $S_{p'}$  之一以及一相鄰之  $p-n$ -界面  $\ddot{U}'$  相接觸。第一邊界線  $G1'$  是與第一源極/汲極區  $D1$  相交。一條在表面中延伸之第二邊界線  $G2'$  是與第一邊界線  $G1'$  相交於交叉點  $P$  且與電容器  $S_{p'}$  及  $p-n$ -界面  $\ddot{U}'$  相接觸。此二條邊界線  $G1', G2'$  是與二個區域  $B1', B2'$  相鄰接，區域  $B1', B2'$  中配置電容器  $S_{p'}$  和  $p-n$ -界面  $\ddot{U}'$ 。 $y$ -軸  $y$  劃分此二個區域  $B1', B2'$  於其中點處(請參閱第5圖)。

第一邊界線  $G1'$  之一部份(其起點和終點位於電容器  $S_{p'}$  或  $p-n$ -界面  $\ddot{U}'$  處)之在  $y$ -軸  $y$  上之投影  $c$  大約是  $250\text{nm}$ 。第一邊界線  $G1'$  之此一部份之在  $x$ -軸  $x$  上之投影  $a$  大約是  $250\text{nm}$ 。第一邊界線  $G1'$  和  $y$ -軸  $y$  形成一個角度  $\psi$ ，其值是  $\tan^{-1} c/a = 45^\circ$  (請參閱第5圖)。

$y$ -軸  $y$  和  $x$ -軸  $x$  相交於交叉點  $P$ 。第一基體 1 之晶體柵格須相對於  $y$ -軸  $y$  和  $x$ -軸  $x$  而配置，使  $\langle -1, 1, z \rangle$ -方向(其界定了缺陷平面  $d$ ) 在表面上之投影是一條直線且是由  $y$ -軸  $y$  旋轉一個角度(其稍大於角度  $\psi$ ，例如， $46^\circ$ ) 所形成。於是  $\langle -1, 1, z \rangle$ -方向之投影大約是在第一邊界線  $G1'$  上(第5圖)。

在第二實施例中，第一晶圓  $W1$  含有一種由單晶矽所構成之第二基體，第二基體具有淺圓柱之形式，此種淺圓柱在其邊緣上於位置  $F$  (Flat) 處逐漸平坦。在此位置  $F$  形成一個平面，其是與第二基體之晶體柵格之  $\langle 100 \rangle$ -平面相一致。 $\langle 1, 0, 0 \rangle$ -方向界定了  $y$ -軸  $y$  (第6圖)。

## 五、發明說明( )

第一晶圓 W1 以習知之光技術用之機械藉助於已平緩之位置 F 來調整。

藉助於光罩 M1 而產生一些 DRAM 單胞配置 S1，其構造類似於第一實施例中之 DRAM 單胞配置且其組件就像第一實施例一樣是相對於第二基體之晶體柵格來對準。為了清楚之故，第 6 圖中顯示晶體柵格之  $\langle -1, 1, z \rangle$ -方向(其界定了缺陷平面 d1)之在第二基體之表面上之投影。

利用光技術用之機械在一預定之方位中施加上述之光罩 M1。第 6 圖顯示一種八角形之光罩圖樣。利用所示之光罩 M1 相對於晶體柵格之方位，則可在第一晶圓 W1 上施加光罩 M1。

在第三實施例中，第二晶圓 W2 就像第二實施例一樣包含一種由單晶矽所構成之第三基體，其具有一種平緩之位置 F'。相對於第二實施例而言，此平緩位置 F' 之平面是與第三基體之晶體柵格之 (110)-平面相一致。第三基體之缺陷平面 d2 垂直於 (110)-平面而延伸。缺陷平面 d2 垂直於第三基體之表面而延伸。就像第二實施例一樣，第二晶圓 W2 是以習知之光技術用之機械藉助於上述平緩之位置 F' 來調整。

藉助於光罩 M2 來產生一些相同之 DRAM 單胞配置 S2 (其構造類似於第一實施例中者)，光罩 M2 與第二實施例中之光罩 M1 之不同點如下：其是相對於平緩位置 F' 之面而旋轉。由於光罩 M2 決定了電路配置之組件之相對配置，則 y-軸 y (其定義類似於第一實施例中者) 及缺陷平面 d2

## 五、發明說明( )

在第三基體之表面上之投影之間的角度略大於第一實施例中之角度 $\psi$ 。第7圖中顯示了y-軸Y。

利用光技術用之機械以一預定之方位來施加光罩M2。第7圖顯示光罩M2之八角形之圖樣。利用所示之光罩M2相對於晶體柵格之方位關係而在第二晶圓W2上施加光罩M2。

上述角度可在 $(\tan^{-1} c/a)$ 和 $(180^\circ - \tan^{-1} c/a)$ 之間變化。

記憶體電容器之大小，p-n-接面以及相對應之角度可依各別需要而調整。

## 符號之說明

- 1.....基體
- d, d1, d2.....缺陷平面
- D1, D2, ka.....區域
- G1, G2, G1', G2'....邊界線
- B1, B2, B1', B2'....區域
- Ü, Ü'....p-n-接面
- Sp, Sp'....記憶體電容器
- W1, W2.....晶圓
- F, F'....標記
- M1, M2....遮罩
- S1, S2....單胞配置
- S.....表面

四、中文發明摘要(發明之名稱：

積體電路配置及其製造方法以及具有複數個積體電路配置之晶圓

此種積體電路配置包含至少一種具有結構之第一組件(一些缺陷可鄰接於此結構上)以及一種第二組件(其具有至少一個p-n-界面( $\bar{U}'$ ))，這些組件相鄰地配置在基體(1)中，其缺陷至少以區段方式而在缺陷平面(d)中延伸。須相對於第一組件和第二組件而選取此基體(1)之晶體方位，使缺陷保持在表面上，而不會使缺陷和p-n-界面相交。以此種方式可防止一些流經p-n-界面( $\bar{U}'$ )之不期望之漏電流。此種積體電路配置特別是一種DRAM單胞配置(其具有較大之保持(retention)時間)。為了製成此種積體電路配置，則可相對於習知之原始晶圓旋轉而在原始晶圓上設置一些習知佈局用之光阻遮罩。另一方式是習知佈局之一些光阻遮罩可以傳統之方式而設置在原始晶圓上，但原始晶圓具有一種標示，此種標示表示上述缺陷平面(d)之外形。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

四、英文發明摘要 (發明之名稱: Integrated circuit-arrangement, method for its )  
production and wafer with some integrated  
circuit-arrangements

The integrated circuit-arrangement includes at least a first element with a structure, on which some defects can be adjacent, and a second element with at least a p-n-junction ( $\bar{U}'$ ), said two elements are adjacently arranged in a substrate (1), the defects of the substrate (1) extend in a defect-plain (d) at least sectionally. The crystal-orientation of the substrate (1) is selected relative to said first element and said second element, so that the defects on the surfaces can be kept and the defects will not cross the p-n-junction. The unwanted leak-current through the p-n-junction ( $\bar{U}'$ ) will be prevented with this way. The integrated circuit-arrangement is especially a DRAM-cells arrangement with a larger retention-time. In order to produce the integrated circuit-arrangement, some photo-resistance-masks of a known layout are mounted on the original wafer by rotation with respect to a known original wafer. Alternatively, some photo-resistance-masks of a known layout are mounted on an original wafer with a conventional way, wherein the original wafer has a marking, which shows the outline of said defect-plain (d).

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

### 六、申請專利範圍

第 88111169 號「積體電路配置及其製造方法以及具有複數個積體電路配置之晶圓」專利案 (89年12月修正)

1. 一種積體電路配置，其特徵為：

- 其是配置在基體 (1) 中，基體 (1) 具有晶體結構，一些缺陷至少以區段方式而延伸於缺陷平面 (d) 中，
- 具有一種配置在基體 (1) 中之結構，上述缺陷可鄰接於此結構，
- 一種由第一導電型式所摻雜之第一區 (D1) 鄰接於上述結構，
- 一種由第二導電型式 (其與第一導電型式相反) 所摻雜之第二區 (ka) 鄰接於第一區 (D1)，
- 第一區 (D1) 和第二區 (ka) 之間的界面形成一種 p-n- 界面 (Ü')，
- 每一與上述結構及 p-n- 界面 (Ü') 相交或相接觸之直線會與缺陷平面 (d) 相交。

2. 如申請專利範圍第 1 項之電路配置，其中

- 第一邊界線 (G1') 是與上述結構在基體 (1) 之表面上之投影以及 p-n- 界面 (Ü') 在表面上之投影相接觸，但不相交，且第一邊界線 (G1') 是與上述結構之投影及 p-n- 界面 (Ü') 之投影之間的連接線相交，
- 第二邊界線 (G2') (其與第一邊界線 (G1') 相交於交叉點 (p)) 是與上述結構之投影及 p-n- 界面 (Ü') 之投影相接觸，但不相交，且第二邊界線 (G2') 是與此結構之投影及 p-n- 界面 (Ü') 之投影之間的連接線相交，
- 第一邊界線 (G1') 和第二邊界線 (G2') 鄰接於二個區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

89年12月14日修正(第三次編定)

## 六、申請專利範圍

域 (B1', B2'), 上述結構及 p-n-接面 ( $\ddot{U}'$ ) 配置於此二個區域 (B1', B2') 中,

- 缺陷平面 (d) 在表面上之投影是一直線且在上述二個區域 (B1', B2') 外部以及經由交叉點 (P) 而延伸。

3. 如申請專利範圍第 2 項之電路配置, 其中

- x-軸 (x) 和垂直於 x-軸 (x) 之 y-軸 (y) 是位於表面中且在交叉點 (P) 相交,
- 此電路配置之組件在表面上沿著各條線 (其平行於 y-軸 (y) 或 x-軸 (x) 而延伸) 在週期性重複之距離中互相配置著,
- 上述結構和 p-n-接面 ( $\ddot{U}'$ ) 是組件之一部份,
- p-n-接面 ( $\ddot{U}'$ ) 和結構是沿著 y-軸 (y) 而配置,
- 須形成此種結構及 p-n-接面 ( $\ddot{U}'$ ), 使 y-軸 (y) 在其中點將二個區域 (B1', B2') 劃分,
- 缺陷平面 (d) 之投影是由 y-軸 (y) 旋轉一個角度所造成, 此角度是介於  $\tan^{-1} c/a$  和  $(180^\circ - (\tan^{-1} c/a))$  之間, 其中 c 是第一邊界線 (G1') 之一部份之在 x-軸 (x) 上之投影之長度, 此部份之起點和終點是第一邊界線 (G1') 在與上述結構之投影或 p-n-接面 ( $\ddot{U}'$ ) 之投影相接觸時之點, 而 a 是第一邊界線 (G1') 之此一部份之在 y-軸 (y) 上之投影之長度。

4. 如申請專利範圍第 3 項之電路配置, 其中

- 其是一種 DRAM 單胞配置,
- 上述各組件是記憶體電容器 (Sp') 及電晶體,

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

## 六、申請專利範圍

- 上述結構是第一電容器 ( $S_{p'}$ ),
  - 電容器 ( $S_{p'}$ ) 形成一對,
  - 在第一電容器 ( $S_{p'}$ ) 和第二電容器 ( $S_{p'}$ ) 它們形成一對) 之間配置第一平面式電晶體及第二平面式電晶體,
  - 第一區 ( $D1$ ) 作為第一電晶體之第一源極 / 汲極區, 其是與第一電容器 ( $S_{p'}$ ) 相連接,
  - 第二電晶體具有另一個第一區 ( $D1$ ), 其是作為第二電晶體之第一源極 / 汲極區且是與第二電容器 ( $S_{p'}$ ) 相連接,
  - 第二區 ( $k_a$ ) 作為第一電晶體之通道區,
  - 在此二個電晶體之通道區 ( $k_a$ ) 之間配置此二個電晶體之共同之第二源極 / 汲極區 ( $D2$ ),
  - p-n-接面 ( $\bar{U}'$ ) 在基體 (1) 表面上之投影具有一種平行於 x-軸 (x) 之邊緣,
  - p-n-接面 ( $\bar{U}'$ ) 之投影不會超過一個區域, 此區域中存在著一對電容器 ( $S_{p'}$ ) 之間所連成之連接線,
  - p-n-接面 ( $\bar{U}'$ ) 之長度是 C,
  - 介於 p-n-接面 ( $\bar{U}'$ ) 和第一電容器 ( $S_{p'}$ ) 之間平行於 y-軸 (y) 之距離是 a。
5. 如申請專利範圍第 1, 2, 3 或 4 項之電路配置, 其中
- 基體 (1) 包含單晶矽,
  - 缺陷藉助於  $\langle -1, 1, z \rangle$ -Burger-向量來描述, 此種向量位於缺陷平面 (d) 中, 其中 z 是整數。
6. 一種具有一些種體電路配置之晶圓, 其特徵為:

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

- 晶圓包含一種基體，其是一種半導體晶圓且具有一種標記(F)，標記(F)表示y-軸(y)之外形，
- 基體具有一種晶體結構，其中缺陷至少以區段方式而在缺陷平面(d1)中延伸，
- 此電路配置是配置在基體中，
- 這些電路配置分別具有：
  - a) 一些組件，其沿著各條線(這些線平行於y-軸(y)或平行於與y-軸(y)垂直之x-軸(x)而延伸)而以週期性重複之距離互相配置著，
  - b) 一種配置在基體中之結構以作為組件之一，
  - c) 一種p-n-接面以作為另一種組件之一部份，p-n-接面是由第一摻雜區(其鄰接於上述結構)以及第二摻雜區所形成，其中
    - 第一邊界線是與上述結構在基體表面上之投影以及p-n-接面在表面上之投影相接觸，但不相交，且第一邊界線是與此結構之投影及p-n-接面之投影之間的連接線相交，
    - 第二邊界線(其與第一邊界線相交於交叉點)是與上述結構之投影及p-n-接面之投影相接觸，但不相交，且第二邊界線是與此結構之投影及p-n-接面之投影之間的連接線相交，
    - 第一邊界線和第二邊界線是與二個區域相鄰接，上述結構及p-n-接面是配置在此二個區域中，
- p-n-接面和此結構是沿著y-軸(y)而配置，

## 六、申請專利範圍

- x-軸和 y-軸位於表面中且在交叉點相交，
  - 須形成此結構及 p-n-接面，使 y-軸在其中點將上述二個區域劃分，
  - 缺陷平面 (d1) 在表面上之投影是一直線且是由 y-軸 (y) 旋轉一個角度所造成，此角度介於  $\tan^{-1} c/a$  和  $(180^\circ - \tan^{-1} c/a)$  之間，其中 C 是第一邊界線之一部份 (其起點和終點是第一邊界線在與上述結構或 p-n-接面相接觸時之點) 在 x-軸上之投影之長度且 a 是第一邊界線之此一部份在 y-軸 (y) 上之投影之長度。
7. 一種具有一些積體電路配置之晶圓，其中
- 晶圓 (W2) 包含一個基體，基體是一種半導體晶圓且具有一種標示 (F')，標示 (F') 是表示缺陷平面 (d2) 之外形，
  - 基體具有一種晶體結構，其中缺陷至少以區段方式而在缺陷平面 (d2) 中延伸，
  - 此電路配置是配置在基體中，
  - 這些電路配置分別具有：
    - a) 一些組件，其沿著各條線 (這些線平行於 y-軸 (y) 或平行於與 y-軸 (y) 垂直之 x-軸 (x) 而延伸) 而以週期性重複之距離互相配置著，
    - b) 一種配置在基體中之結構以作為組件之一，
    - c) 一種 p-n-接面以作為另一種組件之一部份，p-n-接面是由第一摻雜區 (其鄰接於上述結構) 以及第二摻

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

雜區所形成，其中

- 第一邊界線是與上述結構在基體表面上之投影以及 p-n-接面在表面上之投影相接觸，但不相交，且第一邊界線是與此結構之投影及 p-n-接面之投影之間的連接線相交，
  - 第二邊界線（其與第一邊界線相交於交叉點）是與上述結構之投影及 p-n-接面之投影相接觸，但不相交，且第二邊界線是與此結構之投影及 p-n-接面之投影之間的連接線相交，
  - 第一邊界線和第二邊界線是與二個區域相鄰接，上述結構及 p-n-接面是配置在此二個區域中，
    - p-n-接面和此結構是沿著 y-軸 (y) 而配置，
    - x-軸和 y-軸位於表面中且在交叉點相交，
    - 須形成此結構及 p-n-接面，使 y-軸在其中點將上述二個區域劃分，
    - 缺陷平面 (d2) 在表面上之投影是一直線且是由 y-軸 (y) 旋轉一個角度所造成，此角度介於  $\tan^{-1} c/a$  和  $(180^\circ - \tan^{-1} c/a)$  之間，其中 C 是第一邊界線之一部份（其起點和終點是第一邊界線在與上述結構或 p-n-接面相接觸時之點）在 x-軸上之投影之長度且 a 是第一邊界線之此一部份在 y-軸 (y) 上之投影之長度。
8. 一種積體電路配置之製造方法，其特徵為：
- 此電路配置是產生於基體中，基體具有一種標示

## 六、申請專利範圍

(F')，此標示(F')表示缺陷平面(d2)之外形，基體具有一種晶體結構，此缺陷至少以區段方式而在缺陷平面(d2)中延伸，

- 基體之表面垂直於缺陷平面(d2)，
- 此電路配置藉助於遮罩(M2)而產生在表面上，其屬於一種佈局(layout)，此種佈局設有此電路配置之沿著各條線(其平行於x-軸或平行於與x-軸相垂直之y-軸(y)而延伸)而在週期性重複之距離中互相配置之各組件，其中至少一個組件是結構，由於各組件之產生而產生了缺陷其中p-n-接面是另一種組件之一部份，p-n-接面是由第一摻雜區(其與上述結構相鄰接)和第二摻雜區所形成，
- 光罩(M2)是相對於基體而在基體之標示(F')之輔助下利用光技術用之機械來調整，其中此佈局和光罩是相對於缺陷平面(d2)在表面上之投影而旋轉，使此佈局之y-軸(y)和此基體之缺陷平面(d2)之投影形成一個角度，因此有一條直線(其是與上述結構及p-n-接面相接觸，但不相交，且此條直線是與此結構和p-n-接面之間的連接線相交)實質上是平行於缺陷平面(d2)之投影而延伸。

9. 一種積體電路配置之製造方法，其特徵為：

- 此電路配置是產生於基體中，基體具有一種標示(F)，此標示(F)表示U-軸之外形，基體具有一種晶體結構，缺陷至少以區段方式而在缺陷平面(d1)中延

## 六、申請專利範圍

伸，缺陷平面(d1)垂直於基體之表面，其中U-軸和此缺陷平面(d1)之在表面上之投影(其是一種直線)形成一個角度，

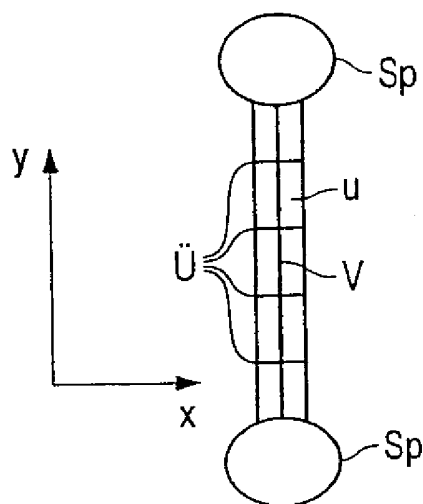
- 此電路配置藉助於遮罩(M1)而產生，遮罩屬於一種佈局(layout)，此種佈局設有此電路配置之沿著各條線(其平行於y-軸(y)或平行於與y-軸(y)相垂直之x-軸而延伸)而在週期性重複之距離中互相配置之各組件，其中至少一個組件是一種配置在基體中之結構，由於各組件之產生而產生了缺陷，其中p-n-接面是另一種組件之一部份，p-n-接面是由第一摻雜區(其與上述結構相鄰接)和第二摻雜區所形成，且此條直線(其是與上述結構及p-n-接面相接觸但不相交，且此條直線是與此結構及p-n-接面之間的連接線相交)與y-軸(y)形成一個角度，
- 光罩(M2)是相對於基體而在基體之標示(F)之輔助下利用光技術用之機械來調整，其中此佈局之y-軸(y)以及遮罩(M1)和此基體之U-軸是相一致的。

10. 如申請專利範圍第8項之製造方法，其中多個相同之電路配置(S1, S2)產生於基體上。

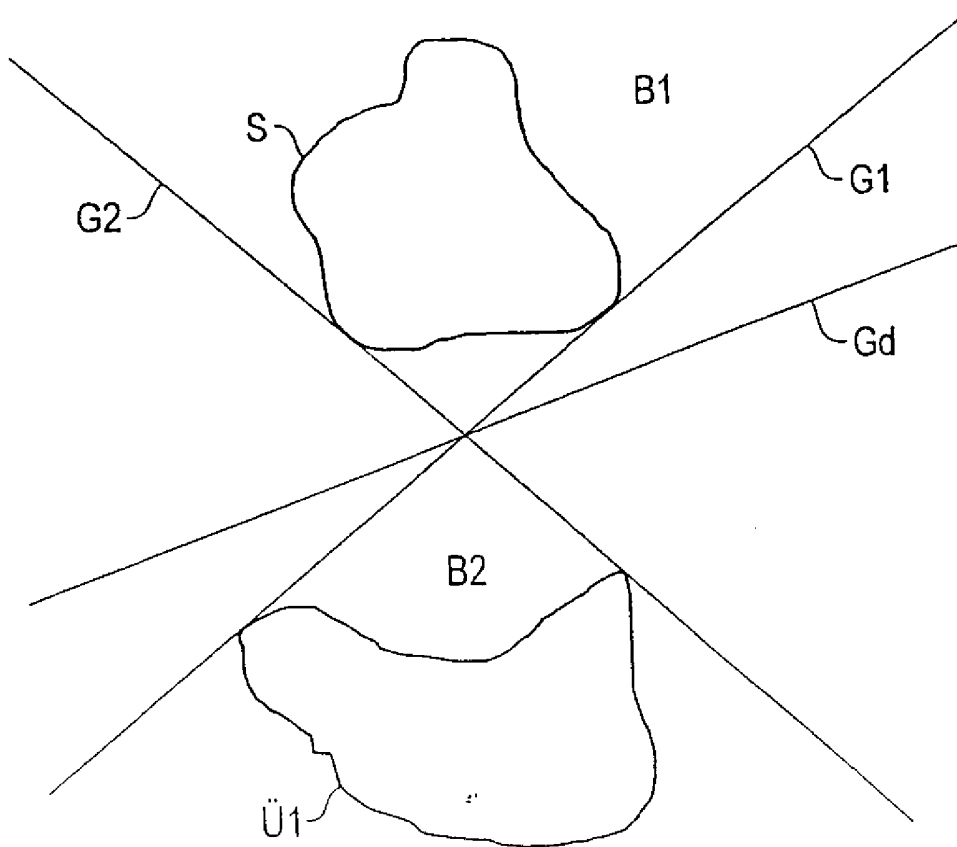
(請先閱讀背面之注意事項再填寫本頁)

裝

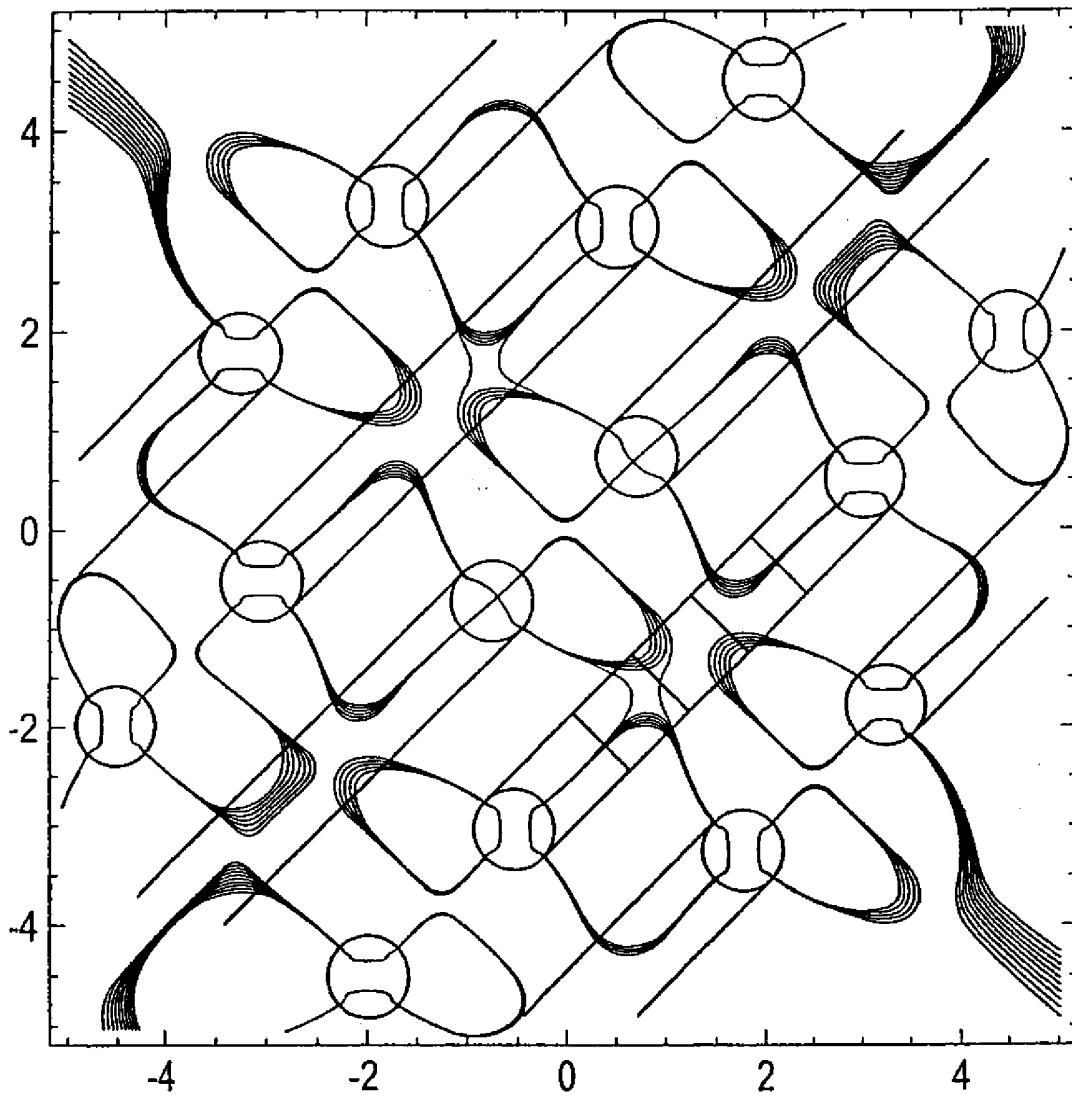
訂



第 1 圖



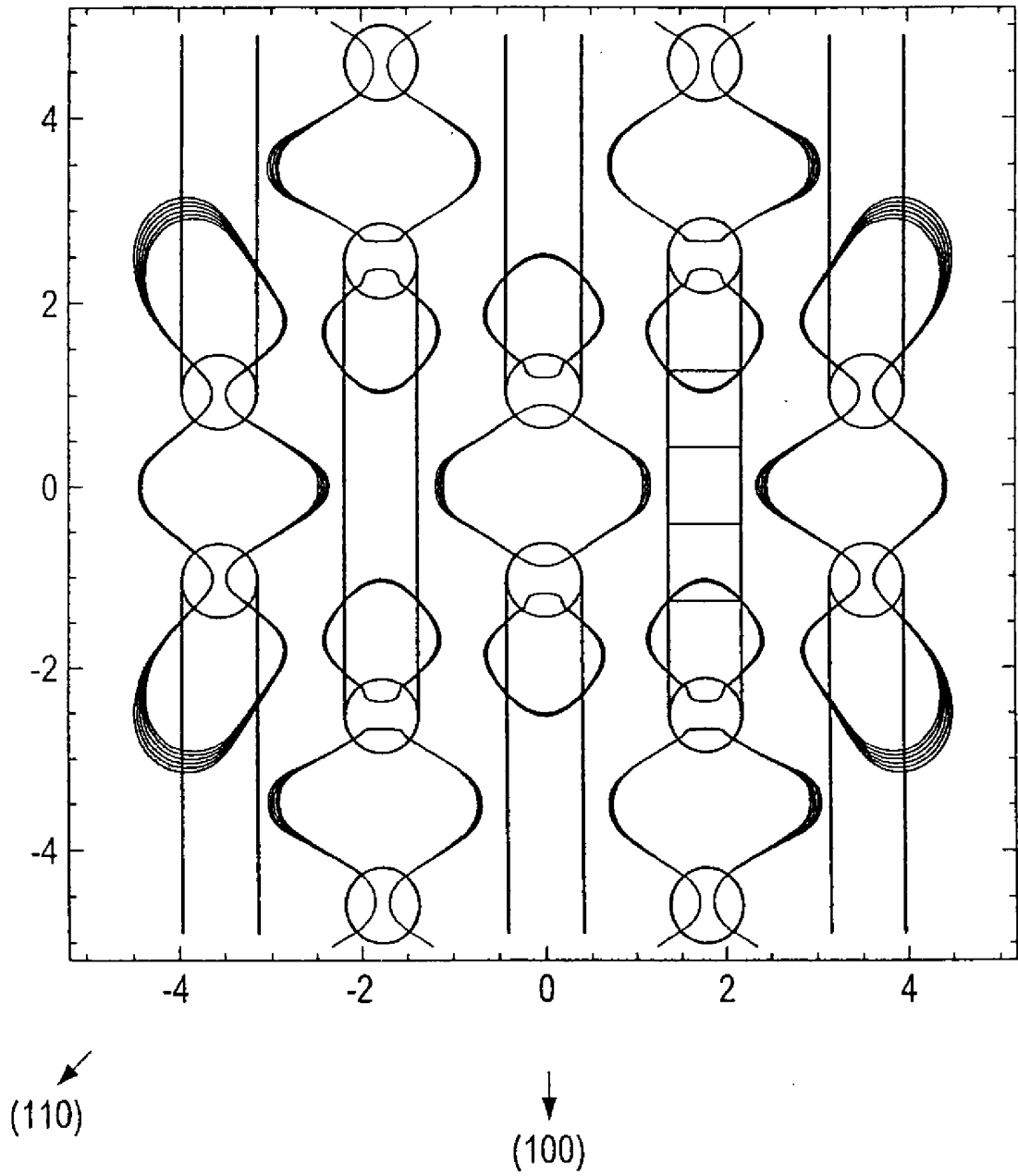
第 2 圖



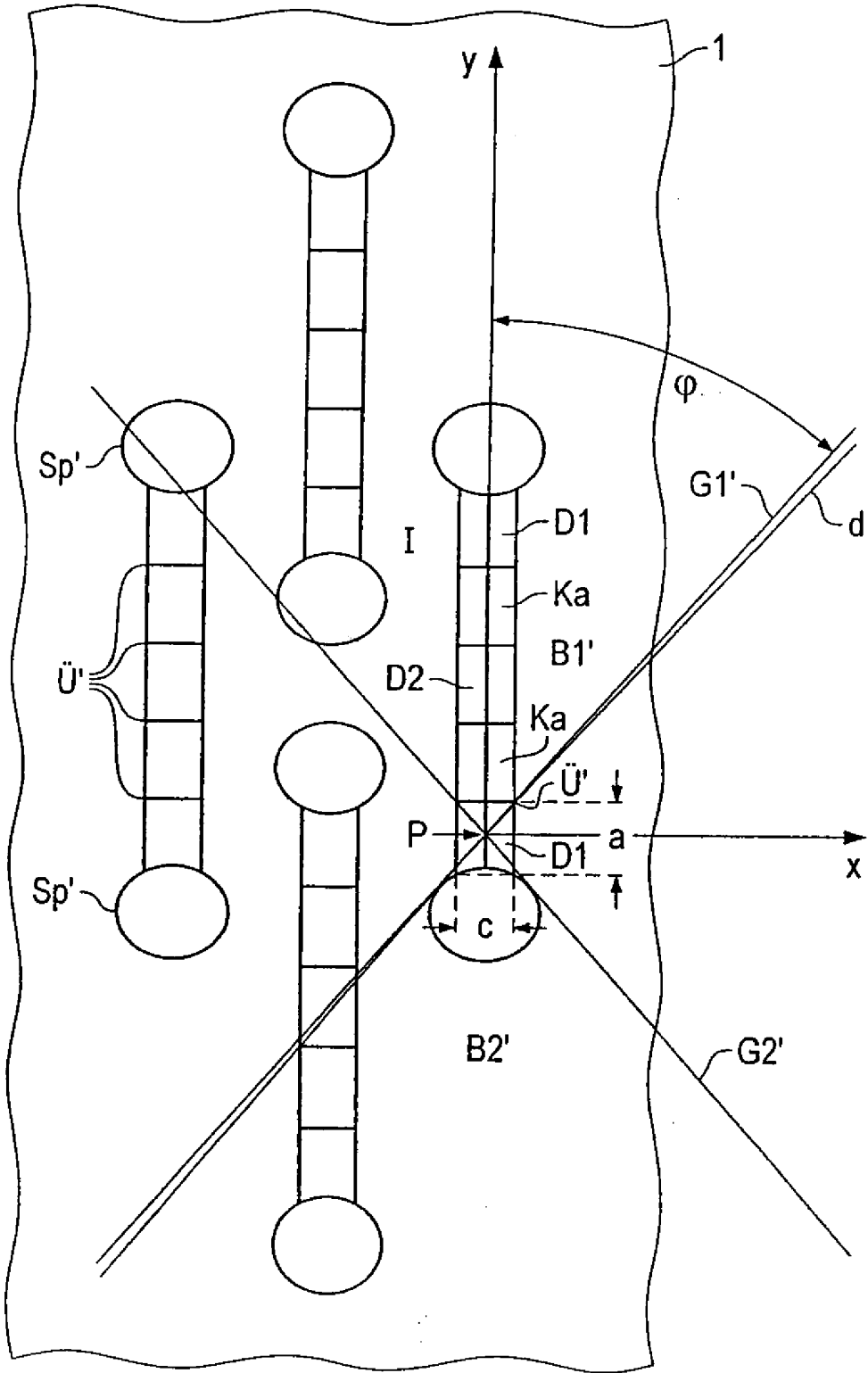
(110)

(100)

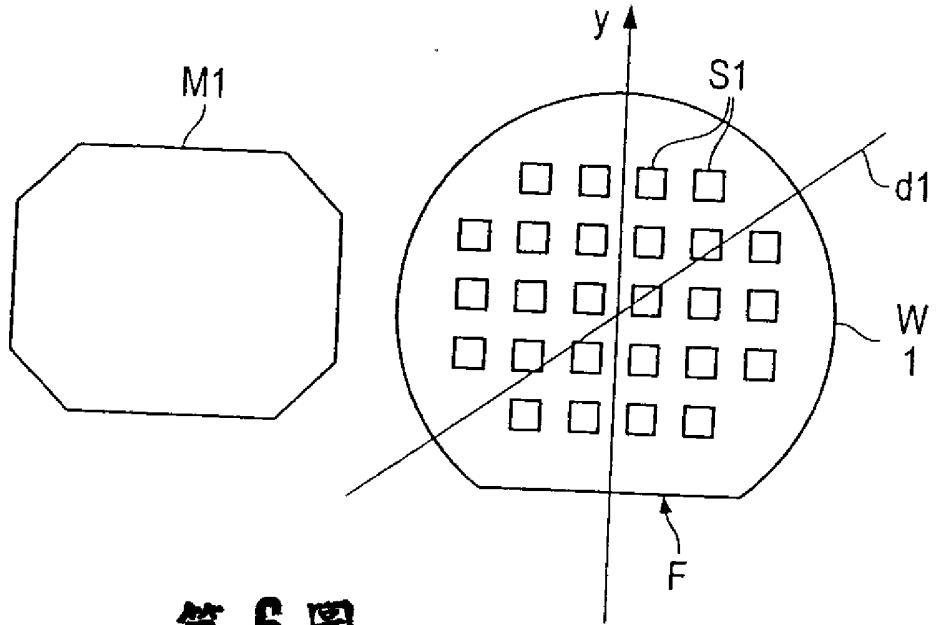
第 3 圖



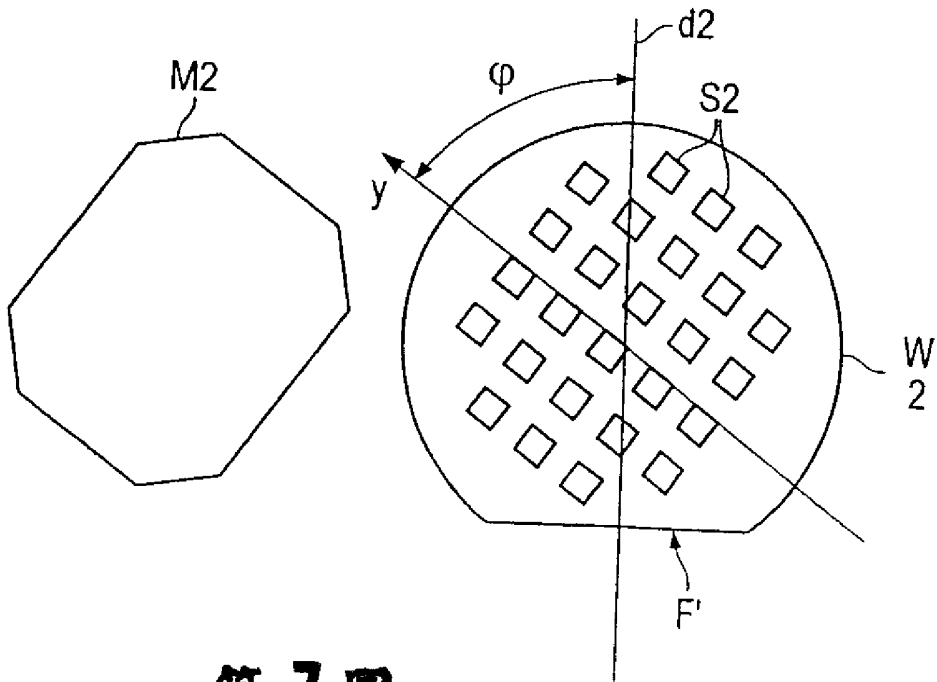
第 4 圖



第5圖



第 6 圖



第 7 圖

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

### 五、發明說明( )

體柵格之<110>-方向而延伸。

本發明之電路配置之各組件是沿著各條線(其平行於y-軸或x-軸而延伸)而在週期性重複之距離中相互配置著,本發明之積體電路配置之製造方法之另一實施形式與傳統之製造方法特別是有下述不同點:使用一種佈局,其是由習知之佈局相對於y-軸旋轉一個角度而得,使缺陷不會與p-n-接面相交。此種電路配置所使用之基體具有一種標記,此種標記表示此缺陷平面之外形。須產生一些光罩,其除了相對於此標記之定向外亦可與習知之光罩相一致。當然亦可使用一些新式之佈局。

就本發明之多個相同之電路配置產生時所用之方法而言,此基體可以是第二實施形式中之晶圓。在晶圓上所產生之電路配置然後被分開。

就上述方法和晶圓之實施形式而言,則此種電路配置之各種變型同樣是可能的。

本發明顯示在第5至7圖中之實施例將詳述於下。  
圖式簡單說明:

第1圖 相關記憶體單胞之俯視圖。

第2圖 依據投影之大小及缺陷平面之位置所顯示之缺陷之特性。

第3圖 由電腦模擬所計算之DRAM單胞配置之俯視圖。

第4圖 由電腦模擬所計算之DRAM單胞配置之俯視圖,其缺陷不同於第3圖者。

第5圖 DRAM單胞配置之俯視圖,其中顯示記憶體電容器,具有p-n-接面之電晶體,x-軸,y-軸以及缺陷平面在第一基體之表面上之投影。

第6圖 第一晶圓之俯視圖,其具有一種標記,此種標記是表示y-軸之外形,其中顯示缺陷平面之投影以及單胞配置。另顯示一個遮罩。

第7圖 第二晶圓之俯視圖,其具有一種標記,此種

煩請委員明示89年12月14日所提之修正本上有無變更實質內容是否准予修正。

經濟部智慧財產局員工消費合作社印製

## 五、發明說明 ( )

標記是表示缺陷平面之外形，其中顯示  $y$ -軸和單胞配置。另一顯示一個遮罩。

這些圖式未依比例繪出。

在第一實施例中，第一基體 1 (其中配置一種 DRAM 單胞配置) 含有單晶矽。須產生記憶體電容器  $S_{p'}$  和電晶體。DRAM 單胞配置之記憶體單胞配置分別包含一個電容器  $S_{p'}$  和一個平面式電晶體 (第 5 圖)。沿著  $y$ -軸  $y'$  (其在第一基體 1 之表面中延伸) 而相鄰之電容器  $S_{p'}$  形成一對 (pair)。在每一對之二個電容器  $S_{p'}$  之間配置二個電晶體。電晶體之第一源極/汲極區 D1 是與相鄰之電容器  $S_{p'}$  相連接。此二個電晶體劃分一個共同之源極/汲極區 D2。在第一源極/汲極區 D1 和第二源極/汲極區 D2 之間配置一個通道區 ka。在通道區 ka 和源極/汲極區 D1, D2 之間的界面形成 p-n-界面 U'。電容器  $S_{p'}$  之平行於表面之橫切面基本上是圓形的。電容器  $S_{p'}$  之橫切面之直徑大約是 600 nm。x-軸 x 垂直於  $y$ -軸  $y'$  而延伸且在表面中。p-n-界面之平行於 x-軸 x 之大小大約是 250 nm。第一源極/汲極區 D1 之平行於  $y$ -軸  $y'$  之大小大約是 250 nm。第二源極/汲極區 D2 之平行於  $y$ -軸  $y'$  之大小大約是 250 nm。通道區 ka 之平行於  $y$ -軸  $y'$  之大小大約是 250 nm。在表面之區域中在電晶體和電容器  $S_{p'}$  之外部存在一種大約 250 nm 厚之隔離結構 I。

## 五、發明說明( )

在第三基體之表面上之投影之間的角度略大於第一實施例中之角度 $\psi$ 。第7圖中顯示了y-軸Y。

利用光技術用之機械以一預定之方位來施加光罩M2。第7圖顯示光罩M2之八角形之圖樣。利用所示之光罩M2相對於晶體柵格之方位關係而在第二晶圓W2上施加光罩M2。

上述角度可在 $(\tan^{-1} c/a)$ 和 $(180^\circ - \tan^{-1} c/a)$ 之間變化。

記憶體電容器之大小，p-n-接面以及相對應之角度可依各別需要而調整。

## 符號之說明

- 1.....基體
- d, d1, d2.....缺陷平面
- D1, D2, ka.....區域
- G1, G2, G1', G2'.....邊界線
- B1, B2, B1', B2'.....區域
- Ü, Ü'.....p-n-接面
- Sp, Sp'.....記憶體電容器
- W1, W2.....晶圓
- F, F'.....標記
- M1, M2.....遮罩
- S1, S2.....單胞配置
- S.....表面

## 六、申請專利範圍

第 88111169 號「積體電路配置及其製造方法以及具有複數個積體電路配置之晶圓」專利案 (89年12月修正)

1. 一種積體電路配置，其特徵為：

- 其是配置在基體 (1) 中，基體 (1) 具有晶體結構，一些缺陷至少以區段方式而延伸於缺陷平面 (d) 中，
- 具有一種配置在基體 (1) 中之結構，上述缺陷可鄰接於此結構，
- 一種由第一導電型式所摻雜之第一區 (D1) 鄰接於上述結構，
- 一種由第二導電型式 (其與第一導電型式相反) 所摻雜之第二區 (ka) 鄰接於第一區 (D1)，
- 第一區 (D1) 和第二區 (ka) 之間的界面形成一種 p-n- 界面 ( $\ddot{U}'$ )，
- 每一與上述結構及 p-n- 界面 ( $\ddot{U}'$ ) 相交或相接觸之直線會與缺陷平面 (d) 相交。

2. 如申請專利範圍第 1 項之電路配置，其中

- 第一邊界線 (G1') 是與上述結構在基體 (1) 之表面上之投影以及 p-n- 界面 ( $\ddot{U}'$ ) 在表面上之投影相接觸，但不相交，且第一邊界線 (G1') 是與上述結構之投影及 p-n- 界面 ( $\ddot{U}'$ ) 之投影之間的連接線相交，
- 第二邊界線 (G2') (其與第一邊界線 (G1') 相交於交叉點 (p)) 是與上述結構之投影及 p-n- 界面 ( $\ddot{U}'$ ) 之投影相接觸，但不相交，且第二邊界線 (G2') 是與此結構之投影及 p-n- 界面 ( $\ddot{U}'$ ) 之投影之間的連接線相交，
- 第一邊界線 (G1') 和第二邊界線 (G2') 鄰接於二個區

89年12月14日修正(第三次編定)

## 六、申請專利範圍

域 (B1', B2'), 上述結構及 p-n-接面 ( $\ddot{U}'$ ) 配置於此二個區域 (B1', B2') 中,

- 缺陷平面 (d) 在表面上之投影是一直線且在上述二個區域 (B1', B2') 外部以及經由交叉點 (P) 而延伸。

3. 如申請專利範圍第 2 項之電路配置, 其中

- x-軸 (x) 和垂直於 x-軸 (x) 之 y-軸 (y) 是位於表面中且在交叉點 (P) 相交,
- 此電路配置之組件在表面上沿著各條線 (其平行於 y-軸 (y) 或 x-軸 (x) 而延伸) 在週期性重複之距離中互相配置著,
- 上述結構和 p-n-接面 ( $\ddot{U}'$ ) 是組件之一部份,
- p-n-接面 ( $\ddot{U}'$ ) 和結構是沿著 y-軸 (y) 而配置,
- 須形成此種結構及 p-n-接面 ( $\ddot{U}'$ ), 使 y-軸 (y) 在其中點將二個區域 (B1', B2') 劃分,
- 缺陷平面 (d) 之投影是由 y-軸 (y) 旋轉一個角度所造成, 此角度是介於  $\tan^{-1} c/a$  和  $(180^\circ - (\tan^{-1} c/a))$  之間, 其中 c 是第一邊界線 (G1') 之一部份之在 x-軸 (x) 上之投影之長度, 此部份之起點和終點是第一邊界線 (G1') 在與上述結構之投影或 p-n-接面 ( $\ddot{U}'$ ) 之投影相接觸時之點, 而 a 是第一邊界線 (G1') 之此一部份之在 y-軸 (y) 上之投影之長度。

4. 如申請專利範圍第 3 項之電路配置, 其中

- 其是一種 DRAM 單胞配置,
- 上述各組件是記憶體電容器 (Sp') 及電晶體,

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 六、申請專利範圍

- 上述結構是第一電容器 ( $S_{p'}$ ),
  - 電容器 ( $S_{p'}$ ) 形成一對,
  - 在第一電容器 ( $S_{p'}$ ) 和第二電容器 ( $S_{p'}$ ) 它們形成一對) 之間配置第一平面式電晶體及第二平面式電晶體,
  - 第一區 ( $D_1$ ) 作為第一電晶體之第一源極 / 汲極區, 其是與第一電容器 ( $S_{p'}$ ) 相連接,
  - 第二電晶體具有另一個第一區 ( $D_1$ ), 其是作為第二電晶體之第一源極 / 汲極區且是與第二電容器 ( $S_{p'}$ ) 相連接,
  - 第二區 ( $k_a$ ) 作為第一電晶體之通道區,
  - 在此二個電晶體之通道區 ( $k_a$ ) 之間配置此二個電晶體之共同之第二源極 / 汲極區 ( $D_2$ ),
  - p-n-接面 ( $\bar{U}'$ ) 在基體 (1) 表面上之投影具有一種平行於 x-軸 (x) 之邊緣,
  - p-n-接面 ( $\bar{U}'$ ) 之投影不會超過一個區域, 此區域中存在著一對電容器 ( $S_{p'}$ ) 之間所連成之連接線,
  - p-n-接面 ( $\bar{U}'$ ) 之長度是 c,
  - 介於 p-n-接面 ( $\bar{U}'$ ) 和第一電容器 ( $S_{p'}$ ) 之間平行於 y-軸 (y) 之距離是 a。
5. 如申請專利範圍第 1, 2, 3 或 4 項之電路配置, 其中
- 基體 (1) 包含單晶矽,
  - 缺陷藉助於  $\langle -1, 1, z \rangle$ -Burger-向量來描述, 此種向量位於缺陷平面 (d) 中, 其中 z 是整數。
6. 一種具有一些種體電路配置之晶圓, 其特徵為:

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

- 晶圓包含一種基體，其是一種半導體晶圓且具有一種標記 (F)，標記 (F) 表示 y-軸 (y) 之外形，
- 基體具有一種晶體結構，其中缺陷至少以區段方式而在缺陷平面 (d1) 中延伸，
- 此電路配置是配置在基體中，
- 這些電路配置分別具有：
  - a) 一些組件，其沿著各條線 (這些線平行於 y-軸 (y) 或平行於與 y-軸 (y) 垂直之 x-軸 (x) 而延伸) 而以週期性重複之距離互相配置著，
  - b) 一種配置在基體中之結構以作為組件之一，
  - c) 一種 p-n-接面以作為另一種組件之一部份，p-n-接面是由第一摻雜區 (其鄰接於上述結構) 以及第二摻雜區所形成，其中
    - 第一邊界線是與上述結構在基體表面上之投影以及 p-n-接面在表面上之投影相接觸，但不相交，且第一邊界線是與此結構之投影及 p-n-接面之投影之間的連接線相交，
    - 第二邊界線 (其與第一邊界線相交於交叉點) 是與上述結構之投影及 p-n-接面之投影相接觸，但不相交，且第二邊界線是與此結構之投影及 p-n-接面之投影之間的連接線相交，
    - 第一邊界線和第二邊界線是與二個區域相鄰接，上述結構及 p-n-接面是配置在此二個區域中，
- p-n-接面和此結構是沿著 y-軸 (y) 而配置，

## 六、申請專利範圍

- x-軸和 y-軸位於表面中且在交叉點相交，
  - 須形成此結構及 p-n-接面，使 y-軸在其中點將上述二個區域劃分，
  - 缺陷平面 (d1) 在表面上之投影是一直線且是由 y-軸 (y) 旋轉一個角度所造成，此角度介於  $\tan^{-1} c/a$  和  $(180^\circ - \tan^{-1} c/a)$  之間，其中 C 是第一邊界線之一部份 (其起點和終點是第一邊界線在與上述結構或 p-n-接面相接觸時之點) 在 x-軸上之投影之長度且 a 是第一邊界線之此一部份在 y-軸 (y) 上之投影之長度。
7. 一種具有一些積體電路配置之晶圓，其中
- 晶圓 (W2) 包含一個基體，基體是一種半導體晶圓且具有一種標示 (F')，標示 (F') 是表示缺陷平面 (d2) 之外形，
  - 基體具有一種晶體結構，其中缺陷至少以區段方式而在缺陷平面 (d2) 中延伸，
  - 此電路配置是配置在基體中，
  - 這些電路配置分別具有：
    - a) 一些組件，其沿著各條線 (這些線平行於 y-軸 (y) 或平行於與 y-軸 (y) 垂直之 x-軸 (x) 而延伸) 而以週期性重複之距離互相配置著，
    - b) 一種配置在基體中之結構以作為組件之一，
    - c) 一種 p-n-接面以作為另一種組件之一部份，p-n-接面是由第一摻雜區 (其鄰接於上述結構) 以及第二摻

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

## 六、申請專利範圍

雜區所形成，其中

- 第一邊界線是與上述結構在基體表面上之投影以及 p-n-接面在表面上之投影相接觸，但不相交，且第一邊界線是與此結構之投影及 p-n-接面之投影之間的連接線相交，
  - 第二邊界線（其與第一邊界線相交於交叉點）是與上述結構之投影及 p-n-接面之投影相接觸，但不相交，且第二邊界線是與此結構之投影及 p-n-接面之投影之間的連接線相交，
  - 第一邊界線和第二邊界線是與二個區域相鄰接，上述結構及 p-n-接面是配置在此二個區域中，
    - p-n-接面和此結構是沿著 y-軸 (y) 而配置，
    - x-軸和 y-軸位於表面中且在交叉點相交，
    - 須形成此結構及 p-n-接面，使 y-軸在其中點將上述二個區域劃分，
    - 缺陷平面 (d2) 在表面上之投影是一直線且是由 y-軸 (y) 旋轉一個角度所造成，此角度介於  $\tan^{-1} c/a$  和  $(180^\circ - \tan^{-1} c/a)$  之間，其中 C 是第一邊界線之一部份（其起點和終點是第一邊界線在與上述結構或 p-n-接面相接觸時之點）在 x-軸上之投影之長度且 a 是第一邊界線之此一部份在 y-軸 (y) 上之投影之長度。
8. 一種積體電路配置之製造方法，其特徵為：
- 此電路配置是產生於基體中，基體具有一種標示

## 六、申請專利範圍

(F')，此標示(F')表示缺陷平面(d2)之外形，基體具有一種晶體結構，此缺陷至少以區段方式而在缺陷平面(d2)中延伸，

- 基體之表面垂直於缺陷平面(d2)，
- 此電路配置藉助於遮罩(M2)而產生在表面上，其屬於一種佈局(layout)，此種佈局設有此電路配置之沿著各條線(其平行於x-軸或平行於與x-軸相垂直之y-軸(y)而延伸)而在週期性重複之距離中互相配置之各組件，其中至少一個組件是結構，由於各組件之產生而產生了缺陷其中p-n-接面是另一種組件之一部份，p-n-接面是由第一摻雜區(其與上述結構相鄰接)和第二摻雜區所形成，
- 光罩(M2)是相對於基體而在基體之標示(F')之輔助下利用光技術用之機械來調整，其中此佈局和光罩是相對於缺陷平面(d2)在表面上之投影而旋轉，使此佈局之y-軸(y)和此基體之缺陷平面(d2)之投影形成一個角度，因此有一條直線(其是與上述結構及p-n-接面相接觸，但不相交，且此條直線是與此結構和p-n-接面之間的連接線相交)實質上是平行於缺陷平面(d2)之投影而延伸。

9. 一種積體電路配置之製造方法，其特徵為：

- 此電路配置是產生於基體中，基體具有一種標示(F)，此標示(F)表示U-軸之外形，基體具有一種晶體結構，缺陷至少以區段方式而在缺陷平面(d1)中延

## 六、申請專利範圍

伸，缺陷平面(d1)垂直於基體之表面，其中U-軸和此缺陷平面(d1)之在表面上之投影(其是一種直線)形成一個角度，

- 此電路配置藉助於遮罩(M1)而產生，遮罩屬於一種佈局(layout)，此種佈局設有此電路配置之沿著各條線(其平行於y-軸(y)或平行於與y-軸(y)相垂直之x-軸而延伸)而在週期性重複之距離中互相配置之各組件，其中至少一個組件是一種配置在基體中之結構，由於各組件之產生而產生了缺陷，其中p-n-接面是另一種組件之一部份，p-n-接面是由第一摻雜區(其與上述結構相鄰接)和第二摻雜區所形成，且此條直線(其是與上述結構及p-n-接面相接觸但不相交，且此條直線是與此結構及p-n-接面之間的連接線相交)與y-軸(y)形成一個角度，
- 光罩(M2)是相對於基體而在基體之標示(F)之輔助下利用光技術用之機械來調整，其中此佈局之y-軸(y)以及遮罩(M1)和此基體之U-軸是相一致的。

10. 如申請專利範圍第8項之製造方法，其中多個相同之電路配置(S1, S2)產生於基體上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂