

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月13日(13.08.2020)



(10) 国際公開番号

WO 2020/162011 A1

(51) 国際特許分類:
H01L 31/02 (2006.01) *H01S 5/183* (2006.01)
H01S 5/022 (2006.01)

(21) 国際出願番号: PCT/JP2019/047233

(22) 国際出願日: 2019年12月3日(03.12.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2019-021032 2019年2月7日(07.02.2019) JP

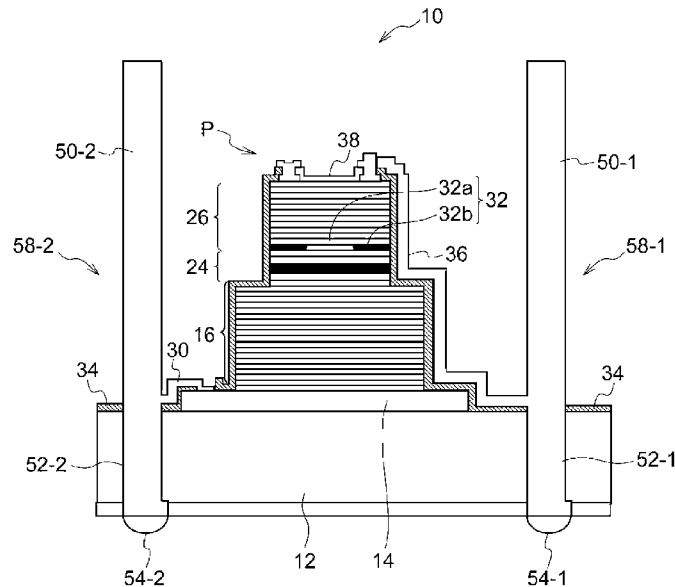
(71) 出願人: 富士ゼロックス株式会社(FUJI XEROX CO., LTD.) [JP/JP]; 〒1070052 東京都港区赤坂九丁目7番3号 Tokyo (JP).

(72) 発明者: 稲田 智志(INADA Satoshi); 〒2430494 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内 Kanagawa (JP). 大野 健一(ONO Kenichi); 〒2430494 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内 Kanagawa (JP). 皆見 健史(MINAMIRU Takeshi); 〒2430494 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内 Kanagawa (JP). 村上 朱実(MURAKAMI Akemi); 〒2430494 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内 Kanagawa (JP). 早川 純一郎(HAYAKAWA Junichiro); 〒2430494 神奈川県海老名市本郷2274番地 富士ゼロックス株式会社内 Kanagawa (JP). 大塚 勤(OTSUKA Tsutomu); 〒2208668 神奈川

(54) **Title:** OPTICAL SEMICONDUCTOR ELEMENT, OPTICAL SEMICONDUCTOR DEVICE, OPTICAL TRANSMISSION SYSTEM, AND METHOD FOR MANUFACTURING OPTICAL SEMICONDUCTOR DEVICE

(54) 発明の名称: 光半導体素子、光半導体装置、光伝送システム、および光半導体装置の製造方法

[図1]



(57) **Abstract:** This optical semiconductor element is provided with: a semi-insulating semiconductor substrate; a columnar body which is formed on a front surface side of the semiconductor substrate and emits or receives light from the front surface side; a front surface-side electrode connected to the columnar body; a back surface-side electrode formed on a back surface side of the semiconductor substrate; and an electrically conductive member which penetrates through



WO 2020/162011 A1



県横浜市西区みなとみらい六丁目 1 番 富士
ゼロックス株式会社内 Kanagawa (JP).

(74) 代理人:特許業務法人航栄特許事務所(KOH-EI
PATENT FIRM, P.C.); 〒1050003 東京都港区
西新橋一丁目 7 番 1 3 号 虎ノ門イースト
ビルディング9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

the semiconductor substrate and connects the front surface-side electrode and the back surface-side electrode, and which includes a protruding portion protruding on the front surface side of the semiconductor substrate.

(57) 要約: 光半導体素子は、半絶縁性の半導体基板と、半導体基板の表面側に形成され、表面側から光を出射または受光する柱状体と、柱状体と接続された表面側の電極と、半導体基板の裏面側に形成された裏面側の電極と、半導体基板を貫通して表面側の電極と裏面側の電極を接続するとともに、半導体基板の表面側に突出した突出部を有する導電部材と、を備える。

明 細 書

発明の名称：

光半導体素子、光半導体装置、光伝送システム、および光半導体装置の製造方法

技術分野

[0001] 本発明は、光半導体素子、光半導体装置、光伝送システム、および光半導体装置の製造方法に関する。

背景技術

[0002] 特許文献1には、基板上にメサ構造の面発光型半導体レーザ素子を含む半導体レーザ装置であって、基板上に少なくとも1つの静電破壊防止用の突出部を含み、該少なくとも1つの突出部は、基準電位に接続される導電経路を有し、かつ、面発光型半導体レーザ素子の周囲に配置されている、半導体レーザ装置が開示されている。

先行技術文献

特許文献

[0003] 特許文献1：日本国特開2007-059673号公報

発明の概要

発明が解決しようとする課題

[0004] 本開示の非限定的実施形態の一態様は、外部と接続した場合に寄生素子を低減しつつ表面を保護することが可能な、表面から光を出射または受光する光半導体素子、光半導体装置、光伝送システム、および光半導体装置の製造方法を提供することに関する。

課題を解決するための手段

[0005] [1] 本開示の一態様によれば、半絶縁性の半導体基板と、前記半導体基板の表面側に形成され、前記表面側から光を出射または受光する柱状体と、前記柱状体と接続された表面側の電極と、前記半導体基板の裏面側に形成さ

れた裏面側の電極と、前記半導体基板を貫通して前記表面側の電極と前記裏面側の電極を接続するとともに、前記半導体基板の表面側に突出した突出部を有する導電部材と、を備える光半導体素子が提供される。

[0006] [2] [1] に係る光半導体素子において、前記突出部は前記柱状体の上面に達する高さを有していてもよい。

[0007] [3] [1] に係る光半導体素子において、前記突出部は前記柱状体の上面を越える高さを有していてもよい。

[0008] [4] [1] に係る光半導体素子において、前記突出部は前記表面側の電極を越える高さを有していてもよい。

[0009] [5] [1] から [4] のいずれかに係る光半導体素子において、前記導電部材と前記表面側の電極とは、前記半導体基板の前記柱状体が形成された側の面で接続されていてもよい。

[0010] [6] [1] から [5] のいずれかに係る光半導体素子は、前記裏面側の電極に形成されたバンプをさらに備えていてもよい。

[0011] [7] [1] から [6] のいずれかに係る光半導体素子において、前記表面側の電極は平面視で閉形状の電極を含み、前記突出部は平面視で前記閉形状の電極の少なくとも一部と接続されていてもよい。

[0012] [8] 本開示の他の一態様によれば、[1] から [7] のいずれかの光半導体素子と、前記光半導体素子に光結合される光学部材と、を備え、前記光学部材は、前記突出部によって前記柱状体との位置関係が規定される光半導体装置が提供される。

[0013] [9] [8] に係る光半導体装置において、前記光半導体素子が発光素子であり、前記光学部材が前記光半導体素子から出射された光を外部に拡散する光拡散部材であってもよい。

[0014] [10] 本開示の他の一態様によれば、[8] に係る光半導体装置と、前記光半導体素子から出射された光または前記光半導体素子で受光される光を伝送する前記光学部材としての光伝送路と、を備える光伝送システムが提供される。

[0015] [11] 本開示の他の一態様によれば、半導体基板の表面に前記表面側から光を出射または受光する柱状体および前記柱状体に接続される配線を形成することと、前記半導体基板の表面にレジストを塗布することと、前記レジストおよび前記配線を通して前記半導体基板の裏面に至らない深さの開口部を形成することと、前記半導体基板の表面に導電層を形成して前記開口部を前記導電層で埋めることと、前記レジスト上の前記導電層を研削することと、前記半導体基板の裏面を研削して前記開口部を露出させることと、を含む光半導体素子の製造方法が提供される。

[0016] [12] [11] に係る光半導体素子の製造方法において、前記柱状体および前記柱状体に接続される配線を形成することは、前記配線の一部に閉形状の配線を形成するように前記柱状体および前記柱状体に接続される配線を形成することを含んでいてもよく、前記開口部を形成することは、平面視で前記閉形状の配線の少なくとも一部と前記開口部の一部とが接続されるようにして前記開口部を形成することを含んでいてもよい。

[0017] [13] [11] または [12] に係る光半導体素子の製造方法は、前記半導体基板の裏面に露出する前記導電層に接続されるバンプを形成することをさらに含んでいてもよい。

発明の効果

[0018] [1]、[8]、[10] および [11] によれば、表面から光を出射または受光する光半導体素子において、外部と接続した場合に寄生素子を低減しつつ表面を保護することが可能な光半導体素子、光半導体装置、光伝送システム、および光半導体装置の製造方法を提供することができる。

[0019] [2]、[3] および [4] によれば、光半導体素子の用途等に応じて、突出部の高さを適切に調整することができる。

[0020] [5] によれば、導電部材と表面側の電極とが接続されていない場合と比較して、導電部材と電極とを同電位にできる。

[0021] [6] によれば、裏面側の電極に形成されたバンプを備えない場合と比較して、光半導体素子をフリップチップ実装することができる。

- [0022] [7] によれば、突出部が接続される電極が平面視で開形状の場合と比較して、配線接続における不具合の少ない光半導体素子を実現できる。
- [0023] [9] によれば、光半導体素子から出射された光を外部に拡散する光拡散部材を備えない場合と比較して、光の出射角度を拡大することができる。
- [0024] [12] によれば、配線の一部に開形状の配線を形成するようにして柱状体および柱状体に接続される配線を形成し、開形状の配線の少なくとも一部と開口部の一部とが接続されるようにして開口部を形成する場合と比較して、製造工程における位置合わせマージンを増加させることができる。
- [0025] [13] によれば、半導体基板の裏面に露出する導電層に接続されるバンパを形成することを含まない場合と比較して、フリップチップ実装型の光半導体素子を製造することができる。

図面の簡単な説明

- [0026] [図1]図1は、第1の例示的实施形態に係る光半導体素子の構成の一例を示す断面図である。
- [図2]図2は、第1の例示的实施形態に係る光半導体素子の製造方法の一例を説明する断面図の一部である。
- [図3]図3は、第1の例示的实施形態に係る光半導体素子の製造方法の一例を説明する断面図の一部である。
- [図4]図4は、第1の例示的实施形態に係る光半導体素子の電極パッドを含む配線を示す平面図である。
- [図5]図5は、第1の例示的实施形態に係る光半導体素子の応用例を示す図である。
- [図6]図6は、第2の例示的实施形態に係る光半導体素子の構成の一例を示す断面図である。
- [図7]図7は、第3の例示的实施形態に係る光半導体装置、および光伝送システムを示す図である。

発明を実施するための形態

- [0027] 以下、図面を参照し、本発明の例示的实施形態について詳細に説明する。

なお、以下の説明では、本発明に係る光半導体素子として、面発光型半導体レーザ（VCSEL: Vertical Cavity Surface Emitting Laser）を例示して説明する。

[0028] [第1の例示的实施形態]

図1から図4を参照して、本例示的实施形態に係る光半導体素子、および光半導体素子の製造方法について説明する。

[0029] 図1を参照して、本例示的实施形態に係る光半導体素子10の構成の一例について説明する。図1に示すように、光半導体素子10は、半絶縁性GaAs（ガリウムヒ素）の基板12上に形成されたn型GaAsのコンタクト層14、下部DBR（Distributed Bragg Reflector）16、活性領域24、酸化狭窄層32、および上部DBR26を含む。光半導体素子10では、コンタクト層14、下部DBR16、活性領域24、酸化狭窄層32、および上部DBR26の各構成が柱状体（以下、「ポストP」）を形成し、ポストPがレーザ部分を構成している。

[0030] ポストPを含む半導体層の周囲は、無機絶縁膜としての層間絶縁膜34が形成されている。層間絶縁膜34は、ポストPの側面から基板12の表面まで延伸されている。本例示的实施形態に係る層間絶縁膜34は、一例として、シリコン窒化膜（SiN膜）で形成されている。層間絶縁膜34の材料はシリコン窒化膜に限らず、例えば、シリコン酸化膜（SiO₂膜）、あるいはシリコン酸窒化膜（SiON膜）等であてもよい。

[0031] 図1に示すように、層間絶縁膜34上にはp側電極配線36が設けられている。p側電極配線36の一端側は、上部DBR26の最上層に形成されたコンタクト層（図示省略）に接続され、コンタクト層との間でオーミック性接触を形成している。一方、p側電極配線36の他端側はポストPの側面から基板12の表面まで延伸され、電極パッド（図示省略）を構成している。p側電極配線36は、例えば、Ti（チタン）／Au（金）の積層膜により形成される。図1に示すように、本例示的实施形態では、p側電極配線36が、後述する突出部50-1に接続されている。

[0032] 同様に、層間絶縁膜34の開口部を介してn側電極配線30が設けられている。n側電極配線30の一端側は、コンタクト層14に接続され、コンタクト層14との間でオーミック性接触を形成している。一方、n側電極配線30の他端側は基板12の表面まで延伸され、電極パッド（図示省略）を形成している。n側電極配線30は、例えば、AuGe/Ni/Auの積層膜を着膜して形成される。図1に示すように、本実施の形態では、n側電極配線30が後述する突出部50-2に接続されている。

[0033] 基板12上に形成されたコンタクト層14は、一例としてSiがドーパされたGaAs層によって形成されている。コンタクト層14の一端はn型の下部DBR16に接続され、他端はn側電極配線30に接続されている。すなわち、コンタクト層14は、下部DBR16とn側電極配線30との間に介在し、ポストPで構成されるレーザ部分に負電位を付与するよう機能する。

[0034] コンタクト層14上に形成されたn型の下部DBR16は、屈折率の互いに異なる2つの半導体層を交互に繰り返し積層して構成される多層膜反射鏡である。上記2つの半導体層は、光半導体素子10の発振波長を λ 、媒質（半導体層）の屈折率を n とした場合に、それぞれ $0.25\lambda/n$ の膜厚を有する。具体的には、下部DBR16は、一例として $Al_{0.90}Ga_{0.1}As$ によるn型の低屈折率層と、 $Al_{0.15}Ga_{0.85}As$ によるn型の高屈折率層と、を交互に繰り返し積層することにより構成されている。

[0035] 本例示的实施形態に係る活性領域24は、例えば、下部スペーサ層、量子井戸活性層、および上部スペーサ層を含んで構成されてもよい（図示省略）。本例示的实施形態に係る量子井戸活性層は、例えば、4層の $Al_{0.3}Ga_{0.7}As$ からなる障壁層と、その間に設けられた3層のGaAsからなる量子井戸層と、で構成されてもよい。なお、下部スペーサ層及び上部スペーサ層は、各々量子井戸活性層と下部DBR16との間、量子井戸活性層と上部DBR26との間に配置される。これにより、下部スペーサ層及び上部スペーサ層は、共振器の長さを調整する機能とともに、キャリアを閉じ込めるための

クラッド層としての機能も有している。

[0036] 活性領域 24 上に設けられた p 型の酸化狭窄層 32 は、電流狭窄層であり、非酸化領域 32a および酸化領域 32b を含んで構成されている。p 側電極配線 36 から n 側電極配線 30 に向かって流れる電流は、非酸化領域 32a によって絞られる。

[0037] 酸化狭窄層 32 上に形成された上部 DBR 26 は、それぞれ $0.25\lambda/n$ の膜厚を有し且つ屈折率の互いに異なる 2 つの半導体層を交互に繰り返し積層して構成される多層膜反射鏡である。具体的には、上部 DBR 26 は、一例として $\text{Al}_{0.90}\text{Ga}_{0.1}\text{As}$ による p 型の低屈折率層と、 $\text{Al}_{0.15}\text{Ga}_{0.85}\text{As}$ による p 型の高屈折率層と、を交互に繰り返し積層することにより構成されている。

[0038] 本例示的实施形態では、先述したように上部 DBR 26 の最上層にコンタクト層（図示省略）が設けられており、コンタクト層上には、光の出射面を保護する出射面保護層 38 が設けられている。出射面保護層 38 は、一例としてシリコン窒化膜で形成される。

[0039] 図 1 に示すように、光半導体素子 10 は、さらにビア 52-1、52-2（以下、総称する場合は「ビア 52」）、バンプ 54-1、54-2（以下、総称する場合は「バンプ 54」）を備えている。バンプ 54 は、例えば光半導体素子 10 をプリント基板等にフリップチップ実装する場合に用いられる。ビア 52-1、52-2 は、各々突出部 50-1、50-2（以下、総称する場合は「突出部 50」）に接続されている。突出部 50 は、後述するようにアライメントマークとしての機能、製造工程における素子表面の保護機能（接触ダメージの予防機能）等の機能を有する。突出部 50 の、光半導体素子 10 の表面からの高さは、表面電極の保護を勘案し、最低限、p 側電極配線あるいは n 側電極配線の高さを越えるように構成されている。

[0040] ビア 52 と突出部 50 とは、一例として金属により一体として形成されたもので両者に明確な境界線はない。以下では便宜的に、基板 12 の表面から裏面にかけて形成された金属部分をビア 52 といい、基板 12 の表面から突

出した金属部分を突出部50という。ビア52-1と突出部50-1とを合わせた金属部分が導電部材58-1であり、ビア52-2と突出部50-2とを合わせた金属部分が導電部材58-2（以下、総称する場合は「導電部材58」）である。

[0041] ここで、関連技術に係る発光素子は、出射光の波長帯域が基板に吸収される波長帯域である場合は、通常、表面出射としていた。この場合、発光素子と外部（プリント基板等）とは、表面電極の場合はワイヤボンディングで接続されていた。また、発光素子を高速で駆動させたい場合は、寄生素子低減のために、基板に貫通電極を形成し裏面にバンプを設けて接続する場合もあった。しかしながら、いずれの方法においても発光素子チップの表面の保護という観点では特別な工夫はなされていない。本例示的实施形態に係る光半導体素子10では、基板に貫通電極を設け裏面でバンプ接続するとともに、表面に貫通電極と連続する（一体化された）突出部50を設けている。このことにより、素子表面から光を出射する光半導体素子において、外部と接続した場合に寄生素子を低減しつつ素子表面が保護される。なお、後述するように本例示的实施形態に係る突出部は、本例示的实施形態に係る製造方法において自動的に形成される。また、関連技術に係る光半導体素子においては、素子の裏面から開口部を形成し表面から埋めていた。これに対し、本例示的实施形態に係る光半導体素子では、表面から開口部を形成し表面から埋める。

[0042] 次に、図2および図3を参照して、光半導体素子10の製造方法について説明する。なお、以下の説明においては、ポストPを含むVCSEL素子がすでに基板70上に形成されているものとする。すなわち、基板70上にはポストPが形成され、さらに絶縁膜72が形成され、絶縁膜72上には配線74が形成されている。また、図2および図3の工程は、通常は複数のVCSEL素子が形成されたウエハ状態で行われるが、ここでは1個の光半導体素子10を示した図を用いて説明する。

[0043] まず、フォトリソグラフィおよびエッチングを用いて、導電部材58を形

成するための開口部 80 を基板 12 の表面側に形成する。そのために、基板 12 の表面側にレジスト 76 を塗布し、レジスト 76 の開口部 80 に対応する位置に開口部 78 を形成する（図 2 の（a））。

[0044] ここで、本例示的实施形態では、図 4 に示すように、配線 74 の開口部 80 に対応する位置に電極パッド 75 が形成されている。配線 74 および電極パッド 75 は、一例として Au 等の金属で形成されている。開口部 80 を形成する際のエッチングで配線金属のエッチングが少なくすむように、本例示的实施形態に係る電極パッド 75 は、図 4 に示すようにリング形状（閉形状）とされている。これは、例えば基板 12 の面上における開口部 80 の位置が若干ずれても、導電部材 58 との接続がなされるようにするためでもある。すなわち、本例示的实施形態では、電極パッド 75 がリング形状であることにより、配線形成における製造上の位置合わせの許容度が、線状の配線（一般に開形状の配線）と比較して向上している。

[0045] 次に、開口部 78 を介したエッチングにより、基板 12 に開口部 80 を形成する（図 2 の（b））。この際のエッチングは、ドライエッチングでもウェットエッチングでもよいが、本例示的实施形態ではドライエッチングを用いている。

[0046] 次に、一例としてスパッタを用いて金属膜 82 を形成する（図 2 の（c））。金属膜 82 は、電極パッド 75 と、以下で説明する導電部材 84 との電氣的接続性を向上させるためのもので、特に電氣的接続性が問題とならない場合等には本工程を省略してもよい。

[0047] 次に、開口部 80 を導電部材 84 で埋め込む（図 2 の（d））。導電部材 84 の材料、形態は特に限定されず、例えば銅による金属メッキ、例えば銀ペーストによる真空印刷によって行う。本例示的实施形態では、一例として銀ペーストを用いて導電部材 84 を形成している。

[0048] 次に、レジスト 76 上に形成された金属膜 82、および導電部材 84 を切削し、開口部 80 内の導電部材 84 を残留させる（図 2 の（e））。残留した導電部材 84 が、図 1 に示す導電部材 58 を構成する。本例示的实施形態

に係る光半導体素子 10 の製造方法では、製造工程の途中で導電部材 58 が形成されるので、後工程のバックグラインド工程や、各工程間のハンドリングにおいて、ポスト P の出射面等が保護される。

[0049] 次に、RIE (Reactive Ion Etching : 反応性イオンエッチング) もしくはウエットエッチングを用いて、レジスト 76 を隔離する (図 2 の (f))。この際、レジスト 76 の一部を残すようにしてもよい。なお、図 2 の (g) 以降ではレジスト 76 を残留させる場合について例示している。

[0050] 次に、基板 12 の表面側に一例としてバックグラインドテープ 86 を貼り付ける (図 2 の (g))、図 2 の (g) は図 2 の (f) に対し上下が反転している)。

[0051] 次に、例えばCMP (Chemical Mechanical Polishing) を用いて基板 12 の裏面を研削し、導電部材 84 を露出させる (図 2 の (h))。図 2 の (h) に示すように、本例示的实施形態では、基板 12 の裏面研削によって導電部材 84 (すなわち図 1 に示すビア 52) が露出する。

[0052] 次に、全面にレジスト 88 を塗布し、フォトリソグラフィを用いて導電部材 84 に対応する位置に開口部 89 を形成する (図 3 の (a))。

[0053] 次に、一例として銀によるペースト 90 を印刷し (図 3 の (b))、その後レジスト 88 の位置までペースト 90 を切削する (図 3 の (c))。

[0054] 次に、一例としてNi (ニッケル) /Auによる金属膜 92 を形成し (図 3 の (d))、その後リフトオフによってレジスト 88 およびレジスト 88 上の金属膜 92 を剥離する (図 3 の (e))。

[0055] 次に、ダイシングテープ 94 を貼り付け (図 3 の (f))、バックグラインドテープ 86 を剥離する (図 3 の (g))。

[0056] 次に、ウエハ状態の複数のVCSEL素子を個片化して、本例示的实施形態に係る光半導体素子 10 が製造される。図 3 の (g) における基板 70、絶縁膜 72、および導電部材 84 の各々が、図 1 に示す基板 12、層間絶縁

膜 3 4、および導電部材 5 8 に相当する。ここで、図 1 に示すバンプ 5 4 は、必要に応じ金属膜 9 2 上に形成する。

[0057] 次に、図 5 を参照して、本例示的实施形態に係る光半導体素子 1 0 の応用形態について説明する。

[0058] 図 5 の (a) は、突出部 5 0 をアライメントマークとして用いた形態である光半導体素子 1 0 A を示している。光半導体素子 1 0 に対し、光半導体素子 1 0 A は、さらに突出部 5 0 A を有している。この突出部 5 0 A をアライメントマークとして用い、例えば光半導体素子 1 0 A の外部に接続する部材とのアライメントが行われる。なお、図 5 の (a) の例では、ビア 5 2 A を用い、基板 1 2 を貫通した導電部材を用いる形態を例示しているが、必ずしも貫通させる必要はなく、基板 1 2 の内部に止まっている形態としてもよい。この場合は、図 2 の (b) に示す開口部 8 0 を、より浅く形成すればよい。

[0059] 図 5 の (b) は、突出部 5 0 を用いて光半導体素子 1 0 の検査を行う形態である。図 1 に示すように、本例示的实施形態に係る光半導体素子 1 0 では、突出部 5 0 が p 側電極配線 3 6、あるいは n 側電極配線 3 0 に接続されているので、図 5 の (b) に示すように突出部 5 0 に例えばテスターの探針（プローブ） 3 0 0 を接触させることによって、光半導体素子 1 0 の検査が行える。つまり、バンプ 5 4 を用いることなく表面側から検査が行われる。なお、この際の光半導体素子 1 0 は、ウエハレベルであってもよいし、個片化されていてもよい。

[0060] [第 2 の例示的实施形態]

図 6 を参照して、第 2 の例示的实施形態に係る光半導体素子 1 0 B について説明する。光半導体素子 1 0 B は、光半導体素子 1 0 において表面にレジスト 5 6 を設けた形態である。従って、光半導体素子 1 0 と同様の構成には同じ符号を付して、詳細な説明を省略する。

[0061] 図 6 に示すように、光半導体素子 1 0 B では、突出部 5 0 の頂部以外の部分がレジスト 5 6 で被覆されている。そのため、光半導体素子 1 0 B によれ

ば、外部と接続した場合に寄生素子を低減しつつ表面が保護され、さらに信頼性の高い光半導体素子が提供される。

[0062] [第3の例示的实施形態]

図7を参照して、第3の例示的实施形態に係る光半導体装置、および光伝送システムについて説明する。

[0063] 図7の(a)に示すように、本例示的实施形態に係る光半導体装置100は、光半導体素子10および光拡散板102を含む。光拡散板102は、光半導体素子10から出射された出射光の出射角を広げる機能を有し、例えば接着剤によって突出部50に固定されている。光半導体装置100は例えば距離計測装置の投光源として、一定の広がりのある均一な光を被計測対象に向けて照射するような用途を有する。光半導体装置100では光拡散板102が突出部50で位置決め(アライメント)される。つまり、例えば光拡散板102に設けた凹部等に突出部50を突き合わせることで、光半導体素子10と光拡散板102との位置関係が自動的に設定される。また、その際、光半導体素子10と光拡散板102の間隔も自動的に定められるので、光半導体装置100の低背化も実現される。換言すれば、光半導体装置100では、光半導体素子10と光拡散板102との間の距離が精度よく調整可能である。なお、光拡散板102は、本発明に係る「光学部材」の一例である。

[0064] 図7の(b)に示すように、本例示的实施形態に係る光伝送システム200は、光半導体素子10および光ファイバ202を含む。光ファイバ202は、光拡散板102と同様の方法で突出部50に固定され、同様の方法でアライメントされる。すなわち、光半導体素子10の出射光の光軸と、光ファイバ202のコアの相対的な位置関係が自動的に設定されるので、光半導体素子10と光ファイバ202との間の結合効率が向上する。換言すれば、光伝送システム200では、光半導体素子10と光ファイバ202との間の結合効率の調整が可能である。ここで、光ファイバ202は、本発明に係る「光学部材」の一例である。

- [0065] なお、上記各例示的实施形態では本発明を発光素子に適用した形態を例示して説明したが、これに限られず受光素子にも適用が可能である。この場合の受光素子も図2および図3で説明した製造方法に準じて製造される。
- [0066] また、上記各例示的实施形態では、導電部材58がp側電極配線36、あるいはn側電極配線30に接続される形態を例示して説明したが、これに限られない。例えば、導電部材58をアライメントマークとして用い、p側電極配線36、あるいはn側電極配線は例えばボンディングワイヤで接続するような場合には、導電部材58と、p側電極配線36およびn側電極配線30とを接続しない形態としてもよい。むしろ、必要に応じ、導電部材58と、p側電極配線36およびn側電極配線30のいずれか一方を接続する形態としてもよい。
- [0067] 以上、図面を参照しながら各種の定時的実施形態について説明したが、本発明はかかる例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された範疇内において、各種の変更例又は修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。また、発明の趣旨を逸脱しない範囲において、上記例示的实施形態における各構成要素を任意に組み合わせてもよい。
- [0068] なお、本出願は、2019年2月7日出願の日本特許出願（特願2019-021032）に基づくものであり、その内容は本出願の中に参照として援用される。

請求の範囲

- [請求項1] 半絶縁性の半導体基板と、
前記半導体基板の表面側に形成され、表面側から光を出射または受光する柱状体と、
前記柱状体と接続された表面側の電極と、
前記半導体基板の裏面側に形成された裏面側の電極と、
前記半導体基板を貫通して前記表面側の電極と前記裏面側の電極を接続するとともに、前記半導体基板の表面側に突出した突出部を有する導電部材と、を備える光半導体素子。
- [請求項2] 前記突出部は前記柱状体の上面に達する高さを有する、請求項1に記載の光半導体素子。
- [請求項3] 前記突出部は前記柱状体の上面を越える高さを有する、請求項1に記載の光半導体素子。
- [請求項4] 前記突出部は前記表面側の電極を越える高さを有する、請求項1に記載の光半導体素子。
- [請求項5] 前記導電部材と前記表面側の電極とは、前記半導体基板の前記柱状体が形成された側の面で接続されている、請求項1から請求項4のいずれか1項に記載の光半導体素子。
- [請求項6] 前記裏面側の電極に形成されたバンプをさらに備える、請求項1から請求項5のいずれか1項に記載の光半導体素子。
- [請求項7] 前記表面側の電極は平面視で閉形状の電極を含み、前記突出部は平面視で前記閉形状の電極の少なくとも一部と接続されている、請求項1から請求項6のいずれか1項に記載の光半導体素子。
- [請求項8] 請求項1から請求項7のいずれか1項に記載の光半導体素子と、
前記光半導体素子に光結合される光学部材と、を備え、
前記光学部材は、前記突出部によって前記柱状体との位置関係が規定される光半導体装置。
- [請求項9] 前記光半導体素子が発光素子であり、

前記光学部材が前記光半導体素子から出射された光を外部に拡散する光拡散部材である、請求項 8 に記載の光半導体装置。

[請求項10]

請求項 8 に記載の光半導体装置と、

前記光半導体素子から出射された光または前記光半導体素子で受光される光を伝送する前記光学部材としての光伝送路と、を備える光伝送システム。

[請求項11]

半導体基板の表面に前記表面側から光を出射または受光する柱状体および前記柱状体に接続される配線を形成することと、

前期半導体基板の表面にレジストを塗布することと、

前記レジストおよび前記配線を通し前記半導体基板の裏面に至らない深さの開口部を形成することと、

前記半導体基板の表面に導電層を形成して前記開口部を前記導電層で埋めることと、

前記レジスト上の前記導電層を研削することと、

前記半導体基板の裏面を研削して前記開口部を露出させることと、を含む光半導体素子の製造方法。

[請求項12]

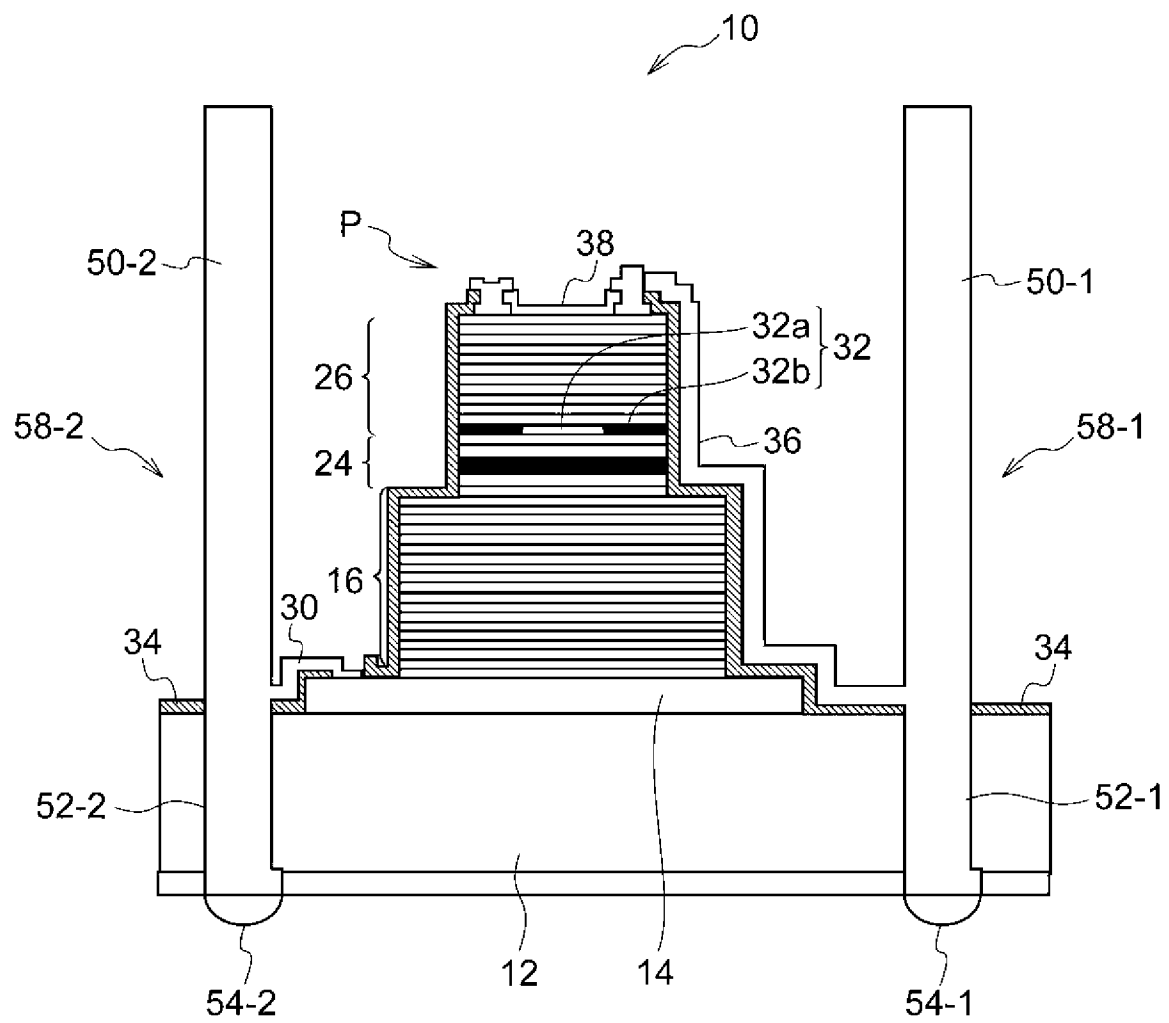
前記柱状体および前記柱状体に接続される配線を形成することは、前記配線の一部に閉形状の配線を形成するように前記柱状体および前記柱状体に接続される配線を形成することを含み、

前記開口部を形成することは、平面視で前記閉形状の配線の少なくとも一部と前記開口部の一部とが接続されるようにして前記開口部を形成することを含む、請求項 11 に記載の光半導体素子の製造方法。

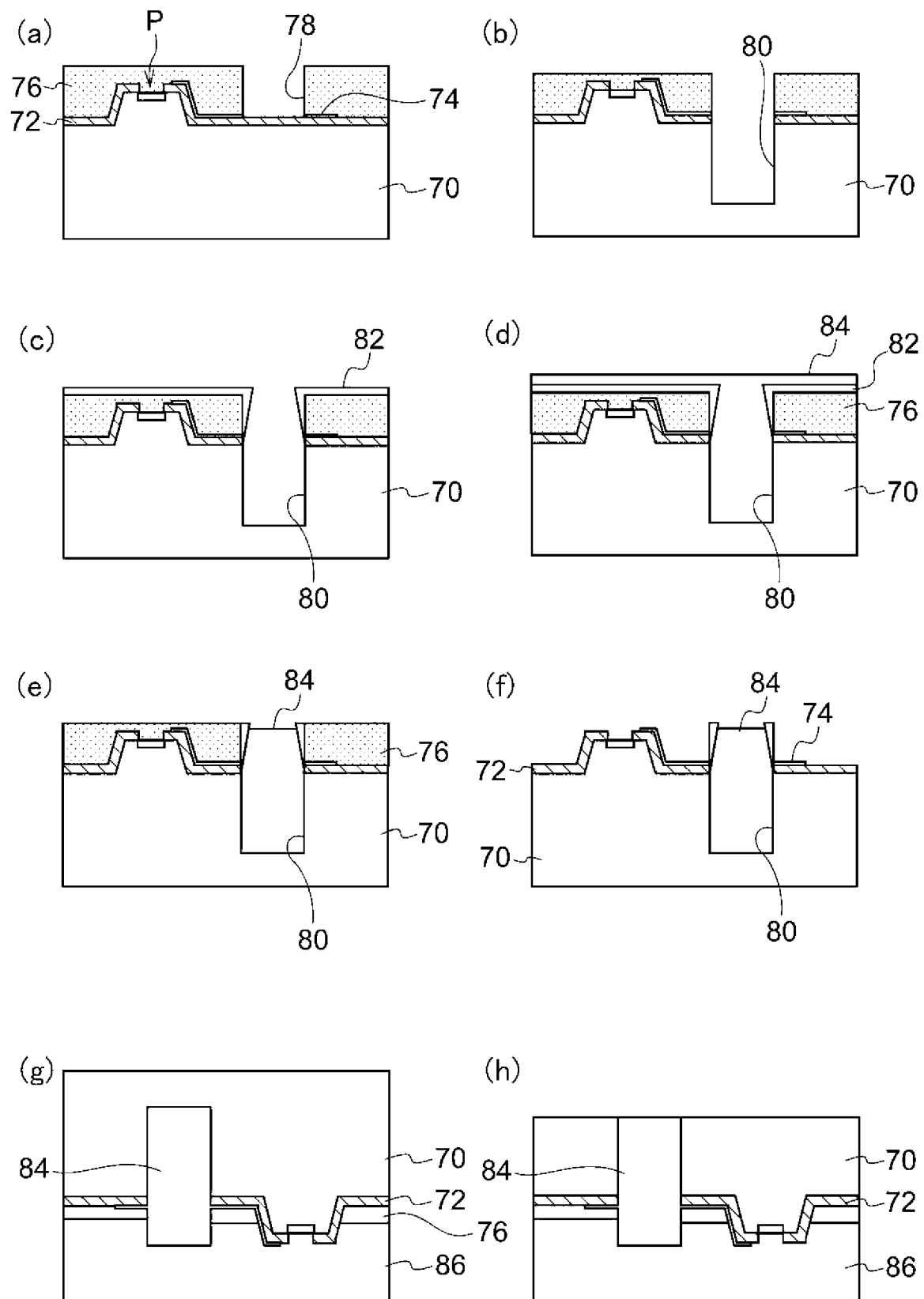
[請求項13]

前記半導体基板の裏面に露出する前記導電層に接続されるバンプを形成することをさらに含む、請求項 11 または請求項 12 に記載の光半導体素子の製造方法。

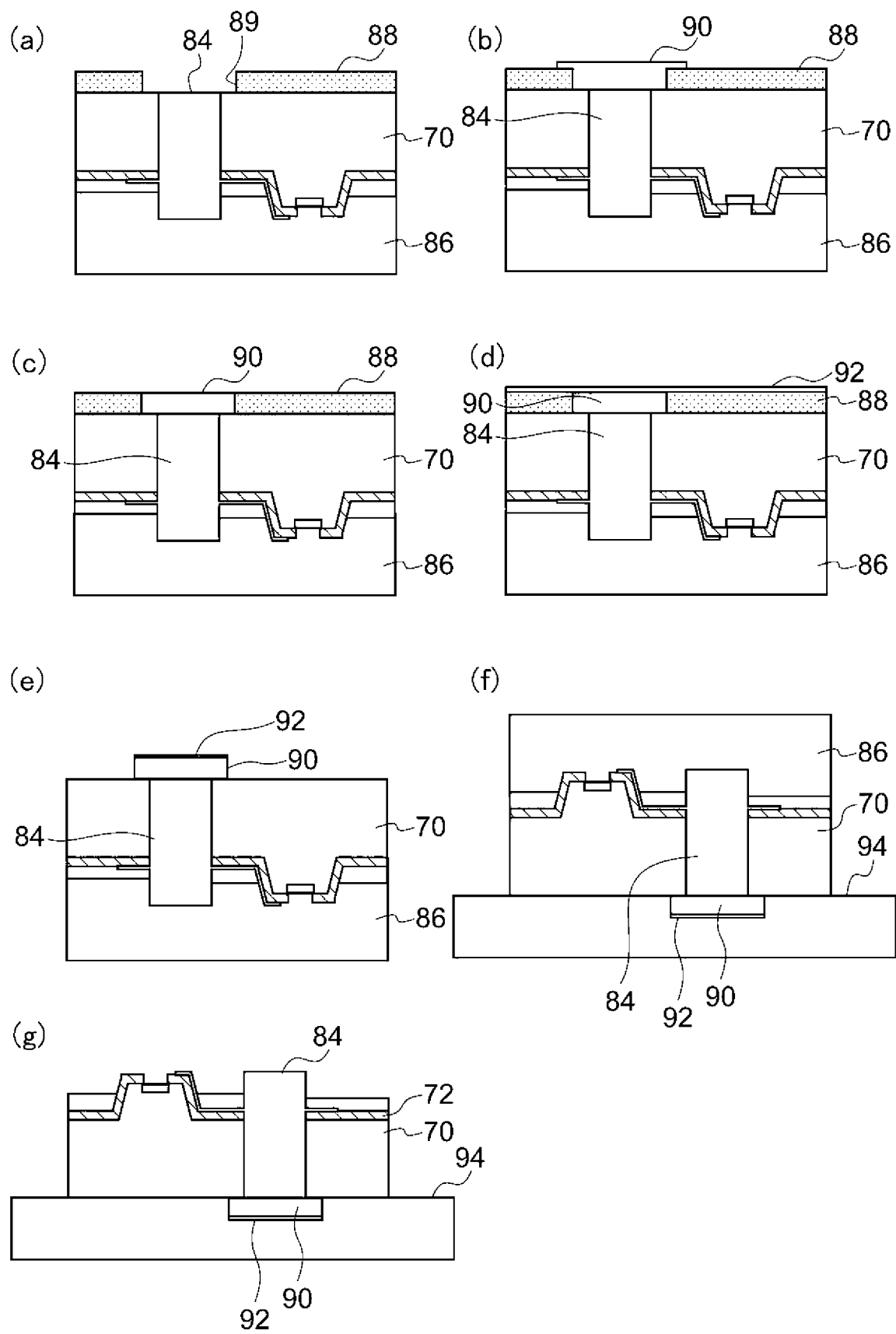
[図1]



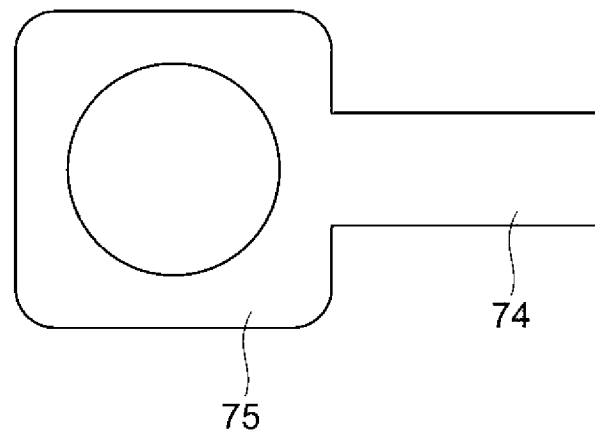
[図2]



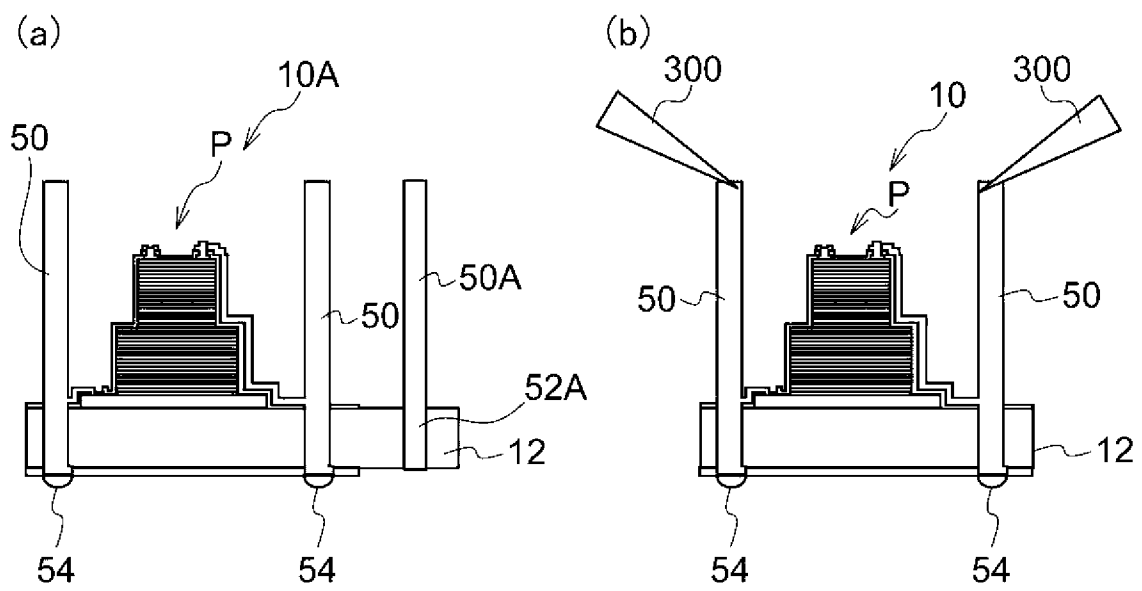
[図3]



[図4]

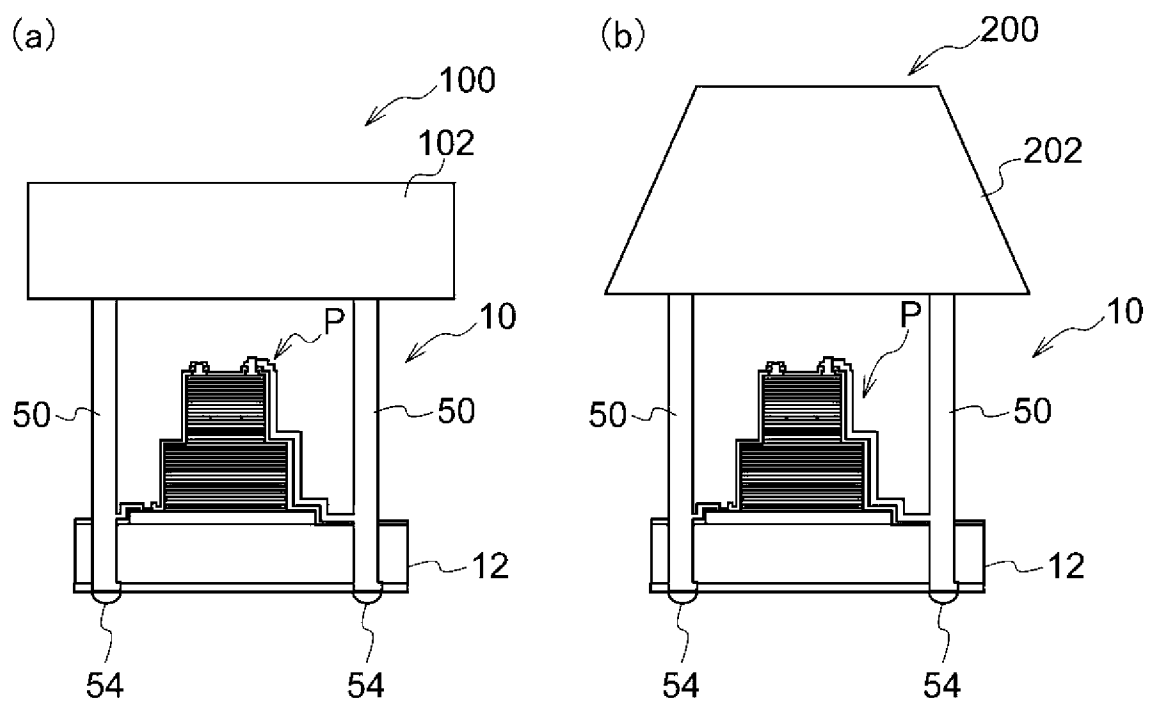


[図5]



A detailed cross-sectional view of a semiconductor device 10B. The device features a central core 14 with a top surface 16. A first layer 24 is formed on the top surface 16, and a second layer 26 is formed on top of the first layer 24. A third layer 30 is formed on the top surface 16, and a fourth layer 36 is formed on top of the third layer 30. A fifth layer 38 is formed on the top surface 16. The device is surrounded by a substrate 50, which has a bottom surface 52 and a top surface 54. The substrate 50 is divided into two main regions by a central vertical channel 12. The regions are labeled 56 and 52. The top surface 54 of the substrate 50 is shown with a series of small, rectangular protrusions or contacts. The device is labeled 10B in the upper right corner.

[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/047233

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L31/02 (2006.01) i, H01S5/022 (2006.01) i, H01S5/183 (2006.01) i
FI: H01S5/183, H01S5/022, H01L31/02 B

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L31/02, H01S5/022, H01S5/183

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2020

Registered utility model specifications of Japan 1996-2020

Published registered utility model applications of Japan 1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2012-119428 A (TOYODA GOSEI CO., LTD.) 21 June 2012, paragraphs [0024]-[0039], fig. 1-4	1-7 8-13
X A	JP 2007-287849 A (NICHIA CHEMICAL INDUSTRIES, LTD.) 01 November 2007, fig. 1A, 1B	1-2, 5-7 3-4, 8-13
A	JP 2010-219342 A (FUJI XEROX CO., LTD.) 30 September 2010, entire text, all drawings	1-13
A	JP 2011-166150 A (LG INNOTEK CO., LTD.) 25 August 2011, entire text, all drawings	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05.02.2020

Date of mailing of the international search report
18.02.2020

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2019/047233

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2012-119428 A	21.06.2012	CN 102544258 A paragraphs [0036]- [0051], fig. 1-4 (Family: none)	
JP 2007-287849 A	01.11.2007	(Family: none)	
JP 2010-219342 A	30.09.2010	(Family: none)	
JP 2011-166150 A	25.08.2011	US 2011/0193123 A1 entire text, all drawings EP 2360748 A2 KR 10-0986560 B1 CN 102157658 A TW 201133942 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 31/02(2006.01)i; H01S 5/022(2006.01)i; H01S 5/183(2006.01)i FI: H01S5/183; H01S5/022; H01L31/02 B		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L31/02; H01S5/022; H01S5/183		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2012-119428 A（豊田合成株式会社）21.06.2012（2012-06-21） [0024]-[0039], 図1-4	1-7
A		8-13
X	JP 2007-287849 A（日亜化学工業株式会社）01.11.2007（2007-11-01） 図1A, 1B	1-2, 5-7
A		3-4, 8-13
A	JP 2010-219342 A（富士ゼロックス株式会社）30.09.2010（2010-09-30） 全文全図	1-13
A	JP 2011-166150 A（エルジー イノテック カンパニー リミテッド）25.08.2011 （2011-08-25） 全文全図	1-13
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 05.02.2020		国際調査報告の発送日 18.02.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 小濱 健太 2K 4009 電話番号 03-3581-1101 内線 3255

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2019/047233

引用文献			公表日	パテントファミリー文献			公表日
JP	2012-119428	A	21.06.2012	CN	102544258	A	
				[0036]-[0051], 図1-4			
JP	2007-287849	A	01.11.2007	(ファミリーなし)			
JP	2010-219342	A	30.09.2010	(ファミリーなし)			
JP	2011-166150	A	25.08.2011	US	2011/0193123	A1	
				全文全図			
				EP	2360748	A2	
				KR	10-0986560	B1	
				CN	102157658	A	
				TW	201133942	A	