



特許協力条約に基づいて公開された国際出願

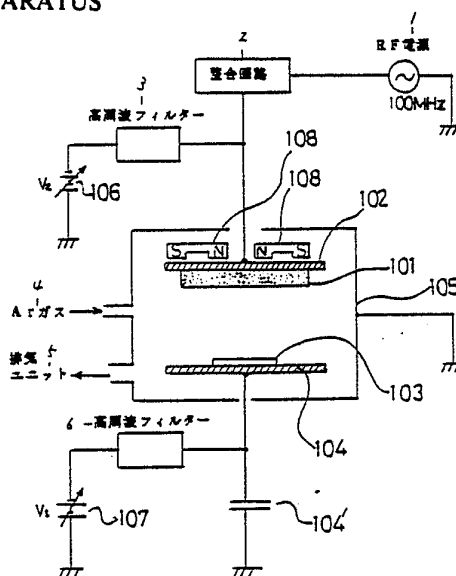
(51) 国際特許分類 ⁴ C23C 14/40	A1	(11) 国際公開番号 WO 87/07651 (43) 国際公開日 1987年12月17日 (17.12.87)		
<table border="0"> <tr> <td style="vertical-align: top;"> (21) 国際出願番号 (22) 国際出願日 (31) 優先権主張番号 (32) 優先日 (33) 優先権主張国 (71) 出願人：および (72) 発明者 大見忠弘 (OHMI, Tadahiro) [JP/JP] 〒980 宮城県仙台市米ヶ袋2丁目1番17号301 Miyagi, (JP) (74) 代理人 弁理士 福森久夫 (FUKUMORI, Hisao) 〒160 東京都新宿区本塩町12 Tokyo, (JP) (81) 指定国 AT (欧州特許), BE (欧州特許), CH (欧州特許), DE (欧州特許), FR (欧州特許), GB (欧州特許), IT (欧州特許), LU (欧州特許), NL (欧州特許), SE (欧州特許), US. 添付公開書類 国際調査報告書 </td> <td style="vertical-align: top;"> PCT/JP87/00357 1987年6月6日 (06.06.87) 特願昭61-131188 1986年6月6日 (06.06.86) JP </td> </tr> </table>			(21) 国際出願番号 (22) 国際出願日 (31) 優先権主張番号 (32) 優先日 (33) 優先権主張国 (71) 出願人：および (72) 発明者 大見忠弘 (OHMI, Tadahiro) [JP/JP] 〒980 宮城県仙台市米ヶ袋2丁目1番17号301 Miyagi, (JP) (74) 代理人 弁理士 福森久夫 (FUKUMORI, Hisao) 〒160 東京都新宿区本塩町12 Tokyo, (JP) (81) 指定国 AT (欧州特許), BE (欧州特許), CH (欧州特許), DE (欧州特許), FR (欧州特許), GB (欧州特許), IT (欧州特許), LU (欧州特許), NL (欧州特許), SE (欧州特許), US. 添付公開書類 国際調査報告書	PCT/JP87/00357 1987年6月6日 (06.06.87) 特願昭61-131188 1986年6月6日 (06.06.86) JP
(21) 国際出願番号 (22) 国際出願日 (31) 優先権主張番号 (32) 優先日 (33) 優先権主張国 (71) 出願人：および (72) 発明者 大見忠弘 (OHMI, Tadahiro) [JP/JP] 〒980 宮城県仙台市米ヶ袋2丁目1番17号301 Miyagi, (JP) (74) 代理人 弁理士 福森久夫 (FUKUMORI, Hisao) 〒160 東京都新宿区本塩町12 Tokyo, (JP) (81) 指定国 AT (欧州特許), BE (欧州特許), CH (欧州特許), DE (欧州特許), FR (欧州特許), GB (欧州特許), IT (欧州特許), LU (欧州特許), NL (欧州特許), SE (欧州特許), US. 添付公開書類 国際調査報告書	PCT/JP87/00357 1987年6月6日 (06.06.87) 特願昭61-131188 1986年6月6日 (06.06.86) JP			

(54) Title: SEMICONDUCTOR MANUFACTURING APPARATUS

(54) 発明の名称 半導体製造装置

(57) Abstract

A bias-sputtering apparatus is characterized by having a radio-frequency power source and an exhaust unit and impressing a DC bias to at least either one of both electrodes of the susceptor and the target. That is, the invention is a semiconductor manufacturing apparatus for depositing a thin film on the surface of a semiconductor substrate, which is characterized by having a radio-frequency power source and an exhaust unit and impressing a desired DC bias to at least either the susceptor which holds the semiconductor substrate in the apparatus or the target which is constituted by a thin film material.



- 1 ... radio-frequency power source
- 2 ... matching circuit
- 3 ... radio-frequency filter
- 4 ... argon gas
- 5 ... to an exhaust unit
- 6 ... radio-frequency filter

(57) 要約

本発明のバイアス・スパッタ装置は、高周波電源と排気ユニットを有し、サセプタとターゲットの両電極の少なくとも一方に直流バイアスを印加できるようにしたこととを特徴としている。

すなわち、本発明は、半導体基板表面に薄膜を堆積させる装置に於て、高周波電源と排気ユニットを備え、且つ、前記半導体基板を装置内にて保持するサセプタと、薄膜材料より構成されるターゲットの少なくとも一方に、所望の直流バイアスを印加できる様にしたこととを特徴とする半導体製造装置である。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MR	モーリタニア
AU	オーストラリア	GA	ガボン	MW	マラウイ
BB	バルバドス	GB	イギリス	NL	オランダ
BE	ベルギー	HU	ハンガリー	NO	ノルウェー
BG	ブルガリア	IT	イタリア	RO	ルーマニア
BJ	ベナン	JP	日本	SD	スーダン
BR	ブラジル	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CF	中央アフリカ共和国	KR	大韓民国	SN	セネガル
CG	コンゴ	LI	リヒテンシュタイン	SU	ソビエト連邦
CH	スイス	LK	スリランカ	TD	チャード
CM	カメルーン	LU	ルクセンブルグ	TG	トーゴ
DE	西ドイツ	MC	モナコ	US	米国
DK	デンマーク	MG	マダガスカル		
FI	フィンランド	ML	マリ		

明 細 書

半 導 体 製 造 装 置

技術分野

本発明は半導体装置の製造装置に係り、特に高品質な
5 薄膜を高速度で堆積できるバイアス・スパッタ装置を提供するものである。

背景技術

現在、集積回路の配線材料の薄膜形成にはスパッタ法
が広く用いられている。スパッタ法とは真空容器内に
10 A r ガスを導入し、ターゲット材料を取り付けたカソード
に直流または高周波電力を加えてグロー放電を発生させ、
成膜を行う方法である。グロー放電の結果、ターゲット
表面はプラズマに対し負にバイアス（これを自己バイ
アスと呼ぶ）されるが、このバイアス電圧によって加
15 速されたA r イオンがターゲット表面にぶつかってター
ゲット材料をスパッタエッチングする。こうしてエッチ
ングされた材料粒子は対向して設置されたウェーハ上
に堆積して成膜が行われる。これに対し、ターゲットだ
けでなく、ウェーハを取りつけるサセプタ自身にも高周
20 波電力を加え、ウェーハ表面に膜の堆積を行うとともに、
ウェーハ表面に形成された自己バイアスによってス
パッタエッチングを同時に行うようにしたものが高周波
バイアス・スパッタと呼ばれる方法である。第5図に従
来用いられている代表的なバイアス・スパッタ装置の断
25 面構造の模式図を示す。501は例えばAlやSiO₂

のターゲットであり、502はターゲットをとりつけてあるターゲット電極である。また503, 504はそれぞれ半導体ウェーハ及びサセプタの電極である。ターゲット電極502及びサセプタ電極504にはそれぞれ

5 整合回路を介して高周波電力が供給されており、真空容器505はアースされている。ここで高周波電源(RF電源)は、発振周波数13.56MHzのものをを用いるのが普通である。尚、実際の装置では、以上に述べた以外に、真空用の排気ユニットやガスの導入口、その他ウェーハの出し入れのための機構が設けられているが本図

10 では簡単のために省略してある。半導体ウェーハ503及びサセプタ504表面は、サセプタに加えられたRF電力のためにプラズマに対し負の自己バイアスがかかり、この電界で加速されたArイオンがぶつかるため、

15 堆積膜の一部が再びスパッタされる。本方法を用いると、機械的強度の優れた薄膜が得られる。また、段差部に形成された膜がスパッタされやすいという性質を利用して表面形状の平坦な膜を形成できるという特徴ももっている。しかし、膜の堆積と同時にエッチングを行うため、成膜速度が著しく小さいという問題がある。さらに

20 半導体ウェーハに自己バイアスで加速されたArイオンが衝突するため、下地に損傷を与え素子の特性を劣化させるという半導体集積回路製造上重大な問題を生じている。これらの問題が、バイアス・スパッタ装置を実用化する上で大きな障害となっていた。

25

本発明は以上の点に鑑みなされたものであり、高品質の薄膜を、十分に大きな成膜速度で、しかも下地基板に損傷を与えることなく形成できる半導体装置の製造装置を提供するものである。

5 発明の開示

本発明のバイアス・スパッタ装置は、高周波電源と排気ユニットを有し、サセプタとターゲットの両電極の少なくとも一方に直流バイアスを印加できる様にしたことを特徴としている。

10 すなわち、本発明は、半導体基板表面に薄膜を堆積させる装置に於て、高周波電源と排気ユニットを備え、且つ、前記半導体基板を装置内にて保持するサセプタと、薄膜材料より構成されるターゲットの少なくとも一方に、所望の直流バイアスを印加できる様にしたことを特
15 徴とする半導体製造装置である。

図面の簡単な説明

第1図は本発明の第1の実施例を示す装置の模式図、第2図はポテンシャル分布を表すグラフ、第3図はターゲットの電流電圧特性の実験データを示すグラフ、第4
20 図は本発明の第2の実施例を示す模式図、第5図は従来例を表す模式図である。

なお、図面において、101, 401, 501はターゲット、102, 402, 502はターゲット電極、103, 403, 503はウェーハ、104, 404,
25 504はサセプタ、105, 405, 505は真空容

器、106、107は直流電源である。

発明を実施するための最良の形態

以下図面を用いて本発明の実施例を説明する。

なお、当然のことではあるが、本発明の範囲は以下の
5 実施例により限定されるものではない。

第1図は、本発明の第1の実施例であるA₁等の導電性材料のバイアス・スパッタ装置を示す模式図である。

101は例えばA₁のターゲットであり、ターゲット電極102上に取り付けられている。ターゲット電極には
10 従来例（第5図）と同様に整合回路を介して高周波電力が加えられているが、その周波数は13.56MHzに替って例えば100MHzのものが用いられている。更にターゲット電極は高周波をカットするフィルターを通して直流電源106につながれている。またシリコンウェーハ103及びサセプタ104はコンデンサ104'
15 によって高周波的に接地され、且つ高周波フィルタを介して直流電源107につながれている。真空容器105はアースにつながれている。また108はマグネトロン放電のための永久磁石である。さらに装置には、真空容
20 器を真空に引く排気ユニットや、ガスを導入する機構、さらにウェーハを出し入れする機構が設けられているが、ここには詳しく描かれていない。

最初に、高周波バイアス・スパッタリングにおいて成膜速度を大きくするための基本的な考え方を明らかにす
25 る。次に本発明によって、いかにして成膜速度を大きく

することに成功し、且つ半導体基板への損傷を極限にまで小さくできたかについて説明する。

サセプタ電極 104 に直流バイアスをかけない場合、即ち通常のスパッタリングによる成膜速度は基本的に次式で表される。

$$\text{成膜速度} = A I_{\text{ion}} \times Y_s \times f \quad \dots (1)$$

ここで I_{ion} はターゲットに流れ込むイオン電流でありプラズマのイオン密度に比例している。 Y_s は Ar イオンによる Al のスパッタ率で、第 2 図 (a) に示したように入射 Ar イオンの運動エネルギーのみによって決まる量であることが分る。ただし、このデータは Al 表面が清浄な状態、すなわち Al_2O_3 等の絶縁膜が存在しない状態の時にだけ正しい。尚、同図のデータは、Laegreid and Wehner のデータ (⊖印で示す) 及び
15 Weijsenfeld のデータ (⊙印で示す) を同じグラフにまとめ直したものであるが、よく一つの直線にのっていることが分る。 f はスパッタされた Al 原子がウェーハ上まで飛んで来る確率であり 1 次近似として、

$$f = B (1 - C (L / \lambda)) \quad \dots (2)$$

20 で表されると考えられる。ここで B , C は定数である。 λ はガス分子の平均自由行程であり、 λ が電極間間隔 L にくらべて十分大きい ($\lambda \gg L$) ととき第 2 項は無視できて $P = B$ (定数) となり装置の構造だけで決まる量となる。式 (2) の λ は本来はスパッタされる原子の平均自由行程を取るべきであるが、スパッタ原子が衝突散乱さ
25

れる相手は殆どすべてガス分子であるため、その平均自由行程を取っている。逆に $\lambda \leq L$ となると、スパッタされた A_{L} はウェーハに到着するまでに A_{r} の中性分子等との衝突により散乱され、それだけウェーハへの到達確率5が小さくなる。

$$\lambda \propto P \text{ (ガスの圧力)}$$

なので、結局 (2) 式は、

$$f = B (1 - C' P), \quad C' = \text{定数} \quad \dots (3)$$

と表され、 P を小さくする程 f を大きくできることが分10る。結局 (1) 式で表される成膜速度を大きくするには、 I_{ion} 、 Y_{s} 、 f のそれぞれを大きくしなければならない。即ちそれぞれに対応して、

I, プラズマの高密度化

II, A_{r} イオンのターゲット上への加速電圧の増大

15 III, ガス圧力の低圧化

の3つの要件を達成する必要がある。

さて (1) 式に基く考え方が正しいことを実験データを参照しながら次に示す。第2図 (b) は成膜速度 / I_{ion} で定義される成膜係数 (η) を V_1 の関数として20プロットしたものである。今、圧力は一定だから (1) 式より、

$$\eta \propto Y_{\text{s}} \text{、即ち、} \eta \propto |V_1 - V_{\text{th}}|$$

となるが、同図は正しくその結果を示している。ただし、 V_{th} は A_{L} が A_{r} イオンによりスパッタされ始める25電圧 ($\approx 50 \text{ V}$) である。RF 電力の変化はプラズマ密

度を変化させるが、 η は I_{ion} で規格化された値であるため同図は当然のことながら電力に依存しない特性となっている。

また第2図(C)は、 $\eta - V_1$ 特性が圧力 P によってどのように変化するかを示している。圧力が 8×10^{-3} Torr から 5×10^{-3} Torr, 3×10^{-3} Torr と減少して行くに従って η の増大しているのが分る。 3×10^{-3} Torr と 1×10^{-3} Torr では殆ど差がない。これは(3)式から予想される通りである。尚 8×10^{-3} Torr における A_r の平均自由行程は常温で約 1 cm であり、典型的な装置の大きさ(この装置の場合 3 cm)にくらべて小さく、(2)式の第2項が無視できない領域である。 3×10^{-3} Torr になると、電極間隔と A_r の平均自由行程が略々等しくなり、それ以下の真空度たとえば 1×10^{-3} Torr では成膜係数 η は飽和している。

以上の議論をもとに第1図に示した本発明の一実施例なるバイアススパッタ装置についてその動作原理を説明する。

第2図(d)は放電状態における、ターゲット電極 102、サセプタ電極 104 間の電位分布の様子を模式的に示したものである。ここで V_1 , V_2 は第1図における直流電源 107, 106 の出力電圧であり、通常負の値を用いる。また V_p はプラズマポテンシャルである。従来技術では、 $V_p + |V_1|$ 、 $V_p + |V_2|$ 等の電位差は自己バイアスと呼ばれ、電極 102, 104

や容器 105 の形状、Ar ガスの圧力、高周波電力や周波数等によって変化するものであり、これらの条件の組合せで決まる値であった。従って任意の値に設定することはできなかったが、本発明では V_1 , V_2 等は外部の電源より与えているため、所望の値に任意に決定することが可能となった。つまり $|V_1|$ を大きくすることで上記 (II) の要件を満足し、スパッタ率を大きくして成膜速度を増大させることが可能となった。更に本発明の実施例では要件の (I) , (III) を同時に満足させるため、磁石 108 を用いてマグネトロン放電を起こし、しかも高周波電源に 100 MHz の高周波を用いているため低圧力下でも効率よくイオンを生成し、プラズマを高密度化している。以上述べたように本発明の装置は I , II , III のすべての要件を満たすことにより膜の堆積速度を大きくすることに成功した。第 2 図 (c) のデータでは $V_1 = -500 \text{ Volt}$ 、 $P = 3 \times 10^{-3} \text{ Torr}$ に対し $\eta = 7 \text{ \AA} / \text{min} \cdot \text{mA}$ であり、このときの $I_{\text{ion}} = 110 \text{ mA}$ であることから成膜速度は $770 \text{ \AA} / \text{min}$ 程度である。ターゲットに流れ込むイオン電流密度は $3.4 \text{ mA} / \text{cm}^2$ である。これは、真空容器やガスを供給する配管系からくる、 H_2O の残留ガス成分によりスパッタ中にターゲットの表面が酸化されてアルミナ (Al_2O_3) 層が形成され、スパッタ率 Y_s が 10 % 程度に落ちていたためである。こうした高真空対応の装置ではチャンバ内に流れ込むガス流量はきわめて少ない。そのため、配

管系管壁からの水分の混入の割合が多くなる。純化 Ar の水分量は 0.3 ppm であるが、チャンバでは 0.5 % 程度になっていた。その後これらの系のベーキングを十分に行い配管系に工夫を加えることによって殆どの吸着ガスを取り除いた状態で成膜した結果、2000~3000 Å/min 程度の成膜速度が得られている。更に V_1 を大きくしたり、高周波電力を上げてイオン密度を高くしたり、あるいは磁界強度を強くしてイオン化率を高くすることでもっと大きな速度を得ることも可能である。

10 以上で本発明によってスパッタリングによる成膜速度を従来にくらべて著しく増大させられることは明らかになった。

次に、バイアス・スパッタを行った場合に半導体基板への損傷を著しく低減できたことについて述べる。従来法では、スパッタ率増加のため $V_p + |V_1|$ を大きくするには高周波電力やガス圧などを変化させ自己バイアスの値を大きくするしかなかった。この場合基板にかかる自己バイアス $V_p + |V_2|$ も連動して大きくなり、結局成膜速度を上げようと思えば、基板への損傷も増加する結果となっていた。しかるに本発明では V_1 , V_2 をともに独立に任意の値に設定できるため V_1 を大きく、且つ V_2 を適度な値に保つことにより成膜速度を大きくできると同時に基板への損傷を小さくできた訳である。

25 本発明のもう一つの大きな特徴は高周波電源の周波数

を従来の 13.56 MHz から 100 MHz に高くした
ことである。この結果、プラズマ中のイオンの運動エネ
ルギ分布の幅が従来の場合 (13.56 MHz) の約
1/10 以下にまで小さくすることができた。第3図の
5 データはこの事実を物語る一例である。同図はターゲッ
ト電極の電流電圧特性を3つの異った周波数に対してと
ったものである。電流値がゼロとなるバイアス値が自己
バイアスの値に等しい。ここではターゲットに流れ込む
Ar イオンと電子の数が等しく、バランスしているため
10 電流がゼロとなるのである。バイアス値 (V_1) を自己
バイアスの値より負側に大きくしてやると正の Ar イオ
ンの電流はほとんど変化しないが、電子に対するポテン
シャルバリアが高くなるため電子の流入が減少しその結
果電流が増加する。例えば 100 MHz の特性をみると
15 -120 V より負のバイアス値ではイオン電流だけの一
定値となっている。これに対し 40.68 MHz の特性
では -400 V 以上にバリアを高くしてはじめて電子の
流入が 0 となっている。これらの結果から周波数が高い
程電子のエネルギー分布は平均値が小さくなり且つ分布が
20 シャープになっていることが分る。電子はプラズマ中で
Ar と弾性及び非弾性衝突を繰り返した結果、あるエネ
ルギ分布をもっており、その分布はとりも直さず Ar の
原子及びイオンの運動エネルギー分布を反映していると言
える。即ち、プラズマ中のイオンのエネルギー分布も周波
25 数が高い程平均値、分布の拡がりともに小さくなってい

ることを第3図は示している。

このことは非常に重要である。今Arイオンの運動エネルギーの平均値を $\bar{E}_{ion}$ 、エネルギーの平均値からのずれを ΔE_{ion} と表すと、ウェーハにぶつかる際のArイオンの運動エネルギーは $\bar{E}_{ion} + \Delta E_{ion} + q(V_p + V_2)$ となる。従って従来の周波数(13.56 MHz)で放電させている限り V_2 をいくら小さくしてもある確率で ΔE_{ion} の大きなArイオンが入射するため、ウェーハ表面に大きな衝撃を与える。平均運動エネルギー値から大幅にずれたエネルギーを持ったイオンが多数存在するため、サセプタ電極に加える電圧 V_2 をいくら小さくしても、ウェーハに損傷を与えるエネルギーの大きなイオンがウェーハに流れ込んでいたのである。即ち V_2 を小さくするだけではウェーハへの損傷は避けることができない。しかるに本発明の装置では、基板に入射するArイオンの E_{ion} はその分布の幅が従来の $1/10$ 程度以下と小さくなっているため、エネルギー値にバラツキがなく殆ど同じエネルギーでウェーハ表面に到達する。即ち V_2 の調整によって、殆どすべてのArイオンを所望の運動エネルギーでウェーハ表面にぶつけることができるのである。この事実によって、殆どシリコン基板に損傷を与えることなくバイアス・スパッタを行うことが可能になった。その結果、従来問題となっていたようなMOSトランジスタの閾値をシフトさせたり、あるいはゲート酸化膜中の電子のトラップ濃

度を増加させ、ホットエレクトロン注入による特性の不安定性を招く問題も解決できた。このようにしてLSIの信頼性を著しく向上させることができた。

ここで注意しておきたいのは従来法では、たとえ周波
5 数を高くしても同様の効果は得られないということである。第3図より明らかなように、周波数を大きくすると自己バイアス値 ($I_T = 0$ となる V_T) が小さくなりスパッタ率を小さくしてしまうからである。本発明の様に、 V_1 を独立に制御できてはじめて成膜速度の増大と損傷
10 の低減が同時に可能となったのである。

本発明の基本的考え方をまとめると、低圧力下で可能な限り効率よくプラズマを発生させ、これらを外部より与えた十分大きな直流電界で加速し効率よくターゲットをスパッタすると同時に、半導体基板に到着するA r イ
15 オンは、そのエネルギー分布を十分狭くした上で、外部より与えた直流電圧によってそのエネルギーを精度よくコントロールし、半導体ウェーハ表面に供給することにより、基板の損傷低減だけでなく形成された膜の高品質化も図るものである。

20 更にシリコン基板上に単結晶のA l 薄膜も形成できるようになった。即ち正しい結晶サイトに着いたA l 原子とそうでない原子の結合エネルギーの差に着目し、後者のみを再スパッタするよう前述の V_2 を調整することにより、正しい結晶サイトにのみA l 原子を積み上げて行け
25 るからである。正常な結晶位置に存在するA l 原子50

e V 程度以上の A r イオンが衝突しなければスパッタされない。ところがランダムに表面に吸着した A l 原子は、それよりも低い A r イオン衝突でスパッタされてしまうのである。こうして得られた A l 膜は、エレクトロ
5 マイグレーションによる配線の寿命が非常に長く、また
S i との界面で生じるスパイク現象も 5 0 0 °C のアニールでも生じないなど、配線材料として非常に優れた特性をもっている。

以上本発明の一実施例を述べたが、本発明は第 1 図の
10 構成に限定されることはない。例えば直流電源 1 0 6 ,
1 0 7 はどちらか一方を省略してももちろんかまわない。例えば自己バイアスで十分なスパッタ率が得られる場合には 1 0 6 を省略してもよい。また例えば基板の損傷を問題にしない場合は 1 0 7 を省略してもよい。

15 またターゲット電極 1 0 2 裏面に設置した磁石 1 0 8
は第 1 図に示した構成に限ることはない。例えば第 4 図の本発明の第 2 の実施例に示したように強力な競争路形磁石 4 0 9 を設置し均一性を上げるために走査を行ってもよい。この場合、例えば第 4 図に示したように走査
20 系 4 1 0 を真空容器 4 0 5 の外に出しておけば反応系が機械的な動作から生じる発じんにより汚染されることが妨げて好都合である。また不必要ならば磁石 1 0 8 を省略しても、もちろん本発明の主旨から逸脱することはない。

25 また、ここで述べた R F 周波数 1 0 0 M H z はあくま

でも一例でありこれにこだわる必要はない。しかしここで述べたイオンのエネルギー分布を制御する目的から言えば100MHz以上の高周波を用いるのがよいことは言うまでもない。

- 5 また基板への損傷をさらに小さくするため例えば次の様な方法をとることも可能である。例えばコンタクトホールを介してシリコン表面にAlなどの金属を堆積させる場合、まず最初の数10Å～100Å程度の膜が形成される間はシリコン基板のバイアスをゼロとして再スパッタしないでつけ、その後、バイアス・スパッタに切りかえる方式である。こうすればシリコン表面の出ている間は再スパッタを行わず、表面に薄膜が形成されてからスパッタを開始するため基板シリコンへの損傷を殆ど0とすることが可能である。

- 15 以上ターゲットとしてはAlの場合のみを例にとって述べたが、これに限ることはなく、例えばAl-Si系、Al-Si-Cu系等の合金、MoSi, WSi₂, TaSi₂, TiSi₂ 他のシリサイド、WやMo等の金属、SiO₂, Al₂O₃, Si₃N₄ その他の絶縁
20 膜等、他のいかなる材料の堆積に用いてもよいことは言うまでもない。

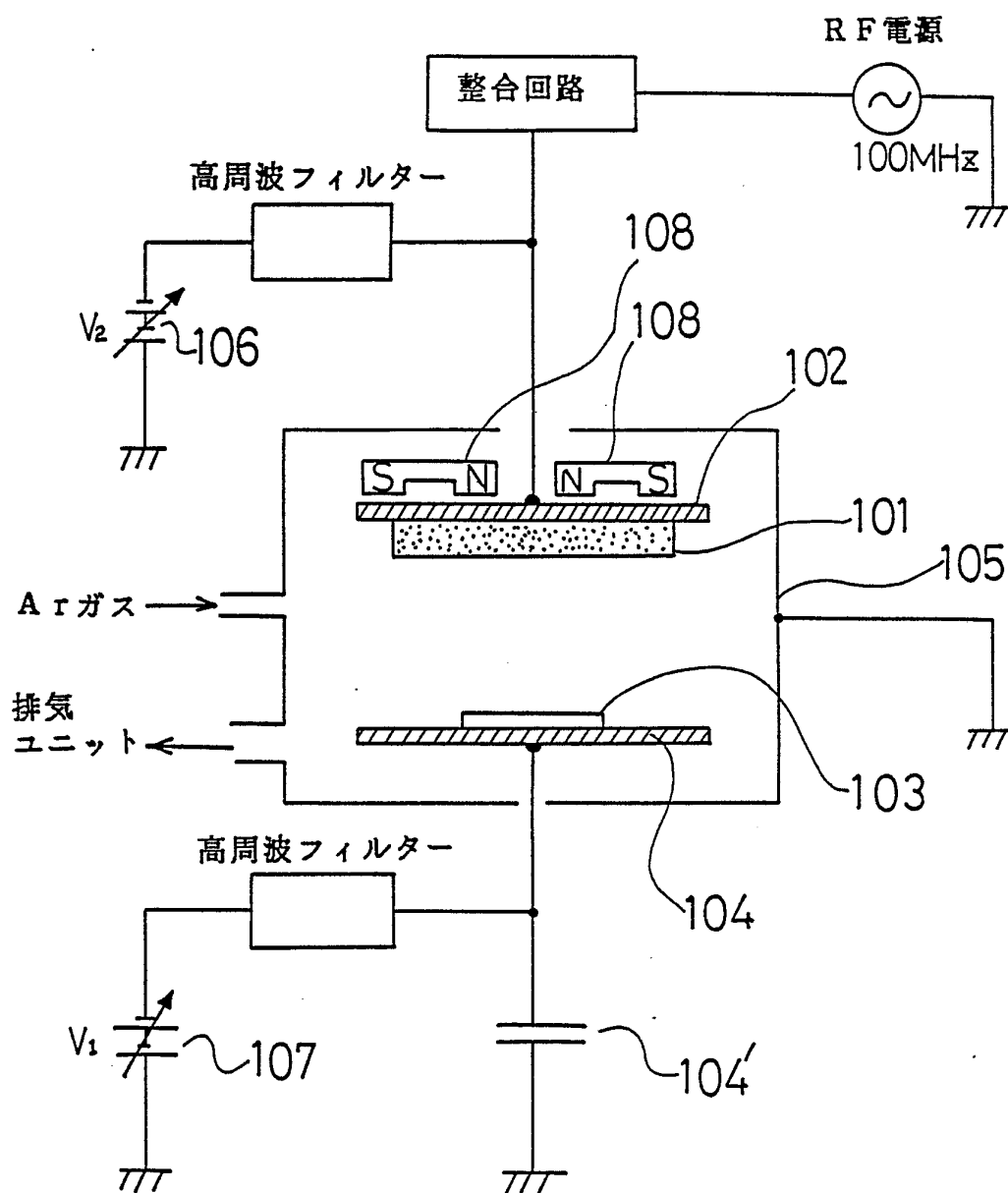
発明の効果

- 本発明によれば、基板への損傷を生じることなく、大きな堆積速度で膜を形成し、しかも高品質の膜を容易に
25 得ることが可能となった。

請求の範囲

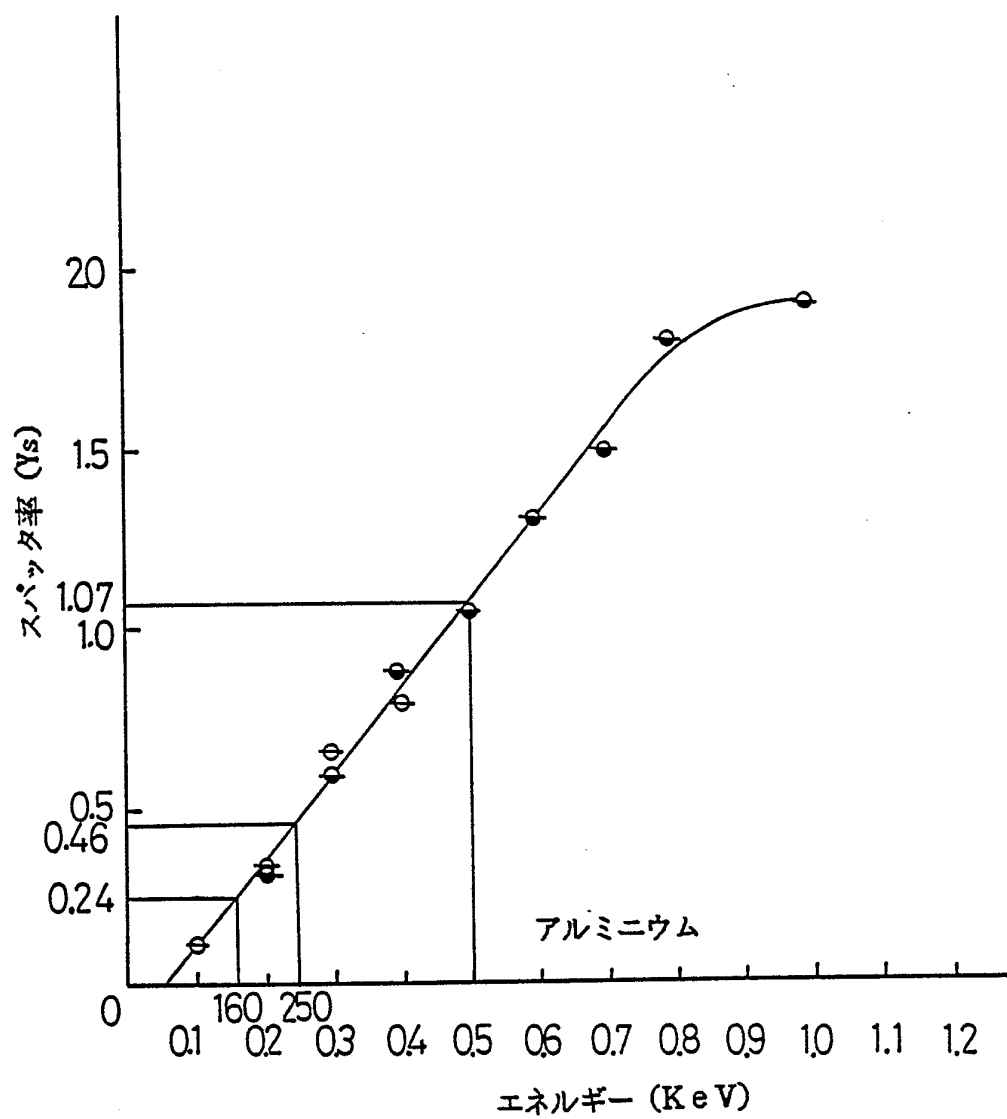
1. 半導体基板表面に薄膜を堆積させる装置に於て、
高周波電源と排気ユニットを備え、且つ、前記半導体基
板を装置内にて保持するサセプタと、薄膜材料より構成
5 されるターゲットの少なくとも一方に、所望の直流バイ
アスを印加できる様にしたことを特徴とする半導体製造
装置。
2. 前記サセプタと前記ターゲットの両方に、それぞ
れ独立に所望の直流バイアスを印加できる様にした特許
10 請求範囲第1項記載の半導体製造装置。
3. 前記高周波電源の発振周波数が100MHz以上
である特許請求範囲第1項又は第2項記載の半導体装置
の製造装置。

第 1 図



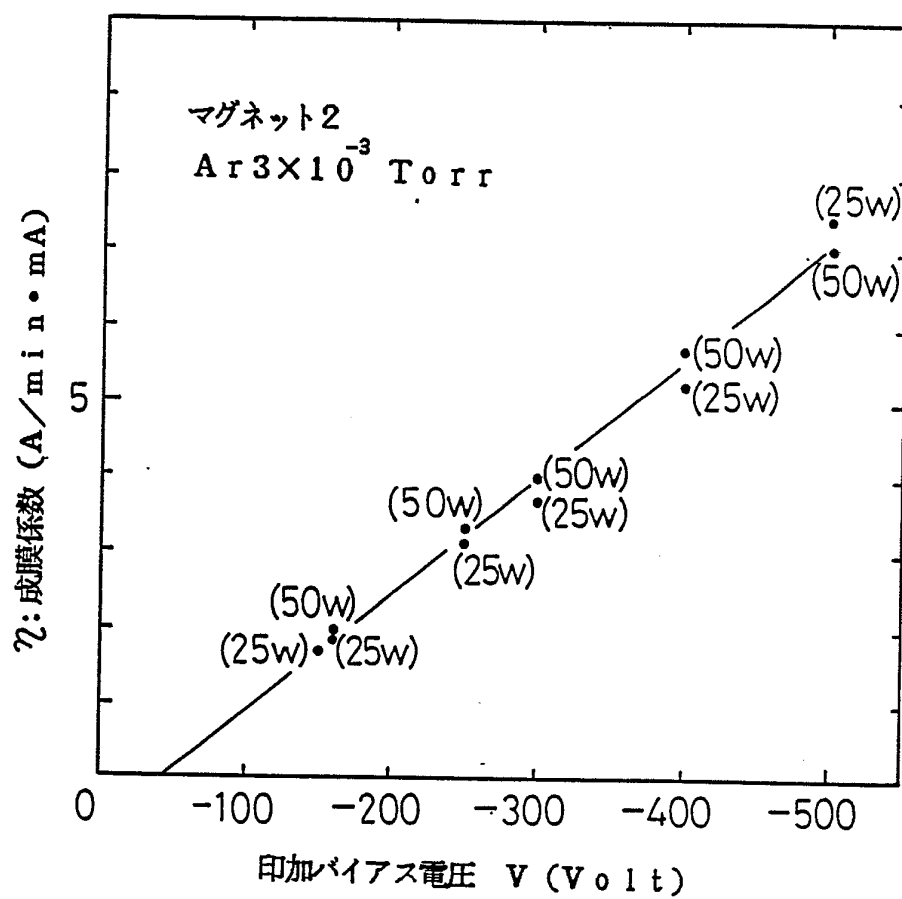
第 2 図

(a)



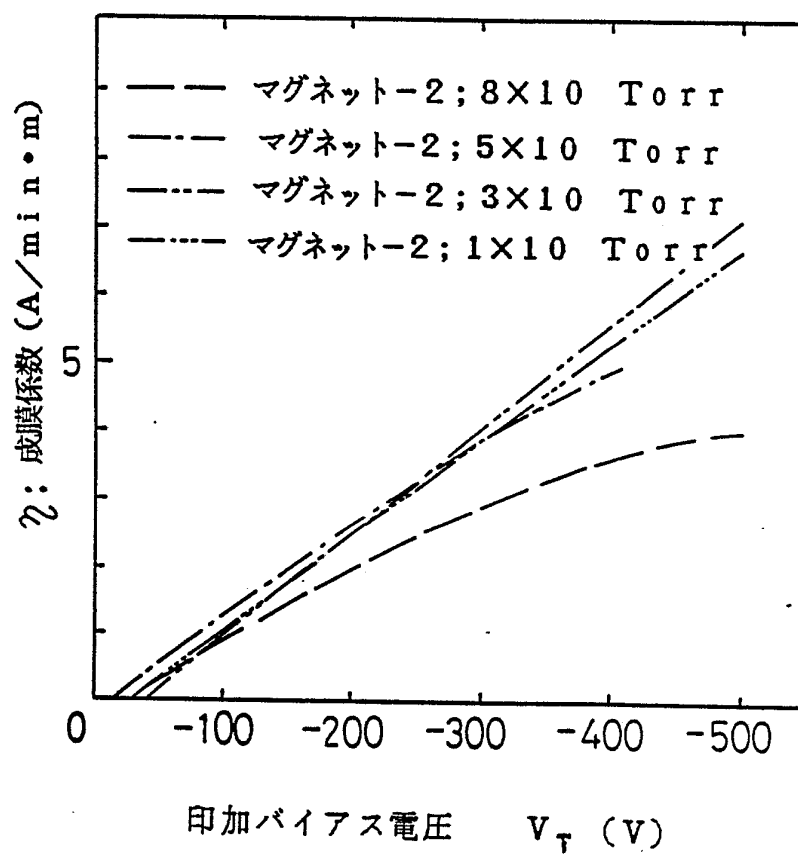
第 2 図

(b)



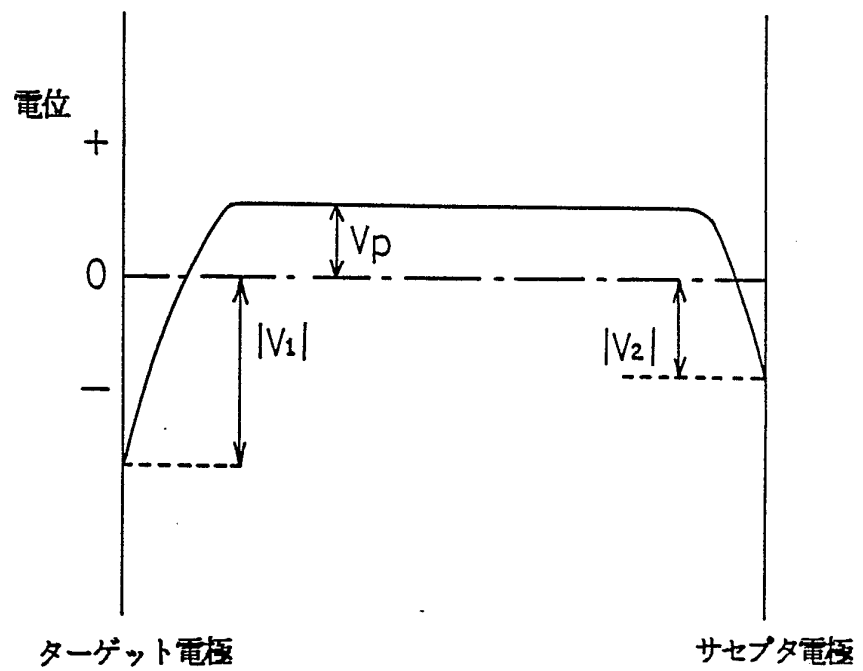
第 2 図

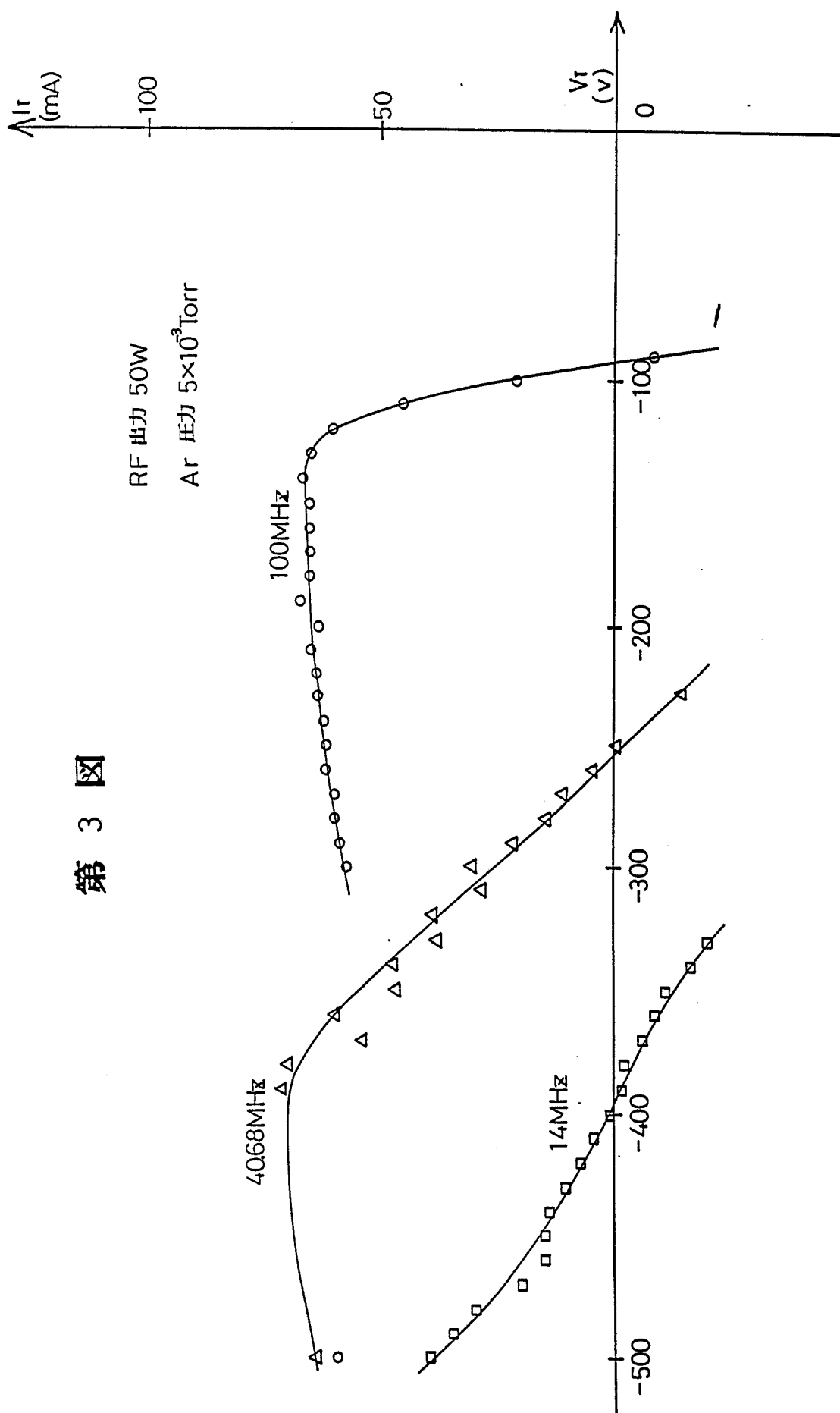
(c)



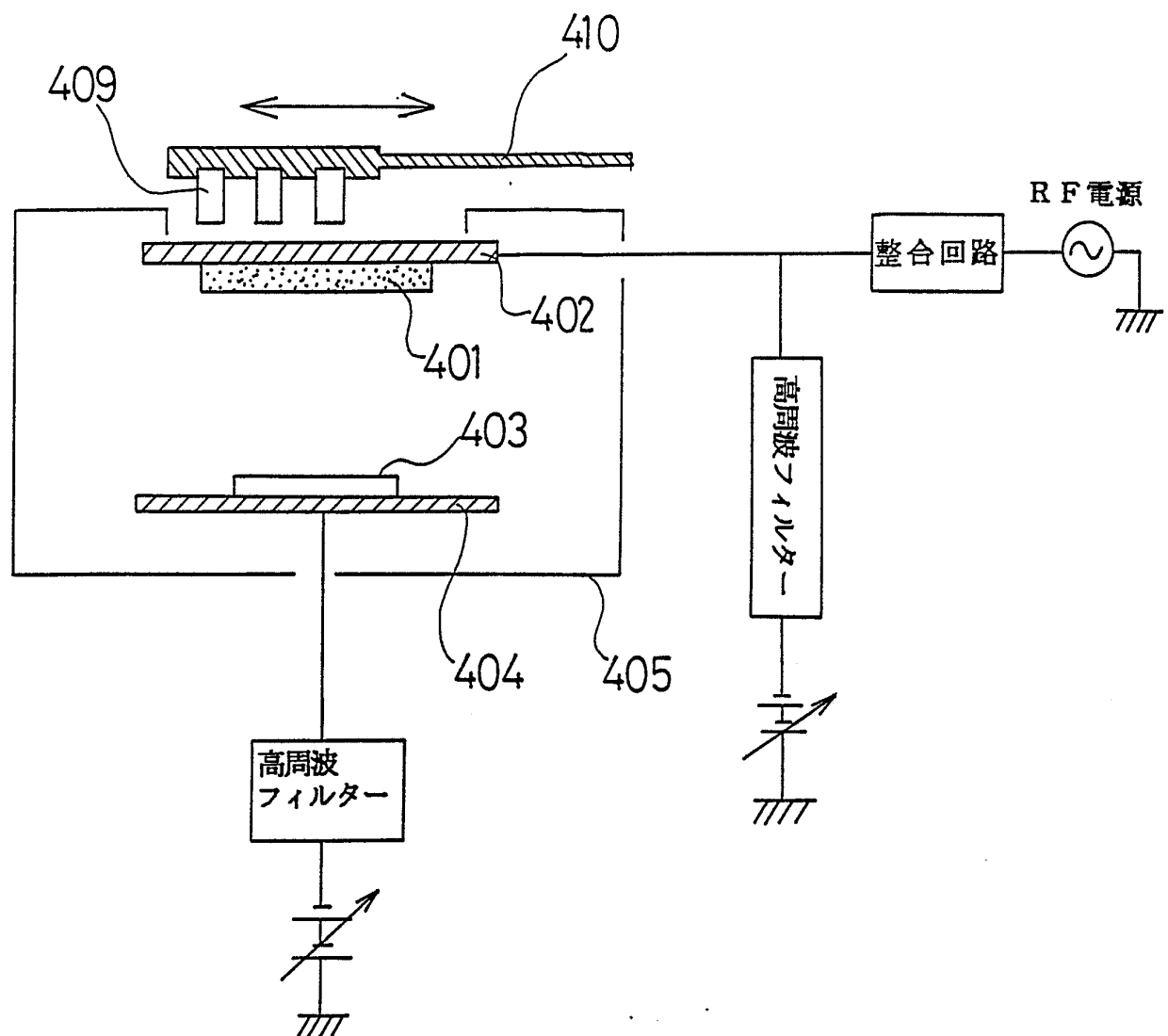
第 2 図

(d)

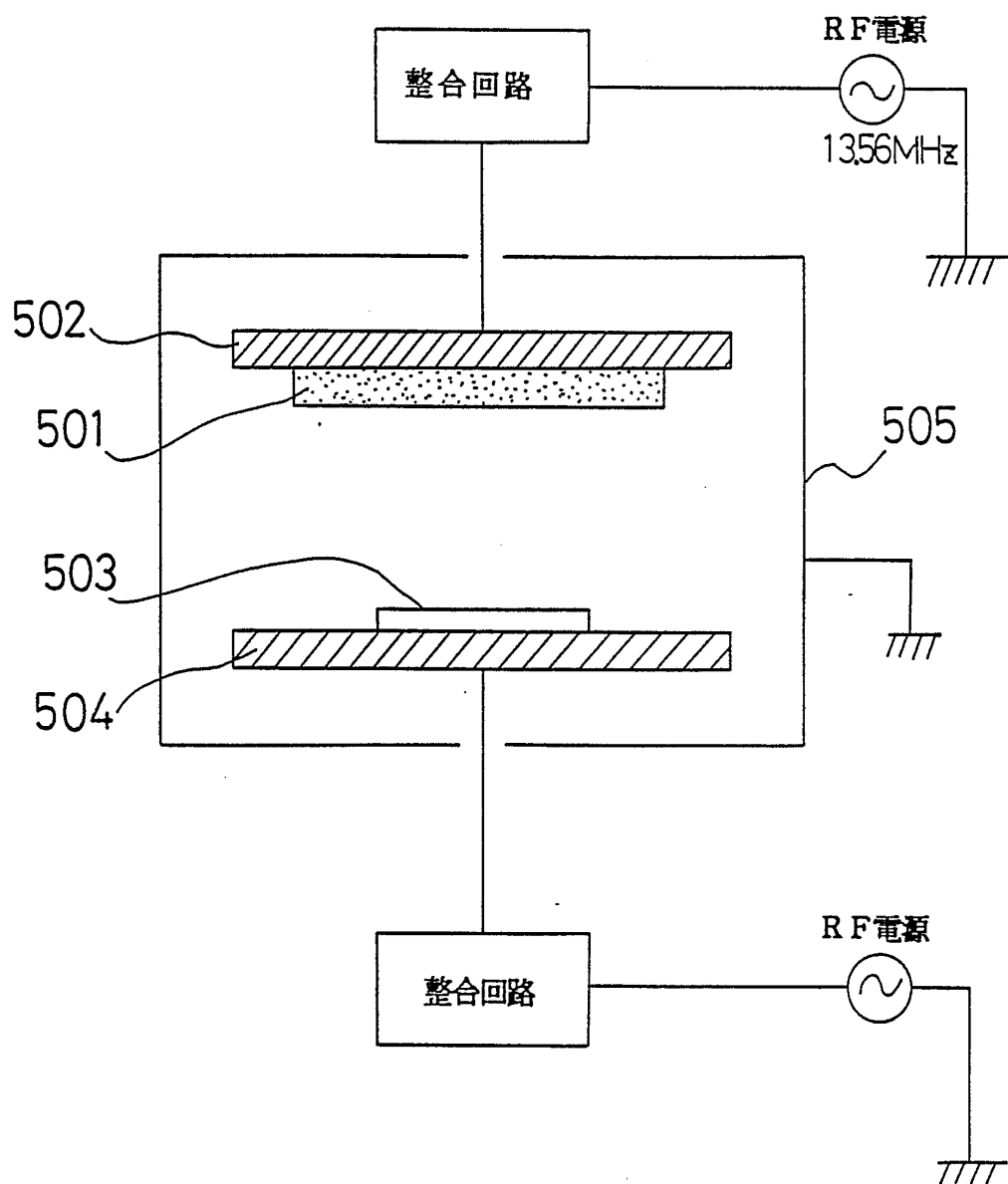




第 4 圖



第 5 図



INTERNATIONAL SEARCH REPORT

International Application No

PCT/JP87/00357

I. CLASSIFICATION OF SUBJECT MATTER (If several classification symbols apply, indicate all) ³		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int.Cl ⁴	C23C14/40	
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁴		
Classification System	Classification Symbols	
IPC	C23C14/00-14/56	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁵		
Jitsuyo Shinan Koho 1926 - 1987 Kokai Jitsuyo Shinan Koho 1971 - 1987		
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴		
Category *	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸
A	JP, A, 60-2663 (Oki Electric Industry Co., Ltd.) 8 January 1985 (08. 01. 85) Fig. 2 (Family: none)	1-3
A	JP, A, 59-18625 (Hitachi, Ltd.) 31 January 1984 (31. 01. 84) Fig. 1 (Family: none)	1-3
* Special categories of cited documents: ¹⁵ "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search ²		Date of Mailing of this International Search Report ³
August 5, 1987 (05. 08. 87)		August 17, 1987 (17. 08. 87)
International Searching Authority ¹		Signature of Authorized Officer ²⁰
Japanese Patent Office		

I. 発明の属する分野の分類		
国際特許分類 (IPC) Int. Cl. C23C14/40		
II. 国際調査を行った分野		
調 査 を 行 っ た 最 小 限 資 料		
分 類 体 系	分 類 記 号	
IPC	C23C14/00-14/56	
最小限資料以外の資料で調査を行ったもの		
日本国実用新案公報 1926-1987年 日本国公開実用新案公報 1971-1987年		
III. 関連する技術に関する文献		
引用文献の カテゴリー ※	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
A	JP, A, 60-2663 (沖電気工業株式会社) 8. 1月. 1985 (08. 01. 85) 第2図 (ファミリーなし)	1-3
A	JP, A, 59-18625 (株式会社 日立製作所) 31. 1月. 1984 (31. 01. 84) 第1図 (ファミリーなし)	1-3
※引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日の後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリーの文献		
IV. 認 証		
国際調査を完了した日	国際調査報告の発送日	
05. 08. 87	17.08.87	
国際調査機関	権限のある職員	4 K 6 7 9 3
日本国特許庁 (ISA/JP)	特許庁審査官	山 田 充 