



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201338092 A

(43)公開日：中華民國 102 (2013) 年 09 月 16 日

(21)申請案號：101107836

(22)申請日：中華民國 101 (2012) 年 03 月 08 日

(51)Int. Cl. : *H01L21/76 (2006.01)*

(71)申請人：瑞晶電子股份有限公司 (中華民國) (TW)

臺中市后里區三豐路 429 之 1 號

(72)發明人：蔡健華 (TW)；張育璋 (TW)

(74)代理人：黃志揚

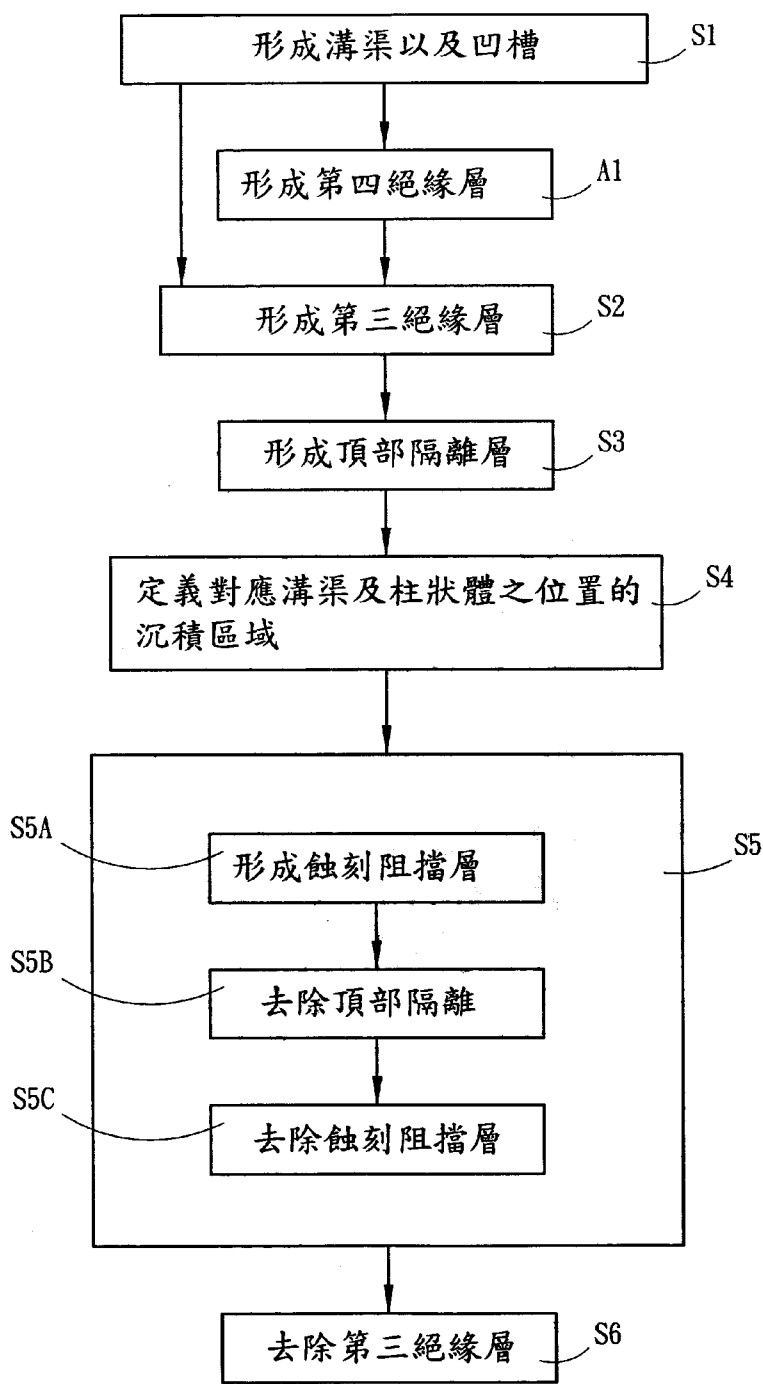
申請實體審查：有 申請專利範圍項數：11 項 圖式數：4 共 25 頁

(54)名稱

半導體之氣隙的形成方法

(57)摘要

一種半導體之氣隙的形成方法，係於一基板上形成複數溝渠以及至少一非平行該些溝渠的凹槽，且該些溝渠之間形成複數柱狀體，該柱狀體包含有一金屬層，接著於該些溝渠及該凹槽內沉積一第三絕緣層以及一頂部隔離層，並定義出一對應該些溝渠及該些柱狀體之位置的沉積區域以及一相對的非沉積區域，而後去除該非沉積區域的該頂部隔離層，最後透過該非沉積區域蝕刻去除該第三絕緣層，使該柱狀體與該頂部隔離層之間形成一氣隙。藉此，本發明可利用控制該第三絕緣層之厚度來控制氣隙的大小，並取得一高氣隙比的半導體結構。



A1：步驟

S1 ~ S6：步驟

S5A ~ S5C：步驟



日期：101年03月08日

發明專利說明書

※記號部分請勿填寫

※申請案號：101107836

※IPC分類：

※申請日：

101. 3. -8
一、發明名稱：

H01L21/76 [2006.01]

半導體之氣隙的形成方法

二、中文發明摘要：

一種半導體之氣隙的形成方法，係於一基板上形成複數溝渠以及至少一非平行該些溝渠的凹槽，且該些溝渠之間形成複數柱狀體，該柱狀體包含有一金屬層，接著於該些溝渠及該凹槽內沉積一第三絕緣層以及一頂部隔離層，並定義出一對應該些溝渠及該些柱狀體之位置的沉積區域以及一相對的非沉積區域，而後去除該非沉積區域的該頂部隔離層，最後透過該非沉積區域蝕刻去除該第三絕緣層，使該柱狀體與該頂部隔離層之間形成一氣隙。藉此，本發明可利用控制該第三絕緣層之厚度來控制氣隙的大小，並取得一高氣隙比的半導體結構。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：圖4。

(二)本代表圖之元件符號簡單說明：

步驟：S1～S6、S5A～S5C、A1

於本說明書

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

[0001] 本發明係有關一種半導體之氣隙，尤指一種半導體之氣隙的形成方法。

【先前技術】

[0002] 隨著半導體元件尺寸的逐漸縮小，導線間間距也因此而縮小，相對的卻增加導線之間所產生的寄生電容效應(parasitic capacitance effect)。因為該寄生電容效應之影響，使得訊號產生電阻電容延遲(RC delay)問題，導致晶片運算速度減慢，降低了晶片的效能。

[0003] 寄生電容係與介電常數呈線性相關。低介電常數的介電材料可降低晶片寄生電容的電容值、降低訊號的RC延遲以及增進晶片效能。降低整體的電容亦同時降低了耗電量。而目前空氣為較好的低介電常數使用材料，因為其介電常數僅為1，遠小於其他如二氧化矽之介電常數約為4.2之材質。因此，一般半導體製程中試圖藉由封閉金屬間間隙以形成氣隙(air gap)的方式來降低半導體之間的寄生電容效應。但氣隙結構並非一般具有實體之結構，使得半導體裝置整體之應力強度較一般結構為弱，而可能使得整體結構在後續製程中變形。

[0004] 為了解決上述問題，如中華民國專利公告第I265639號之「內連線結構及其形成方法，及導線間具有氣隙結構之半導體裝置及在半導體裝置之導線間形成氣隙的方法」，其揭露了一種於內連線結構之間形成氣隙

的方法，以形成較佳的應力支撐結構設計。另如中華民國專利公告第I254408號之「形成含氣隙介電層或低介電常數介電層的方法及半導體結構」，其亦揭露了一種利用蝕刻一介電層形成一空隙，並於該介電層上堆疊另一介電層的方式以形成氣隙的半導體結構。

[0005] 氣隙的大小決定著寄生電容的大小，但相對的，也控制著整體應力結構的強弱程度。若氣隙太小，則降低寄生電容效應之效果較差，但若氣隙太大，雖然可大幅度降低寄生電容效應之影響，但卻使得整體應力結構容易受到破壞。而上述專利案中，氣隙之位置係由半導體元件之設置位置而決定，兩兩半導體元件之間隔大小是固定的，一旦位置固定後，卻無法控制該氣隙空間之大小而無法使氣隙大小於寄生電容及應力結構中取得平衡。

【發明內容】

[0006] 本發明之主要目的，在於提高半導體結構之氣隙比（Air Gap Ratio）。

[0007] 本發明之另一目的，在於解決習知技術無法精準的控制氣隙大小的問題。

[0008] 為達上述目的，本發明提供一種半導體之氣隙的形成方法，包含有以下步驟：

[0009] S1：於一基板上形成複數溝渠以及至少一非平行該些溝渠並與該些溝渠連通的凹槽，該些溝渠之間形成複數柱狀體，該基板包含有一第一絕緣層，該柱狀體包含

有依序堆疊的一金屬層以及一第二絕緣層，該金屬層係相鄰於該第一絕緣層；

[0010] S2：於該些溝渠及該凹槽內沉積一第三絕緣層；

[0011] S3：形成一頂部隔離層於該第三絕緣層以及該柱狀體之表面，該頂部隔離層之材質相異於該第三絕緣層；

[0012] S4：定義一對應該些溝渠及該些柱狀體之位置的沉積區域，並定義一對應該些凹槽之位置的非沉積區域；

[0013] S5：去除該非沉積區域的該頂部隔離層；及

[0014] S6：利用一蝕刻物質透過該非沉積區域對該第三絕緣層進行蝕刻去除，而使該柱狀體與該頂部隔離層之間形成一氣隙。

[0015] 更進一步的，該第一絕緣層、該第二絕緣層、該第三絕緣層以及該頂部隔離層之材質係選自於由氮化矽、氮氧化矽、氧化矽、氟化矽及碳化矽所組成之群組及其組合。

[0016] 更進一步的，於步驟S2中，是利用介電質旋轉塗佈的方式形成該第三絕緣層於該些溝渠及該凹槽內。

[0017] 更進一步的，於步驟S2中，該第三絕緣層之厚度必須等於或大於該金屬層遠離該基板之一端的高度。

[0018] 更進一步的，於步驟S5中，包含有以下步驟：

[0019] S5A：形成一蝕刻阻擋層於該頂部隔離層之沉積區域上；

[0020] S5B：蝕刻去除未被該蝕刻阻擋層保護的該頂部隔離層，而露出該第三絕緣層；及

[0021] S5C：去除該蝕刻阻擋層。

[0022] 更進一步的，於步驟S6中，其係以濕蝕刻方式進行該第三絕緣層之蝕刻，而該蝕刻物質對該第三絕緣層具有高蝕刻選擇比。

[0023] 更進一步的，於步驟S1及步驟S2之間，更具有一步驟A1：形成一第四絕緣層於該些柱狀體、該些溝渠以及該凹槽之表面，該第四絕緣層之材質相易於該第三絕緣層之材質。更詳細的說明，該第四絕緣層之材質係選自於由氮化矽、氮氧化矽、氧化矽、氟化矽及碳化矽所組成之群組及其組合，該第四絕緣層係以線性沉積的方式形成於該些柱狀體、該些溝渠以及該凹槽之表面。

[0024] 由上述說明可知，本發明透過該非沉積區域而蝕刻去除該凹槽以及該溝渠內的第三絕緣層，而使得該些柱狀體與該頂部隔離層之間形成一氣隙，因而具有製程簡單、氣隙大小控制容易以及高氣隙比的優點。

【實施方式】

[0025] 有關本發明之詳細說明及技術內容，現就配合圖式說明如下：

請參閱「圖1」、「圖2A」、「圖3A」及「圖4」所示，「圖2A」至「圖2H」為「圖1」中A-A剖面視角之示意圖，「圖3A」至「圖3H」為「圖1」中B-B剖面視角之示意圖。本發明係為一種半導體之氣隙的形成方法，包

含有以下步驟：

S1：形成複數溝渠11以及至少一凹槽12，於一基板10上形成該些溝渠11以及非平行該些溝渠11並與該些溝渠11連通的該凹槽12，該些溝渠11之間形成複數柱狀體13，該基板10包含有一第一絕緣層131，該柱狀體13包含有依序堆疊的一金屬層132以及一第二絕緣層133，該金屬層132係相鄰於該第一絕緣層131。該第一絕緣層131以及該第二絕緣層133之材質係可為氮化矽（SiN）、氮氧化矽（SiON）、氧化矽（SiO、SiO₂）、氟化矽（SiF）或碳化矽（SiC）等，其中，該第一絕緣層131係可相同或相異於該第二絕緣層133之材質，於本實施例中，該基板10上依序堆疊該第一絕緣層131、該金屬層132以及該第二絕緣層133，而後在經由蝕刻的方式形成該溝渠11以及該凹槽12。

A1：形成一第四絕緣層20，請配合參閱「圖2B」及「圖3B」所示，於該些柱狀體13、該些溝渠11以及該凹槽12之表面形成該第四絕緣層20，該第四絕緣層20之材質係可相同或相異於該第一絕緣層131及該第二絕緣層133之材質，亦即，該第四絕緣層20之材質可為氮化矽、氮氧化矽、氧化矽、氟化矽或碳化矽等。另於本實施例中，該第四絕緣層20是以線性沉積（liner deposition）的方式形成於該些柱狀體13、該些溝渠11以及該凹槽12之表面。另需說明的是，該第四絕緣層20之目的在於調整完成後之氣隙80（示於圖2G）的寬度，請配合參閱「圖4」，若不需調整氣隙80的寬度，亦可跳過步驟A1直接進行步驟S2。

S2：形成一第三絕緣層30，請配合參閱「圖2C」及「圖3C」所示，於該些溝渠11及該凹槽12內沉積一第三絕緣層30，該第三絕緣層30之材質可為氮化矽、氮氧化矽、氧化矽、氟化矽或碳化矽等，並於本實施例中，其利用介電質旋轉塗佈（Spin On Dielectric, SOD）的方式形成該第三絕緣層30於該些溝渠11及該凹槽12內。另需特別說明的是，若如「圖4」中省略步驟A1，則該第三絕緣層30之材質必須相異於該第一絕緣層131與該第二絕緣層133之材質，藉此利用高選擇比的蝕刻物質進行後續不同範圍之蝕刻；若接續步驟A1，則僅要該第四絕緣層20之材質與該第三絕緣層30之材質不同，即可達到不同範圍之蝕刻選擇，亦即，該第三絕緣層20可與該第一絕緣層131或/及該第二絕緣層133為相同材質。而該第三絕緣層30之厚度等於或大於該金屬層132遠離該基板10之一端的高度，以確保相鄰柱狀體13之間的金屬層132間隔有該第三絕緣層30。

S3：形成一頂部隔離層40，請配合參閱「圖2D」及「圖3D」所示，於該第三絕緣層30以及該柱狀體13之表面形成該頂部隔離層40，該頂部隔離層40之材質可為氮化矽、氮氧化矽、氧化矽、氟化矽或碳化矽等，且該頂部隔離層40之材質需相異於該第三絕緣層30之材質。

S4：定義一對應該些溝渠11及該些柱狀體13之位置的沉積區域51，並定義一對應該凹槽12之位置的非沉積區域52；

S5：去除該非沉積區域52的該頂部隔離層40，於本實施例中，更包含有以下步驟：

S5A：形成一蝕刻阻擋層60，請配合參閱「圖2E」及「圖3E」所示，形成該蝕刻阻擋層60於該頂部隔離層40之沉積區域51上；

S5B：去除頂部隔離，如「圖3E」所示，蝕刻去除未被該蝕刻阻擋層60保護的該頂部隔離層40，而露出該第三絕緣層30；及

S5C：去除該蝕刻阻擋層60，請配合參閱「圖2F」及「圖3F」所示，去除該蝕刻阻擋層60以方便後續製程的進行。

S6：去除該第三絕緣層30，請配合參閱「圖2G」及「圖3G」所示，於本實施例中，其利用一蝕刻物質以濕蝕刻方式透過該非沉積區域52對該第三絕緣層30進行蝕刻去除，而使該柱狀體13與該頂部隔離層40之間形成一氣隙80，其中該蝕刻物質對該第三絕緣層30具有高蝕刻選擇比，由於該第一絕緣層131、該第二絕緣層133、該頂部隔離層40以及該第四絕緣層20之材質皆相異於該第三絕緣層30，因此，藉由高選擇比的蝕刻物質選擇，而可蝕刻該第三絕緣層30但避免蝕刻到該第一絕緣層131、該第二絕緣層133、該第四絕緣層20以及該頂部隔離層40。

完成上述步驟後，可進行後續製程，如「圖2H」及「圖3H」所示，沉積一氧化層70於完成上述製程後的結構表面，而由於沉積僅會進行垂直方向的生長，因此位於該溝渠11內的氣隙80並不會影響。

綜上所述，本發明具有下列特點：

一、透過該非沉積區域而蝕刻去除該凹槽以及該溝

渠內的第三絕緣層，而使得該些柱狀體與該頂部隔離層之間形成一氣隙，具有製程簡單之優點。

二、利用控制第三絕緣層之厚度，而決定形成之氣隙的高度；控制第四絕緣層之厚度，決定形成之氣隙之寬度，具有極佳之操作性。

三、形成之氣隙穩定性高，而具有高氣隙比的優點。

因此本發明極具進步性及符合申請發明專利之要件，爰依法提出申請，祈鈞局早日賜准專利，實感德便。

以上已將本發明做一詳細說明，惟以上所述者，僅為本發明之一較佳實施例而已，當不能限定本發明實施之範圍。即凡依本發明申請範圍所作之均等變化與修飾等，皆應仍屬本發明之專利涵蓋範圍內。

【圖式簡單說明】

[0026] 圖1，為本發明一較佳實施例之俯視示意圖。

[0027] 圖2A-2H，為圖1之A-A視角之剖面製程示意圖。

[0028] 圖3A-3H，為圖1之B-B視角之剖面製程示意圖。

[0029] 圖4，為本發明之製程步驟示意圖。

【主要元件符號說明】

[0030] 10：基板

[0031] 11：溝渠

[0032] 12：凹槽

[0033] 13：柱狀體

201338092

[0034] 131：第一絕緣層

[0035] 132：金屬層

[0036] 133：第二絕緣層

[0037] 20：第四絕緣層

[0038] 30：第三絕緣層

[0039] 40：頂部隔離層

[0040] 51：沉積區域

[0041] 52：非沉積區域

[0042] 60：蝕刻阻擋層

[0043] 70：氧化層

[0044] 80：氣隙

[0045] 步驟：S1～S6、S5A～S5C、A1

七、申請專利範圍：

1. 一種半導體之氣隙的形成方法，包含有以下步驟：

S1：於一基板上形成複數溝渠以及至少一非平行該些溝渠並與該些溝渠連通的凹槽，該些溝渠之間形成複數柱狀體，該基板包含有一第一絕緣層，該柱狀體包含有依序堆疊的一金屬層以及一第二絕緣層，該金屬層係相鄰於該第一絕緣層；

S2：於該些溝渠及該凹槽內沉積一第三絕緣層；

S3：形成一頂部隔離層於該第三絕緣層以及該柱狀體之表面，該頂部隔離層之材質相異於該第三絕緣層；

S4：定義一對應該些溝渠及該些柱狀體之位置的沉積區域，並定義一對應該些凹槽之位置的非沉積區域；

S5：去除該非沉積區域的該頂部隔離層；及

S6：利用一蝕刻物質透過該非沉積區域對該第三絕緣層進行蝕刻去除，而使該柱狀體與該頂部隔離層之間形成一氣隙。
2. 如申請專利範圍第1項所述之半導體之氣隙的形成方法，其中該第一絕緣層、該第二絕緣層、該第三絕緣層以及該頂部隔離層之材質係選自於由氮化矽、氮氧化矽、氧化矽、氟化矽及碳化矽所組成之群組及其組合。
3. 如申請專利範圍第1項所述之半導體之氣隙的形成方法，其中該第三絕緣層之材質相異於該第一絕緣層與該第二絕緣層之材質。
4. 如申請專利範圍第1項所述之半導體之氣隙的形成方法，其中於步驟S2中，是利用介電質旋轉塗佈的方式形成該第

三絕緣層於該些溝渠及該凹槽內。

- 5 . 如申請專利範圍第1項所述之半導體之氣隙的形成方法，其中於步驟S2中，該第三絕緣層之厚度等於或大於該金屬層遠離該基板之一端的高度。
- 6 . 如申請專利範圍第1項所述之半導體之氣隙的形成方法，其中於步驟S5中，包含有以下步驟：

S5A：形成一蝕刻阻擋層於該頂部隔離層之沉積區域上；

S5B：蝕刻去除未被該蝕刻阻擋層保護的該頂部隔離層，而露出該第三絕緣層；及

S5C：去除該蝕刻阻擋層。
- 7 . 如申請專利範圍第1項所述之半導體之氣隙的形成方法，其中於步驟S6中，其係以濕蝕刻方式進行該第三絕緣層之蝕刻。
- 8 . 如申請專利範圍第1項所述之半導體之氣隙的形成方法，其中於步驟S6中，該蝕刻物質對該第三絕緣層具有高蝕刻選擇比。
- 9 . 如申請專利範圍第1項所述之半導體之氣隙的形成方法，其中於步驟S1及步驟S2之間，更具有一步驟A1：形成一第四絕緣層於該些柱狀體、該些溝渠以及該凹槽之表面，該第四絕緣層之材質相異於該第三絕緣層之材質。
- 10 . 如申請專利範圍第9項所述之半導體之氣隙的形成方法，其中該第四絕緣層之材質係選自於由氮化矽、氮氧化矽、氧化矽、氟化矽及碳化矽所組成之群組及其組合。
- 11 . 如申請專利範圍第9項所述之半導體之氣隙的形成方法，其中該第四絕緣層係以線性沉積的方式形成於該些柱狀體、該些溝渠以及該凹槽之表面。

八、圖式：

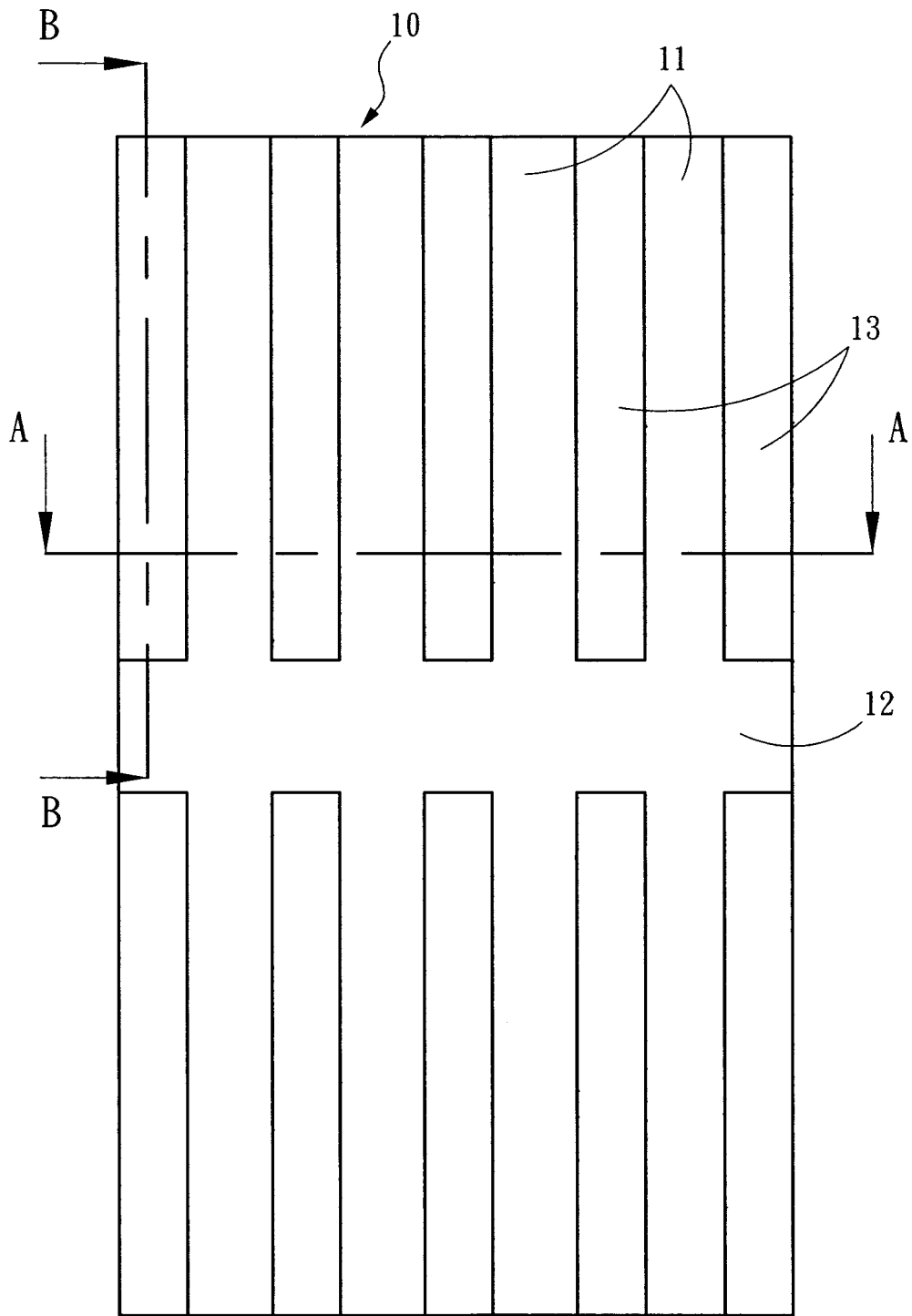


圖 1

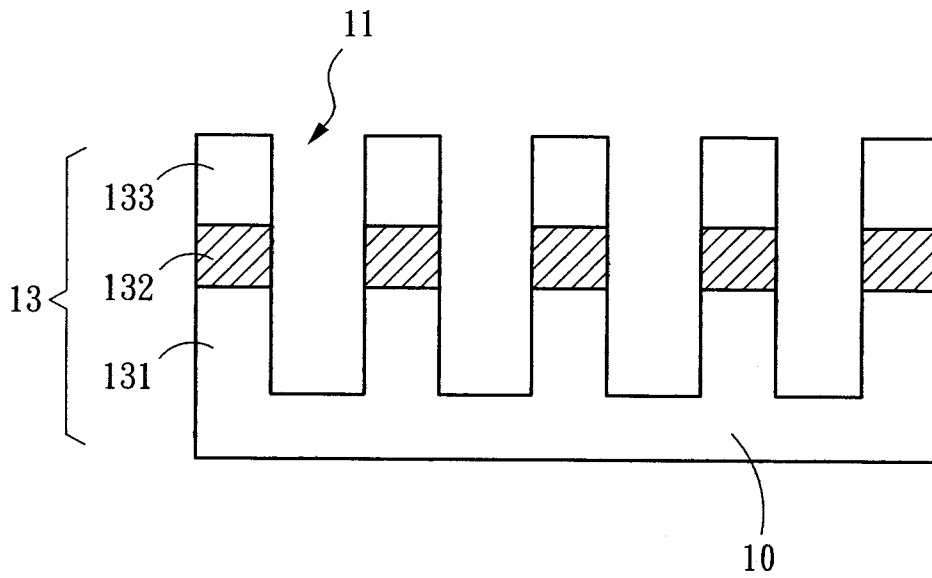


圖 2A

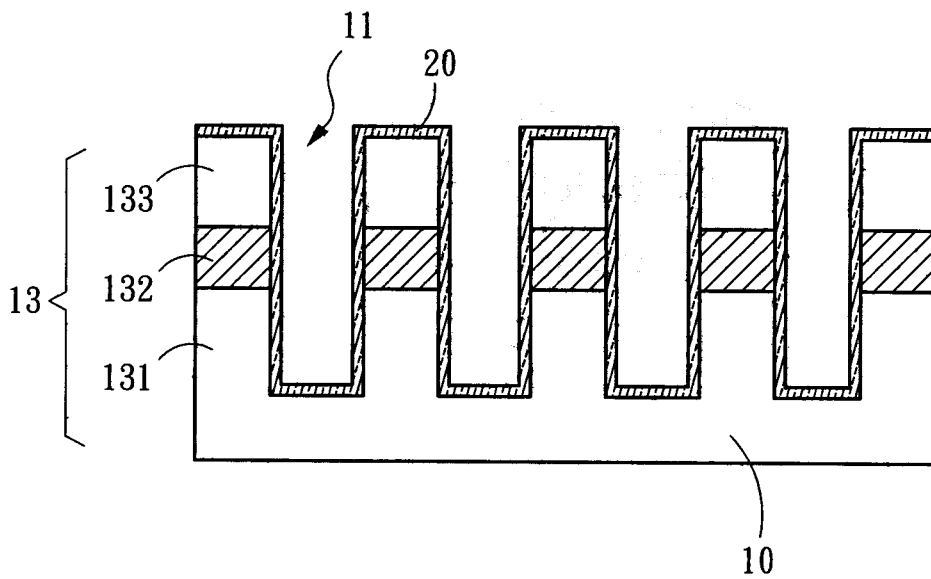


圖 2B

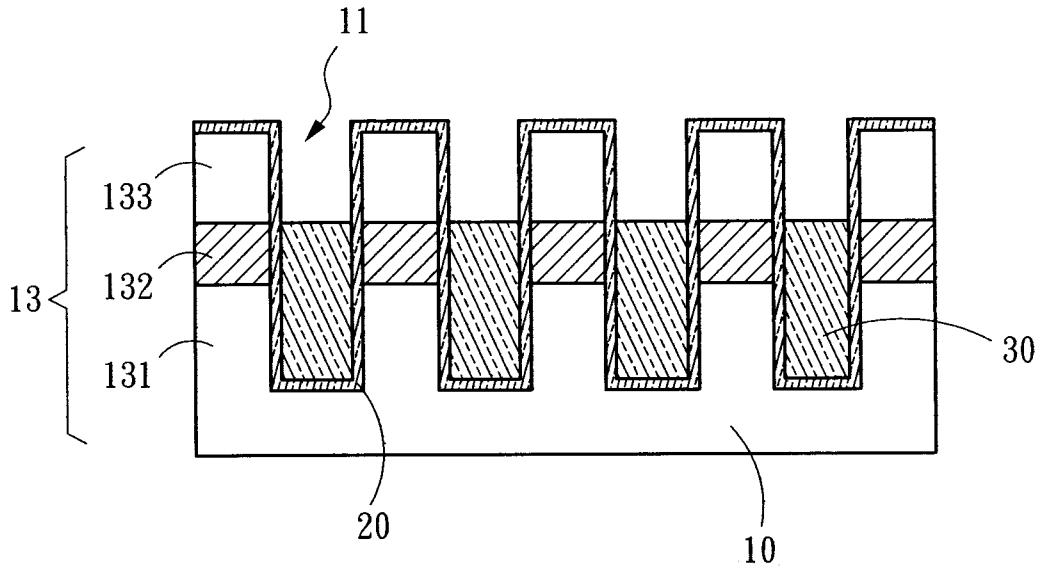


圖 2C

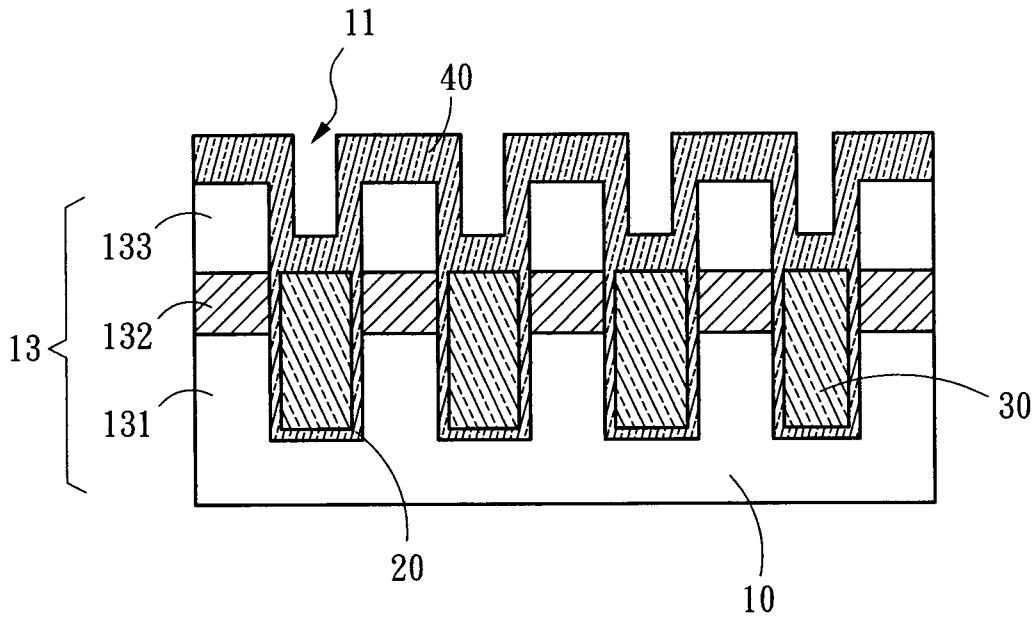


圖 2D

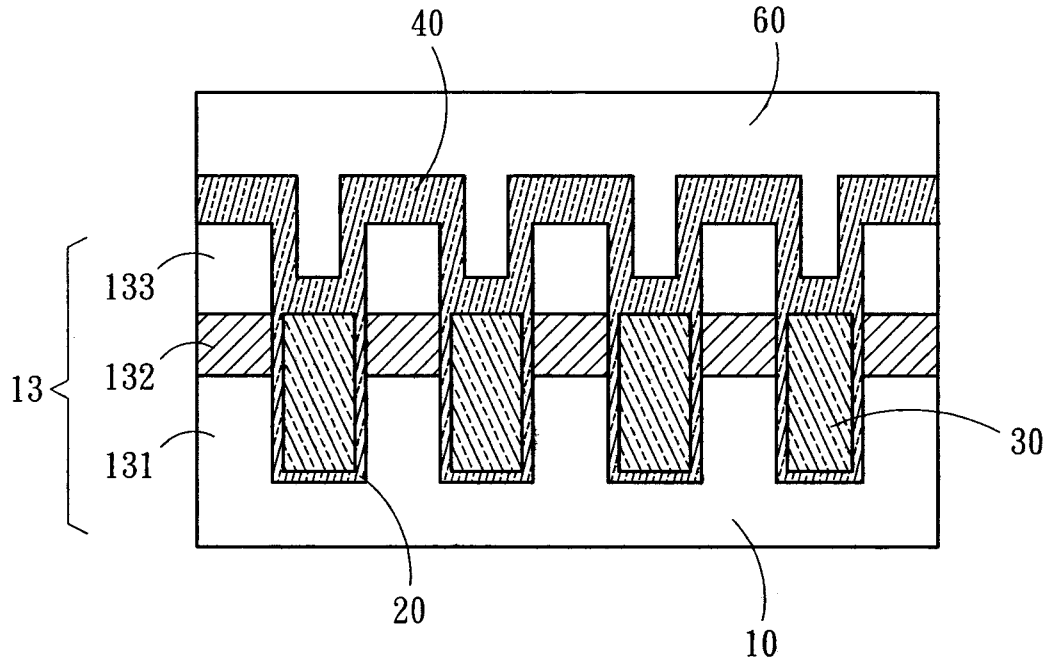


圖 2E

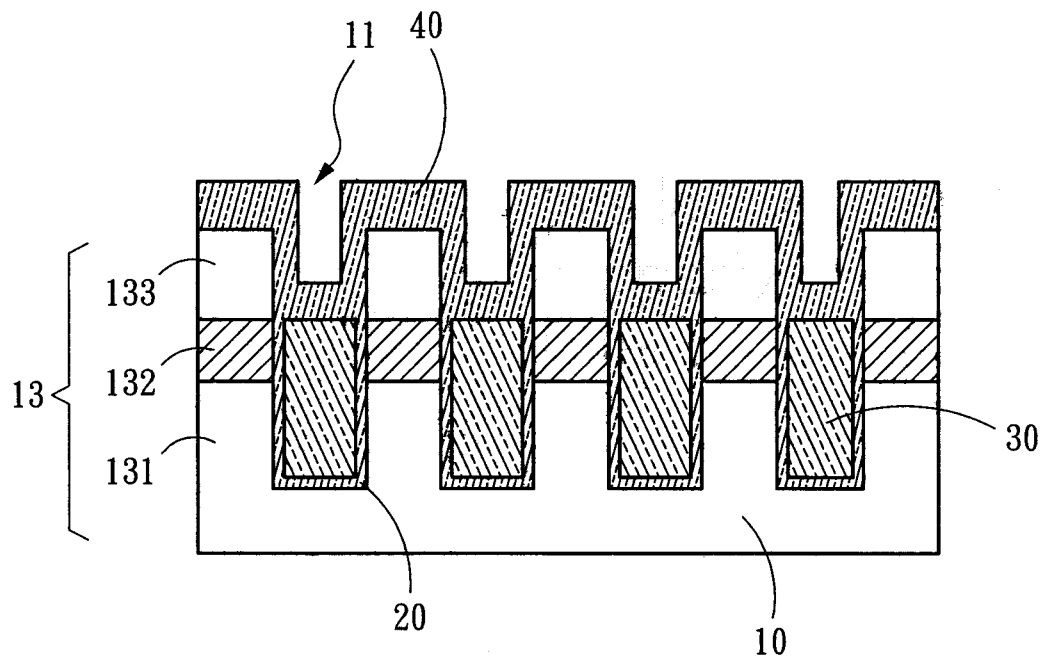


圖 2F

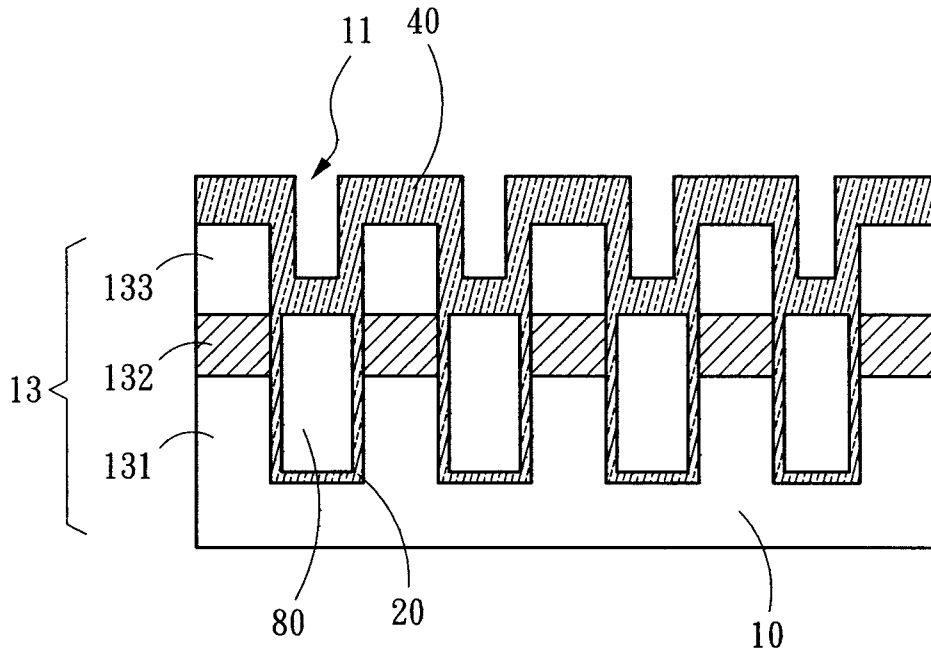


圖 2G

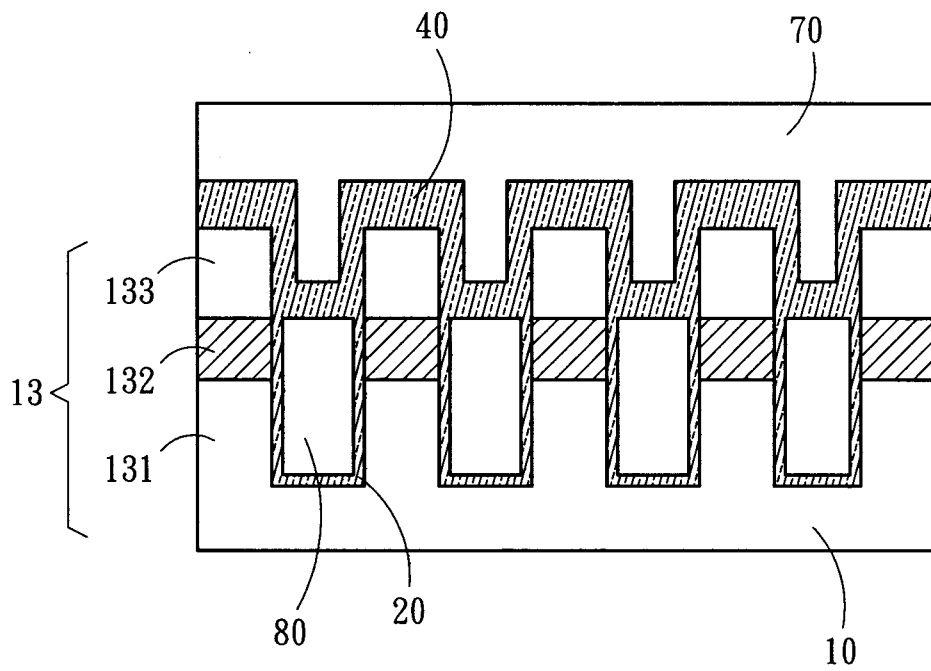


圖 2H

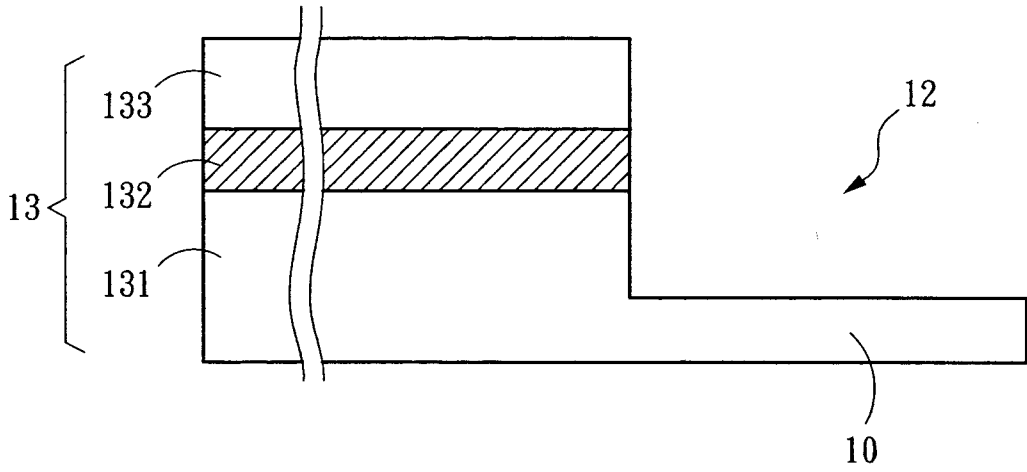


圖 3A

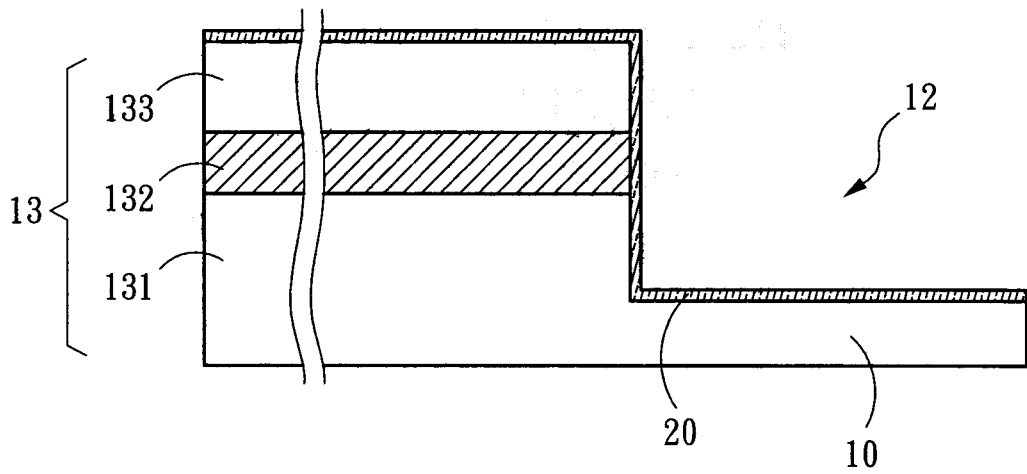


圖 3B

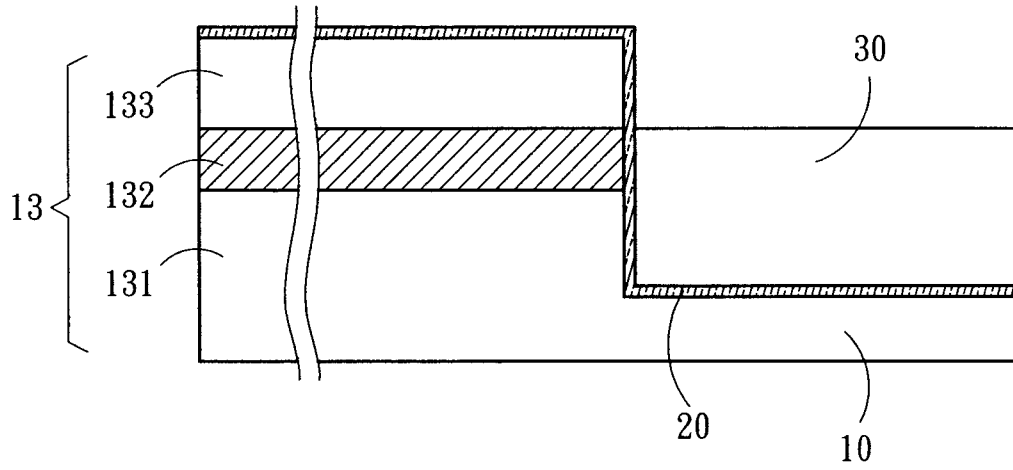


圖 3C

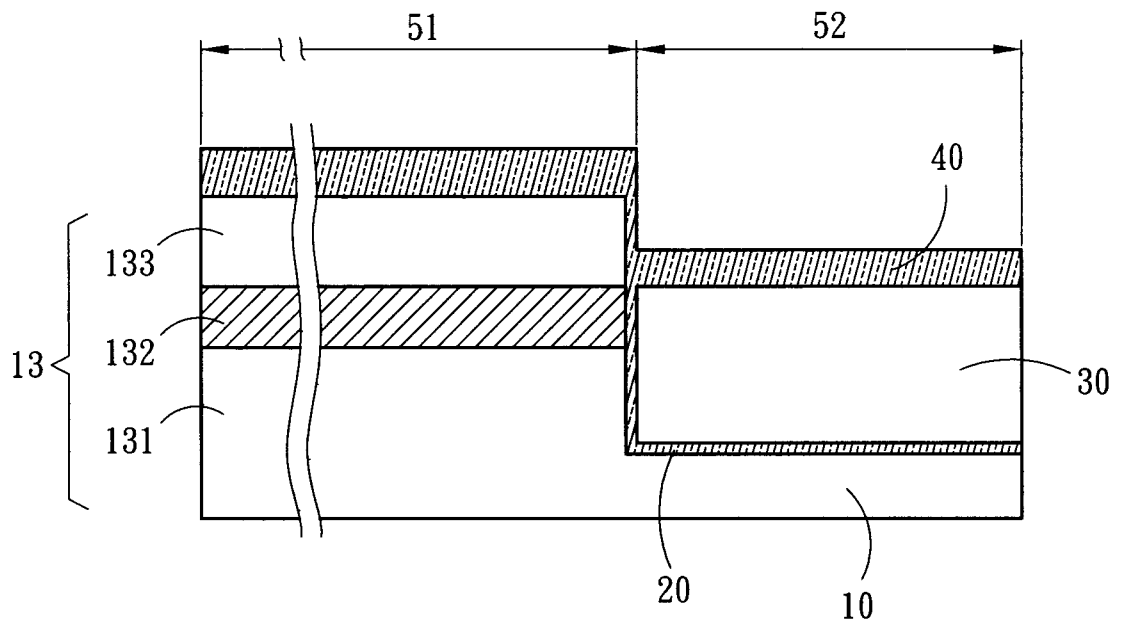


圖 3D

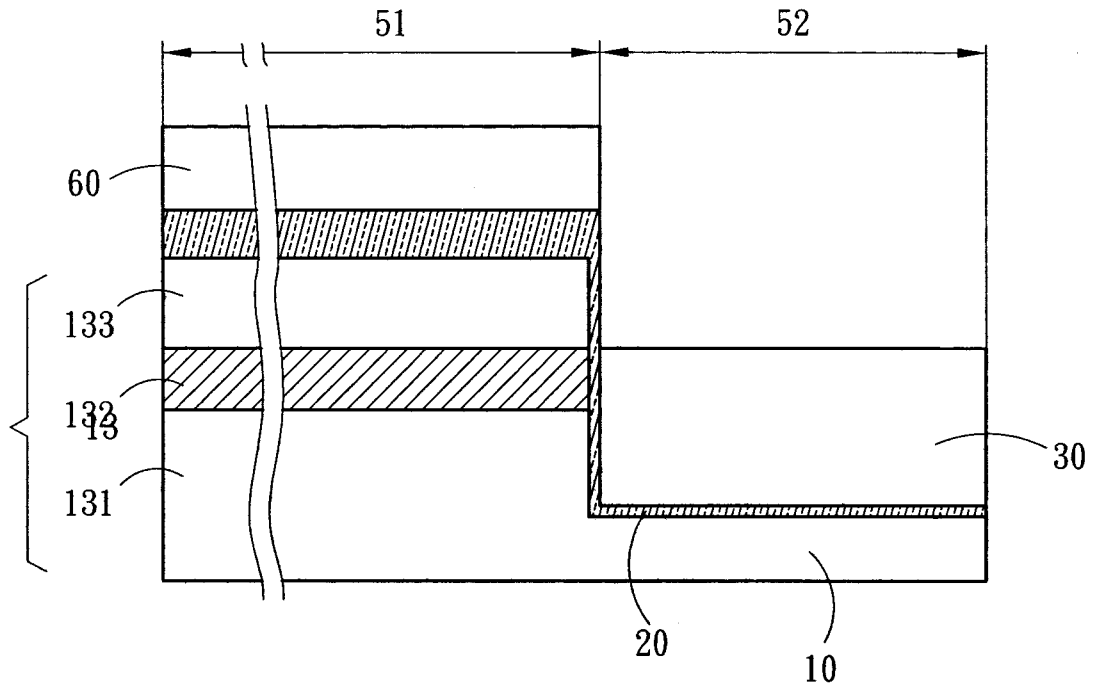


圖 3E

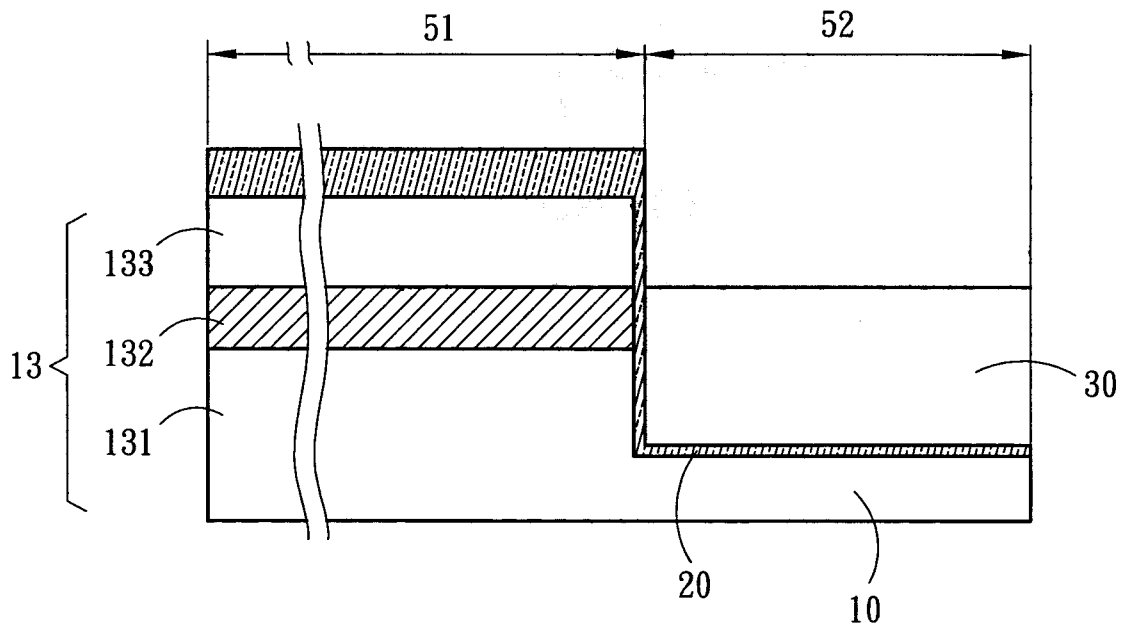


圖 3F

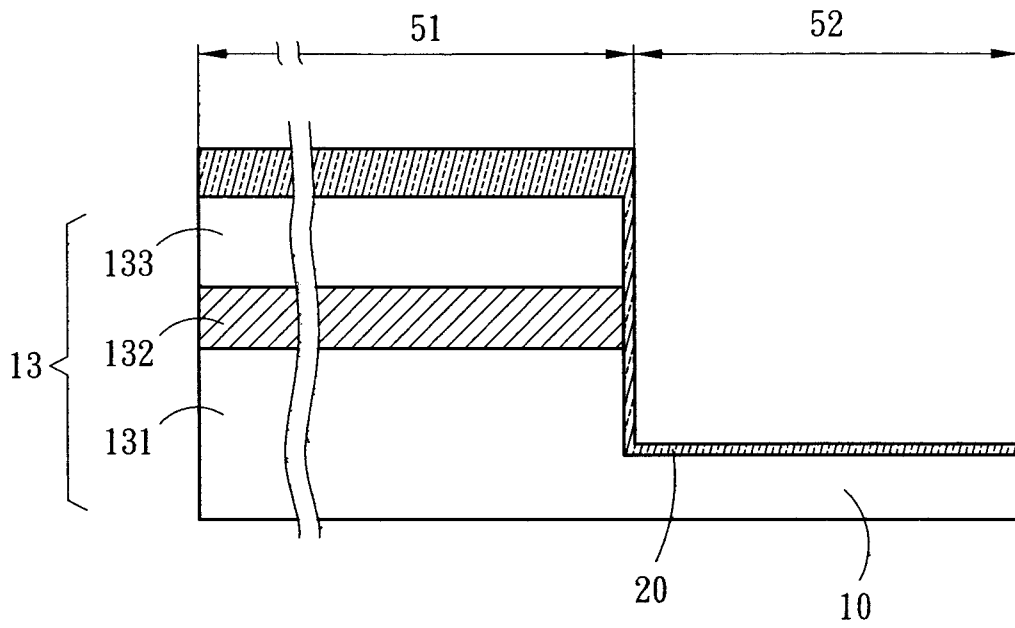


圖 3G

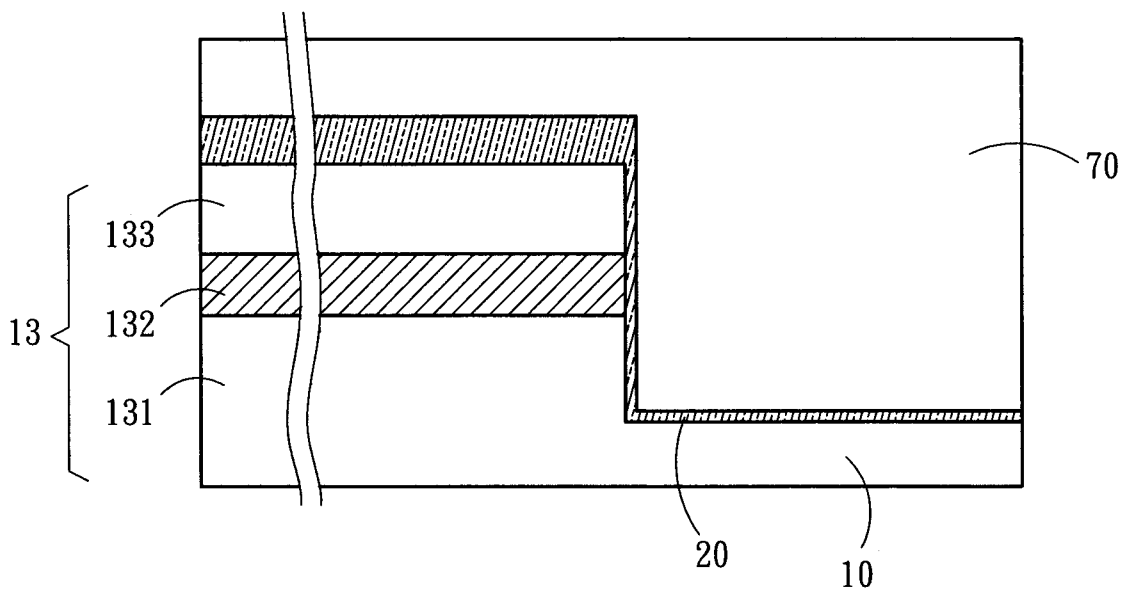


圖 3H

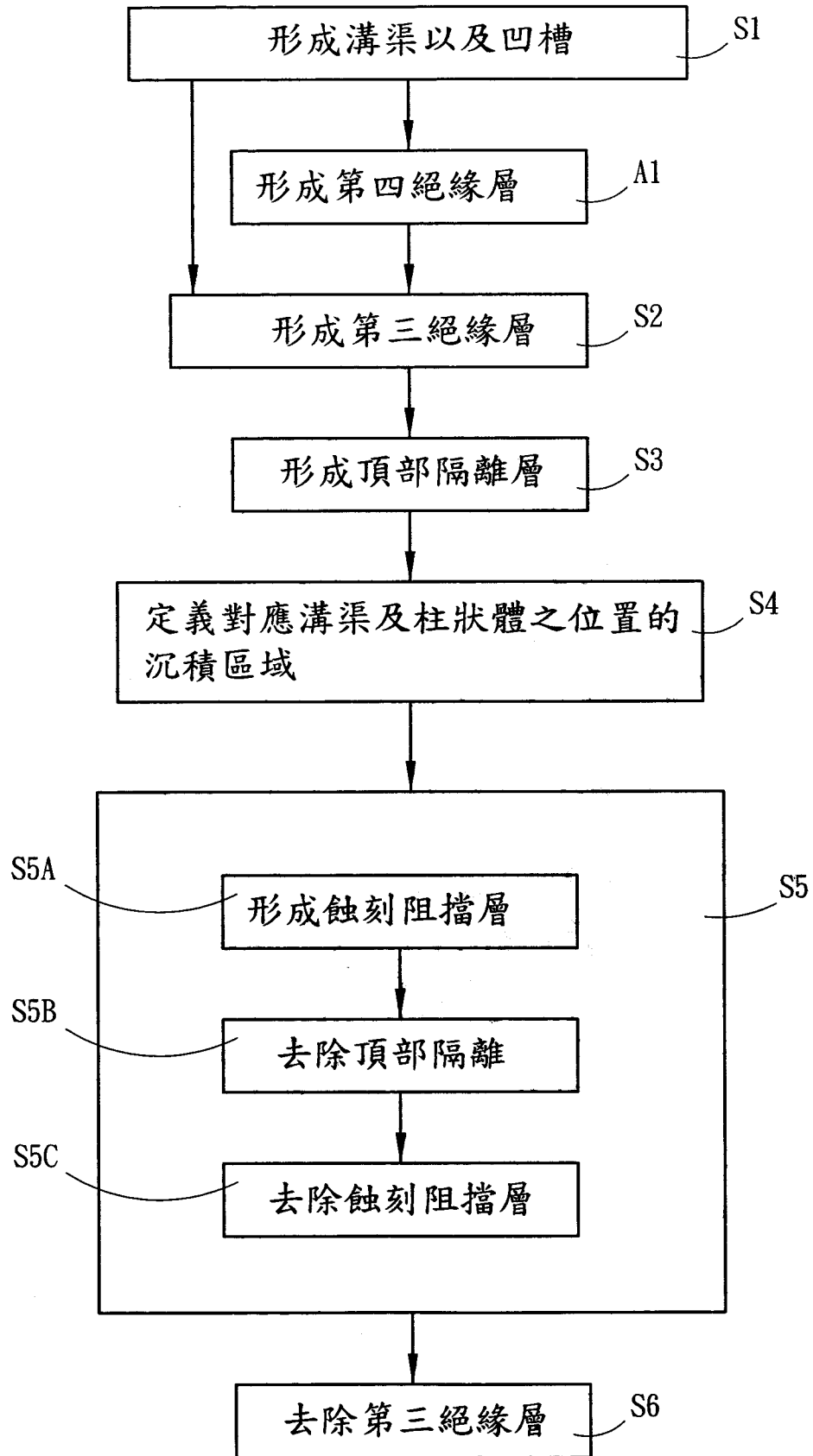


圖 4