(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 699 26 308 T2** 2006.05.24

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 962 851 B1**
(21) Deutsches Aktenzeichen: **699 26 308.5**
(96) Europäisches Aktenzeichen: **99 303 850.4**
(96) Europäischer Anmeldetag: **18.05.1999**
(97) Erstveröffentlichung durch das EPA: **08.12.1999**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **27.07.2005**
(47) Veröffentlichungstag im Patentblatt: **24.05.2006**

(51) Int Cl.[8]: ***G06F 1/10*** (2006.01)

(30) Unionspriorität:
90678 **03.06.1998** **US**

(84) Benannte Vertragsstaaten:
DE, FR, GB

(73) Patentinhaber:
Agilent Technologies Inc., A Delaware Corp., Palo Alto, Calif., US

(74) Vertreter:
Schoppe, Zimmermann, Stöckeler & Zinkler, 82049 Pullach

(72) Erfinder:
Brown, Allen C., Corvallis, US; Smitlener, Damir, Montreal, CA

(54) Bezeichnung: **Zeitschaltung die einen Taktbaum als eine Verzögerungsanordnung verwendet**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Gebiet der Erfindung

[0001] Die vorliegende Erfindung bezieht sich auf Taktsignale in digitalen Schaltungen und insbesondere auf ein Bereitstellen einer erwünschten Beziehung zwischen zwei Taktsignalen.

Hintergrund der Erfindung

[0002] Technologien integrierter Schaltungen werden kontinuierlich weiterentwickelt und ergeben Chips, die mehr Logikoperationen pro Flächeneinheit durchführen und dies mit höheren Betriebsgeschwindigkeiten. Die gestiegene Fähigkeit integrierter Schaltungen hat ebenso einen Bedarf nach einer genaueren Steuerung der Beziehung verschiedener Takt- oder Steuersignale erzeugt. Es könnte z. B. in einer Hochgeschwindigkeitsumgebung erforderlich sein, dass ein zweites Taktsignal um eine bestimmte Menge relativ zu einem ersten Taktsignal verzögert wird, so dass Daten, die durch das erste Steuersignal geschleust bzw. gesteuert werden, nach der auslösenden Flanke des zweiten Taktsignals in einem ordnungsgemäßen Zustand sind. Es könnte z. B. in dem Fall eines asynchronen RAM und eines Entwurfs auf Zweiphasen-Latch-Basis ebenso erforderlich sein, dass ein Steuersignal von einem bestimmten Zustand übergeht und zu diesem Zustand zurückkehrt, während ein verwandtes Steuersignal nicht übergeht. Diese Beziehung wird manchmal als „nichtüberlappend" bezeichnet.

[0003] Ein Versuch des Stands der Technik, ein zweites Taktsignal relativ zu einem ersten Taktsignal zu verzögern, bestand darin, ein Latch (Flip-Flop) zum Induzieren einer erwünschten Verzögerung zu verwenden. Probleme bei einem derartigen Ansatz umfassen, dass, wenn ein Hochgeschwindigkeitstakt- oder -steuersignal behandelt wird, kein weiteres Hochgeschwindigkeitssignal vorliegt, das verfügbar ist, um Signale durch das Latch zu schleusen bzw. steuern.

[0004] Ein weiterer Versuch des Stands der Technik, ein Taktsignal relativ zu einem anderen zu steuern, umfasst eine Einführung einer analogen Verzögerungsvorrichtung zwischen den Taktsignalen. Probleme bei diesem Ansatz umfassen jedoch, dass die Menge einer tatsächlichen Verzögerung, die durch die analoge Verzögerungsvorrichtung induziert wird, ziemlich variabel ist, und ferner, dass analoge Verzögerungsvorrichtungen nicht Teil herkömmlicher Entwurfswerkzeuge (auf Digitalbasis) für integrierte Schaltungen sind. So besteht ein Bedarf nach einer effizienten praktischen Art und Weise zur Bereitstellung einer vorbestimmten Beziehung zwischen mehreren Takt- oder Steuersignalen in einer Umgebung einer integrierten Schaltung. Dieser Bedarf besteht für sowohl sich überlappende als auch nichtüberlappende Signale.

[0005] Die US 5635857 (Flora) offenbart einen weiteren Versuch einer Steuerung eines Taktsignals relativ zu einem anderen und verwendet die inhärente Verzögerungseigenschaft von Taktbäumen zur Einführung bestimmbarer Verzögerungen.

Zusammenfassung der Erfindung

[0006] Folglich besteht eine Aufgabe der vorliegenden Erfindung darin, eine Zeitgebungs- oder Steuerschaltung bereitzustellen, die eine vordefinierte Beziehung zwischen mehreren Taktsignalen erzeugt.

[0007] Eine weitere Aufgabe der vorliegenden Erfindung besteht darin, eine Zeitgebungs- oder Steuerschaltung bereitzustellen, die eine derartige vordefinierte Beziehung unter Verwendung der inhärenten Verzögerung von Treibern in einem Taktbaum erzielt.

[0008] Eine weitere Aufgabe der vorliegenden Erfindung besteht darin, eine derartige Zeitgebungsschaltung bereitzustellen, die eine überlappende oder nichtüberlappende Beziehung zwischen Ausgangssignalen bietet.

[0009] Diese und verwandte Aufgaben der vorliegenden Erfindung werden durch die Verwendung einer Zeitgebungsschaltung gelöst, die einen Taktbaum als eine Verzögerungsvorrichtung verwendet, wie hierin beschrieben ist.

[0010] Bei einem Ausführungsbeispiel umfasst die vorliegende Erfindung einen Eingang; eine Verzögerungsvorrichtung, die mit dem Eingang gekoppelt ist, die als ein erster Taktbaum implementiert ist und ein erstes Taktbaum-Ausgangssignal erzeugt; eine Kombinierungsschaltung, die ein Signal von dem Eingang und das erste Taktbaum-Ausgangssignal auf eine derartige Art und Weise kombiniert, um ein kombiniertes Signal zu erzeugen, das eine definierte zeitliche Beziehung zu dem ersten Taktbaum-Ausgangssignal aufweist; und eine Funktionslogik, die mit der Verzögerungsvorrichtung und der Kombinierungsschaltung gekoppelt ist, die das erste Taktbaum-Ausgangssignal und das kombinierte Signal empfängt. Dieses Ausführungsbeispiel könnte ferner einen zweiten Taktbaum aufweisen, der mit der Kombinierungsschaltung gekoppelt ist, der das kombinierte Signal empfängt und das kombinierte Signal als ein zweites Taktbaum-Ausgangssignal verteilt; wobei das zweite Taktbaum-Ausgangssignal und das erste Taktbaum-Signal eine definierte zeitliche Beziehung aufweisen. Der erste und der zweite Taktbaum könnten konfiguriert sein, um Verzögerungen aufzuerlegen, die bewirken, dass das erste und das zweite Taktbaum-Ausgangssignal nichtüberlappend oder überlappend sind. Die Funktionslogik könnte ein

asynchroner RAM oder eine andere asynchrone oder synchrone Logik sein.

[0011] Bei einem weiteren Ausführungsbeispiel umfasst die vorliegende Erfindung einen Steuersignaleingang, wobei der Eingang konfiguriert ist, um ein empfangenes Steuersignal auf zumindest einem ersten und einem zweiten Pfad weiterzuleiten; einen ersten Taktbaum, der mit dem ersten Pfad gekoppelt ist, der ein erstes Taktbaum-Ausgangssignal erzeugt; einen zweiten Taktbaum, der mit dem zweiten Pfad gekoppelt ist, der ein zweites Taktbaum-Ausgangssignal erzeugt; und eine Funktionslogik, die durch das erste Taktbaum-Ausgangssignal und das zweite Taktbaum-Ausgangssignal gesteuert wird; wobei das erste Taktbaum-Ausgangssignal und das zweite Taktbaum-Ausgangssignal eine definierte zeitliche Beziehung zwischen sich aufweisen.

[0012] Die vorliegende Erfindung umfasst außerdem ein Verfahren zum Bereitstellen eines ersten und eines zweiten Steuersignals, die die Beziehung aufweisen und erzeugt werden, wie hierin beschrieben ist.

[0013] Das Erzielen der vorangegangenen und verwandten Vorteile und Merkmale der Erfindung sollte für Fachleute auf diesem Gebiet nach einer Durchsicht der folgenden detaillierteren Beschreibung der Erfindung in Verbindung mit den Zeichnungen ohne weiteres ersichtlich sein.

Kurze Beschreibung der Zeichnungen

[0014] Fig. 1 ist ein schematisches Blockdiagramm eines Taktbaums.

[0015] Fig. 2 ist ein schematisches Blockdiagramm einer Zeitgebungs- oder Steuerschaltung gemäß der vorliegenden Erfindung.

[0016] Fig. 3 ist ein Zeitdiagramm von Signalen in der Takt- oder Steuerschaltung aus Fig. 2 gemäß der vorliegenden Erfindung.

Detaillierte Beschreibung

[0017] Bezug nehmend auf Fig. 1 ist ein schematisches Blockdiagramm eines Taktbaums **5** gezeigt. Ein Eingangstaktsignal wird über eine Leitung **9** an einen Zwischenspeichertreiber (im Folgenden als ein „Treiber" bezeichnet) **11** einer ersten Stufe (**10**) geliefert. Die Ausgabe des Treibers **11** wird an eine Mehrzahl von Treibern einer zweiten Stufe (**20**) geliefert. Während vier gezeigt sind (**21**–**24**), sollte zu erkennen sein, dass diese Anzahl größer oder kleiner sein kann, unter anderem abhängig von einer bekannten Ausfächerung oder Lastbestimmungsfaktoren, wie z. B. Impedanz und Leiterlänge usw., sowie der Anzahl zu versorgender Ziele. Die Ausgänge der Treiber der zweiten Stufe wiederum sind mit dem Eingang von Treibern **31**–**36** einer dritten Stufe (**30**) gekoppelt, wobei die Treiber der dritten Stufe ähnlich mit Treibern **41**–**46** einer vierten Stufe (**40**) gekoppelt sind.

[0018] Bei dem dargestellten Ausführungsbeispiel werden Taktsignale, die aus der vierten Stufe ausgegeben werden, an ihre Ziele (Funktionslogik) geliefert, die als Lasten **51**–**56** dargestellt sind. Es sollte zu erkennen sein, dass die Anzahl von Stufen und die Anzahl von Treibern innerhalb jeder Stufe von der Anzahl von Orten abhängen, an die das Taktsignal geliefert werden muss, sowie der Ausfächerungsfähigkeit jedes Treibers usw., wie allgemein bekannt ist.

[0019] Jede Stufe innerhalb des Taktbaums **10** induziert aufgrund von Faktoren, wie z. B. parasitärer Kapazität und Induktivität, Lastbetrachtungen und der inhärenten Eigenschaften eines Halbleitermaterials, usw eine bestimmte Menge an Verzögerung bei einem Taktsignal, das sich durch denselben ausbreitet. Außerdem könnte die durch einen Treiber induzierte Verzögerungsmenge sich von derjenigen unterscheiden, die durch einen weiteren induziert wird, was zu einem Taktsignal führt, das nicht exakt gleichzeitig übergeht. Diese Differenz wird allgemein als Takt-„Versatz" bezeichnet und in Fig. 3 (unten erläutert) z. B. ist der Taktversatz bei den Taktbaum-Ausgangssignalen als eine Periode oder ein Band angezeigt, während der/dessen der Signalübergang auftreten könnte.

[0020] Bezug nehmend auf Fig. 2 ist ein schematisches Blockdiagramm einer Takt- oder Steuersignalschaltung **60** gemäß der vorliegenden Erfindung gezeigt. Die Taktschaltung **60** empfängt ein Taktsignal über eine Leitung **62** und erzeugt aus demselben zumindest ein erstes und ein zweites Taktsignal, die eine vordefinierte zeitliche Beziehung aufweisen. Das Eingangstaktsignal wird durch eine Taktquelle **58** bereitgestellt, die ein Kristalloszillator oder eine weitere bekannte Quelle sein könnte. Die Quelle **58** könnte sich auf einer integrierten Schaltung, in der die Schaltung **60** vorgesehen ist, oder außerhalb derselben befinden.

[0021] Die Schaltung **60** umfasst vorzugsweise einen ersten Taktbaum **70** und einen zweiten Taktbaum **80**. Der erste und der zweite Taktbaum **70**, **80** sind allgemein analog zu dem oben Bezug nehmend auf Fig. 1 beschriebenen Taktbaum **10**, obwohl die Anzahl von Stufen und die Anzahl von Treibern pro Stufe größer oder kleiner sein könnten, als in Fig. 1 dargestellt ist.

[0022] Das Eingangstaktsignal auf der Leitung **62** wird zu einem ersten Taktbaum **70** weitergeleitet, von dem dasselbe über eine Mehrzahl von Ausgangsleitungen ausgegeben wird, wobei repräsentativ fünf

hiervon gezeigt sind **71**–**75**. Das Eingangstaktsignal wird ebenso in eine Kombinationslogik **90** eingegeben. Die Kombinationslogik **90** umfasst vorzugsweise ein NOR-Gatter oder dergleichen und kombiniert das Eingangstaktsignal und eine Ausgabe des ersten Taktbaums **70**, um ein Zwischensignal zu erzeugen. Es sollte zu erkennen sein, dass die Verwendung eines NOR-Gatters oder einer weiteren Kombinationslogik von dem aktiven Zustand einer Logik innerhalb einer integrierten Schaltung abhängt und gemäß demselben variieren könnte, wie allgemein bekannt ist. Es sollte ebenso zu erkennen sein, dass die Ausgabe des ersten Taktbaumes, die zu der Kombinationslogik **90** weitergeleitet wird, an jeder geeigneten Stufe des Taktbaums **70** genommen werden könnte, und so muss die Leitung **71** ein Signal, das die gleiche Stufe aufweist wie eines oder mehrere der Signale, die auf Leitungen **72**–**75** ausgegeben werden, nicht weiterleiten.

[0023] Die Ausgabe der Kombinationslogik **90** wird in einen zweiten Taktbaum **80** eingegeben, von dem aus dieselbe über eine Mehrzahl von Leitungen ausgegeben wird, wobei repräsentativ fünf hiervon gezeigt sind (**81**–**85**). Aus dem zweiten Taktbaum ausgegebene Signale weisen eine vordefinierte Beziehung relativ zu denjenigen auf, die aus dem ersten Taktbaum ausgegeben werden.

[0024] Ein erstes Taktbaum-Ausgangssignal wird auf der Leitung **71** zu einer Logik **95** weitergeleitet und ein zweites Taktbaum-Ausgangssignal wird über eine Leitung **81** zu der Logik **95** weitergeleitet. Die Logik **95** kann jede Logik sein, die Signale benötigt, die eine Beziehung aufweisen, wie hierin erläutert wurde, insbesondere Bezug nehmend auf Fig. 3. Bei einem bevorzugten Ausführungsbeispiel ist die Logik **95** ein asynchroner RAM und das erste und das zweite Taktbaum-Ausgangssignal lieferten einen geeigneten Adressaufbau und ein Austasten. Alternativ könnte die Logik **95** eine Logik eines Entwurfs auf Zweistufen-Latch-Basis oder dergleichen sein oder wiederum eine andere Logik.

[0025] Bezug nehmend auf Fig. 3 ist ein Zeitdiagramm von Signalen in der Taktschaltung **60** gemäß der vorliegenden Erfindung gezeigt. Das Diagramm aus Fig. 3 stellt das Eingangstaktsignal (als „CLOCK" identifiziert), das aus dem Taktbaum **70** ausgegebene Signal (erstes Taktbaum-Ausgangssignal genannt und als „FCTOS" identifiziert), das aus der Kombinationslogik **90** ausgegebene Signal (als „INT" für Zwischensignal identifiziert) und das aus dem zweiten Taktbaum **80** ausgegebene Signal (das zweite Taktbaum-Ausgangssignal genannt und als „SCTOS" identifiziert) dar. FCTOS ist eine erste taktbaum-verzögerte Version des Eingangtaktes, während SCTOS eine zweite taktbaum-verzögerte Version des Zwischen- oder des Kombinationslogik-Ausgabesignal ist. Die Menge einer Verzögerung, die durch jeden Taktbaum induziert wird, umfasst die inhärente Verzögerung, die durch die Taktbaumkomponenten und den Entwurf (wie oben erläutert) und den Ort, an dem das Taktsignal von dem jeweiligen Baum entnommen wird, induziert wird. Die durch den ersten Taktbaum induzierte Verzögerung wird D1 bezeichnet, während die durch den zweiten Taktbaum induzierte Verzögerung D2 bezeichnet wird.

[0026] Es ist aus Fig. 1 zu sehen, dass, wenn das Eingangstaktsignal nach hoch geht, das zwischen Taktsignal nach niedrig getrieben wird (das Inverse des Taktsignals). Nach einer Verzögerung D1 folgt FOTOS dem Taktsignal und nach einer Verzögerung D2 folgt SCTOS dem Zwischensignal. Die Verzögerung D1 könnte abhängig von einer bestimmten Anwendung größer oder gleich D2 sein oder die beiden Verzögerungen könnten in etwa gleich sein.

[0027] Bei dem Ausführungsbeispiel aus Fig. 3 ist D2 kleiner als Dl gezeigt. Gestrichelte Linien **88** stellen das SCTOS dar, wenn D2 größer ist als D1. Wenn D2 kleiner ist als D1, sind FOTOS und SCTOS nicht überlappend, wohingegen, wenn D2 größer ist als Dl, FOTOS und SCTOS überlappend sind.

[0028] Wenn das Eingangstaktsignal nach niedrig abfällt, wird das Zwischensignal nicht unmittelbar nach niedrig getrieben, sondern wird durch FOTOS zu einer Zeitperiode **81** geschleust bzw. gesteuert. Ansprechend auf den FOTOS-Übergang in einen niedrigen Zustand wird das Zwischensignal nach hoch getrieben, was wiederum FOTOS nach hoch treibt (nach einer Verzögerung D2). An dem Punkt **82** geht das Eingangstaktsignal wieder nach hoch über, was eine Wiederholung des Zyklus bewirkt. Unter anderen Merkmalen sollte zu erkennen sein, dass SCTOS Dl plus D2 hinter dem Eingangstakt ist, und dass, wenn D2 kleiner ist als Dl, SCTOS nach hoch geht und wieder nach niedrig übergeht, während FCTOS niedrig ist (d. h. nichtüberlappend), wohingegen, wenn D2 größer ist als Dl, SCTOS in einen niedrigen Logikzustand zurückkehrt, nachdem FCTOS nach hoch übergegangen ist (d. h. überlappend). Es sollte ebenso zu erkennen sein, dass das INT-Signal immer um die Menge einer Verzögerung verzögert ist, die durch die Kombinationslogik **90** induziert wird, bezeichnet als DG für die Verzögerung eines Gatters.

[0029] Während die Signale in Fig. 3 mit ihrer bevorzugten Polarität (oder Logikzustand) gezeigt sind, sollte zu erkennen sein, dass ein Erzielen der gleichen Funktionalität, wenn auch mit unterschiedlicher Polarität (oder unterschiedlichem Logikzustand), durch die Anmelder angesichts der Lehren hierin als innerhalb der Fähigkeit eines Fachmanns auf diesem Gebiet erachtet wird und innerhalb der vorliegenden Erfindung liegen soll.

[0030] Das FCTOS und SCTOS werden wie oben

erläutert an die Funktionslogik **90** weitergeleitet. Dort liefern die beiden Signale Steuer- oder Taktsignale, die eine vorbestimmte Beziehung zwischen sich aufweisen, wobei die Beziehung eine Funktion der inhärenten Verzögerung eines Taktbaums ist.

Patentansprüche

1. Eine Zeitgebungsschaltung mit folgenden Merkmalen:
einem Eingang (**62**);
einem ersten Taktbaum (**70**), der mit dem Eingang (**62**) gekoppelt ist, der ein Signal von dem Eingang empfängt und das Signal als eine Mehrzahl erster Taktbaum-Ausgangssignale verteilt;
einer Kombinierungsschaltung (**90**), die das Signal von dem Eingang und eines der ersten Taktbaum-Ausgangssignale auf eine derartige Art und Weise kombiniert, um ein kombiniertes Signal zu erzeugen, das eine definierte zeitliche Beziehung zu den ersten Taktbaum-Ausgangssignalen aufweist;
einem zweiten Taktbaum (**80**), der mit der Kombinierungsschaltung (**90**) gekoppelt ist, der das kombinierte Signal empfängt und das kombinierte Signal als eine Mehrzahl zweiter Taktbaum-Ausgangssignale verteilt, wobei die zweiten Taktbaum-Ausgangssignale und die ersten Taktbaumsignale eine definierte zeitliche Beziehung aufweisen; und
einer Funktionslogik (**95**), die mit dem ersten und dem zweiten Taktbaum (**70**, **80**) gekoppelt ist, die eines der ersten und eines der zweiten Taktbaum-Ausgangssignale empfängt.

2. Die Zeitgebungsschaltung gemäß Anspruch 1, bei der der erste Taktbaum und der zweite Taktbaum konfiguriert sind, um jeweilige Verzögerungen aufzuerlegen, derart, dass die ersten Taktbaum-Ausgangssignale und die zweiten Taktbaum-Ausgangssignale eine nicht überlappende Beziehung aufweisen.

3. Die Zeitgebungsschaltung gemäß Anspruch 1, bei der der der erste Taktbaum und der zweite Taktbaum konfiguriert sind, um jeweilige Verzögerungen aufzuerlegen, derart, dass die ersten Taktbaum-Ausgangssignale und die zweiten Taktbaum-Ausgangssignale eine überlappende Beziehung aufweisen.

4. Die Zeitgebungsschaltung gemäß einem der vorherigen Ansprüche, bei der der erste und der zweite Taktbaum (**70**, **80**) und die Kombinierungsschaltung (**90**) in einer anwendungsspezifischen integrierten Schaltung implementiert sind.

5. Die Zeitgebungsschaltung gemäß einem der vorherigen Ansprüche, bei der die Kombinierungsschaltung (**90**) eine Kombinationslogik (**90**) umfasst.

6. Die Zeitgebungsschaltung gemäß einem der vorherigen Ansprüche, bei der die Funktionslogik (**95**) eine asynchrone Logik umfasst.

7. Ein Verfahren zum Steuern einer Funktionslogik, mit folgenden Schritten:
Eingeben eines Steuersignals;
Unterteilen des Steuersignals in einen ersten und einen zweiten Pfad und Weiterleiten des Steuersignals auf dem zweiten Pfad;
Verzögern eines Signals in dem ersten Pfad durch ein Weiterleiten dieses Signals durch einen ersten Taktbaum, wobei der erste Taktbaum eine Mehrzahl erster Taktbaum-Ausgangssignale ausgibt;
Kombinieren des Steuersignals auf dem zweiten Pfad mit einem der ersten Taktbaum-Ausgangssignale, um ein kombiniertes Signal zu erzeugen, das eine definierte zeitliche Beziehung zu den ersten Taktbaum-Ausgangssignalen aufweist;
Verteilen des kombinierten Signals durch einen zweiten Taktbaum, wodurch eine Mehrzahl zweiter Taktbaum-Ausgangssignale erzeugt wird; und
Weiterleiten eines der ersten Taktbaum-Ausgangssignale und eines der zweiten Taktbaum-Ausgangssignale zu der Funktionslogik.

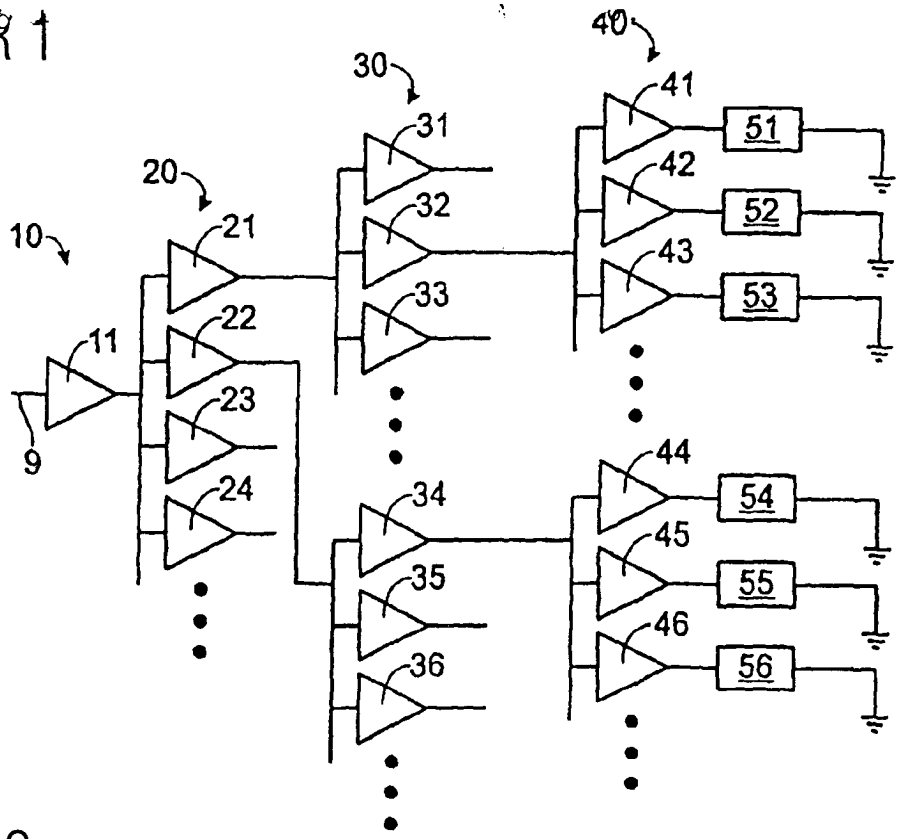
8. Das Verfahren gemäß Anspruch 7, das ferner den Schritt eines Erzeugens der ersten Taktbaum-Ausgangssignale und der zweiten Taktbaum-Ausgangssignale, um eine nicht überlappende Beziehung aufzuweisen, aufweist.

9. Das Verfahren gemäß Anspruch 8, das ferner den Schritt eines Bereitstellens der Funktionslogik als eine asynchrone Logik aufweist.

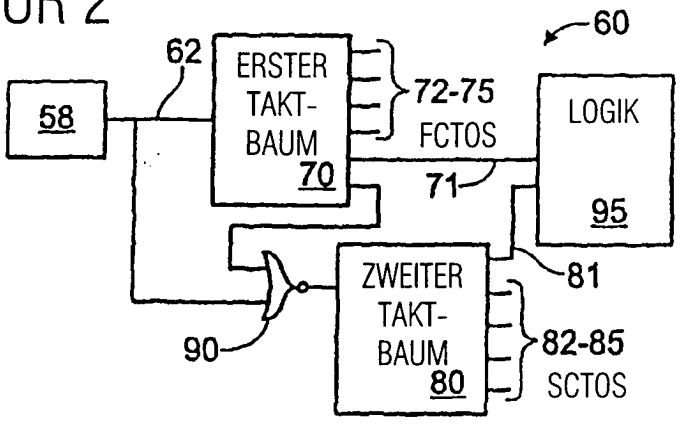
Es folgt ein Blatt Zeichnungen

Anhängende Zeichnungen

FIGUR 1



FIGUR 2



FIGUR 3

