



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I822805 B

(45)公告日：中華民國 112 (2023) 年 11 月 21 日

(21)申請案號：108122298

(22)申請日：中華民國 108 (2019) 年 06 月 26 日

(51)Int. Cl. : H01L27/085 (2006.01)

H01L21/8239(2006.01)

(30)優先權：2018/07/17 日本

2018-134089

(71)申請人：日商瑞薩電子股份有限公司(日本) RENESAS ELECTRONICS CORPORATION
(JP)

日本

(72)發明人：井上真雄 INOUE, MASAO (JP)；門島勝 KADOSHIMA, MASARU (JP)；川嶋祥
之 KAWASHIMA, YOSHIYUKI (JP)；山川市朗 YAMAKAWA, ICHIRO (JP)

(74)代理人：周良謀；周良吉

(56)參考文獻：

TW 201816991A

US 2008/0237688A1

審查人員：陳憶緣

申請專利範圍項數：13 項 圖式數：29 共 72 頁

(54)名稱

半導體元件及其製造方法

(57)摘要

本揭示的實施例涉及半導體元件及其製造方法。一種作為非揮發性記憶體單元的記憶體單元包括閘極電介質膜，其具有能夠保持電荷的電荷儲存層，以及記憶體閘極電極，其形成在閘極電介質膜上。電荷儲存層包括絕緣膜，其包含鈹、矽和氧插入層，其形成在絕緣膜上並且包含鋁，以及絕緣膜，其形成在插入層上並且包含鈹、矽和氧。

A memory cell, which is a nonvolatile memory cell, includes a gate dielectric film having charge storage layer capable of holding charges, and a memory gate electrode formed on the gate dielectric film. The charge storage layer includes an insulating film containing hafnium, silicon, and oxygen, an insertion layer formed on the insulating film and containing aluminum, and an insulating film formed on the insertion layer and containing hafnium, silicon, and oxygen.

指定代表圖：

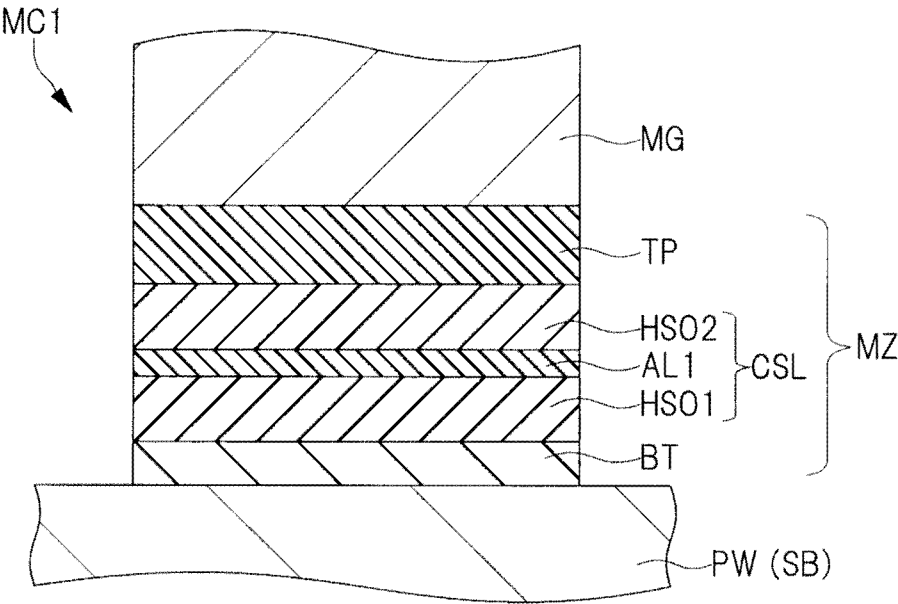


圖4

- 符號簡單說明：
- MG . . . 記憶體閘極電極
 - MC1 . . . 記憶體單元
 - MZ . . . 閘極電介質膜
 - PW . . . 阱區
 - BT . . . 絕緣膜
 - HSO1 . . . 絕緣膜
 - HSO2 . . . 絕緣膜
 - AL1 . . . 插入層
 - TP . . . 絕緣膜
 - CSL . . . 電荷儲存層



I822805

【發明摘要】

【中文發明名稱】半導體元件及其製造方法

【英文發明名稱】 A SEMICONDUCTOR DEVICE AND A METHOD OF
MANUFACTURING THE SAME

【中文】

本揭示的實施例涉及半導體元件及其製造方法。一種作為非揮發性記憶體單元的記憶體單元包括閘極電介質膜，其具有能夠保持電荷的電荷儲存層，以及記憶體閘極電極，其形成在閘極電介質膜上。電荷儲存層包括絕緣膜，其包含鈺、矽和氧插入層，其形成在絕緣膜上並且包含鋁，以及絕緣膜，其形成在插入層上並且包含鈺、矽和氧。

【英文】

A memory cell, which is a nonvolatile memory cell, includes a gate dielectric film having charge storage layer capable of holding charges, and a memory gate electrode formed on the gate dielectric film. The charge storage layer includes an insulating film containing hafnium, silicon, and oxygen, an insertion layer formed on the insulating film and containing aluminum, and an insulating film formed on the insertion layer and containing hafnium, silicon, and oxygen.

【指定代表圖】：圖 4

【代表圖之符號簡單說明】

- MG 記憶體閘極電極
- MC1 記憶體單元
- MZ 閘極電介質膜
- PW 阱區
- BT 絕緣膜
- HSO1 絕緣膜
- HSO2 絕緣膜
- AL1 插入層
- TP 絕緣膜
- CSL 電荷儲存層

【發明說明書】

【中文發明名稱】半導體元件及其製造方法

【英文發明名稱】 A SEMICONDUCTOR DEVICE AND A METHOD OF
MANUFACTURING THE SAME

【技術領域】

【0001】 [相關申請的交叉引用] 於 2018 年 7 月 17 日提交的日本專利申請號 2018-134089 的包括說明書、附圖和摘要在內的揭示內容經由引用整體併入本文。

【0002】 本發明涉及一種半導體元件及其製造方法，更具體地，本發明涉及一種用於具有非揮發性記憶體單元的半導體元件的技術。

【先前技術】

【0003】 快閃記憶體或電可擦除可程式設計唯讀記憶體（EEPROM）被廣泛用作電可程式設計和可擦除非揮發性記憶體。非揮發性記憶體單元包括被稱為金屬氧化物氮化物氧化物半導體（MONOS）型電晶體的記憶體單元，其中在閘極電極下方提供具有諸如氮化矽膜之類的陷阱絕緣膜的電荷儲存層。經由向電荷儲存層注入電荷和從電荷儲存層釋放電荷，電晶體的閾值被移位，從而使得電晶體能夠被用作非揮發性記憶體單元。近年來，已經開發出使用諸如氧化鉛膜之類的高介電常數膜代替氮化矽膜作為電荷儲存層的非揮發性記憶體單元。

【0004】例如，日本未審查專利申請公開號 2015/53474 揭示了一種使用矽酸鉛膜作為電荷儲存層的非揮發性記憶體單元。

【發明內容】

【0005】在使用高介電常數膜的非揮發性記憶體單元中，期望提高諸如保留特性之類的可靠性。

【0006】根據說明書和附圖的描述，其他目的和新穎特徵將變得顯而易見。

【0007】下面對本申請中所揭示的實施例中的典型實施例進行簡要描述。

【0008】一種根據實施例的半導體元件包括非揮發性記憶體單元，其具有第一閘極電介質膜，該第一閘極電介質膜形成在半導體基板上並且包括能夠保持電荷的電荷儲存層，以及第一閘極電極，該第一閘極電極形成在第一閘極電介質膜上。本文中，電荷儲存層包括第一絕緣膜，其包含鉛、矽和氧，第一插入層，其形成在第一絕緣膜上，並且由與第一絕緣膜的材料不同的材料製成，並且包含鋁，以及第二絕緣膜，其形成在第一插入層上，並且由與第一插入層的材料不同的材料製成，並且包含鉛、矽和氧。

【0009】另外，一種根據實施例的半導體元件包括非揮發性記憶體單元，其具有能夠保持電荷的電荷儲存層。本文中，電荷儲存層具有第一絕緣層，該第一絕緣層包含鉛、矽和氧。在第一絕緣膜中形成至少一個插入層，該至少一個插入層包含與鉛不同的金屬。

【0010】根據實施例，可以提高半導體元件的可靠性。

【圖式簡單說明】

【0011】圖 1 是示出了第一實施例的半導體元件的剖視圖。

【0012】圖 2 是第一實施例的記憶體單元的等效電路圖。

【0013】圖 3 是示出了在“寫入”、“擦除”和“讀取”期間向所選記憶體單元的每個部分施加電壓的條件的實例的表。

【0014】圖 4 是第一實施例的半導體元件的主要部分的放大剖視圖。

【0015】圖 5 是示出了本申請的發明人的實驗結果的圖。

【0016】圖 6 是示出了電荷儲存層記憶體在的陷阱水準的示意圖。

【0017】圖 7A 和圖 7B 是示出了本申請的發明人的實驗結果的圖。

【0018】圖 8 是示出了本申請的發明人的實驗結果的圖。

【0019】圖 9 是描述第一實施例的半導體元件的製造過程的剖視圖。

【0020】圖 10 是示出了圖 9 之後的製造過程的剖視圖。

【0021】圖 11 是示出了圖 10 之後的製造過程的剖視圖。

【0022】圖 12 是示出了圖 11 之後的製造過程的剖視圖。

【0023】圖 13 是示出了圖 12 之後的製造過程的剖視圖。

【0024】圖 14 是第二實施例的半導體元件的主要部分的放大剖視圖。

【0025】圖 15 是第三實施例的半導體元件的主要部分的放大剖視圖。

【0026】圖 16 是圖 15 的一部分的放大剖視圖。

【0027】圖 17 是示出了第四實施例的半導體元件的剖視圖。

【0028】圖 18 是第四實施例的記憶體單元的等效電路圖。

【0029】圖 19 是示出了在“寫入”、“擦除”和“讀取”期間向所選記憶體單元的每個部分施加電壓的條件的實例的表。

【0030】圖 20 是示出了第四實施例的半導體元件的製造過程的剖視圖。

【0031】圖 21 是示出了圖 20 之後的製造過程的剖視圖。

【0032】圖 22 是示出了圖 21 之後的製造過程的剖視圖。

【0033】圖 23 是示出了圖 22 之後的製造過程的剖視圖。

【0034】圖 24 是示出了圖 23 之後的製造過程的剖視圖。

【0035】圖 25 是示出了圖 24 之後的製造過程的剖視圖。

【0036】圖 26 是示出了修改的半導體元件的剖視圖。

【0037】圖 27 是第一對比例的半導體元件的主要部分的放大剖視圖。

【0038】圖 28 是第二對比例的半導體元件的主要部分的放大剖視圖。

【0039】圖 29 是第三對比例的半導體元件的主要部分的放大剖視圖。

【實施方式】

【0040】在以下實施例中，當為了方便起見時，描述將被分成多個部分或實施例，但除非特別說明，否則這些部分並不相互獨立，並且一個與另一個的一部分或全部的修改、資訊、補充說明等有關。在以下實施例中，元件的數目等（包括元件數目、數值、數量、範圍等）不限於特定數目，而是可以不小於或等於特定數目，除了具體指明數目並且原則上明確限於具體數目的情況之外。更進一步地，在以下實施例中，不用說組成元件（包括元件步驟等）不一定是必要的，除了具體指明它們的情況和原則上認為它們是必要的情況等之外。同樣，在以下實施例中，當涉及構件等的形狀、位置關係等時，假設形狀等基本上接近或類似於形狀等，除了具體指明它們的情況和原則上認為它們是明顯的情況等之外。這同樣適用於上述數值

和範圍。

【0041】在下文中，基於附圖對實施例進行詳細描述。在用於解釋實施例的所有附圖中，具有相同功能的構件由相同的附圖標記表示，並且省略其重複描述。在以下實施例中，除非特別必要，否則原則上不再重複相同或相似構件的描述。

【0042】在實施例中使用的附圖中，可以省略陰影線以便更容易看到附圖。

第一實施例

【0043】參考附圖對包括作為本實施例中的非揮發性記憶體單元的記憶體單元 MC1 的半導體元件進行描述。圖 1 是本實施例的半導體元件的剖視圖，而圖 2 是圖 1 的主要部分的放大剖視圖。

【0044】本實施例的記憶體單元 MC1 是 n 型電晶體，其包括能夠在閘極電介質膜 MZ 中保持電荷的電荷儲存層 CSL，並且該電荷儲存層 CSL 包括陷阱絕緣膜。

【0045】如圖 1 所示，在半導體基板 SB 中形成 p 型阱區 PW，並且在該阱區 PW 上形成記憶體單元 MC1。半導體基板 SB 由電阻率例如為 $1\ \Omega\text{cm}$ 至 $10\ \Omega\text{cm}$ 的 p 型單晶矽 (Si) 製成。

【0046】在半導體基板 SB 上（即，在阱區 PW1 上）形成閘極電介質膜 MZ，並且在該閘極電介質膜 MZ 上形成記憶體閘極電極 MG。該記憶體閘極電極 MG 例如是諸如多晶矽膜之類的導電膜，其中引入了 n 型雜質。注意，為了確保擦除時的空穴隧穿電流，可以將其中引入了 p 型雜質的多晶矽膜或沒有引入雜質的多晶矽膜用於記憶體閘極電極 MG。記憶體

閘極電極 MG 可以是例如金屬膜，諸如氮化鈦膜、鋁膜或鎢膜、或這些金屬膜的疊層膜。

【0047】在圖 1 中，閘極電介質膜 MZ 被示出為單層絕緣膜，以供更容易看到附圖，但實際上，如稍後參考圖 4 所描述的，閘極電介質膜 MZ 是多層膜，其具有絕緣膜 BT、絕緣膜 HSO1、插入層 AL1、絕緣膜 HSO2、以及絕緣膜 TP。

【0048】側壁間隔物 SW 形成在記憶體閘極電極 MG 的側表面上。側壁間隔物 SW 由例如氧化矽膜和氮化矽膜的疊層膜形成。

【0049】在側壁間隔物 SW 下方的阱區 PW 中形成作為低濃度 n 型雜質區的延伸區 EXS 和延伸區 EXD。在與側壁間隔物 SW 對準的位置處的阱區 PW 中，形成具有高於延伸區 EXS 的濃度的 n 型雜質區的擴散區 MS 和具有高於延伸區 EXD 的濃度的 n 型雜質區的擴散區 MD。延伸區 EXS 和擴散區 MS 彼此連接，並且分別構成記憶體單元 MC1 的源極區的一部分。延伸區 EXD 和擴散區 MD 彼此連接，並且分別構成記憶體單元 MC1 的汲極區的一部分。

【0050】在記憶體閘極電極 MG、擴散區 MS 和擴散區 MD 上例如由矽化鈷 (CoSi₂)、矽化鎳 (NiSi) 或鎳矽化鎳 (NiPtSi) 形成矽化物層 SI。形成矽化物層 SI 主要是為了降低與插塞 PG 的接觸電阻，這稍後進行描述。

【0051】在記憶體單元 MC1 上形成層間絕緣膜 IL1。在層間絕緣膜 IL1 中形成多個接觸孔，並且在多個接觸孔中形成多個插塞 PG。插塞 PG 由例如由鈦膜、氮化鈦膜或其疊層膜形成的阻擋金屬膜和主要由例如鎢製成

的導電膜形成。插塞 PG 經由矽化物層 SI 電連接到擴散區 MS 或擴散區 MD。儘管未示出，但是電連接到記憶體閘極電極 MG 的插塞 PG 亦存在於層間絕緣膜 IL1 中。

【0052】 在插塞 PG 和層間絕緣膜 IL1 上形成層間絕緣膜 IL2。在層間絕緣膜 IL2 中形成用於佈線的溝槽，並且具有主要由銅製成的導電膜的佈線 M1 例如被埋入在溝槽中。佈線 M1 與插塞 PG 電連接。此種佈線是所謂的鑲嵌結構的佈線。在佈線 M1 上方還形成多層佈線和層間絕緣膜，但是本文省略其圖示和說明。

記憶體單元 MC1 的操作

【0053】 參見圖 2 和圖 3，下文將對作為非揮發性記憶體單元的記憶體單元 MC1 的實例性操作進行描述。本文所描述的記憶體單元 MC1 是存在於半導體元件中的多個記憶體單元 MC1 中的所選記憶體單元。

【0054】 圖 2 是記憶體單元 MC1 的等效電路圖。圖 3 是示出了在“寫入”、“擦除”和“讀取”時向記憶體單元 MC1 的各個部分施加電壓的條件的實例的表。在圖 3 的表中，在“寫入”、“擦除”和“讀取”的每個時對施加到作為汲極區的擴散區 MD 的電壓 V_d 、施加到記憶體閘極電極 MG 的電壓 V_{mg} 、施加到作為源極區的擴散區 MS 的電壓 V_s 、以及施加到阱區 PW 的電壓 V_b 進行描述。

【0055】 注意，圖 3 的表中所示的內容是電壓施加條件的合適實例，並且不限於此，並且可以根據需要進行各種改變。在本實施例中，將來自阱區 PW 的電子注入電荷儲存層 CSL 限定為“寫入”，並且將電子從電荷儲存層 CSL 傳輸到阱區 PW 中限定為“擦除”。

【0056】寫入操作由 Fowler Nordheim 隧穿（FN-隧穿）方法執行。例如，如圖 3 中的“寫入”欄中所示的電壓被施加到要寫入的記憶體單元 MC1 的各個部分，並且電子從阱區 PW 被注入到記憶體單元 MC1 的電荷儲存層 CSL 中以執行寫入。所注入的電子在電荷儲存層 CSL 中的陷阱水準中被捕獲，結果，具有記憶體閘極電極 MG 的記憶體電晶體的閾值電壓上升。亦即，記憶體電晶體處於寫入狀態。

【0057】擦除操作由 FN 隧穿方法執行。例如，如圖 3 中的“擦除”欄中所示的電壓被施加到要擦除的記憶體單元 MC1 的各個部分，並且電荷儲存層 CSL 中的電子被傳輸到阱區 PW。結果，記憶體電晶體的閾值電壓被降低。亦即，記憶體電晶體處於擦除狀態。

【0058】在讀取操作中，例如，如圖 3 中的“讀取”欄中所示的電壓被施加到要讀取的記憶體單元 MC1 的各個部分。經由將讀取時施加到記憶體閘極電極 MG 的電壓 V_{mg} 設置為處於寫入狀態的記憶體電晶體的閾值電壓與處於擦除狀態的記憶體電晶體的閾值電壓之間的值，可以把寫入狀態或擦除狀態欄分開。

閘極電介質膜 MZ 的詳細結構

【0059】圖 4 是圖 1 中所示的半導體元件的主要部分的放大剖視圖，並且是示出了閘極電介質膜 MZ 的詳細結構的剖視圖。

【0060】閘極電介質膜 MZ 介於半導體基板 SB（阱區 PW）和記憶體閘極電極 MG 之間，用作記憶體單元 MC1 的閘極電介質膜，並且是其中具有電荷儲存層 CSL 的疊層膜。具體地，閘極電介質膜 MZ 由形成在半導體基板 SB 上的絕緣膜 BT、形成在絕緣膜 BT 上的絕緣膜 HSO1、形成

在絕緣膜 HSO1 上的插入層 AL1、形成在插入層 AL1 上的絕緣膜 HSO2、以及形成在絕緣膜 HSO2 上的絕緣膜 TP 的疊層膜形成。

【0061】絕緣膜（底部絕緣膜）BT 例如是氧化矽膜或氮氧化矽膜，並且具有例如 2nm 至 5nm 的厚度。

【0062】絕緣膜 HSO1 是介電常數大於氮化矽膜的介電常數的膜，是金屬氧化物膜，並且具有例如 5nm 至 9nm 的厚度。具體地，絕緣膜 HSO1 是包含鈺（Hf）、矽（Si）和氧（O）的膜，並且優選地是諸如 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ （ $0 < x < 1$ ）膜之類的矽酸鈺膜。為了提高絕緣膜 HSO1 中的陷阱水準的密度， $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ 膜的組成比例優選地為 $0.6 < x < 1$ ，最優選地為 $x=0.8$ 。

【0063】插入層 AL1 是包含與鈺不同的金屬的膜，並且是包含鋁（Al）的膜，並且具有例如 1nm 至 4nm 的厚度。具體地，插入層 AL1 是鋁（Al）膜、氮化鋁（AlN）膜、碳化鋁（AlC）膜、矽酸鋁（AlSiO）膜或氧化鋁膜。在本實施例中，優選包含鋁（Al）和氧（O）的金屬氧化物膜作為插入層 AL1，最優選諸如 Al_2O_3 膜之類的氧化鋁膜。

【0064】絕緣膜 HSO2 是由與插入層 AL1 的材料不同的材料製成的膜，並且是包含鈺（Hf）、矽（Si）和氧（O）的膜，並且具有例如 5nm 至 9nm 的厚度。絕緣膜 HSO2 的材料優選地與絕緣膜 HSO1 的材料相同。

【0065】如上所述，在本實施例中，在電荷儲存層 CSL 中的包含鈺、矽和氧的膜（絕緣膜 HSO1 和絕緣膜 HSO2）中形成一個包含鋁的膜（插入層 AL1）。

【0066】絕緣膜（頂部絕緣膜）TP 是介電常數大於氮化矽膜的介電常數的膜，是由與絕緣膜 HSO1 和絕緣膜 HSO2 的材料不同的材料製成的金

屬氧化物膜，並且具有例如 5nm 至 12nm 的厚度。具體地，絕緣膜 TP 是包含鋁（Al）和氧（O）的膜，並且優選是氧化鋁膜、氮氧化鋁膜或矽酸鋁膜。作為絕緣膜 TP，可以使用其他金屬氧化物膜，例如，由鈦（Ti）、鋯（Zr）、釔（Y）、鐳（La）、鐳（Pr）和鐳（Lu）中的任一種的氧化物製成的金屬氧化物膜可以用作絕緣膜 TP1。

【0067】絕緣膜 TP 主要用於防止儲存在電荷儲存層 CSL 中的電荷逃逸到記憶體閘極電極 MG。為此，優選絕緣膜 TP 的厚度大於插入層 AL1 的厚度。

【0068】順便提及，在傳統非揮發性記憶體單元中，已知其中堆疊有氧化矽膜、作為電荷儲存層的氮化矽膜、以及氧化矽膜的氧化物氮化物氧化物（ONO）膜作為具有陷阱水準的閘極電介質膜。當使用 ONO 膜時，介電常數相對較低，因此閘極電介質膜的等效氧化物厚度（EOT）增加。為此，恐怕可能經由增加閘極電介質膜的 EOT 來增加工作電壓。另外，若要降低物理膜厚度以降低閘極電介質膜的 EOT，則恐怕由於儲存在電荷儲存層中的電荷洩漏而導致保留特性（電荷保留特性）可能劣化。這些皆降低了半導體元件的可靠性。

【0069】在本實施例中，電荷儲存層 CSL 主要由作為高介電常數膜的絕緣膜 HSO1 和絕緣膜 HSO2 形成。絕緣膜 TP 亦是高介電常數膜。經由這些膜，可以在抑制閘極電介質膜 MZ 的 EOT 的同時增加閘極電介質膜 MZ 的物理厚度，從而可以防止由於洩漏而導致的保留特性的劣化並且可以改善保留特性。另外，由於可以在確保閘極電介質膜 MZ 的物理厚度的同時，降低 EOT，所以可以降低記憶體單元 MC1 的操作電壓和操作速度，

同時防止由於洩漏而導致的保留特性的劣化。

【0070】本文中，儘管在作為 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($0 < x < 1$) 膜的絕緣膜 HSO1 和絕緣膜 HSO2 中存在本實施例的電荷儲存層 CSL 的許多陷阱水準，但是在絕緣膜 HSO1 和插入層 AL1 之間的介面附近以及絕緣膜 HSO2 和插入層 AL1 之間的介面附近存在更多的陷阱水準。因此，在靠近電荷儲存層 CSL 的中心的位置處可以存在更多的陷阱水準。亦即，在遠離絕緣膜 HSO1 的下表面的位置處和遠離絕緣膜 HSO2 的上表面的位置處，電荷儲存層 CSL 中可以存在大量深陷阱水準。如稍後參考圖 7 所描述的，在矽酸鋁膜和氧化鋁膜之間的介面處存在許多深陷阱水準。由於在本實施例中可以形成這樣的介面，所以可以形成許多深陷阱水準。結果，儲存在電荷儲存層 CSL 中的電荷不太可能從電荷儲存層 CSL 逃逸，並且可以提高記憶體單元 MC1 的保留特性。

【0071】進一步地，插入層 AL1 是用於增加電荷儲存層 CSL 中的陷阱水準的數目的膜。例如，當插入層 AL1 是氧化鋁膜並且絕緣膜 HSO1 和 HSO2 是矽酸鋁膜時，氧化鋁膜的介電常數低於矽酸鋁膜的介電常數。為此，插入層 AL1 的厚度優選不大於所需的厚度，並且插入層 AL1 的厚度優選小於絕緣膜 HSO1 的厚度和絕緣膜 HSO2 的厚度。

第一對比例至第三對比例的半導體元件與本實施例的半導體元件的比較

【0072】下文使用圖 5 至圖 8 以及圖 27 至圖 29 對保留特性的上述改進進行詳細描述。

【0073】圖 27 至圖 29 分別是第一對比例至第三對比例的半導體元件的主要部分的放大剖視圖，圖 6 是示出了存在於電荷儲存層 CSL 內部的

陷阱水準的示意圖，並且圖 5、圖 7 和圖 8 是示出了本申請的發明人的實驗結果的圖。

【0074】在第一對比例的半導體元件中，如圖 27 所示，僅形成絕緣膜 HSO1 作為電荷儲存層 CSL，並且電荷儲存層 CSL 不包括插入層 AL1 和絕緣膜 HSO2。第一對比例的絕緣膜 HSO1 的厚度約為本實施例中絕緣膜 HSO1 的厚度、插入層 AL1 的厚度以及絕緣膜 HSO2 的厚度之和。

【0075】在第二對比例的半導體元件中，如圖 28 所示，形成絕緣膜 HO、插入層 AL1 和絕緣膜 HSO2 作為電荷儲存層 CSL。絕緣膜 HO 不是像本實施例的絕緣膜 HSO1 那樣的 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($0 < x < 1$) 膜，而是氧化鋯膜 (HfO 膜)。第二對比例的絕緣膜 HO 的厚度與本實施例的絕緣膜 HSO1 的厚度大致相同。

【0076】在第三對比例的半導體元件中，如圖 29 所示，形成插入層 AL1 和絕緣膜 HSO2 作為電荷儲存層 CSL，並且不形成絕緣膜 HSO1。因此，第三對比例的插入層 AL1 與絕緣膜 BT 直接接觸。第三對比例的絕緣膜 HSO2 的厚度約為本實施例中絕緣膜 HSO1 的厚度與絕緣膜 HSO2 的厚度之和。

【0077】圖 5 的水準軸指示在對記憶體單元 MC1 執行寫入操作之後記憶體單元 MC1 處於 150°C 的高溫下的時段。圖 5 的垂直軸指示平帶電壓的變化 ΔV_{fb} ，並且具體指示在寫入操作之後經過預先確定的時間段之後的平帶電壓 (V_{fb}) 與寫入操作之前的平帶電壓 (V_{fbi}) 之間的差。圖 5 中的 ΔV_{fb} 的值是平帶電壓的變化量的相對值。本文中，當將 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($x=0.8$) 膜施加到絕緣膜 HSO1 並且將氮氧化矽 (SiON) 膜施加到絕緣

膜 BT 時，執行測量。儘管頂部絕緣膜 TP 是諸如氧化鋁膜之類的單層膜，但是即使頂部絕緣膜 TP 是諸如絕緣膜 TP1-TP3 之類的疊層膜，但是平帶電壓的變化 ΔV_{fb} 的比例亦是相同的，如同在稍後描述的第三實施例中一樣。

【0078】從圖 5 中可以看出，分別在本實施例(●)、第一對比例(□)和第二對比例(▲)中，變化量 ΔV_{fb} 隨著時間的推移而減小，而與第一對比例(□)和第二對比例(▲)相比，變化量 ΔV_{fb} 在本實施例(●)中被抑制的更多。換句話說，可以看出，與第一對比例(□)和第二對比例(▲)的情況相比，保留特性在本實施例(●)的情況下得到改善。

【0079】另外，由於在本實施例(●)中根據提高保留特性的結果在絕緣膜 HSO1 和絕緣膜 HSO2 之間形成插入層 AL1，因此可以推斷出電荷儲存層 CSL 內的陷阱水準在本實施例(●)比第一對比例(□)的增加的更多。

【0080】另外，可以推斷，經由如同在本實施例(●)的情況中一樣將 $Hf_xSi_{1-x}O_2$ 膜施加到絕緣膜 HSO1，電荷儲存層 CSL 內部的陷阱水準經由如同在第二對比例(▲)的情況中一樣將 HfO 膜施加到絕緣膜 HSO1 增加的更多。

【0081】圖 6 是示出了基於第一對比例的結構的電荷儲存層 CSL 中存在的陷阱水準的示意圖。標記(●)指示具有能量為 1.3eV 至 2.1eV 的深陷阱水準，標記(□)指示具有能量為 0.8eV 至 1.3eV 的淺陷阱水準。距離 Xa 指示從記憶體閘極電極 MG 到絕緣膜 TP 和絕緣膜 HSO1 之間的介面附近的距離。距離 Xb 指示從記憶體閘極電極 MG 到絕緣膜 HSO1 內部

的距離。距離 X_c 指示從記憶體閘極電極 MG 到絕緣膜 HSO1 和絕緣膜 BT 之間的介面附近的距離。

【0082】圖 7A 示出了經由使用熱刺激電流-電容電壓 (TSC-CV) 方法針對每個能量分佈深度分解存在於電荷儲存層 CSL 內部的陷阱水準而獲得的圖。圖 7A 的垂直軸示出了平帶電壓的變化量 ΔV_{fb} ，而圖 7A 的水準軸示出了閘極電介質膜 MZ 的電厚度。本文中，示出了假設絕緣膜 BT 的厚度和絕緣膜 TP 的厚度恆定的測量結果。

【0083】本文中，由於儲存在電荷儲存層 CSL 中的電荷 Q 引起的平帶電壓的變化量 ΔV_{fb} 由以下等式 (1) 表達，該變化量 ΔV_{fb} 與從記憶體閘極電極 MG 到電荷 Q 的距離 X 成比例，並且與介電常數 k 成反比。電容 C 是電荷 Q 和記憶體閘極電極 MG 之間的電容。

【0084】 $\Delta V_{fb} = Q/C = Q \times X/k(1)$

【0085】當距離 X 應用到在圖 6 中的距離 X_a - X_c 時，變化量 ΔV_{fb} 在 $X=X_a$ 時幾乎恆定。當 $X=X_b$ 時，由於距離 X_b 在電荷儲存層 CSL 的膜內部發生改變，所以變化量 ΔV_{fb} 與 X_b 的積分值 ($\int X_b dx$) 成比例。亦即，變化量 ΔV_{fb} 與 X_b 的平方 (X_b^2) 成比例。當 $X=X_c$ 時，變化量 ΔV_{fb} 與 X_c 成比例。

【0086】因此，如圖 7A 中的虛線所示，變化量 ΔV_{fb} 在深陷阱水準 (●) 中的厚度方向上基本上恆定，並且變化量 ΔV_{fb} 與淺陷阱水準 (■) 中的厚度方向上的二次曲線基本上重疊。

【0087】圖 7B 是示出了經由 TSC-CV 方法獲得的閘極電介質膜 MZ 中存在的陷阱水準的表面密度的圖。在圖 7 中，水準軸表示絕緣膜 TP 和絕

緣膜 HSO1 之間的介面附近、絕緣膜 HSO1 的膜內部以及絕緣膜 HSO1 和絕緣膜 BT 之間的介面附近的區域。圖 7 的垂直軸表示陷阱水準的表面密度值。本文中，在第一對比例的結構中，當絕緣膜 BT 是氮氧化矽膜，絕緣膜 HSO1 是矽酸鉛膜，以及絕緣膜 TP 是氧化鋁膜時，進行測量。

【0088】如圖 7B 所示，可以看出，在作為氧化鋁膜的絕緣膜 TP 和作為矽酸鉛膜的絕緣膜 HSO1 之間的介面處存在大量的深陷阱水準。亦即，從圖 7A 和圖 7B 的結果來看，可以看出，閘極電介質膜 MZ 內部的陷阱水準的分佈如圖 6 所示。

【0089】應用該結果，本申請的發明人設想了經由將氧化鋁膜插入到矽酸鉛膜中而在矽酸鉛膜和氧化鋁膜之間形成更多介面，從而形成大量深陷阱水準。亦即，在本實施例中，由於插入層 AL1 形成在絕緣膜 HSO1 和絕緣膜 HSO2 之間，所以在電荷儲存層 CSL 中可以存在許多深陷阱水準。

【0090】如上所述，當圖 6 和圖 7 的結果與圖 5 的結果組合考慮時，儘管本實施例的電荷儲存層 CSL 的厚度與第一對比例的電荷儲存層 CSL 的厚度基本上相同，但是與第一對比例相比，本實施例的保留特性得到改善。這是因為在本實施例中，經由在絕緣膜 HSO1 和絕緣膜 HSO2 之間形成插入層 AL1，可以在絕緣膜 HSO1 和插入層 AL1 之間的介面附近和絕緣膜 HSO2 和插入層 AL1 之間的介面附近引起更大數目的深陷阱水準的存在。換句話說，矽酸鉛膜和氧化鋁膜之間的介面（亦即，容易形成深陷阱水準的介面）在電荷儲存層 CSL 內增加。因此，在靠近電荷儲存層 CSL 的中心的位置處可以存在更大數目的深陷阱水準。結果，可以改善保留特性，從而可以提高半導體元件的可靠性。

【0091】進一步地，在本實施例的電荷儲存層 CSL 中，絕緣膜 HSO1 是包含鈺（Hf）、矽（Si）和氧（O）的膜，並且優選地是諸如 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ 膜之類的矽酸鈺膜（ $0 < x < 1$ ）。如同在第二對比例中一樣，與將 HfO 膜施加到絕緣膜 HSO1 時相比，這使得可以增加電荷儲存層 CSL 內部的深陷阱水準並且改善保留特性。

【0092】圖 8 的水準軸示出了在對記憶體單元 MC1 執行寫入操作之後記憶體單元 MC1 處於室溫（ 26°C ）下多長時間。與圖 5 的垂直軸相同，圖 8 的垂直軸指示平帶電壓的變化量 ΔV_{fb} 。

【0093】從圖 8 中可以看出，分別在本實施例（●）和第三對比例（▲）中，變化量 ΔV_{fb} 隨著時間的推移而減小，而變化量 ΔV_{fb} 在本實施例（●）中比在第三對比例（▲）中抑制的更多。換句話說，可以看出，與第三對比例（▲）相比，保留特性在本實施例（●）中得到改善。另外，儘管圖 8 的圖經由處於室溫下的記憶體單元 MC1 獲得，但是顯然當記憶體單元 MC1 例如處於 150°C 或者更高的高溫下時，本實施例（●）的變化量 ΔV_{fb} 與第三對比例（▲）的變化量 ΔV_{fb} 之間的差變得更大。

【0094】亦即，如同在第三對比例中一樣，當沒有形成絕緣膜 HSO1 並且插入層 AL1 形成為與絕緣膜 BT 直接接觸時，保留特性劣化。因此，優選的是，插入層 AL1 形成在絕緣膜 HSO1 和絕緣膜 HSO2 之間，並且絕緣膜 HSO1 與絕緣膜 BT 直接接觸，使得插入層 AL1 不與絕緣膜 BT 直接接觸，如同在本實施例中一樣。結果，可以改善保留特性。

記憶體單元 MC1 的製造方法

【0095】下文參照圖 9 至圖 13 對本實施例的半導體元件的製造方法進

第 16 頁，共 36 頁(發明說明書)

行描述。

【0096】首先，如圖 9 所示，例如，經由光刻和離子注入將硼（B）或二氟化硼（BF₂）引入半導體基板 SB 中，以形成 p 型阱區 PW。

【0097】圖 10 示出了形成閘極電介質膜 MZ 的步驟。在圖 10 和隨後的圖中，為了清楚起見，閘極電介質膜 MZ 被示為單層膜，但實際上，閘極電介質膜 MZ 是具有絕緣膜 BT、絕緣膜 HSO1、插入層 AL1、絕緣膜 HSO2 和絕緣膜 TP 的多層膜，該多層膜如放大視圖所示是圖 10 中虛線包圍的區域。

【0098】首先，經由例如原位蒸汽生成（ISSG）氧化在半導體基板 SB 上形成絕緣膜 BT，例如，氧化矽膜。絕緣膜 BT 的厚度為例如 2nm 至 5nm。之後，可以執行 NO 處理或等離子體氮化處理以氮化氧化矽膜以形成氮氧化矽膜。

【0099】接下來，經由絕緣膜 BT 在半導體基板 SB 上形成具有絕緣膜 HSO1、插入層 AL1 和絕緣膜 HSO2 的電荷儲存層 CSL。

【0100】例如，經由低壓化學氣相沉積（LPCVD）方法或原子層沉積（ALD）方法在絕緣膜 BT 上形成包含鈺（Hf）、矽（Si）和氧（O）的絕緣膜 HSO1。絕緣膜 HSO1 的厚度為例如 5nm 至 9nm。形成絕緣膜 HSO1 時的成膜溫度例如為 200℃~500℃。

【0101】接下來，經由 LPCVD 方法或 ALD 方法在絕緣膜 HSO1 上形成包含作為與鈺不同的金屬的鋁（Al）的插入層 AL1。插入層 AL1 的厚度為例如 1nm 至 4nm。形成插入層 AL1 時的成膜溫度例如為 200℃~500℃。

【0102】接下來，經由 LPCVD 方法或 ALD 方法在插入層 AL1 上形成包含鈺 (Hf)、矽 (Si) 和氧 (O) 的絕緣膜 HSO2。絕緣膜 HSO2 由與插入層 AL1 的材料不同的材料製成，並且由與絕緣膜 HSO1 的材料相同的材料製成，並且具有例如 5nm 至 9nm 的厚度。形成絕緣膜 HSO2 時的成膜溫度例如為 200°C~500°C。

【0103】接下來，經由 LPCVD 方法或 ALD 方法在電荷儲存層 CSL 上形成包含鋁 (Al) 和氧 (O) 的絕緣膜 TP。絕緣膜 TP 由與絕緣膜 HSO2 的材料不同的材料製成，首選地是氧化鋁膜、氮氧化鋁膜或矽酸鋁膜，並且具有例如 5nm 至 10nm 的厚度。形成絕緣膜 TP 時的成膜溫度例如為 200°C~500°C。

【0104】接下來，在例如 800°C 至 1050°C 下執行熱處理，主要是為了使絕緣膜 HSO1、插入層 AL1、絕緣膜 HSO2 和絕緣膜 TP 結晶。經由該熱處理，這些絕緣膜從非晶膜變為多晶膜。這裡，當絕緣膜 HSO1 和絕緣膜 HSO2 是 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($0.9 \leq x < 1$) 膜時，熱處理的溫度是 800°C 或更高，並且低於 975°C，並且當絕緣膜 HSO1 和絕緣膜 HSO2 是 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($0 < x < 0.9$) 膜時，熱處理的溫度是 975°C 或更高，並且 1050°C 或更低。經由以此種方式調整熱處理的溫度，可以適當地結晶絕緣膜 HSO1 和絕緣膜 HSO2。

【0105】圖 11 示出了形成記憶體閘極電極 MG 的步驟。

【0106】首先，經由例如 LPCVD 方法在閘極電介質膜 MZ 上形成諸如多晶矽膜之類的導電膜。接下來，經由光刻法和離子注入法將 n 型雜質引入多晶矽膜中。導電膜可以是其中引入 p 型雜質的多晶矽膜或未引入雜

質的多晶矽膜。導電膜可以是例如金屬膜，諸如氮化鈦膜、鋁膜或鎢膜、或這些金屬膜的疊層膜。

【0107】接下來，經由光刻法和蝕刻處理使導電膜圖案化，以形成記憶體閘極電極 MG。之後，經由乾蝕刻處理和濕蝕刻處理移除從記憶體閘極電極 MG 暴露的閘極電介質膜 MZ。

【0108】圖 12 示出了形成延伸區 EXS 和延伸區 EXD 的步驟。

【0109】例如，經由光刻法和離子注入法將砷 (As) 或磷 (P) 引入到與記憶體閘極電極 MG 相鄰的阱區 PW，形成作為 n 型雜質區的延伸區 EXS 和延伸區 EXD。延伸區 EXS 形成記憶體單元 MC1 的源極區的一部分，並且延伸區 EXD 形成記憶體單元 MC1 的汲極區的一部分。

【0110】圖 13 示出了形成側壁間隔物 SW、擴散區 MS、擴散區 MD 和矽化物層 SI 的步驟。

【0111】首先，經由例如 LPCVD 方法形成由例如氮化矽膜形成的絕緣膜，以覆蓋記憶體閘極電極 MG。接下來，對絕緣膜執行各向異性蝕刻，以在記憶體閘極電極 MG 的側表面上形成側壁間隔物 SW。注意，形成側壁間隔物 SW 的絕緣膜可以是氧化矽膜和形成在該氧化矽膜上的氮化矽膜。

【0112】接下來，經由光刻法和離子注入法，使用側壁間隔物 SW 作為遮罩，砷 (As) 或磷 (P) 例如被引入到阱區 PW 中，從而形成作為 n 型雜質區的擴散區 MS 和擴散區 MD。擴散區 MS 的雜質濃度高於延伸區 EXS 的雜質濃度，被連接到延伸區 EXS，並且形成記憶體單元 MC1 的源極區的一部分。擴散區 MD 的雜質濃度高於延伸區 EXD 的雜質濃度，被

連接到延伸區 EXD，並且形成記憶體單元 MC1 的汲極區的一部分。

【0113】接下來，經由自對準矽化物（自對準多晶矽化物）技術在擴散區 MS、擴散區 MD 和記憶體閘極電極 MG 的每個的上表面上形成低電阻矽化物層 SI。

【0114】具體地，矽化物層 SI 可以如下形成。首先，形成用於形成矽化物層 SI 的金屬膜，以覆蓋側壁間隔物 SW、擴散區 MS、擴散區 MD 和記憶體閘極電極 MG。金屬膜由例如鈷、鎳或鎳鉑合金製成。接下來，在例如 300°C 至 500°C 下對半導體基板 SB 進行第一熱處理，並且在例如 600°C 至 700°C 下進行第二熱處理，使得包括在擴散區 MS、擴散區 MD 和記憶體閘極電極 MG 中的材料與金屬膜反應。結果，在擴散區 MS、擴散區 MD 和記憶體閘極電極 MG 中的每個的上表面上形成矽化物層 SI。此後，移除未反應的金屬膜。

【0115】如上所述，形成本實施例的記憶體單元 MC1。

【0116】在圖 13 的步驟之後，形成層間絕緣膜 IL1、插塞 PG、層間絕緣膜 IL2 和佈線 M1，由此製造圖 1 所示的半導體元件。

【0117】首先，形成層間絕緣膜 IL1 以覆蓋記憶體單元 MC1。作為層間絕緣膜 IL1，可以使用氧化矽膜的單個膜、氮化矽膜和形成在其上的厚氧化矽膜的疊層膜等。在形成層間絕緣膜 IL1 之後，可以根據需要經由化學機械拋光（CMP）方法拋光層間絕緣膜 IL1 的上表面。

【0118】接下來，經由光刻法、乾蝕刻法等層間絕緣膜 IL1 中形成接觸孔，並且主要由鎢等製成的導電膜被埋入接觸孔中，從而在層間絕緣膜 IL1 中形成多個插塞 PG。插塞 PG 分別經由矽化物層 SI 被連接到擴散

區 MS 和 MD。記憶體閘極電極 MG 亦被連接到插塞 PG，但在本實施例中未示出。

【0119】接著，在埋設有插塞 PG 的層間絕緣膜 IL1 上形成層間絕緣膜 IL2。此後，在層間絕緣膜 IL2 中形成用於佈線的溝槽之後，將包含例如銅作為主要成分的導電膜埋設在用於佈線的溝槽中，從而在層間絕緣膜 IL2 中形成連接到插塞 PG 的佈線 M1。佈線 M1 的結構被稱為鑲嵌佈線結構。

【0120】此後，經由雙鑲嵌方法等形成第二佈線層和隨後的佈線層，但是本文省略了它們的描述和圖示。佈線 M1 上方的佈線層和佈線 M1 不限於鑲嵌佈線結構，並且可以經由例如圖案化鎢膜或鋁膜來形成。

第二實施例

【0121】下文參考圖 14 對第二實施例的半導體元件進行描述。在以下說明中，主要對與第一實施例的不同之處進行解釋。圖 14 是第二實施例的半導體元件的主要部分的放大剖視圖，並且是示出了閘極電介質膜 MZ 的詳細配置的剖視圖。

【0122】在第一實施例中，在電荷儲存層 CSL 內部的矽酸鋁膜（絕緣膜 HSO1 和絕緣膜 HSO2）中形成單個氧化鋁膜（插入層 AL1）。亦即，插入層 AL1 形成在絕緣膜 HSO1 和絕緣膜 HSO2 之間。

【0123】如圖 14 所示，在第二實施例中，電荷儲存層 CSL 具有絕緣膜 HSO1 至 HSO3、絕緣膜 HSO1 和絕緣膜 HSO2 之間的插入層 AL1、以及絕緣膜 HSO2 和絕緣膜 HSO3 之間的插入層 AL2。

【0124】絕緣膜 HSO3 是由與絕緣膜 HOS1 或絕緣膜 HSO2 的材料相

同的材料製成的膜，並且是矽酸鉛膜等。插入層 AL2 是包含除鉛之外的金屬的膜、由與插入層 AL1 的材料相同的材料製成的膜、氧化鋁膜等。絕緣膜 HSO3 的形成方法與絕緣膜 HSO1 的形成方法相同，插入層 AL2 的形成方法與插入層 AL1 的形成方法相同。

【0125】如上所述，在第二實施例中，在包含鉛、矽和氧的膜（絕緣膜 HSO1 至 HSO3）中形成包含兩個鋁層（插入層 AL1 和插入層 AL2）的膜。因此，與第一實施例相比，矽酸鉛膜和氧化鋁膜之間的介面加倍。因此，電荷儲存層 CSL 中可以存在更多的陷阱水準。因此，可以進一步提高記憶體單元 MC1 的保留特性。

【0126】在第二實施例中，例示了包含兩個鋁層（插入層 AL1 和插入層 AL2）的膜，然而，可以形成包含三個或更多個鋁層的膜。

【0127】例如，當如同在第二實施例中一樣將插入層 AL1 的厚度設置為 1nm 至 4nm 時，電荷儲存層 CSL 具有最多四個氧化鋁膜和最多五個矽酸鉛膜。在此種情況下，電荷儲存層 CSL 中的矽酸鉛膜和氧化鋁膜之間的介面的數目是 8。

【0128】注意，第二實施例的電荷儲存層 CSL 具有比第一實施例更多的膜，但是若疊層膜的電荷儲存層 CSL 的總厚度變得太大，則閘極電介質膜 MZ 的 EOT 增加。因此，優選調整絕緣膜 HSO1 至 HSO3、插入層 AL1 和插入層 AL2 中的每個的厚度，使得第二實施例的電荷儲存層 CSL 的厚度與第一實施例的電荷儲存層 CSL 的厚度大致相同。

第三實施例

【0129】下文參照圖 15 和圖 16 對第三實施例的半導體元件進行描述。

第 22 頁，共 36 頁(發明說明書)

在下面的說明中，主要對與第一實施例的不同之處進行解釋。圖 15 是第三實施例的半導體元件的主要部分的放大剖視圖，並且是示出了閘極電介質膜 MZ 的詳細配置的剖視圖。圖 16 是經由放大閘極電介質膜 MZ 的一部分來示出絕緣膜 TP 的詳細配置的剖視圖。

【0130】在第一實施例中，頂部絕緣膜 TP 是由氧化鋁膜等形成的單層膜。

【0131】如圖 15 所示，在第三實施例中，頂部絕緣膜 TP 是疊層膜，其具有形成在電荷儲存層 CSL 上的絕緣膜 TP1、形成在絕緣膜 TP1 上的絕緣膜 TP2、以及形成在絕緣膜 TP2 上的絕緣膜 TP3。

【0132】絕緣膜 TP1 是介電常數大於氮化矽膜的介電常數的膜，並且是由與絕緣膜 HSO2 的材料不同的材料製成的金屬氧化物膜，並且具有例如 2nm 至 5nm 的厚度。具體地，絕緣膜 TP1 是包含鋁 (Al) 和氧 (O) 的膜，優選地，氧化鋁膜、氮氧化鋁膜或矽酸鋁膜，更優選地， Al_2O_3 膜。作為絕緣膜 TP1，可以使用其他金屬氧化物膜，例如，由鈦 (Ti)、鋯 (Zr)、釔 (Y)、鐳 (La)、鐮 (Pr) 和鑰 (Lu) 中的任一種的氧化物製成的金屬氧化物膜可以用作絕緣膜 TP1。

【0133】絕緣膜 TP2 是由與絕緣膜 TP1 的材料不同的材料製成的膜，是氧化矽膜、氮氧化矽膜或氮化矽膜，並且具有例如 1nm 至 2nm 的厚度。此種絕緣膜 TP2 可以經由例如 LPCVD 方法或 ALD 方法形成。

【0134】絕緣膜 TP3 是由與絕緣膜 TP1 的材料相同的材料製成的膜，並且具有例如 2nm 至 5nm 的厚度。絕緣膜 TP1 和絕緣膜 TP3 可以以與第一實施例的絕緣膜 TP 相同的方式形成。

【0135】絕緣膜 TP1 和絕緣膜 TP3 主要用於防止儲存在電荷儲存層 CSL 中的電荷逃逸到記憶體閘極電極 MG。因此，絕緣膜 TP1 和絕緣膜 TP3 優選地是帶隙大於構成絕緣膜 HSO2 的絕緣膜的帶隙的絕緣膜，並且優選地具有大於插入層 AL1 的厚度。

【0136】在第三實施例中，絕緣膜 TP2 形成在絕緣膜 TP1 和絕緣膜 TP3 之間。因此，可以防止儲存在電荷儲存層 CSL 中的電荷經由絕緣膜 TP 容易逃逸到記憶體閘極電極 MG，並且可以提高記憶體單元 MC1 的保留特性。這個原因將在下文進行解釋。

【0137】在第一實施例中，在電荷儲存層 CSL 和記憶體閘極電極 MG 之間形成由諸如絕緣膜 TP 之類的氧化鋁膜形成的單層膜。此時，若在絕緣膜 TP 內部形成大晶粒，則形成晶粒外周的晶界連接電荷儲存層 CSL 和記憶體閘極電極 MG。為此，晶界成為洩漏路徑，並且儲存在電荷儲存層 CSL 中的電荷可能洩漏到記憶體閘極電極 MG。

【0138】主要提供絕緣膜 TP2 以劃分洩漏路徑。亦即，如圖 16 所示，構成絕緣膜 TP1 的多個晶粒 GR1 和構成絕緣膜 TP3 的多個晶粒 GR2 被絕緣膜 TP 分開。由於絕緣膜 TP1 和絕緣膜 TP3 彼此分開形成，所以絕緣膜 TP1 的晶界 GB1 的位置和絕緣膜 TP3 的晶界 GB2 的位置可以偏移，並且可以分開絕緣膜 TP1 的晶界 GB1 和絕緣膜 TP3 的晶界 GB2。

【0139】另外，在第一實施例中，經由在圖 10 的步驟中執行熱處理使絕緣膜 TP 結晶。經由在第三實施例中執行相同的熱處理，使作為非晶膜的絕緣膜 TP1 和絕緣膜 TP3 結晶以形成多晶膜，但是可以留下絕緣膜 TP2 作為非晶膜。由於絕緣膜 TP2 是非晶膜，因此可以更可靠地防止絕緣膜

TP1 的晶界 GB1 和絕緣膜 TP3 的晶界 GB2 經由絕緣膜 TP2 彼此連接的可能性。

【0140】如上所述，在第三實施例中，可以抑制由電荷儲存層 CSL 和記憶體閘極電極 MG 之間的絕緣膜 TP 的晶界引起的洩漏。因此，可以進一步提高記憶體單元 MC1 的保留特性，並且可以進一步提高半導體元件的可靠性。

【0141】第三實施例中所揭示的技術亦可以與第二實施例結合使用。

第四實施例

【0142】下文參照圖 17 至 19 對第四實施例的半導體元件進行描述，並且參照圖 20 至圖 25，對第四實施例的半導體元件的製造方法進行描述。在下面的說明中，主要對與第一實施例的不同之處進行解釋。

【0143】第一實施例的記憶體單元 MC1 是具有記憶體閘極電極 MG 的單閘極記憶體單元。

【0144】第四實施例的記憶體單元 MC2 是分裂閘極型記憶體單元，其不僅具有記憶體閘極電極 MG，而且在與記憶體閘極電極 MG 鄰接的位置處具有控制閘極電極 CG。在下文中，對包括作為第四實施例中的非揮發性記憶體單元的記憶體單元 MC2 的半導體元件進行描述。圖 17 示出了記憶體單元 MC2 的剖視圖。

記憶體單元 MC2 的結構

【0145】如圖 17 所示，在半導體基板 SB 中形成 p 型阱區 PW。在阱區 PW 上形成閘極電介質膜 GF，並且在閘極電介質膜 GF 上形成控制閘極電極 CG。閘極電介質膜 GF 例如是氧化矽膜，並且具有例如 2nm 至 5nm

的厚度。代替氧化矽膜，閘極電介質膜 GF 可以是高介電常數膜，諸如金屬氧化物膜（諸如氧化鉛膜）。控制閘極電極 CG 例如是引入了 n 型雜質的多晶矽膜。控制閘極電極 CG 可以是例如金屬膜，諸如氮化鈦膜、鋁膜或鎢膜、或這些金屬膜的疊層膜。

【0146】閘極電介質膜 MZ 形成在阱區 PW 上和控制閘極電極 CG 的一個側表面上。第四實施例的閘極電介質膜 MZ 與第一實施例的閘極電介質膜 MZ 相同。注意，在圖 17 中，為了附圖的清楚起見，閘極電介質膜 MZ 被示出為單層膜，但實際上，閘極電介質膜 MZ 是具有絕緣膜 BT、絕緣膜 HSO1、插入層 AL1、絕緣膜 HSO2 和絕緣膜 TP 的多層膜，其如放大視圖所示是圖 17 中虛線包圍的區域。

【0147】記憶體閘極電極 MG 經由閘極電介質膜 MZ 形成在控制閘極電極 CG 的一個側表面上。亦即，在控制閘極電極 CG 和記憶體閘極電極 MG 之間形成諸如閘極電介質膜 MZ 之類的絕緣膜，並且控制閘極電極 CG 與記憶體閘極電極 MG 絕緣並分開。側壁間隔物 SW 形成在記憶體閘極電極 MG 與控制閘極電極 CG 相對的側表面上、形成在記憶體閘極電極 MG 的兩個側表面上、並且形成在控制閘極電極 CG 的另一側表面上。

【0148】作為 n 型雜質區的延伸區 EXS 形成在記憶體閘極電極 MG 側上的側壁間隔物 SW 下方的阱區 PW 中，並且作為 n 型雜質區的延伸區 EXD 形成在控制閘極電極 CG 側上的側壁間隔物 SW 下方的阱區 PW 中。延伸區 EXS 構成記憶體單元 MC2 的源極區的一部分，並且延伸區 EXD 構成記憶體單元 MC2 的汲極區的一部分。

【0149】在與記憶體閘極電極 MG 側上的側壁間隔物 SW 對準的位置

處，在阱區 PW 中形成作為 n 型雜質區的擴散區 MS，並且在與控制閘極電極 CG 側的側壁間隔物 SW 對準的位置處，在阱區 PW 中形成作為 n 型雜質的擴散區 MD。擴散區 MS 的雜質濃度高於延伸區 EXS 的雜質濃度，連接到延伸區 EXS，並且形成記憶體單元 MC2 的源極區的一部分。擴散區 MD 的雜質濃度高於延伸區 EXD 的雜質濃度，連接到延伸區 EXD，並且形成記憶體單元 MC2 的汲極區的一部分。

【0150】矽化物層 SI 形成在記憶體閘極電極 MG、控制閘極電極 CG、擴散區 MS、以及擴散區 MD 上。

【0151】儘管如同在第一實施例中一樣，在記憶體單元 MC2 上方形成層間絕緣膜 IL1、插塞 PG、層間絕緣膜 IL2、佈線 M1 等，但是本文省略其說明。

記憶體單元 MC2 的操作

【0152】接下來，參考圖 18 和圖 19 對作為非揮發性記憶體單元的記憶體單元 MC2 的實例性操作進行描述。本文所描述的記憶體單元 MC2 是存在於半導體元件中的多個記憶體單元 MC2 中的所選記憶體單元。

【0153】圖 18 是非揮發性記憶體的記憶體單元 MC2 的等效電路圖。圖 19 是示出了在“寫入”、“擦除”和“讀取”時向記憶體單元 MC2 的各個部分施加電壓的條件的實例的表。在圖 19 的表中，分別在“寫入”、“擦除”和“讀取”狀態下對施加到作為汲極區的擴散區 MD 的電壓 V_d 、施加到控制閘極電極 CG 的電壓 V_{cg} 、施加到記憶體閘極電極 MG 的電壓 V_{mg} 、施加到作為源極區的擴散區 MS 的電壓 V_s 、以及施加到阱區 PW 的電壓 V_b 進行描述。

【0154】注意，圖 19 的表中所示的內容是電壓施加條件的合適實例，並且不限於此，並且可以根據需要進行各種改變。在第四實施例中，將電子注入電荷儲存層 CSL 被限定為“寫入”，並且將空穴注入電荷儲存層 CSL 被限定為“擦除”。

【0155】經由使用源極側注入的熱電子注入的寫入方法來執行寫入操作，該源極側注入被稱為源極側注入（SSI）方法。例如，如圖 19 的“寫入”欄中所示的電壓被施加到要寫入的記憶體單元 MC2 的各個部分，並且電子被注入到電荷儲存層 CSL 中以執行寫入。

【0156】此時，在由記憶體閘極電極 MG 和控制閘極電極 CG 覆蓋的溝道區中生成熱電子，並且熱電子被注入到記憶體閘極電極 MG 下方的電荷儲存層 CSL 中。所注入的熱電子被電荷儲存層 CSL 中的陷阱水準捕獲，結果，具有記憶體閘極電極 MG 的記憶體電晶體的閾值電壓上升。亦即，記憶體電晶體處於寫入狀態。

【0157】經由使用 BTBT 的熱空穴注入的擦除方法執行擦除操作，該 BTBT 被稱為帶間隧穿（BTBT）方法。亦即，由 BTBT 生成的空穴被注入到電荷儲存層 CSL 中以執行擦除。例如，如圖 19 中的“擦除”欄中所示的電壓被施加到要擦除的記憶體單元 MC2 的各個部分，經由 BTBT 現象生成空穴，並且經由電場加速將空穴注入到電荷儲存層 CSL 中。結果，記憶體電晶體的閾值電壓被降低。亦即，記憶體電晶體處於擦除狀態。

【0158】在讀取操作中，例如，如圖 19 中的“讀取”欄中所示的電壓被施加到要讀取的記憶體單元 MC2 的各個部分。經由將讀取時施加到記憶體閘極電極 MG 的電壓 V_{mg} 設置為處於寫入狀態的記憶體電晶體的閾

值電壓與處於擦除狀態的記憶體電晶體的閾值電壓之間的值，可以區分開寫入狀態或擦除狀態。

【0159】在第四實施例的記憶體單元 MC2 中，閘極電介質膜 MZ 是具有絕緣膜 BT、絕緣膜 HSO1、插入層 AL1、絕緣膜 HSO2 和絕緣膜 TP 的多層膜，如同在第一實施例的記憶體單元 MC1 中一樣。因此，即使在第四實施例中，亦可以提高記憶體單元 MC2 的保留特性，並且可以提高半導體元件的可靠性。

記憶體單元 MC2 的製造方法

【0160】下文參照圖 20 至圖 25 對第四實施例的半導體元件的製造方法進行描述。

【0161】首先，如圖 20 所示，經由光刻法和離子注入法在半導體基板 SB 中形成 p 型阱區 PW。

【0162】接下來，經由例如熱氧化方法或 ISSG 氧化方法形成由例如氧化矽製成的閘極電介質膜 GF。之後，可以執行 NO 處理或等離子體氮化處理以氮化氧化矽膜以形成氮氧化矽膜。作為閘極電介質膜 GF，可以由例如 ALD 方法形成諸如氧化鋁膜之類的金屬氧化物膜。

【0163】接下來，經由例如 CVD 方法在閘極電介質膜 GF 上沉積由例如多晶矽膜製成的導電膜。導電膜可以是例如金屬膜，諸如氮化鈦膜、鋁膜或鎢膜、或這些金屬膜的疊層膜。接下來，經由光刻法和乾法蝕刻法使導電膜圖案化。因此，對導電膜進行處理以形成控制閘極電極 CG。接下來，經由移除從控制閘極電極 CG 暴露的閘極電介質膜 GF，閘極電介質膜 GF 留在控制閘極電極 CG 下方。

【0164】圖 21 示出了形成閘極電介質膜 MZ 的步驟。

【0165】閘極電介質膜 MZ 形成在阱區 PW 上以及控制閘極電極 CG 的上表面和側表面上。如上所述，閘極電介質膜 MZ 包括絕緣膜 BT、絕緣膜 HSO1、插入層 AL1、絕緣膜 HSO2、以及絕緣膜 TP，並且形成這些絕緣膜的方法與第一實施例的那些相同。

【0166】圖 22 示出了形成記憶體閘極電極 MG 的步驟。

【0167】首先，經由例如 CVD 方法在閘極電介質膜 MZ 上沉積由例如多晶矽製成的導電膜。導電膜可以是例如金屬膜，諸如氮化鈦膜、鋁膜或鎢膜、或這些金屬膜的疊層膜。接下來，執行各向異性蝕刻以將導電膜處理成側壁形狀，由此經由閘極電介質膜 MZ 在控制閘極電極 CG 的兩個側表面上形成由導電膜形成的記憶體閘極電極 MG。

【0168】圖 23 示出了移除閘極電介質膜 MZ 的一部分和記憶體閘極電極 MG 的一部分的步驟。

【0169】首先，形成抗蝕圖案以覆蓋形成在控制閘極電極 CG 的一個側表面上的記憶體閘極電極 MG。接下來，使用抗蝕圖案作為遮罩執行乾蝕刻和濕蝕刻，以移除未被抗蝕圖案覆蓋的閘極電介質膜 MZ 和記憶體閘極電極 MG。結果，移除記憶體單元 MC2 的汲極區側上的閘極電介質膜 MZ 和記憶體閘極電極 MG，並且留下記憶體單元 MC2 的源極區側上的閘極電介質膜 MZ 和記憶體閘極電極 MG。

【0170】圖 24 示出了形成延伸區 EXD 和延伸區 EXS 的步驟。

【0171】n 型延伸區 EXD 和 n 型延伸區 EXS 經由例如經由光刻法和離子注入法將砷 (As) 或磷 (P) 引入到阱區 PW 中而形成。延伸區 EXD 和

延伸區 EXS 形成為與控制閘極電極 CG 和記憶體閘極電極 MG 自對準。

【0172】圖 25 示出了形成側壁間隔物 SW、擴散區 MD 和擴散區 MS 的步驟。

【0173】首先，經由例如 CVD 方法形成由例如氮化矽製成的絕緣膜，以覆蓋記憶體單元 MC。接下來，在絕緣膜上執行各向異性乾法蝕刻，以在控制閘極電極 CG 和記憶體閘極電極 MG 的側表面上形成側壁間隔物 SW。注意，形成側壁間隔物 SW 的絕緣膜可以是氧化矽膜和形成在該氧化矽膜上的氮化矽膜。

【0174】接下來，經由光刻法和離子注入法，使用側壁間隔物 SW 作為遮罩，砷（As）或磷（P）例如被引入到阱區 PW 中，從而形成 n 型擴散區 MD 和 n 型擴散區 MS。

【0175】之後，以與第一實施例中相同的方式在記憶體閘極電極 MG、控制閘極電極 CG、擴散區 MS 和擴散區 MD 上形成矽化物層 SI，由此製造圖 17 所示的記憶體單元 MC2。

【0176】而且，第二實施例和第三實施例技術可以組合，並且被應用於第四實施例的記憶體單元 MC2。

修改

【0177】下文參照圖 26 對第四實施例的修改的半導體元件進行描述。在以下說明中，主要對與第四實施例的不同之處進行解釋。

【0178】與第四實施例的記憶體單元 MC2 類似，本修改的記憶體單元 MC3 是具有記憶體閘極電極 MG 和控制閘極電極 CG 的分裂閘極型記憶體單元。在第四實施例中，首先形成閘極電介質膜 GF 和控制閘極電極 CG，

然後形成閘極電介質膜 MZ 和記憶體閘極電極 MG，但是在本修改中，形成它們的順序相反。

【0179】在下文中，參考圖 26 對包括本修改的記憶體單元 MC3 的半導體元件進行描述。

【0180】如圖 26 所示，在阱區 PW（半導體基板 SB）上形成閘極電介質膜 MZ，並且在閘極電介質膜 MZ 上形成記憶體閘極電極 MG。絕緣膜 IF1 形成在記憶體閘極電極 MG 的一個側表面上。絕緣膜 IF1 由例如氮化矽或氧化矽製成。閘極電介質膜 GF 形成在阱區 PW 和絕緣膜 IF1 上。當絕緣膜 IF1 是氮化矽膜時，如圖 26 所示，經由 ISSG 氧化物方法形成的閘極電介質膜 GF 亦形成在絕緣膜 IF1 上。當絕緣膜 IF1 是氧化矽膜時，閘極電介質膜 GF 不會形成在絕緣膜 IF1 上。當經由 ALD 方法由諸如氧化鉛膜之類的高介電常數膜形成閘極電介質膜 GF 時，無論絕緣膜 IF1 是氮化矽膜還是氧化矽膜，皆會在絕緣膜 IF1 上形成閘極電介質膜 GF。

【0181】在記憶體閘極電極 MG 的一個側表面上，經由絕緣膜 IF1 和閘極電介質膜 GF 形成控制閘極電極 CG。亦即，在控制閘極電極 CG 和記憶體閘極電極 MG 之間至少形成諸如絕緣膜 IF1 之類的絕緣膜，並且控制閘極電極 CG 與記憶體閘極電極 MG 絕緣並且分開。

【0182】閘極電介質膜 MZ、記憶體閘極電極 MG、閘極電介質膜 GF 和控制閘極電極 CG 中的每個的結構和製造方法與第四實施例的那些相同。

【0183】側壁間隔物 SW 形成在控制閘極電極 CG 與記憶體閘極電極 MG 相對的側表面上，形成在控制閘極電極 CG 的兩個側表面上，並且形

成在記憶體閘極電極 MG 的另一側表面上。作為 n 型雜質區的延伸區 EXS 形成在記憶體閘極電極 MG 側上的側壁間隔物 SW 下方的阱區 PW 中，並且作為 n 型雜質區的延伸區 EXD 形成在控制閘極電極 CG 側上的側壁間隔物 SW 下方的阱區 PW 中。在與記憶體閘極電極 MG 側上的側壁間隔物 SW 對準的位置處，在阱區 PW 中形成作為 n 型雜質區的擴散區 MS；並且在與控制閘極電極 CG 側上的側壁間隔物 SW 對準的位置處，在阱區 PW 中形成作為 n 型雜質的擴散區 MD。矽化物層 SI 形成在記憶體閘極電極 MG、控制閘極電極 CG、擴散區 MS 和擴散區 MD 上。

【0184】順便提及，記憶體單元 MC3 的等效電路圖和“寫入”、“擦除”和“讀取”的操作電壓與圖 18 和圖 19 中的那些相同。

【0185】而且，在本修改中，可以提高記憶體單元 MC3 的保留特性，並且可以提高半導體元件的可靠性。

【0186】儘管已經基於實施例來對由本發明人做出的發明進行具體描述，但是本發明不限於上述實施例，並且可以在不背離其主旨的情況下進行各種修改。

【0187】例如，在上述實施例中，記憶體單元 MC1 至 MC3 形成在平坦半導體基板 SB 上，但是記憶體單元 MC1 至 MC3 可以是鰭結構。亦即，記憶體單元 MC1 至 MC3 可以以下操作來提供：將半導體基板 SB 的一部分處理成凸形形狀來形成突出部分，以及形成閘極電介質膜 MZ 以覆蓋突出部分的上表面和側表面。

【符號說明】

【0188】

M1	佈線
PG	插塞
SW	側壁間隔物
SI	矽化物層
MG	記憶體閘極電極
IL1	層間絕緣膜
IL2	層間絕緣膜
MS	擴散區
MD	擴散區
EXD	延伸區
EXS	延伸區
MC1	記憶體單元
MC2	記憶體單元
MC3	記憶體單元
MZ	閘極電介質膜
PW	阱區
SB	半導體基板
Vd	電壓
Vcg	電壓
Vmg	電壓
Vs	電壓

Vb	電壓
BT	絕緣膜
HSO1	絕緣膜
HSO2	絕緣膜
HSO3	絕緣膜
AL1	插入層
AL2	插入層
TP	絕緣膜
TP1	絕緣膜
TP2	絕緣膜
TP3	絕緣膜
CSL	電荷儲存層
Xa	距離
Xb	距離
Xc	距離
GR1	晶粒
GR2	晶粒
GB1	晶界
GB2	晶界
CG	控制閘極電極
GF	閘極電介質膜
IF1	絕緣膜

HO 絕緣膜

【發明申請專利範圍】

【第 1 項】一種半導體元件，包括：

非揮發性記憶體單元，具有：

第一閘極電介質膜，形成在半導體基板上，並且包括能夠保持電荷的電荷儲存層；以及

第一閘極電極，形成在所述第一閘極電介質膜上，其中所述電荷儲存層包括：

第一絕緣膜，形成在所述半導體基板上，所述第一絕緣膜由矽酸鉛膜製成，

第一插入層，形成在所述第一絕緣膜上，所述第一插入層由鉛膜、氮化鉛膜、碳化鉛膜、矽酸鉛膜或氧化鉛膜製成，以及

第二絕緣膜，形成在所述第一插入層上，所述第二絕緣膜由所述矽酸鉛膜製成。

【第 2 項】如請求項 1 所述之半導體元件，

其中所述第一插入層的厚度小於所述第一絕緣膜的厚度和所述第二絕緣膜的厚度。

【第 3 項】如請求項 1 所述之半導體元件，

其中所述第一閘極電介質膜包括介於所述半導體基板和所述電荷儲存層之間的第三絕緣膜，

其中所述第三絕緣膜由氧化矽膜或氮氧化矽膜製成，以及

其中所述第一絕緣膜與所述第三絕緣膜直接接觸。

【第 4 項】如請求項 3 所述之半導體元件，

其中所述電荷儲存層包括：

第二插入層，形成在所述第二絕緣膜上，所述第二插入層由與所述第一插入層的膜相同的膜製成，以及

第四絕緣膜，形成在所述第二插入層上，所述第四絕緣膜由所述矽酸鋁膜製成。

【第 5 項】如請求項 1 所述之半導體元件，

其中所述第一閘極電介質膜包括介於所述電荷儲存層和所述第一閘極電極之間的第三絕緣膜，

其中所述第三絕緣膜由所述氧化鋁膜、氮氧化鋁膜或所述矽酸鋁膜製成，

其中所述第三絕緣膜具有大於所述第一插入層的厚度的厚度。

【第 6 項】如請求項 1 所述之半導體元件，

其中所述第一閘極電介質膜包括介於所述電荷儲存層和所述第一閘極電極之間的第三絕緣膜，

其中所述第三絕緣膜包括：

第四絕緣膜，形成在所述電荷儲存層上，所述第四絕緣膜由所述氧化鋁膜、氮氧化鋁膜或所述矽酸鋁膜製成，

第五絕緣膜，形成在所述第四絕緣膜上，所述第五絕緣膜由氧化矽膜、氮氧化矽膜或氮化矽膜製成，以及

第六絕緣膜，形成在所述第五絕緣膜上，所述第六絕緣膜由所述氧化鋁膜、所述氮氧化鋁膜或所述矽酸鋁膜製成，以及

其中所述第一插入層的厚度小於所述第四絕緣膜的厚度和所述第六絕緣

膜的厚度。

【第 7 項】如請求項 6 所述之半導體元件，

其中包括多個第一晶粒的所述第四絕緣膜和包括多個第二晶粒的所述第六絕緣膜被所述第五絕緣膜分開。

【第 8 項】如請求項 7 所述之半導體元件，

其中所述第四絕緣膜為第一多晶膜，

其中所述第六絕緣膜為第二多晶膜，以及

其中所述第五絕緣膜為非晶膜。

【第 9 項】如請求項 1 所述之半導體元件，

其中所述非揮發性記憶體單元包括：

第二閘極電介質膜，形成在所述半導體基板上，以及

第二閘極電極，形成在所述第二閘極電介質膜上，以及

其中所述第一閘極電極與所述第二閘極電極絕緣並且分開。

【第 10 項】如請求項 1 所述之半導體元件，

其中所述第一插入層為所述氧化鋁膜。

【第 11 項】一種製造半導體元件的方法，所述方法包括：

（a）在半導體基板上形成第一閘極電介質膜，所述第一閘極電介質膜包括能夠保持電荷的電荷儲存層；以及

（b）在所述第一閘極電介質膜上形成第一閘極電極；

其中，在所述（a）中，形成所述電荷儲存層包括：

（a1）在所述半導體基板上形成第一絕緣膜，所述第一絕緣膜為矽酸鉛膜；

(a2)在所述第一絕緣膜上形成第一插入層，所述第一插入層為鋁膜、氮化鋁膜、碳化鋁膜、矽酸鋁膜或氧化鋁膜；以及

(a3)在所述第一插入層上形成第二絕緣膜，所述第二絕緣膜為該矽酸鋁膜。

【第 12 項】如請求項 11 所述之製造半導體元件的方法，包括在所述 (a3) 之後執行熱處理，

其中所述第一絕緣膜和所述第二絕緣膜之各者的所述矽酸鋁膜為 $\text{Hf}_x\text{Si}_{1-x}\text{O}_2$ ($0 < x < 1$) 膜，

其中當 $0.9 \leq x < 1$ 時，所述熱處理的溫度被設置為 800°C 或更高，並且低於 975°C ，

其中當 $0 < x < 0.9$ 時，所述熱處理的溫度被設置為 975°C 或更高，並且 1050°C 或更低。

【第 13 項】如請求項 11 所述之製造半導體元件的方法，

其中在所述 (a) 中，形成所述電荷儲存層包括：

(a4)在所述第二絕緣膜上形成第二插入層，所述第二插入層具有小於所述第二絕緣膜的厚度的厚度，所述第二插入層為所述鋁膜、所述氮化鋁膜、所述碳化鋁膜、所述矽酸鋁膜或所述氧化鋁膜；以及

(a5)在所述第二插入層上形成第三絕緣膜，所述第三絕緣膜具有大於所述第二插入層的厚度的厚度，所述第三絕緣膜為所述矽酸鋁膜，

其中所述第一插入層的厚度小於所述第一絕緣膜的厚度，以及

其中所述第二絕緣膜的厚度大於所述第一插入層的厚度。

【發明圖式】

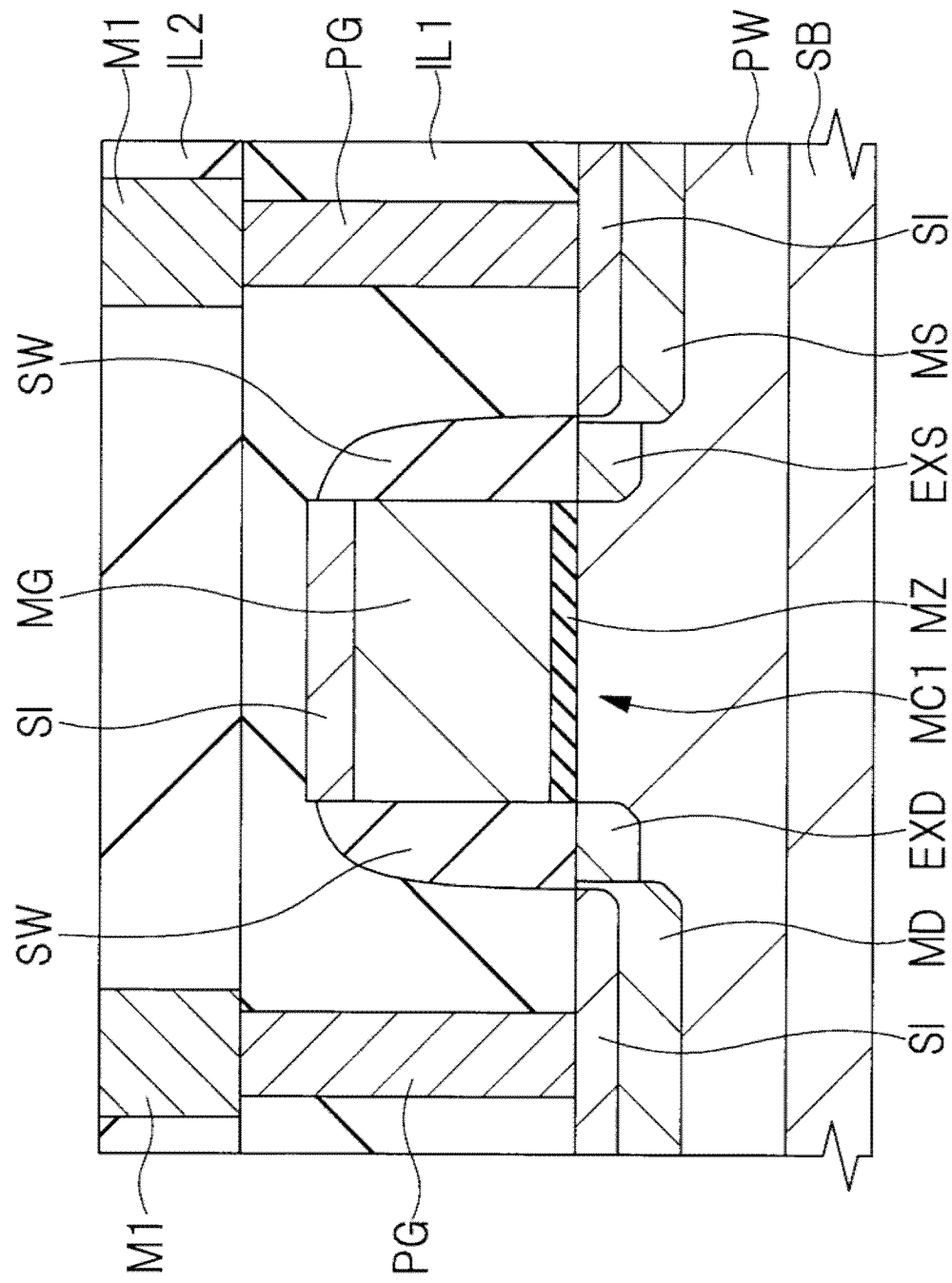


圖1

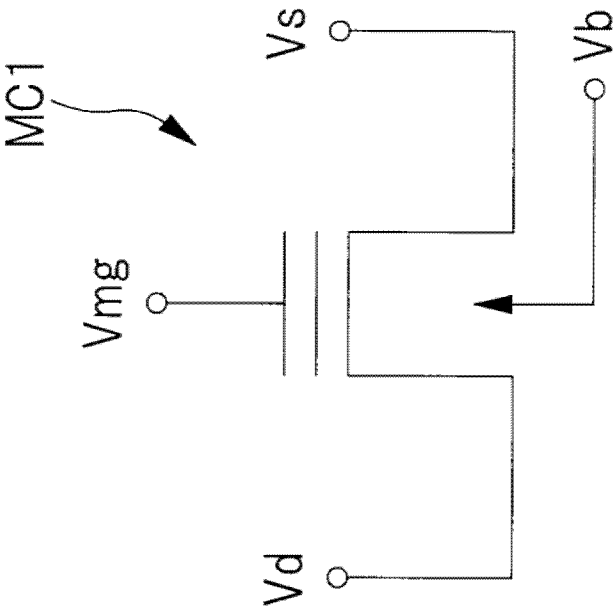


圖2

所施加 的電壓 操作	Vd	Vmg	Vs	Vb
寫入	-6V	Vcc	-6V	-6V
擦除	Vcc	-6V	Vcc	Vcc
讀取	Vcc	Vcc	0V	0V

Vcc = 1.5V

圖3

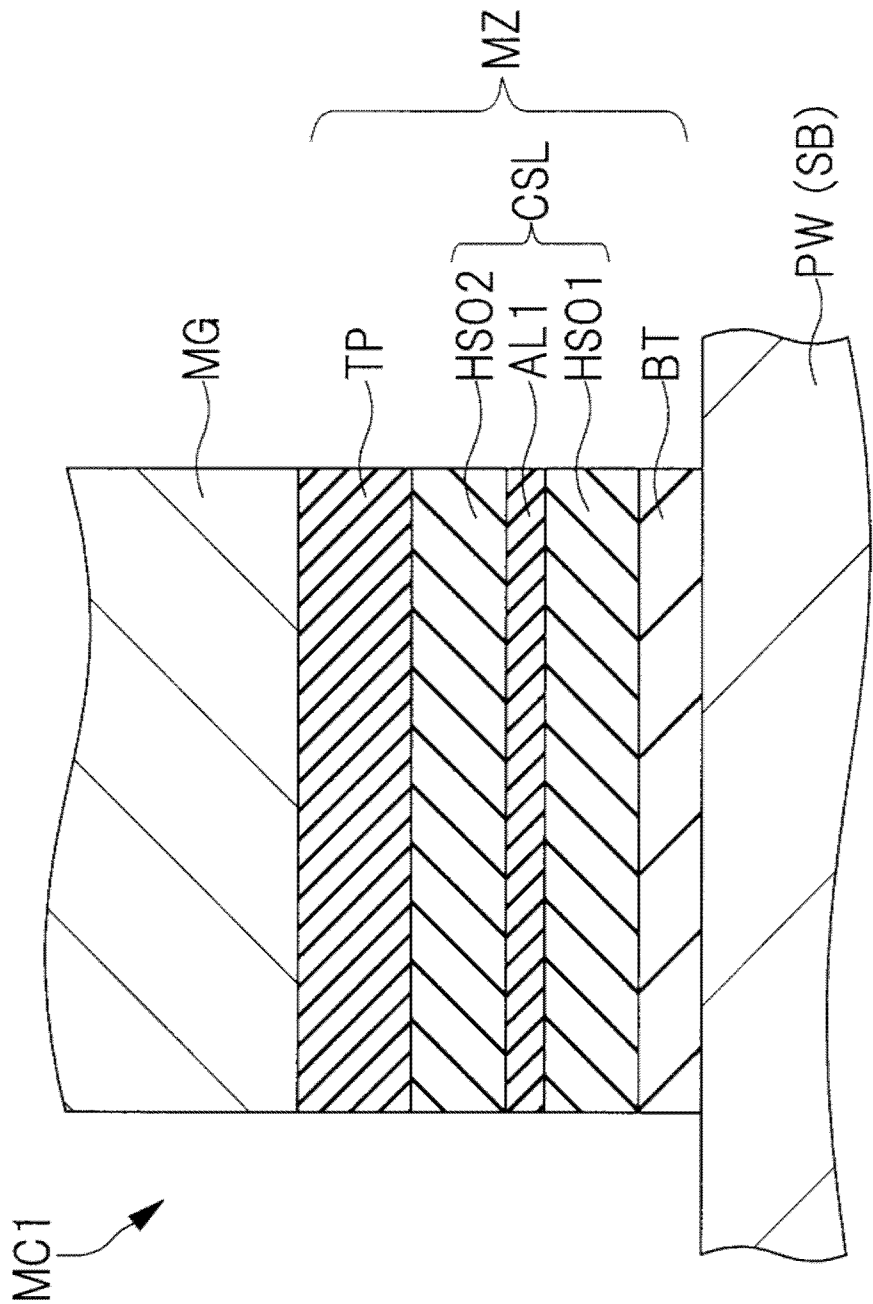


圖4

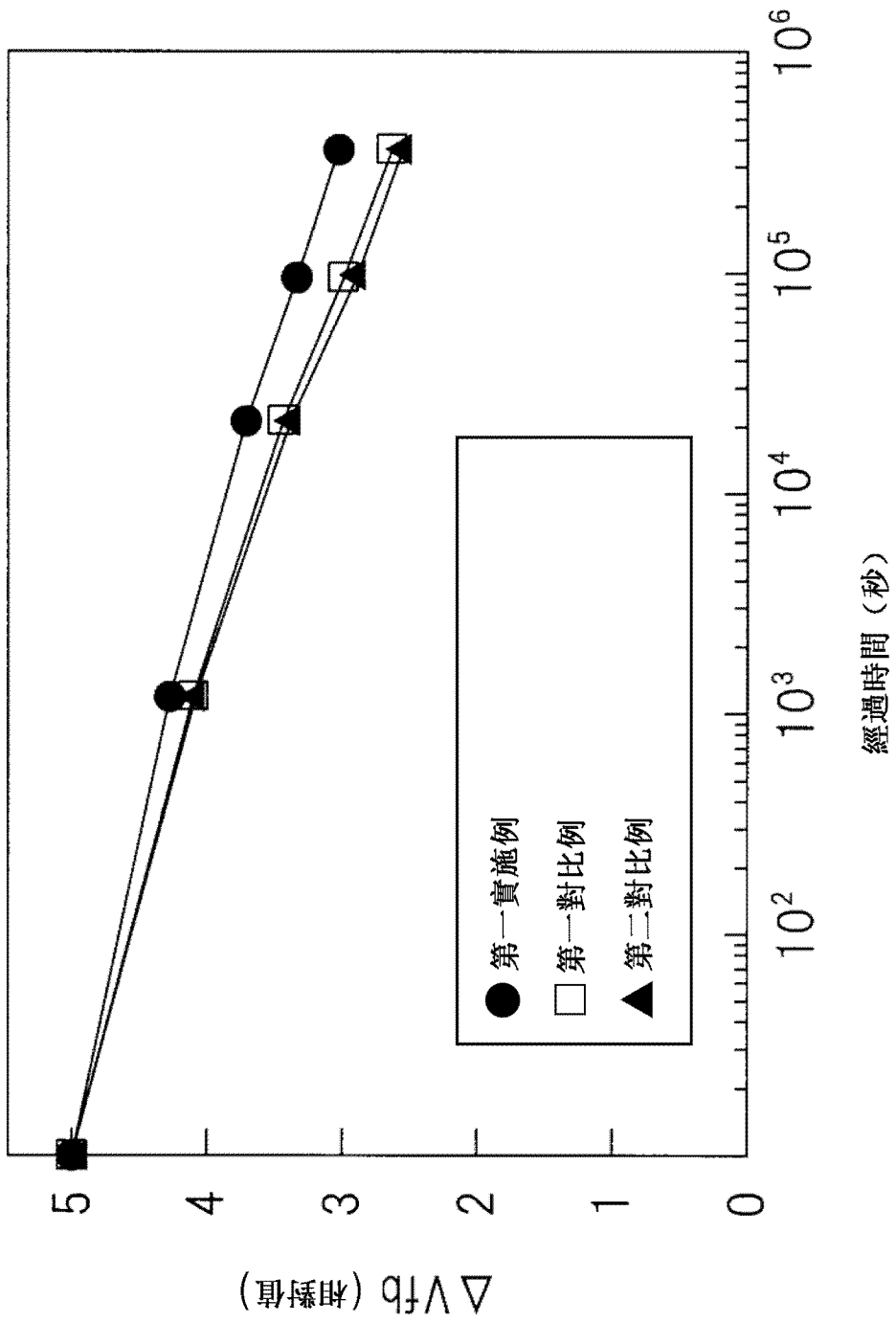


圖5

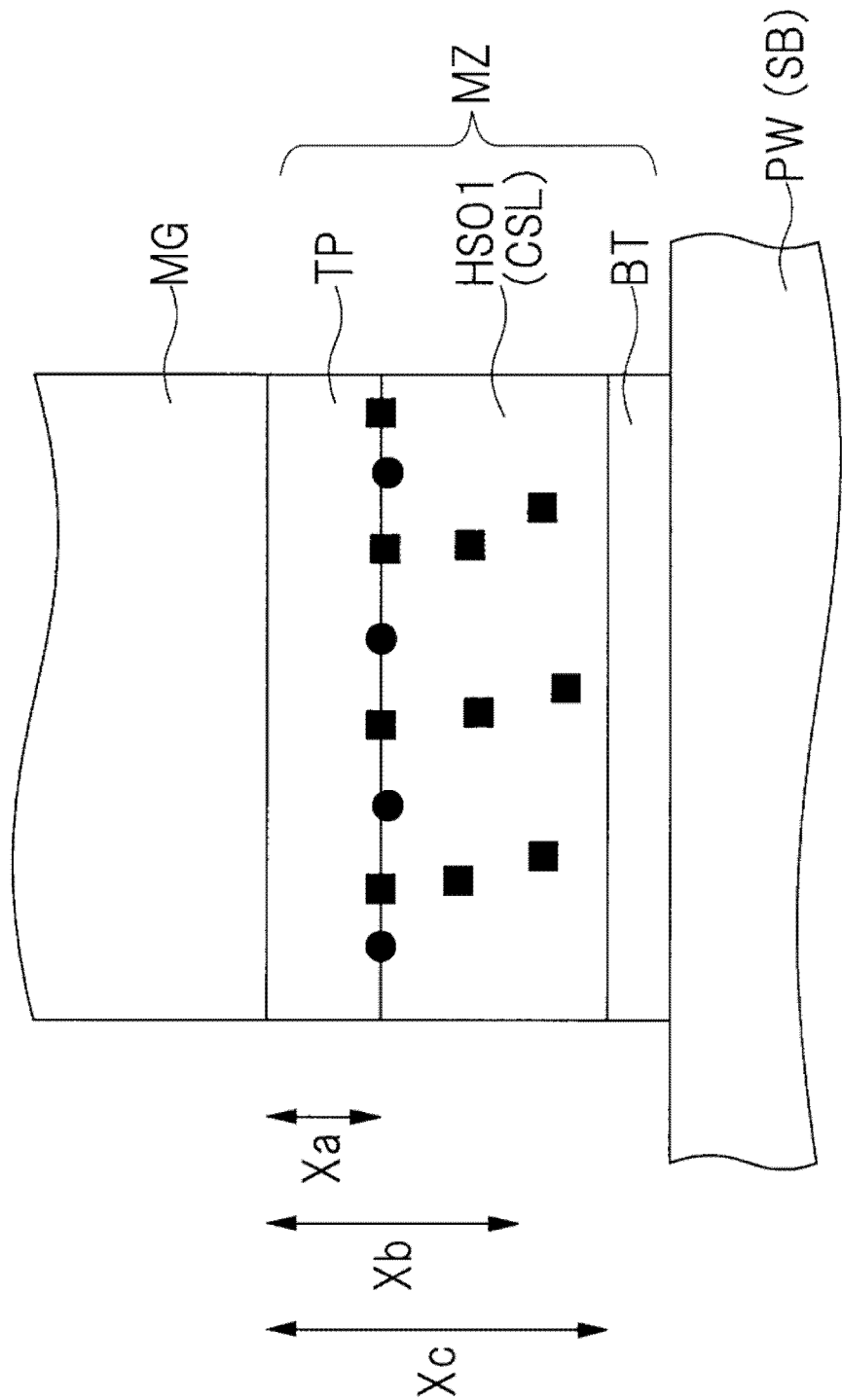


圖6

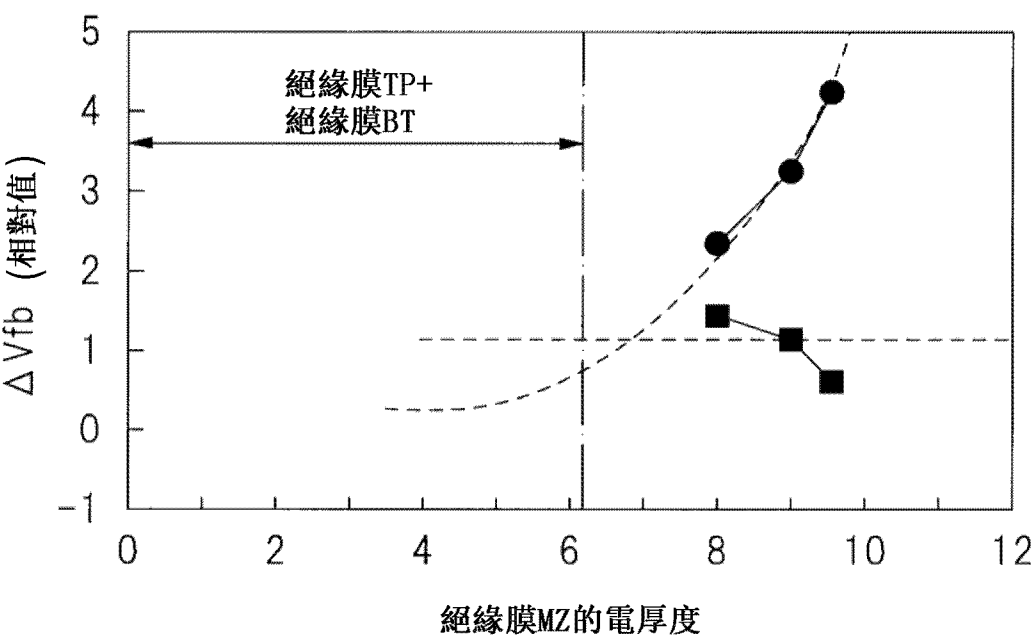


圖7A

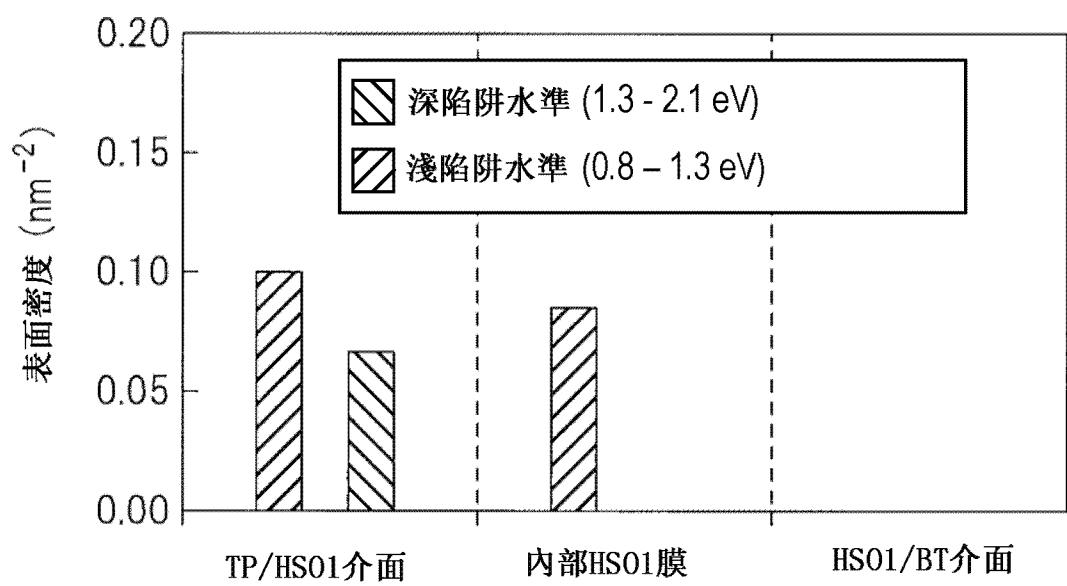


圖7B

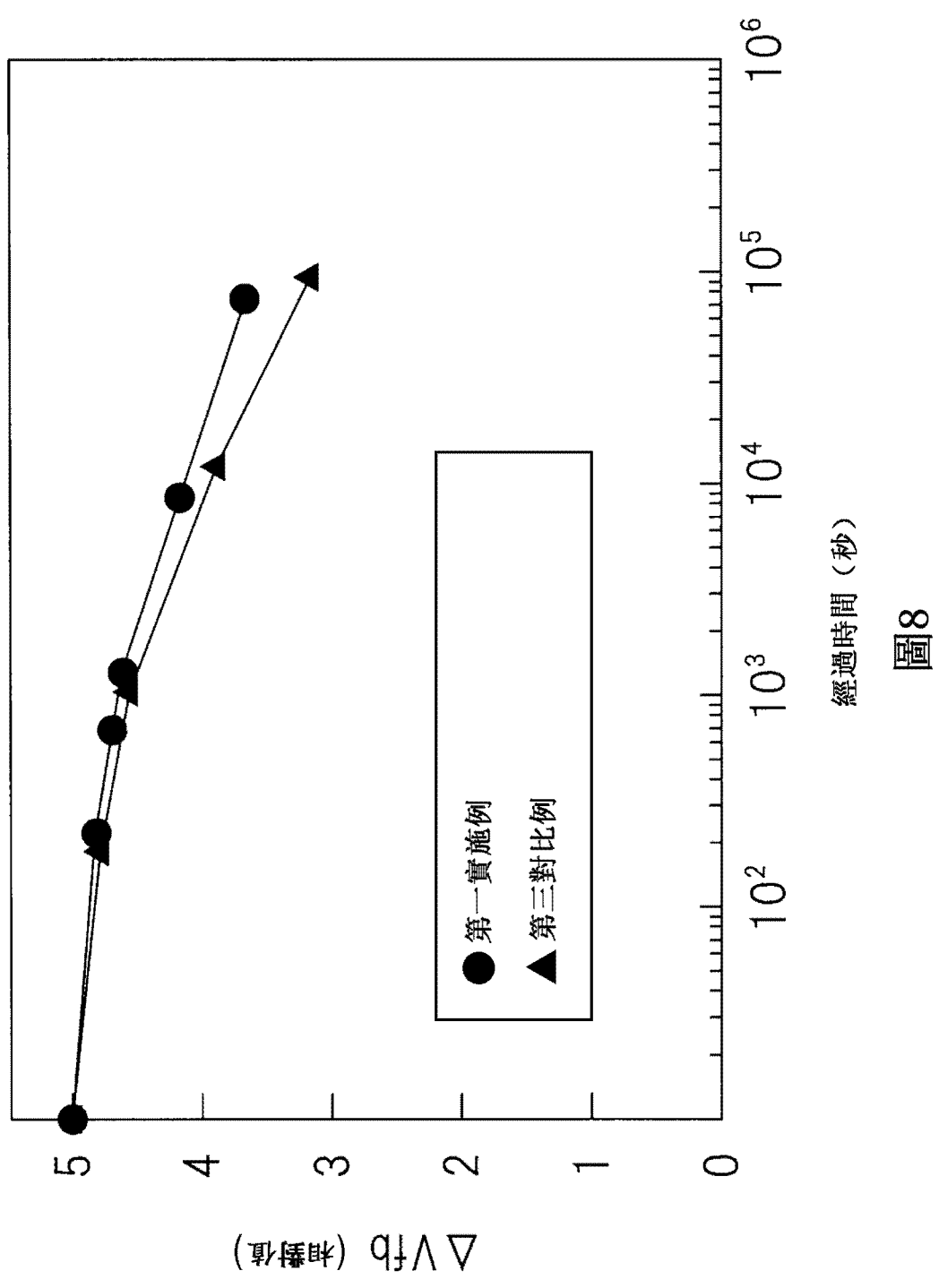


圖8

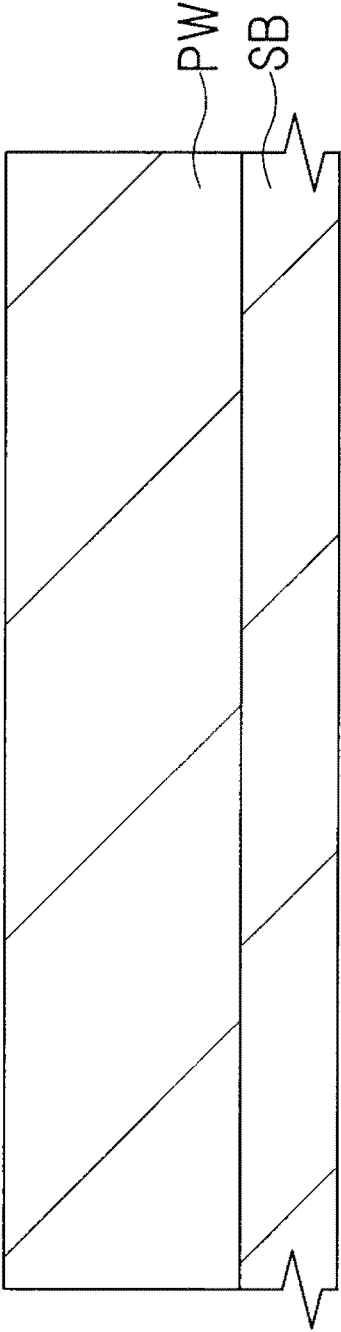


圖 6

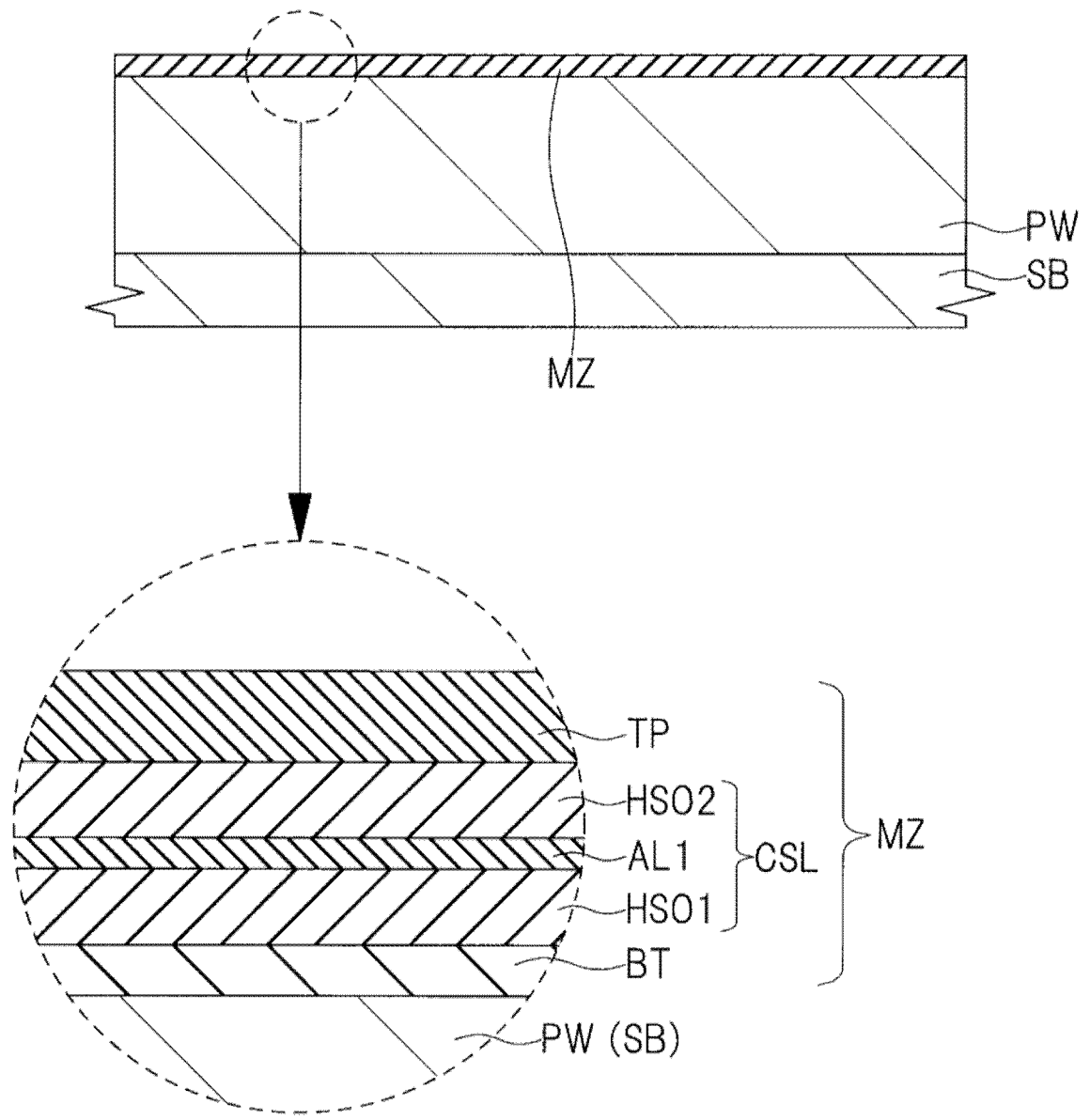
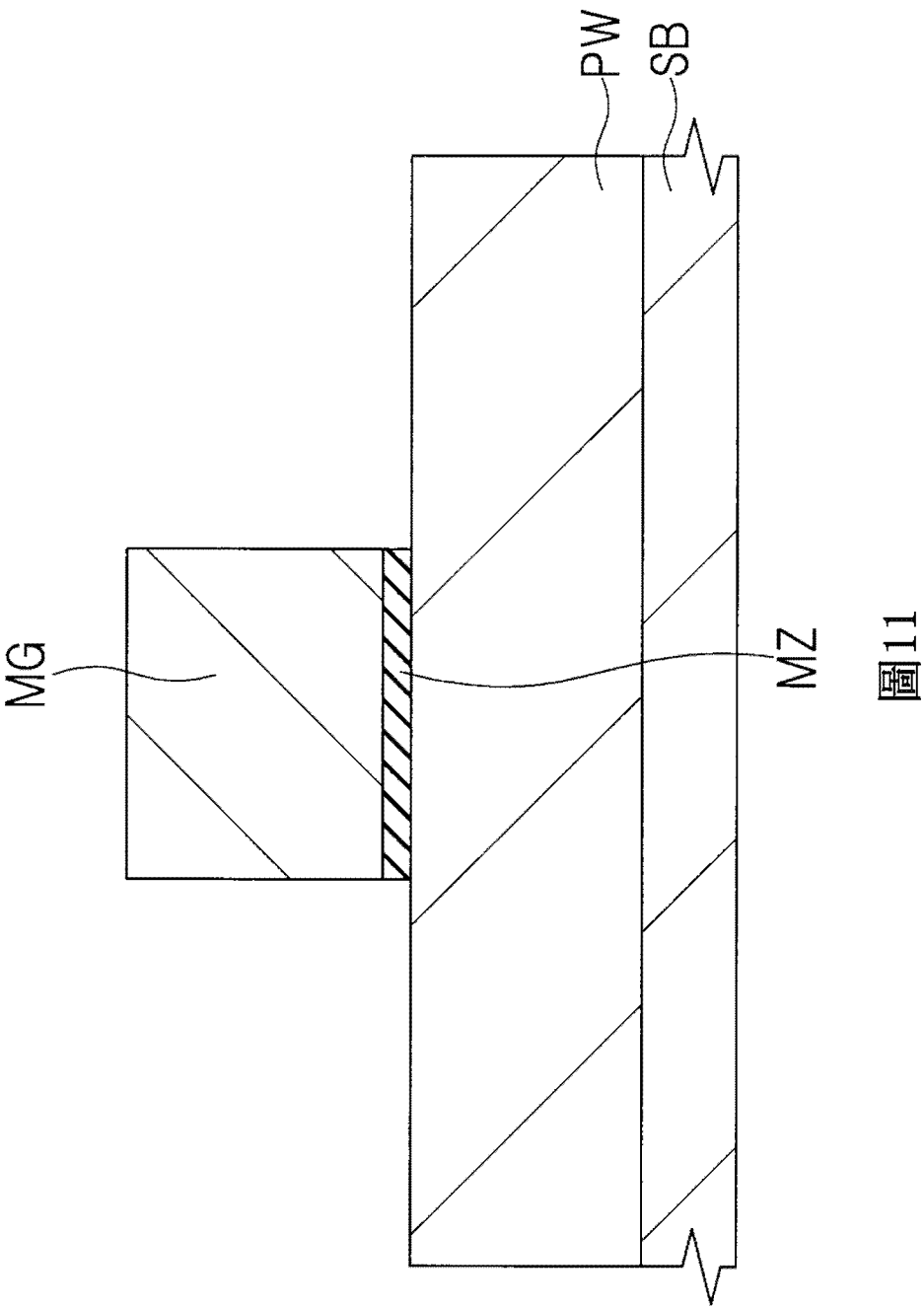


圖10



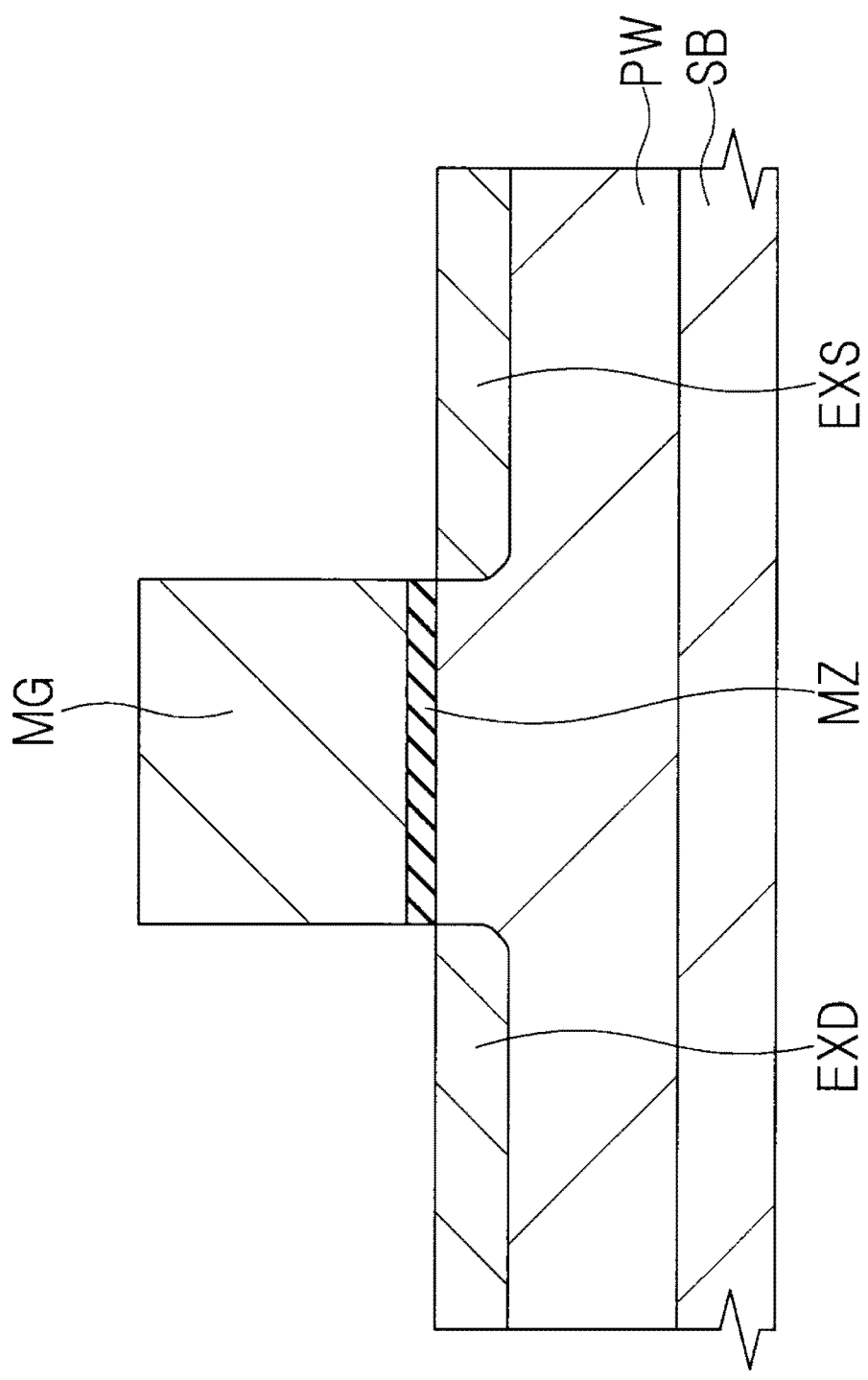


圖12

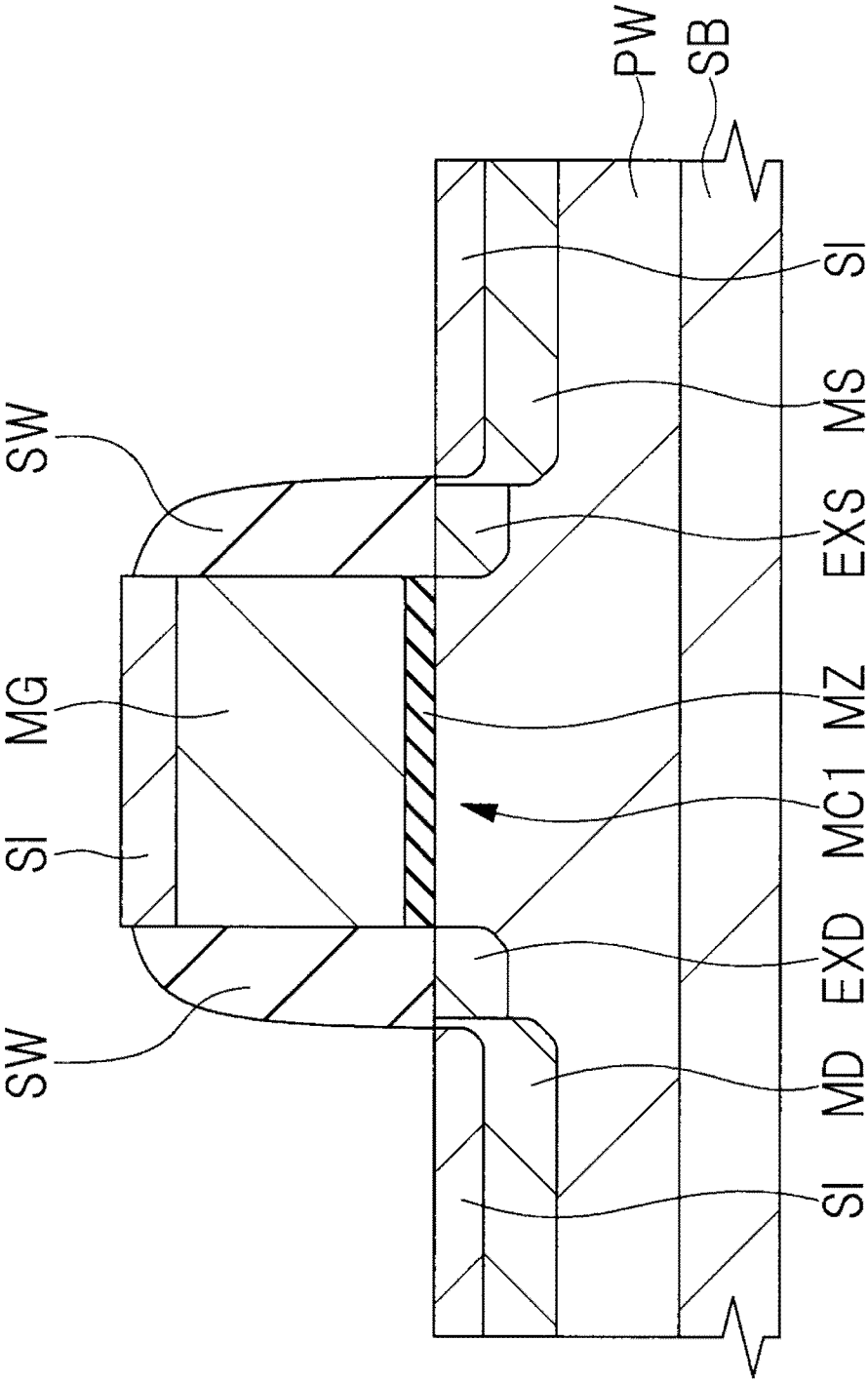


圖13

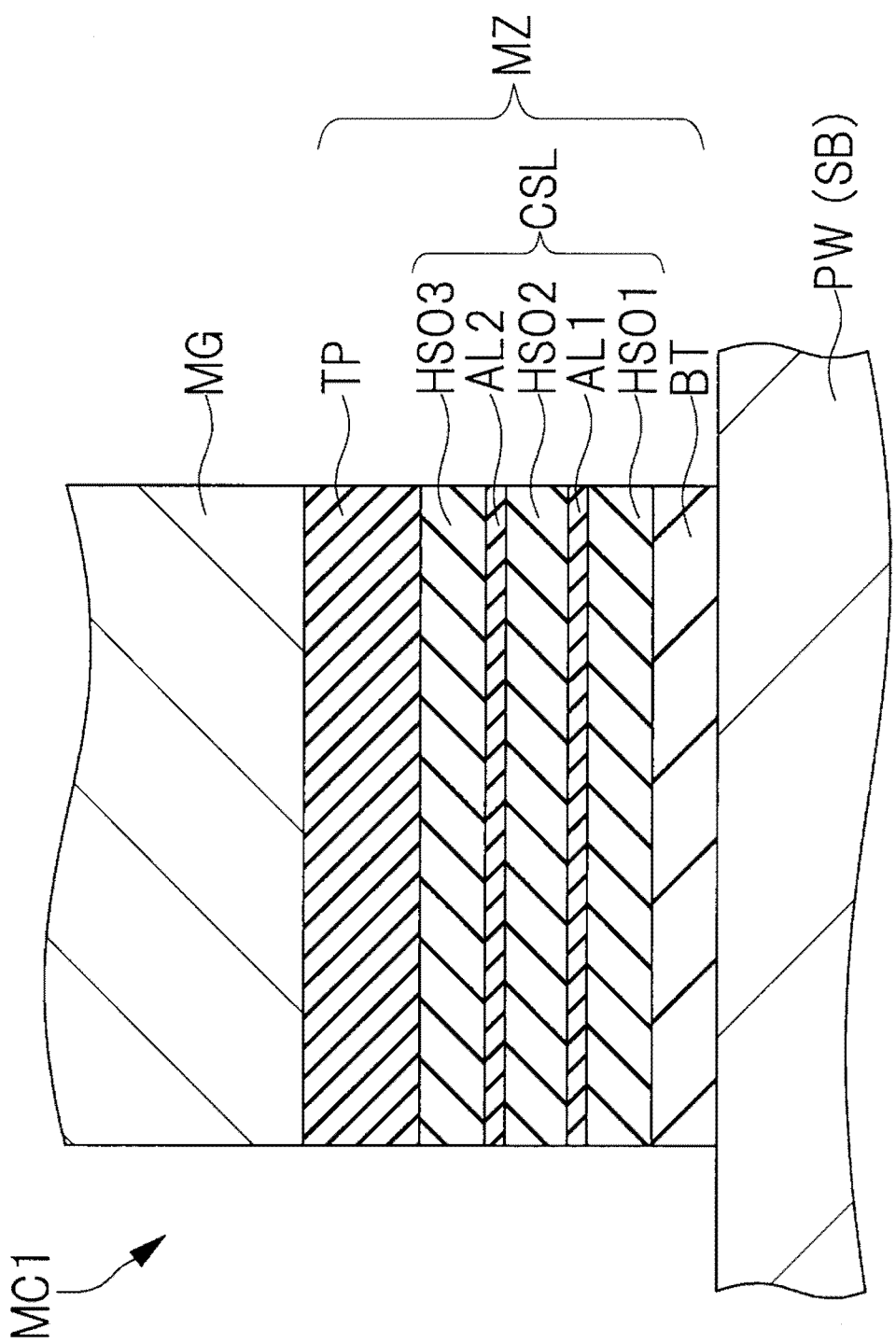


圖14

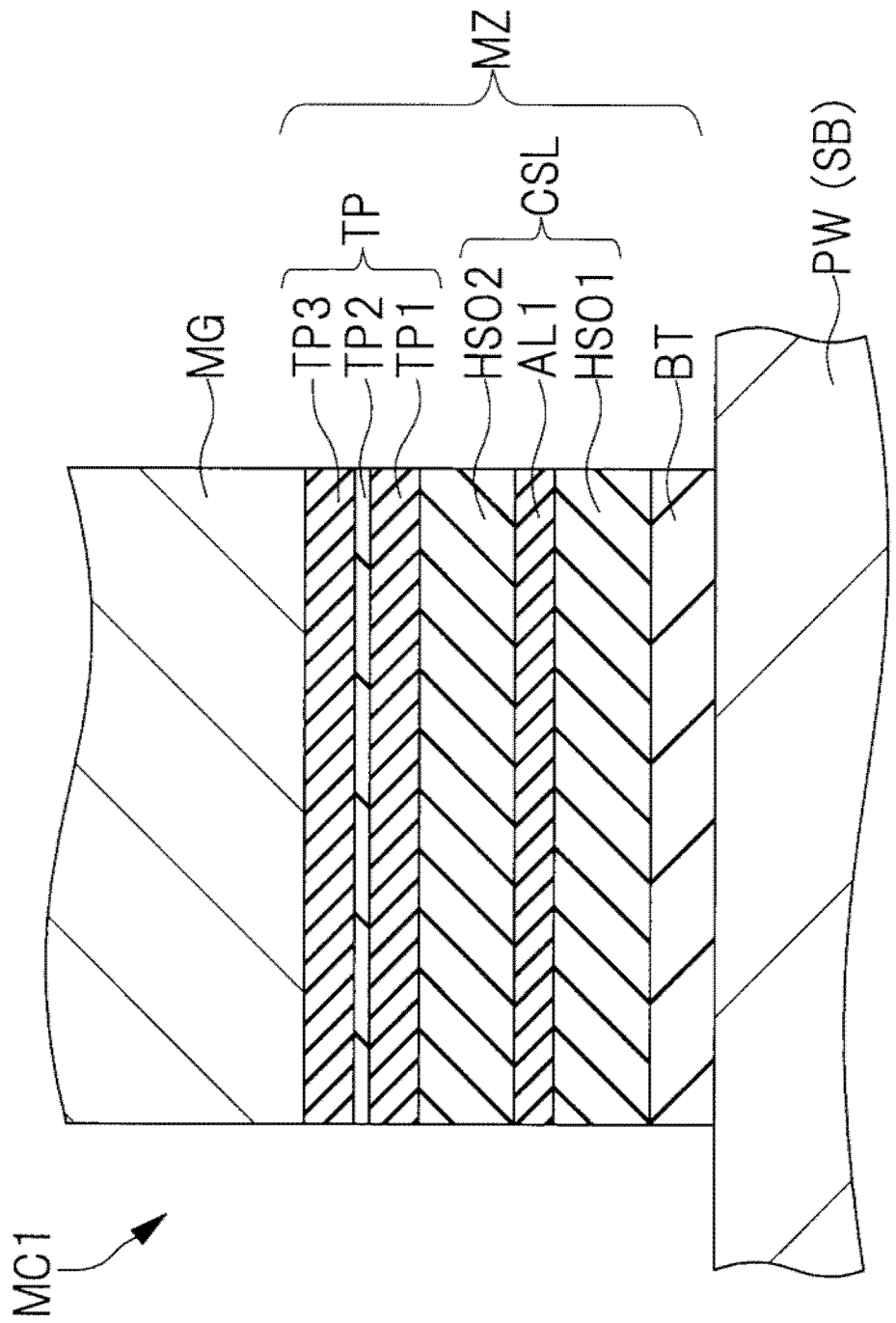


圖15

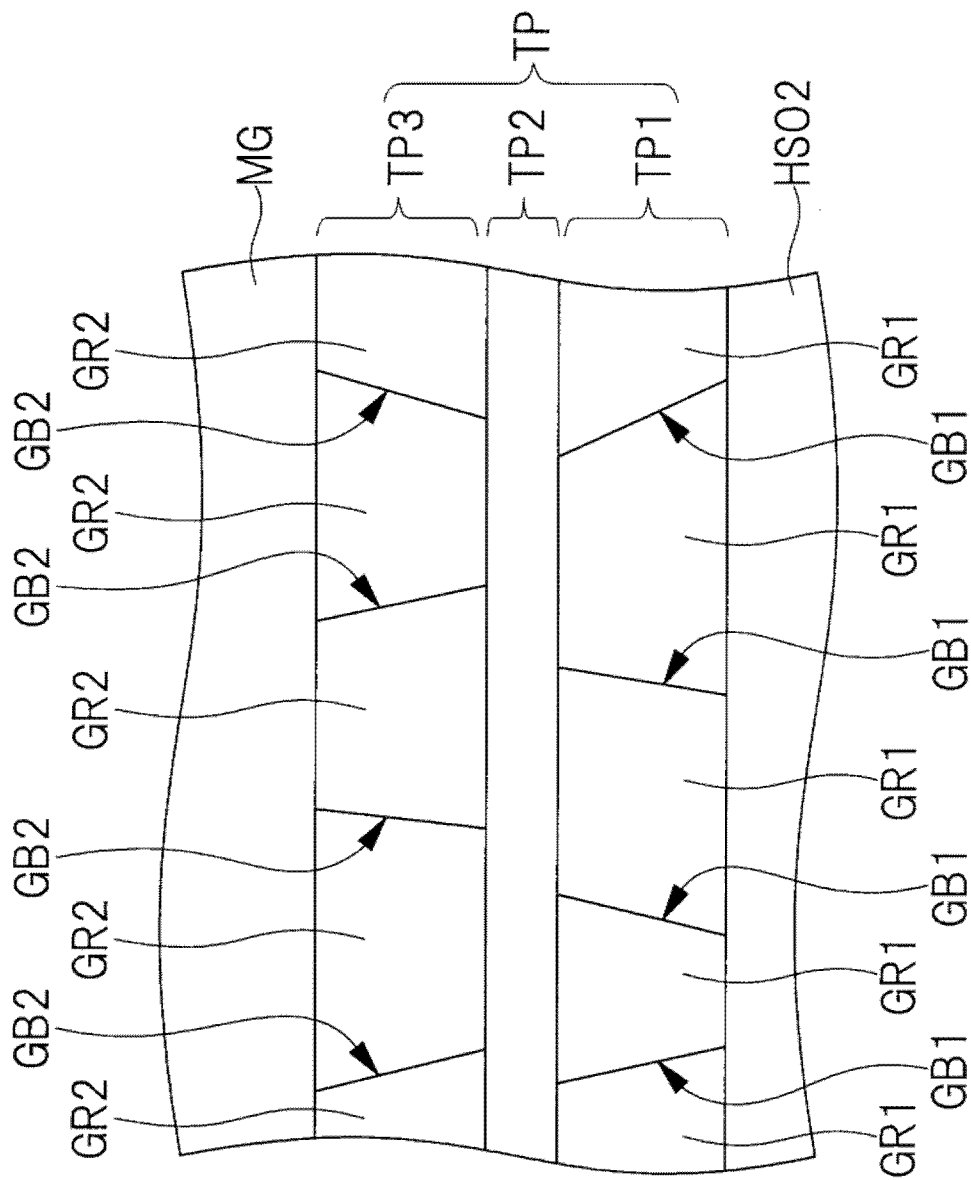


圖16

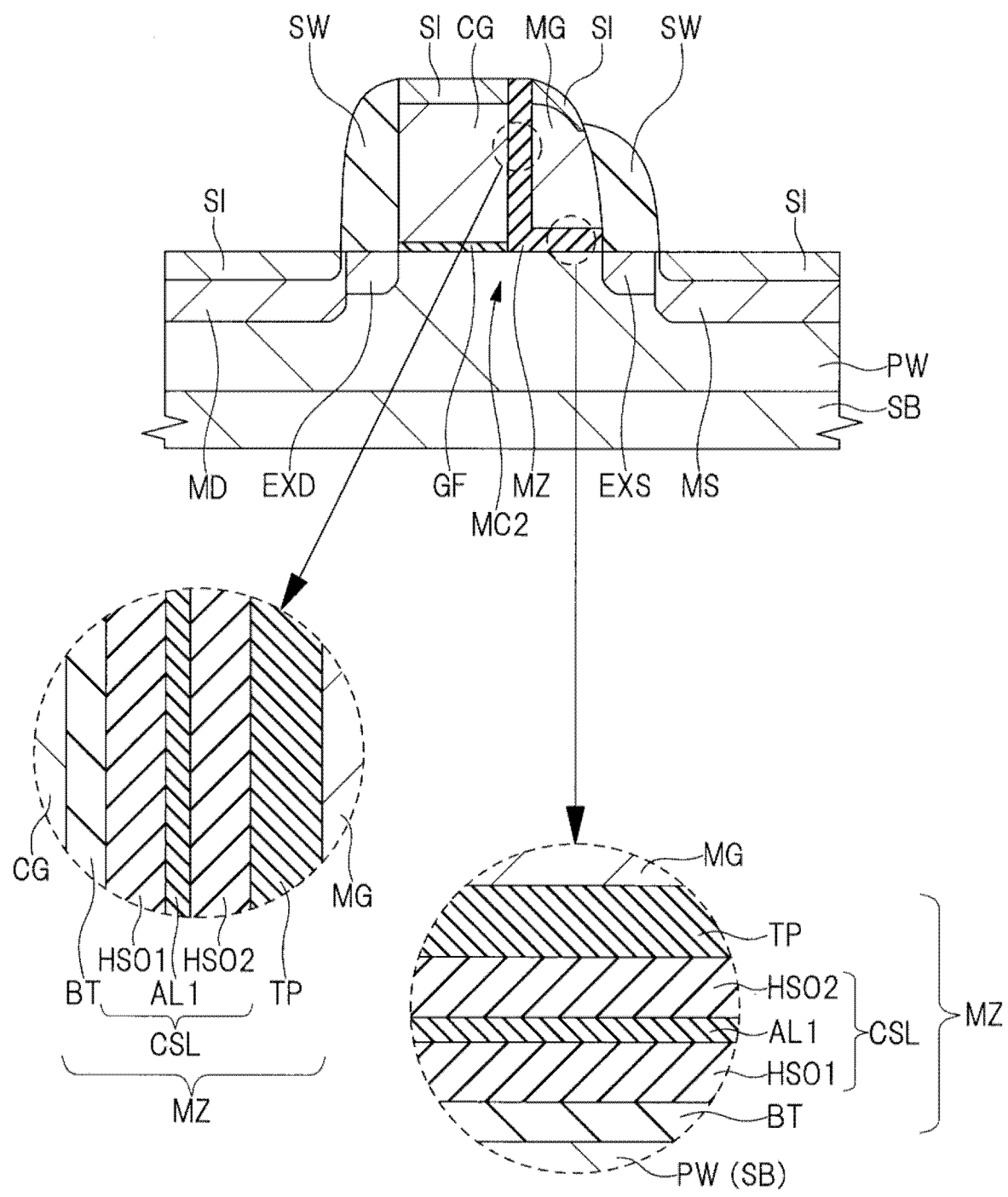


圖17

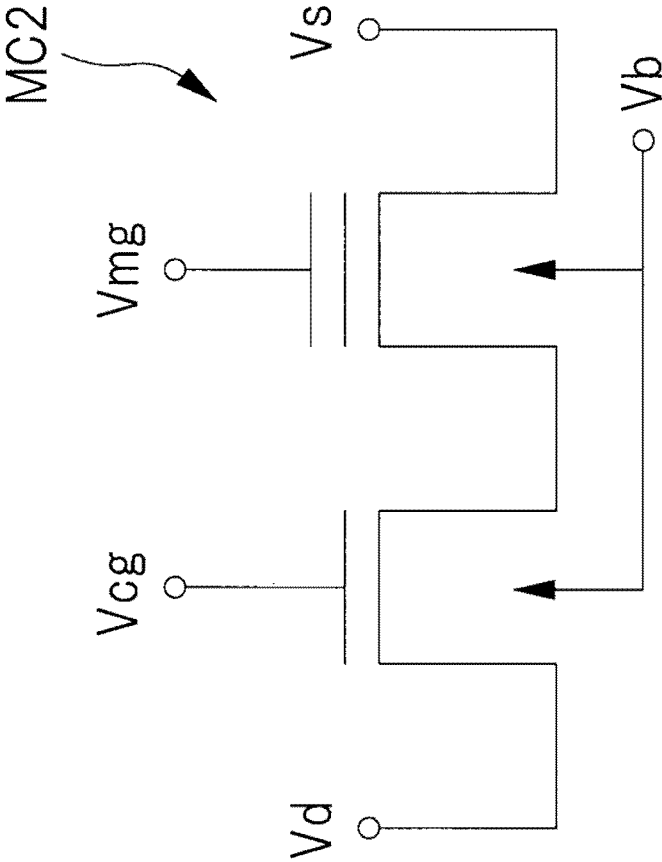


圖18

所施加 的電壓 操作	Vd	Vcg	Vmg	Vs	Vb
寫入	0.5V	1V	7V	3.5V	0V
擦除	0V	0V	-5V	5V	0V
讀取	Vcc	Vcc	0V	0V	0V

Vcc = 1.5V

圖19

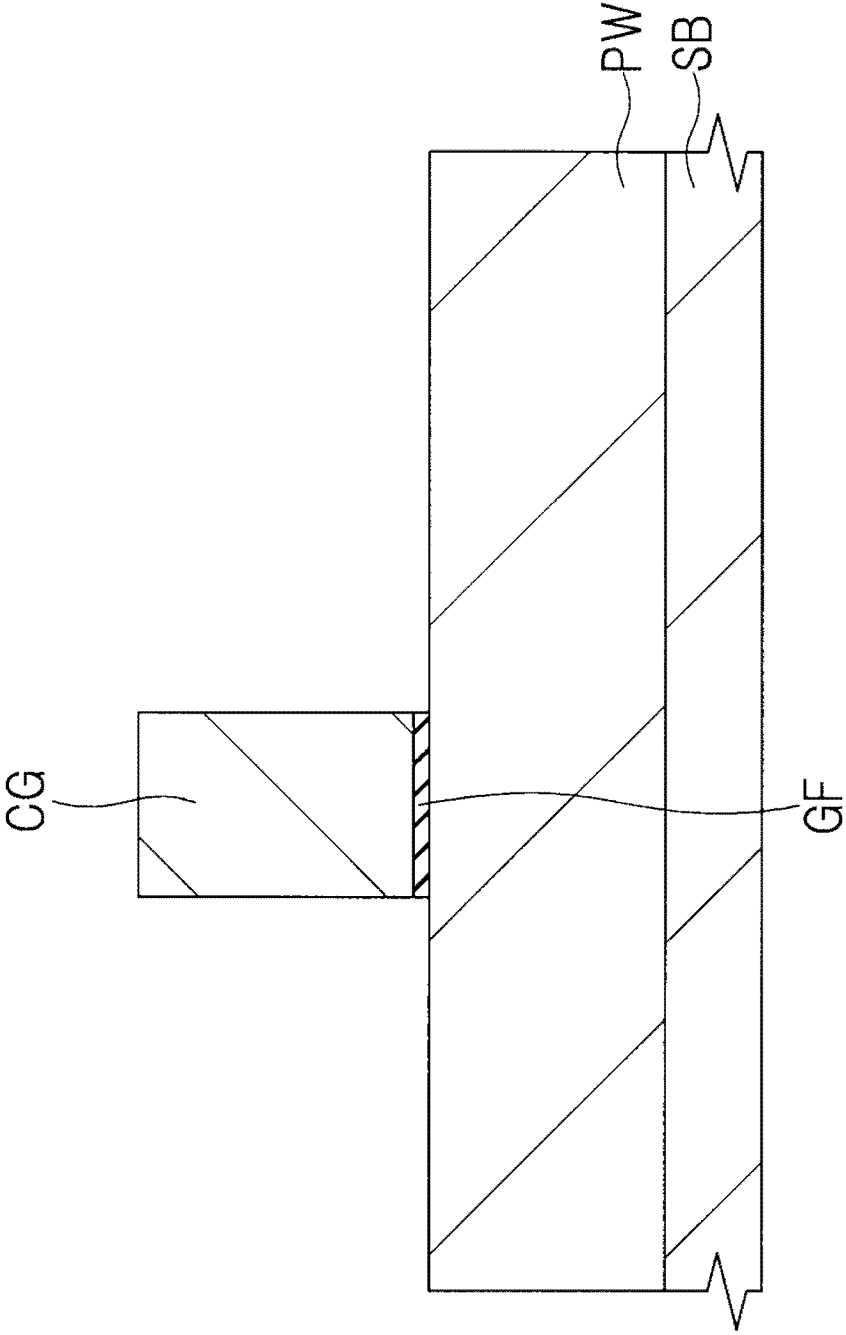


圖20

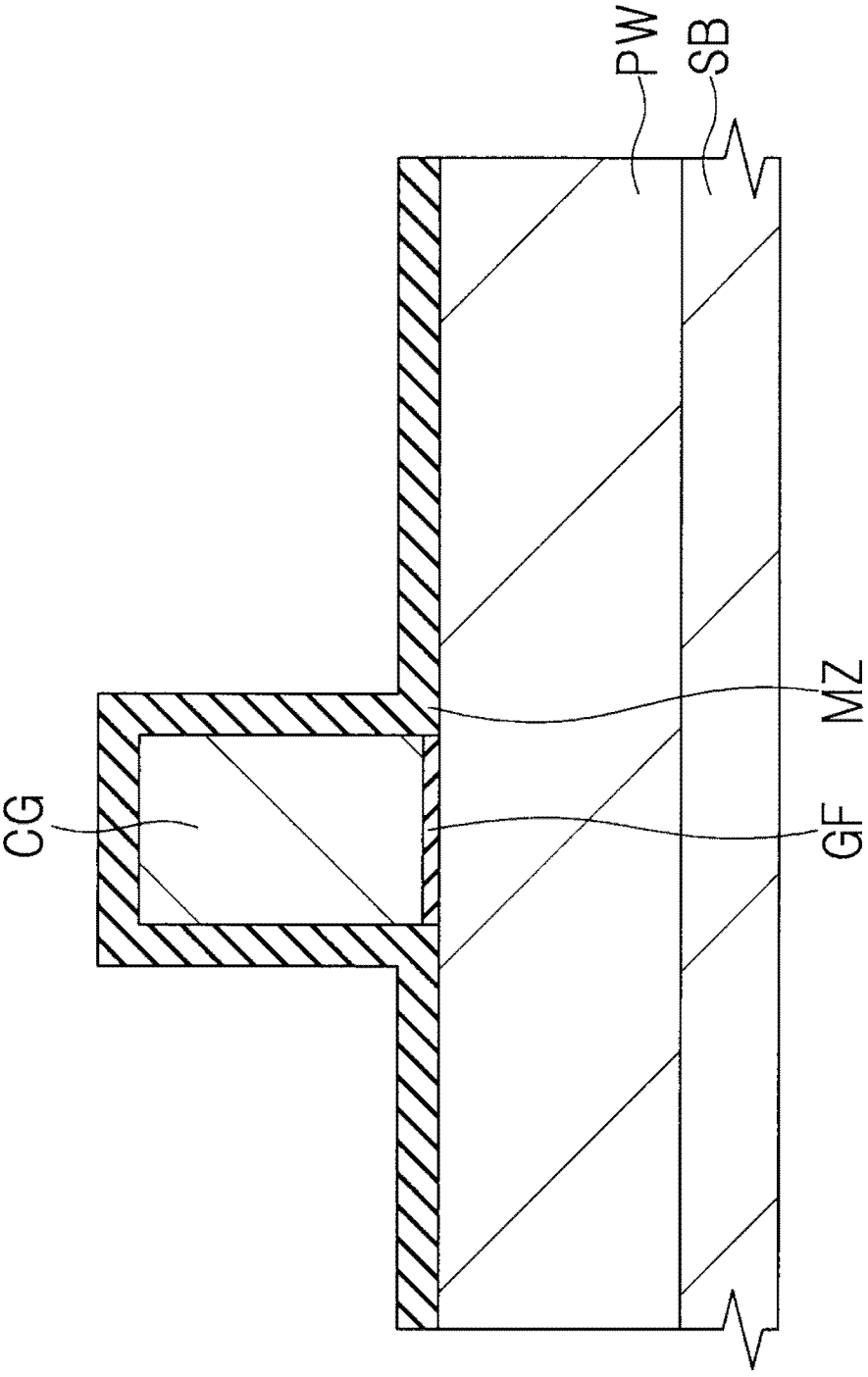


圖21

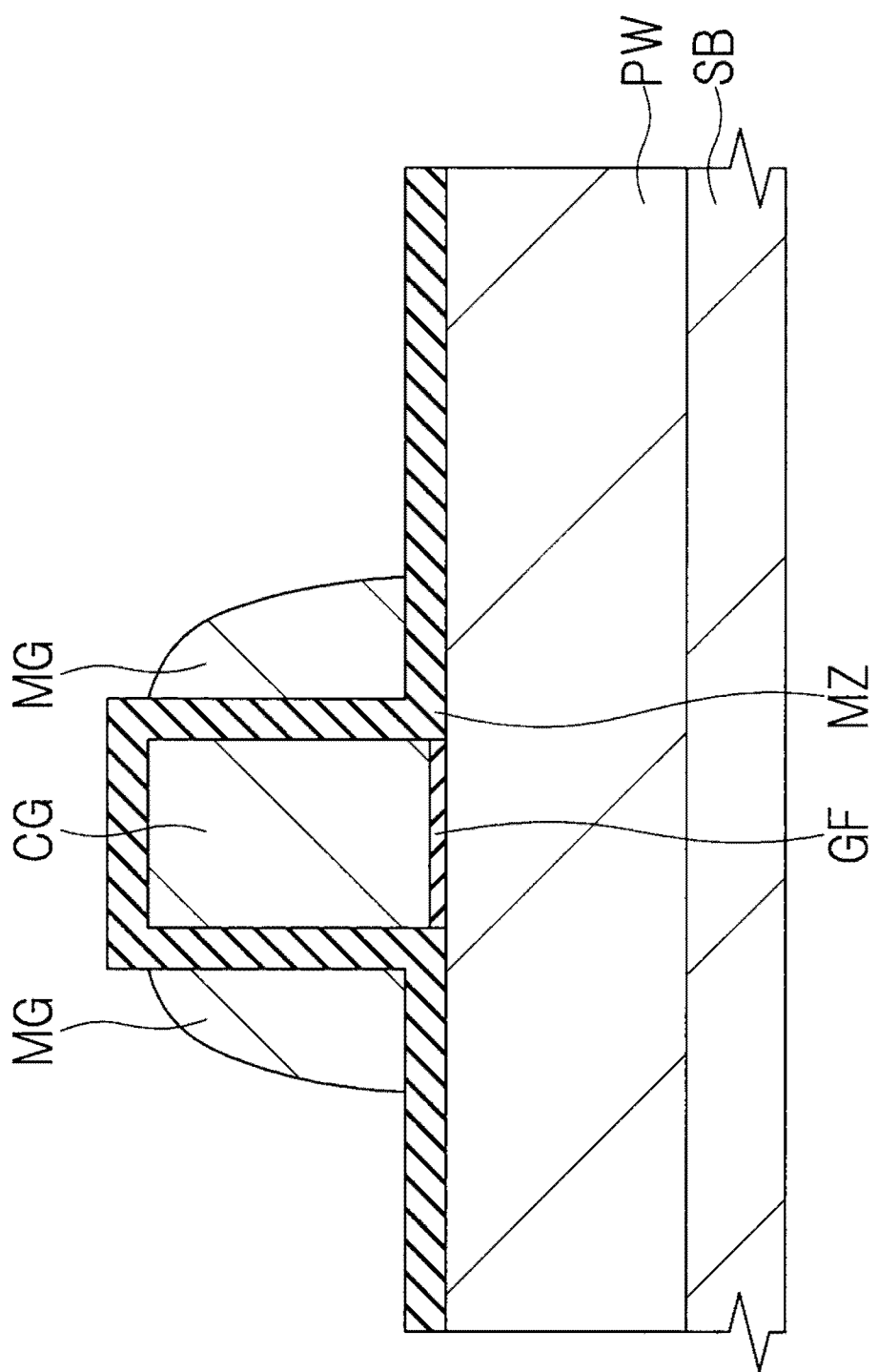


圖22

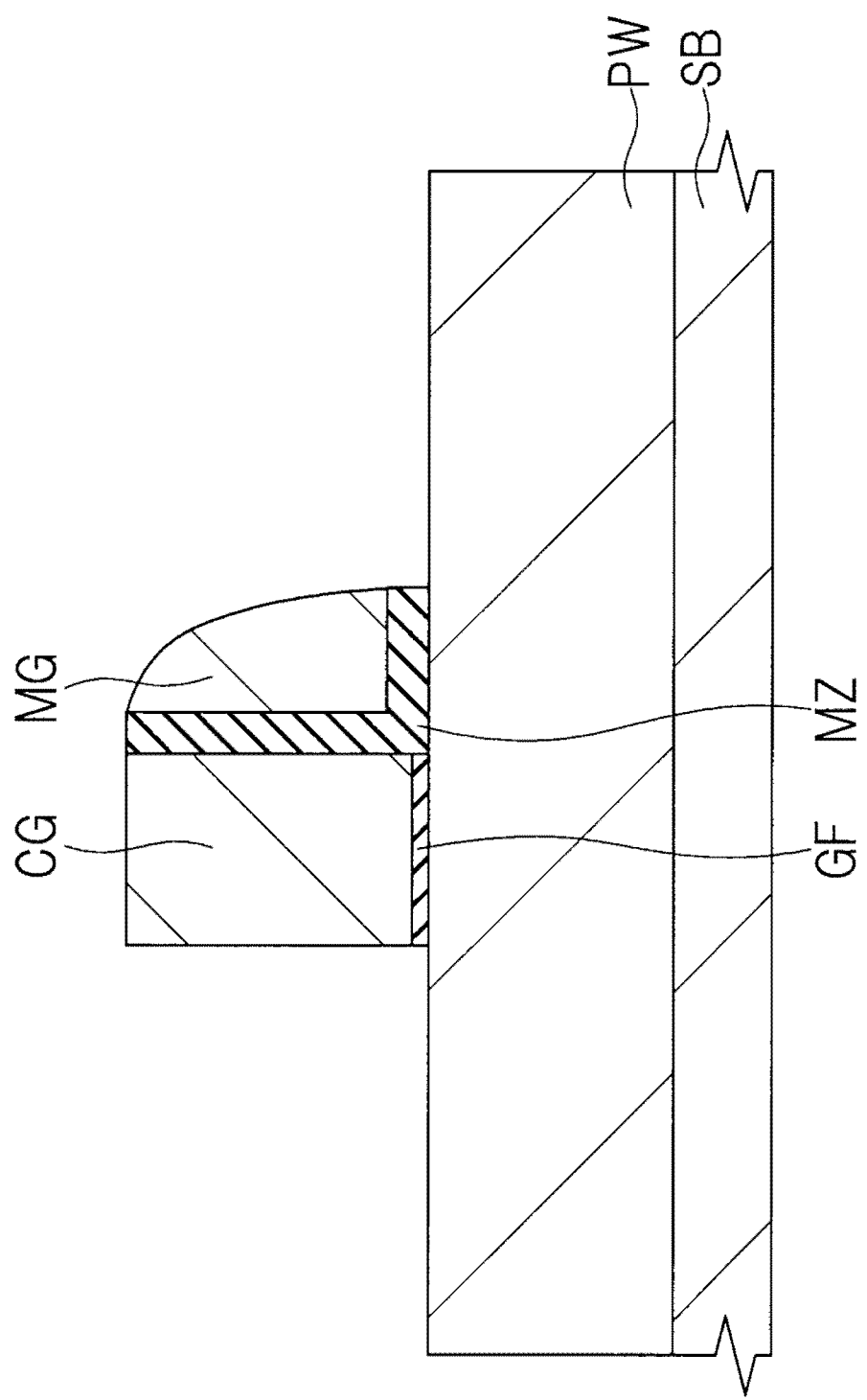


圖23

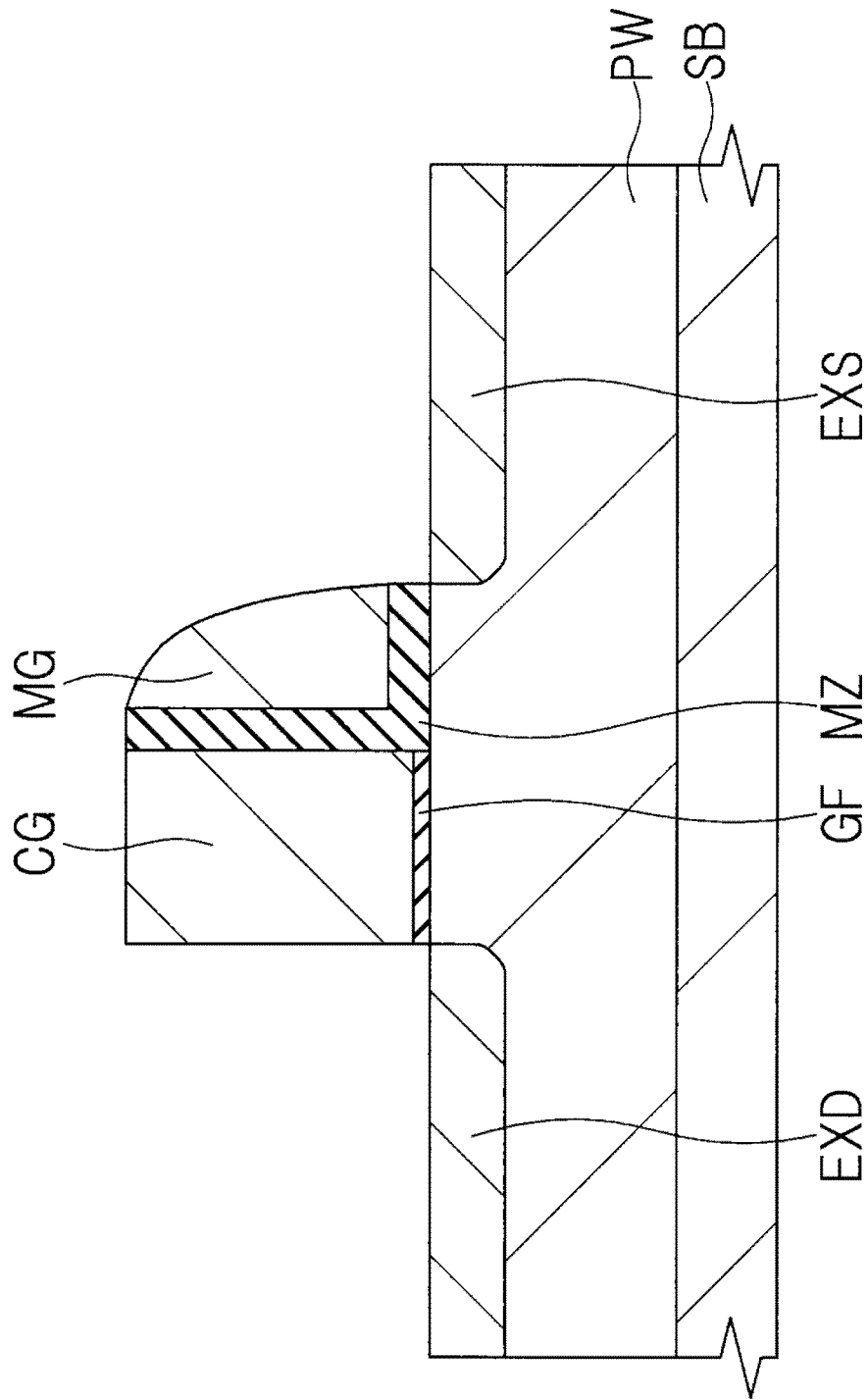


圖24

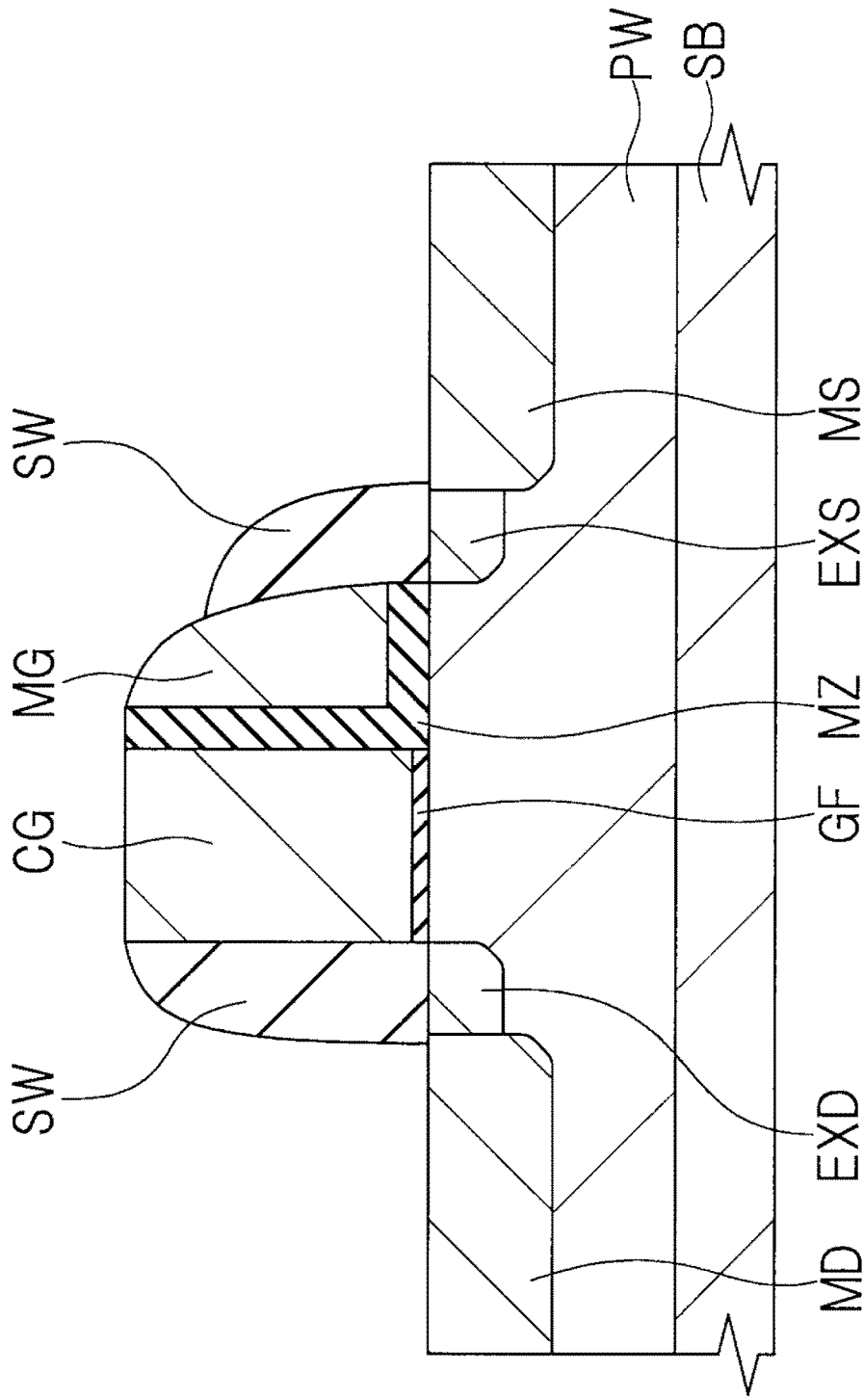


圖25

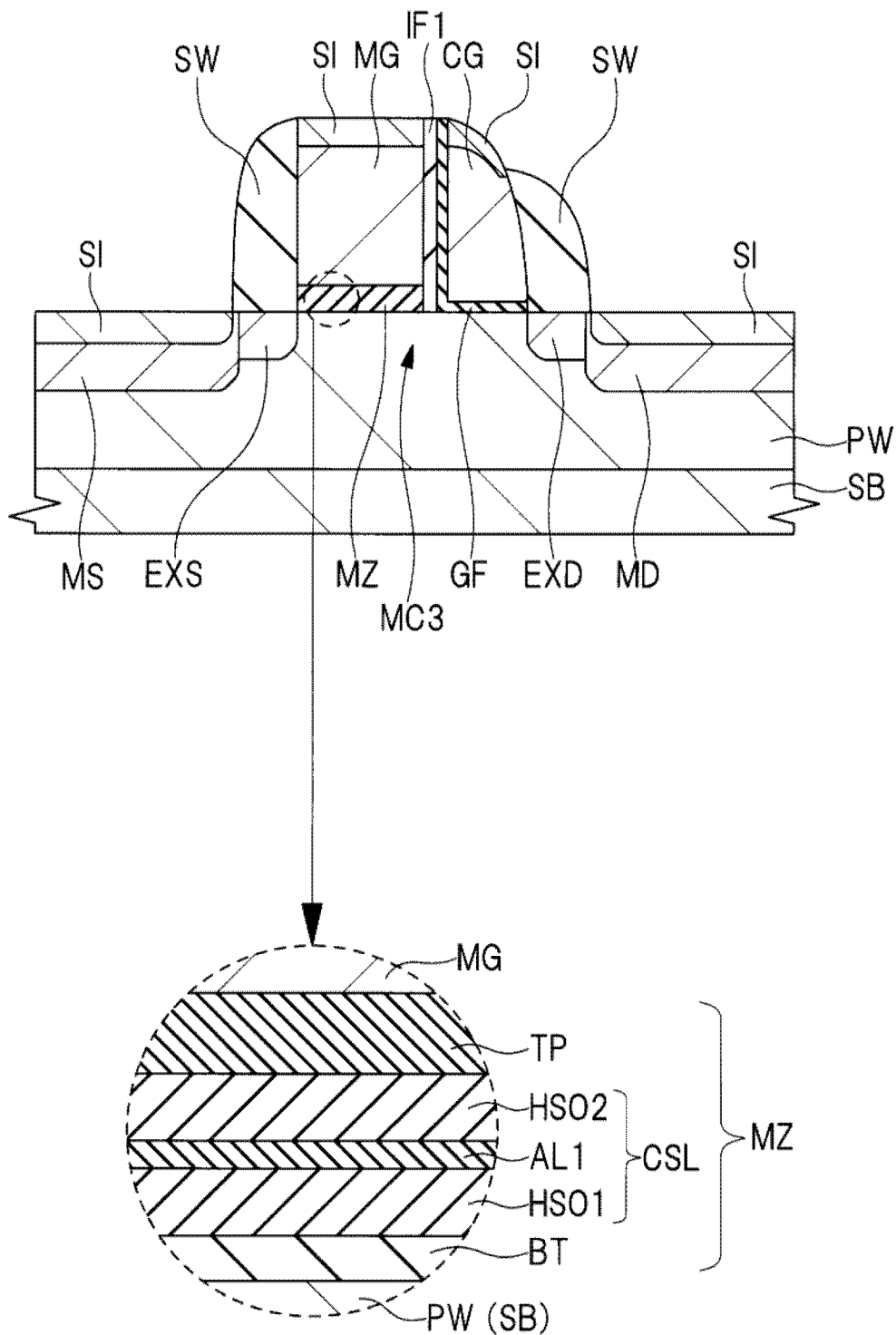


圖26

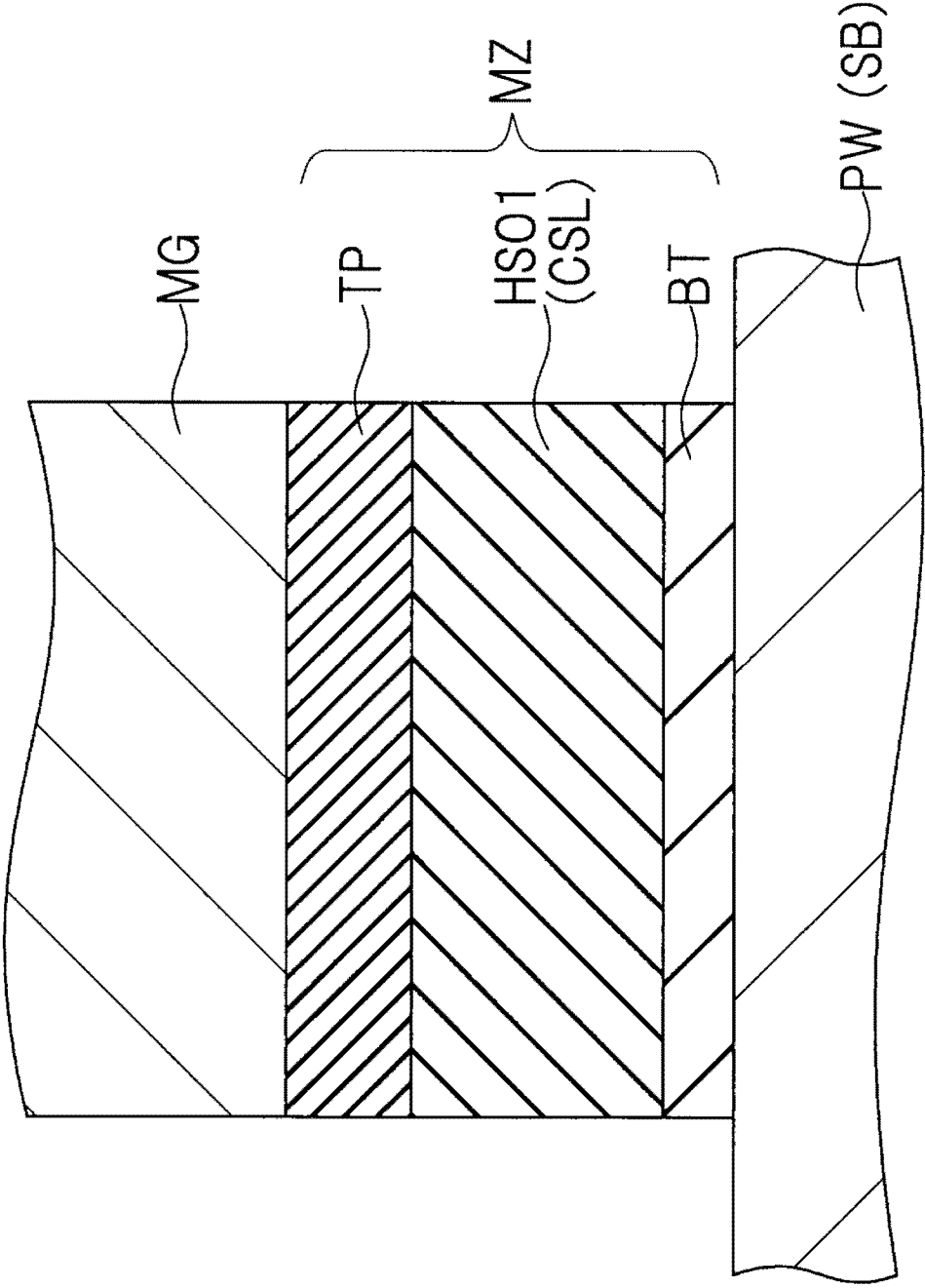


圖27

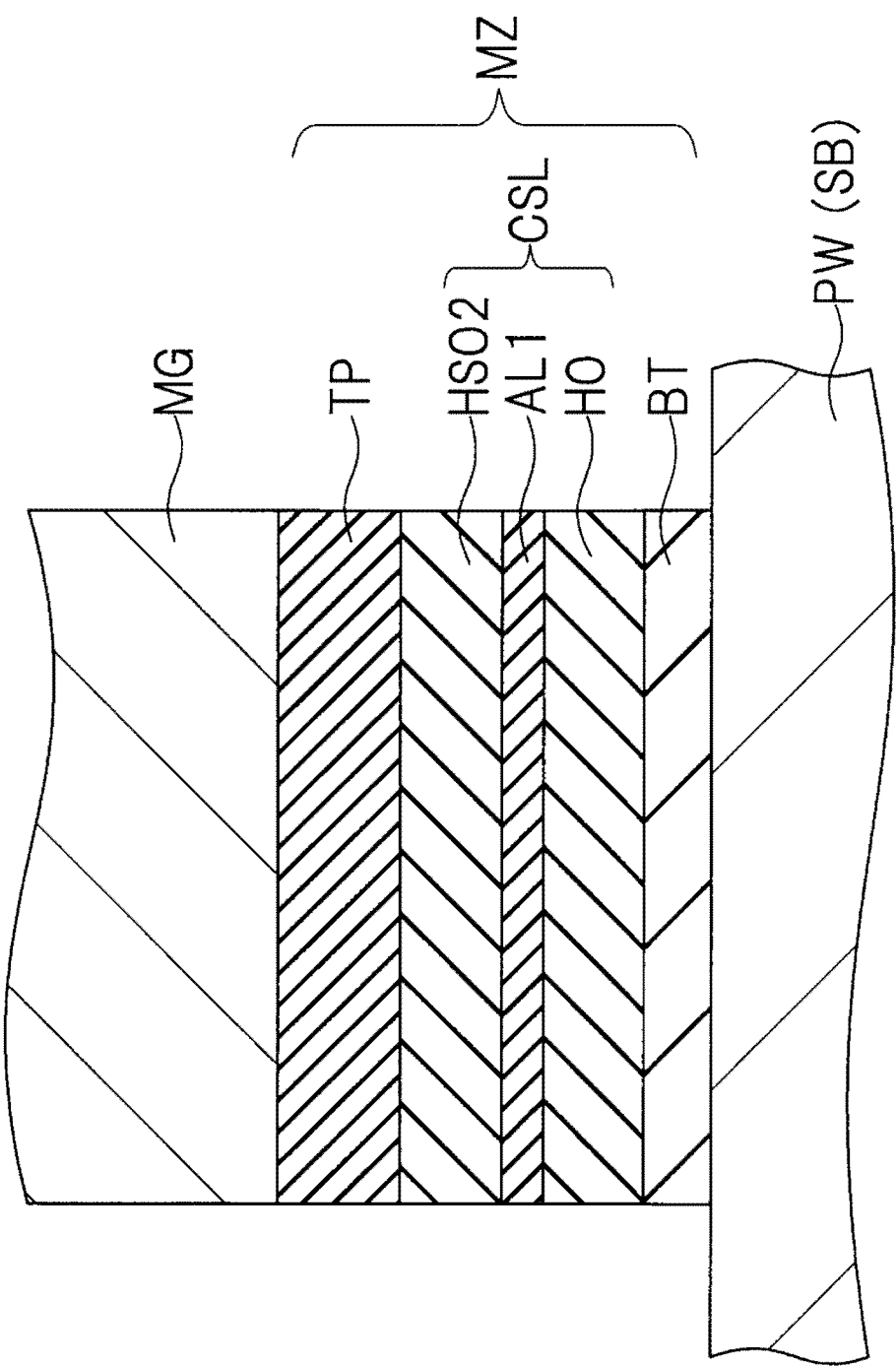


圖28

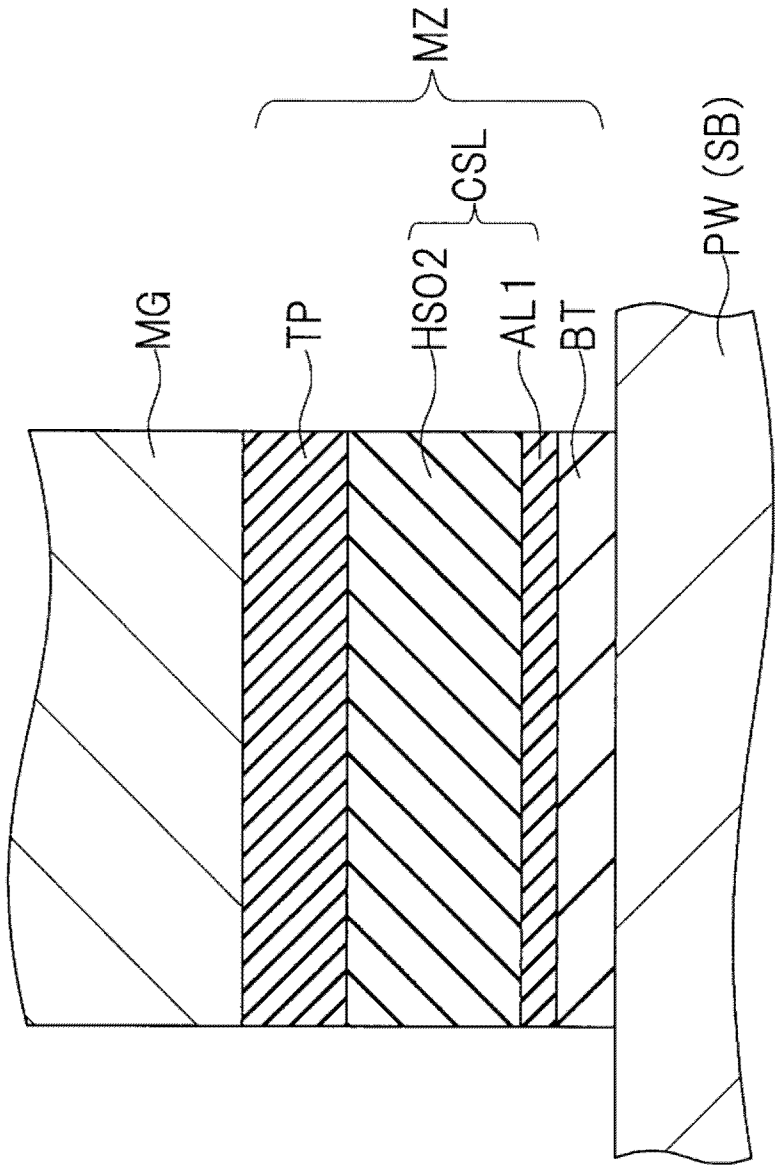


圖29