

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008年2月7日 (07.02.2008)

PCT

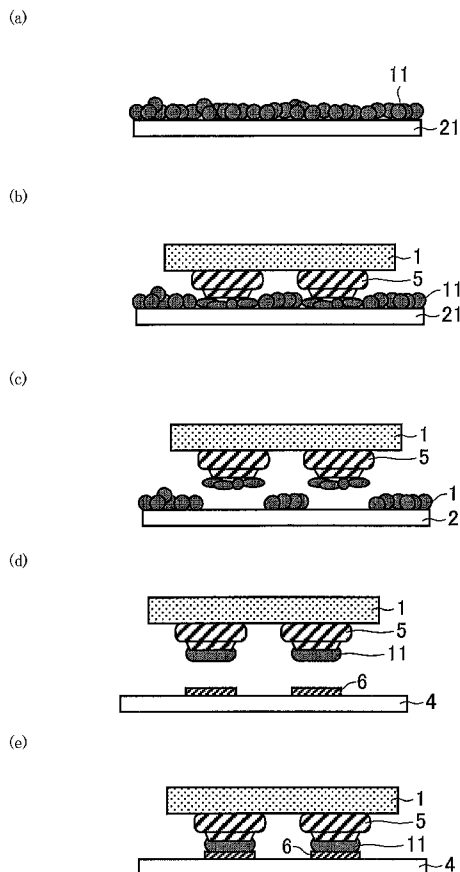
(10) 国際公開番号
WO 2008/015853 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01) H05K 3/34 (2006.01)
- (21) 国際出願番号: PCT/JP2007/062596
- (22) 国際出願日: 2007年6月22日 (22.06.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-209144 2006年7月31日 (31.07.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町2番2号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 久川 浩司 (HISAKAWA, Kohji).
- (74) 代理人: 特許業務法人原謙三国際特許事務所 (HARAKENZO WORLD PATENT & TRADE-MARK); 〒5300041 大阪府大阪市北区天神橋2丁目北2番6号 大和南森町ビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE, AND PROCESS AND APPARATUS FOR MANUFACTURING OF ELECTRONIC CIRCUIT

(54) 発明の名称: 半導体装置、電子回路の製造方法および電子回路の製造装置



(57) Abstract: A process for manufacturing an electronic circuit, comprising the first step of mounting a layer of solder grains (11) on support (21); the second step of pressing bump (5) of semiconductor chip (1) against the solder grains (11) mounted on the support (21) so as to attain pressure bonding of the solder grains (11) to the bump (5); and the third step of by the use of the solder grains (11) pressure bonded to the bump (5), joining the semiconductor chip (1) with circuit board (4). Accordingly, there can be provided a process for manufacturing an electronic circuit in which high reliability of electrical connection can be realized and in which at low cost, a stabilized amount, and requisite minimum amount for connection of semiconductor chip under miniaturization trend, of solder can be fed to conventional chips and circuit boards.

(57) 要約: 本発明に係る電子回路の製造方法は、台(21)上にはんだ粒子(11)を層状に載置する第1の工程と、台(21)上に載置されたはんだ粒子(11)に、半導体チップ(1)の bumps (5) を押し当てて、はんだ粒子(11)を bumps (5) に圧着させる第2の工程と、 bumps (5) に圧着されたはんだ粒子(11)を用いて、半導体チップ(1)を回路基板(4)に接合する第3の工程とを含む。これにより、電気的接続の信頼性が高く、安定した量で、かつ小型化する半導体チップを接続するために必要最小の量のはんだを、従来のチップおよび回路基板に対して安価に供給することができる電子回路の製造方法を提供することができる。



CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

明 細 書

半導体装置、電子回路の製造方法および電子回路の製造装置

技術分野

- [0001] 本発明は、半導体装置、電子回路の製造方法および電子回路の製造装置に関するものであり、特に小型のチップ状の電子部品を必要最小の量のはんだではんだ接合する方法、上記方法によって製造される半導体装置、および上記半導体装置を製造するための製造装置に関するものである。

背景技術

- [0002] 半導体装置の軽薄短小化に伴い、必要とされる部品の寸法が非常に小型化している。また、半導体装置の軽薄短小化に必要な事柄として、チップ状の電子部品の小型化も急速に進行している。例えば、従来では1005とよばれる縦1mm、横0.5mmの部品が主流であったが、現在では0603(縦0.6mm、横0.3mm)や、0402(縦0.4mm、横0.2mm)と呼ばれるさらに小さな部品を実装する必要に迫られている。
- [0003] 従来では、半導体チップと回路基板との電氣的接続はワイヤボンドで行っていた。しかしながら、ワイヤボンドでの電氣的接続では、チップの実装サイズの外側にワイヤの終端を確保する必要があり、その分実装サイズが大きくなっていた。この面積を削減するために、フリップチップ実装方式が考案された。
- [0004] フリップチップ実装とは、半導体チップの機能面に、基板との接合のためのバンプを形成し、機能面を基板面と向かい合わせて配置し、バンプを基板側の電極と接合させて行う実装方法である。
- [0005] フリップチップ実装における、チップ側のバンプを工する代表的な工法として、C4工法がある。
- [0006] これは、パッシベーション膜付きウエハにブランケット・シード金属を付着させた上にマスクを形成し、はんだを電気メッキする。その後、マスクの除去とシード金属のエッチングを行い、最後にリフローによりはんだを溶かすことでバンプを形成する。半導体チップと回路基板との電氣的接続をおこなう時には、このバンプ付きチップを基板にのせて加熱してバンプを熔融して接続させる。

- [0007] また、フリップチップ実装の方法として回路基板の電極側を工夫する方法も考案されている。例えば、特許文献1に開示されているスーパージャフィット法という工法がある(図15)。
- [0008] スーパージャフィット法では、回路基板104の電極106を化学的に処理することで電極のCu表面が粘着性を帯びる。
- [0009] 図15(a)のようなCuを表面にもつ電極106に対して、化学処理をおこなう(図15(b))。さらにこの電極106の上からはんだ粒子111をふりかけると(図15(c))、電極106のCuと接触したはんだ粒子111が一層分だけ回路基板104上に付着する(図15(d))。
- [0010] あとは加熱してはんだを溶かし(図15(e))、Auなどで形成されたバンプ105付きの半導体チップ101を載せてはんだ接合すればよい(図15(f))。
- [0011] このようにはんだ量を必要最小限にした基板を用いて、Auワイヤーバンプを設けたチップをフリップチップで接合する。はんだ量が必要最小限に制御されるのでバンプ105を狭ピッチ化することが可能である。
- [0012] また、フリップチップ実装の方法としてアンダーフィル114を工夫する方法も考案されている。例えば、異方性導電膜ACFを回路基板に配置して接続する方法がある(図16)。
- [0013] この方法では、まずアンダーフィル114となる膜に金属(主にNi)粒子を混ぜたものを回路基板104に貼り付ける(図16(a))。そして、その上からバンプ105の付いた半導体チップ101を押し付ける(図16(b))。バンプ105と回路基板104とでACF内に混ざっている金属粒子を挟み込み、半導体チップ101と回路基板104とを、電氣的に導通させることができる。尚、半導体チップ101と回路基板104との固定は、ACFを熱硬化させることによっておこなうことができる(図16(c))。
- [0014] ACFを用いる代わりに、アンダーフィル114の中にはんだ粒子111を混ぜ、回路基板104に塗布し、その上からバンプ105の付いた半導体チップ101をフリップチップ実装する方法もある(図17)。
- [0015] この方法では、半導体チップ101の側のバンプ105と回路基板104とではんだ粒子111を挟んだ後(図17(a)および図17(b))、加熱してバンプ105と回路基板104

とをはんだ接合する(図17(c))。このような方法をおこなうことにより、バンプ105と回路基板104の電極106との接合は金属結合になり抵抗を小さくすることができる。

[0016] C4工法では、バンプ105と回路基板104の電極106の接合ははんだによる金属接合であるので、電氣的接続は信頼性が高く、広く使用されている。

[0017] しかしながら、バンプ105を作る際にマスクパターンなどを必要とするため、製造単価が高価であるという問題点がある。また、バンプ105がはんだで形成されているため、半導体チップ101を実装するときに、半導体チップ101の荷重によってはんだが広がってしまう恐れがある。はんだが広がると、隣接する別のはんだと接合して回路がショートする恐れがあるため、バンプ105の狭ピッチ化をおこなう必要がある場合には好ましくない。

[0018] また、スーパージャフィット法では、回路基板104上の銅配線の化学処理による改質処理に薬品が必要であり、コストが発生する。さらに廃液の処理も必要であるので高コストになるという問題がある。また、この工法では回路基板104の電極106としてCuしか改質することができないので、電極106の表面がCu以外の回路基板104やその他の部品には適用することができない。

[0019] また、ACF工法では、バンプ105と回路基板104の電極106との接続は金属結合ではなく、ACF内に混ざっている金属粒子を挟み込むことによって接続される。このため、電氣的接続は接触によっておこなわれるため、接触部位で数 Ω の抵抗が発生する。さらに、接合はACFの硬化のみによって維持されるため、熱ストレスに弱く、信頼性が不十分である。さらにACFの硬化に時間がかかるため、スループットが悪いことも問題である。

[0020] また、アンダーフィルにはんだ粒子111を混ぜる工法では、はんだ粒子111がバンプ105直下にくる確率が低い。このため、接合強度はアンダーフィル114に依存する。従って接合強度の信頼性はACFの場合と同程度になると考えられる。

[0021] また、はんだ粒子111がバンプ105直下にくる確率を上げるためにはんだ粒子111の濃度を高めると、隣接するバンプ105間でショートの可能性が高まるとともに、アンダーフィル114の絶縁破壊寿命が短くなるという問題がある。

[0022] また、アンダーフィル114内にはんだ粒子111が残留するため、アンダーフィル11

4に入れるフィラの粒径を細かくする必要がある。さらに、狭ピッチ化すると残留するはんだ粒子111でバンプ105間がショートする可能性が高まるので、狭ピッチ化には限界がある。

[0023] Auワイヤーバンプのみにはんだペーストを転写して加熱することでバンプ先端にはんだを配置する方法が知られている。

[0024] しかしながらこの方法でも、バンプ105のピッチが狭くなるとはんだペーストが毛細管現象によってバンプ105間に浸透する。このため、加熱してはんだペーストによって接合しようとする、バンプ105間がショートしてしまい、この方法では狭ピッチ化には対応できない。

[0025] 尚、0603や0402と呼ばれる微小チップ部品を基板に実装すること自体は、装置の条件を最適化すれば可能ではある。

[0026] しかしながら、基板全体に様々な部品が実装されるようなモジュールでは、これらの微小チップを実装するためのはんだの量と、それ以外の比較的大きな部品を実装するためのはんだ量とが違いすぎるという問題が生じる。

[0027] 通常は1種類のマスクではんだペーストを印刷するので、例えば0402に最適なはんだ量を設定すると、大きな部品にとってははんだ量が少なすぎて実装強度が得られない。

[0028] また、大きな部品に最適なはんだ量にすると、0402などの部品でははんだ量が多すぎて端子間にはんだが浸透してしまう。その結果、はんだ間がショートしたり、大きな表面張力に軽いチップ部品が引っ張られてチップ立ち現象が生じたりして正常な実装ができなくなる。

[0029] そこで、上記問題を回避する方法として、チップ部品の電極にはんだペーストを塗布してプリコートしておき、接合に使用するはんだは部品側から供給することが考えられる。

[0030] しかし、現実的にははんだペーストでプリコートすることは難しい。

[0031] それは、例えば0402と呼ばれるチップ部品を上から見たとき、片側の電極の面積は0.1mm×0.2mm以下であり、はんだペーストを塗布できる領域が非常に小さいためである。

[0032] これらの部品は保持することすら難しいので、例えば保持した状態でディスペンサを用いてはんだペーストを塗布しようとする、保持位置精度の不足によって正しい位置にディスペンスすることができない。

[0033] また、これらの部品に何らかの方法でペーストを印刷しようとしても、印刷マスクの厚さ分のはんだペーストではんだの量が多すぎて、加熱するとブリッジして電極間をショートさせてしまう可能性がある。

[0034] なぜならば、転写量は、チップ部品の表面積に依存するため、すなわちチップ部品によって大きく異なるため、はんだ接合に用いるはんだの量よりも多くのはんだが転写されてしまうからである。

[0035] このような場合では、はんだが加熱されて溶融した状態になると、その表面張力ではんだがチップ部品全体に行き渡ってしまう。このため、電極間がショートするのはもちろんのこと、チップ部品を保持するノズルにもはんだが付着する恐れがある。

特許文献1：日本国公開特許公報「特開平7-7244号公報（公開日：1995年1月10日）」

発明の開示

[0036] 本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、電気的接続の信頼性が高く、安定した量で、かつ小型化する半導体チップを接続するために必要最小の量のはんだを、従来のチップおよび回路基板に対して安価に供給することができる半導体装置、電子回路の製造方法および電子回路の製造装置を提供することにある。

[0037] 本発明の電子回路の製造方法は、上記目的を達成するために、はんだを用いて電子部品が回路基板上に接合される電子回路の製造方法であって、台上にはんだ粒子を層状に載置する第1の工程と、上記台上に載置されたはんだ粒子に、上記電子部品の電極部を押し当てて、はんだ粒子を該電極部に圧着させる第2の工程と、上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合する第3の工程とを含むことを特徴としている。

[0038] 上記の発明によれば、はんだ粒子が台上に層状に載置され、電子部品の電極部を押し当てて、はんだ粒子を該電極部に圧着させる。そして、上記電極部におけるはん

だを加熱して一旦溶解することで、上記電子部品が上記回路基板に接合される。

[0039] また、接着剤や熱を用いずに、電子部品の電極部にはんだを押しあててつぶすことによって圧着させることができる。押しつぶされなかったはんだは除去することができるので、必要な部分にのみはんだを圧着すれば、接着剤の残渣が問題になる場合やできるだけ熱履歴を与えたくないものにでもはんだを塗布することができる。

[0040] 本発明の電子回路の製造方法は、上記目的を達成するために、はんだを用いて電子部品が回路基板上に接合される電子回路の製造方法であって、台上にはんだ粒子を層状に載置する第1の工程と、上記台上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記突起部に圧着させる第4の工程と、上記突起部に圧着されたはんだ粒子を、上記電子部品または上記回路基板の電極部に転写する第5の工程と、上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合する第3の工程とを含むことを特徴としている。

[0041] 上記の発明によれば、はんだ粒子が台上に層状に載置され、突起部を有する部材を押し当てて、はんだ粒子を上記突起部に圧着させる。上記突起部に圧着されたはんだ粒子を、上記電子部品または上記回路基板の電極部に転写し、電極部に圧着されたはんだ粒子を用いて上記電子部品が上記回路基板に接合される。

[0042] 本発明の電子回路の製造方法は、上記目的を達成するために、はんだを用いて電子部品が回路基板上に接合される電子回路の製造方法であって、上記回路基板上にはんだ粒子を層状に載置する第6の工程と、上記回路基板上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記回路基板の電極部に圧着させる第7の工程と、上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合する第3の工程とを含むことを特徴としている。

[0043] 上記の発明によれば、はんだ粒子が回路基板上に層状に載置され、突起部を有する部材を押し当てて、はんだ粒子を上記回路基板の電極部に圧着させ、上記電極部に圧着されたはんだ粒子を用いて上記電子部品が上記回路基板に接合される。

[0044] 本発明の電子回路の製造方法は、上記目的を達成するために、はんだを用いて電子部品が回路基板上に接合される電子回路の製造方法であって、上記に記載の何れかの方法によって上記電子部品の電極部に付着されたはんだ粒子を溶融させて、

上記電子部品の電極部をはんだでプリコートし、上記に記載の何れかの方法によって上記回路基板の電極部に付着されたはんだ粒子を熔融させて、上記回路基板の電極部をはんだでプリコートし、電極部がはんだでプリコートされた上記電子部品と上記回路基板とを対向させて接触させた状態で上記はんだを熔融させ、該はんだに作用する表面張力によって上記電子部品と上記回路基板とを位置合わせすることを特徴としている。

[0045] 上記の発明によれば、電子部品の電極部と上記回路基板の電極部とに付着したはんだ粒子を熔融させて、電極部をはんだでプリコートする。そののち、上記電子部品と上記回路基板とを対向させて接触させ、プリコートしたはんだを熔融させて上記電子部品と上記回路基板とをはんだ接合する。上記電子部品と上記回路基板とは、はんだに作用する表面張力によってそれぞれの電極部を位置合わせすることができる。

[0046] 本発明の電子回路の製造方法は、上記目的を達成するために、半導体素子をはんだを用いて回路基板上に接合された半導体装置の製造方法であって、上記半導体素子を上記回路基板に接合するにあたって、上記に記載の何れかの電子回路の製造方法が用いられることを特徴としている。

[0047] 上記の発明によれば、上記半導体素子または上記回路基板は本願発明の方法によって製造されている。

[0048] 本発明の半導体装置は、上記目的を達成するために、上記に記載の電子回路の製造方法によって製造されていることを特徴としている。

[0049] 上記の発明によれば、はんだを圧着して量り取り、加熱することではんだ接合を形成するので微小なはんだ結合を形成することができる。

[0050] また、上記の発明によれば、はんだの使用量を必要最小限にすることができるので、通常のマスク印刷によるはんだペースト塗布よりもチップ状の電子部品の隣接距離を小さくすることができる。従って、上記の発明による半導体装置では、外形をさらに小型化することができる。

[0051] 本発明の電子回路の製造装置は、上記目的を達成するために、はんだを用いて電子部品が回路基板上に接合される電子回路の製造装置であって、台上に層状に載

置されたはんだ粒子に、上記電子部品の電極部を押し当てて、はんだ粒子を該電極部に圧着させ、上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合することを特徴としている。

[0052] 上記の発明によれば、はんだ粒子が台上に層状に載置され、電子部品の電極部を押し当ててはんだ粒子を該電極部に圧着させ、上記電子部品が上記回路基板に接合することができる。

[0053] また、接着剤や熱を用いずに、電子部品の電極部にはんだを押しあててつぶすことによって圧着させることができる。押しつぶされなかったはんだは除去することができるので、必要な部分にのみはんだを圧着すれば、接着剤の残渣が問題になる場合や熱履歴を与えたくないものにでもはんだを塗布することができる。

[0054] 本発明の電子回路の製造装置は、上記目的を達成するために、はんだを用いて電子部品が回路基板上に接合される電子回路の製造装置であって、台上に層状に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記突起部に圧着させ、上記突起部に圧着されたはんだ粒子を、上記電子部品または上記回路基板の電極部に転写させ、上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合することを特徴としている。

[0055] 上記の発明によれば、はんだ粒子が台上に層状に載置され、突起部を有する部材を押し当てて、はんだ粒子を上記突起部に圧着させ、上記突起部に圧着されたはんだ粒子を、上記電子部品または上記回路基板の電極部に転写し、電極部に圧着されたはんだ粒子を用いて上記電子部品が上記回路基板に接合される。

[0056] 本発明の電子回路の製造装置は、上記目的を達成するために、はんだを用いて電子部品が回路基板上に接合される電子回路の製造装置であって、回路基板上にはんだ粒子を層状に載置し、上記回路基板上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記回路基板の電極部に圧着させ、上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合することを特徴としている。

[0057] 上記の発明によれば、はんだ粒子が回路基板上に層状に載置され、突起部を有する部材を押し当てて、はんだ粒子を上記回路基板の電極部に圧着させ、上記電極部

に圧着されたはんだ粒子を用いて上記電子部品が上記回路基板に接合される。

[0058] 本発明の電子回路の製造方法は、以上のように、台上にはんだ粒子を層状に載置する第1の工程と、上記台上に載置されたはんだ粒子に、上記電子部品の電極部を押し当てて、はんだ粒子を該電極部に圧着させる第2の工程と、上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合する第3の工程とを含む方法である。

[0059] それゆえ、接着剤や熱を用いずに、電子部品の電極部にはんだを押しあててつぶすことによって圧着させることができる。

[0060] 即ち、接着剤の残渣が問題になる場合や熱履歴を与えたくないものにでもはんだを塗布することができるので、電氣的接続の信頼性が高く、安定した量で、かつ小型化する半導体チップを接続するために必要最小の量のはんだを、従来のチップおよび回路基板に対して安価に供給することができるという効果を奏する。

[0061] また、本発明の電子回路の製造方法は、以上のように、台上にはんだ粒子を層状に載置する第1の工程と、上記台上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記突起部に圧着させる第4の工程と、上記突起部に圧着されたはんだ粒子を、上記電子部品または上記回路基板の電極部に転写する第5の工程と、上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合する第3の工程とを含む方法である。

[0062] それゆえ、直接電子部品の電極部をはんだ粒子に押し当てなくても突起部を有する部材によってはんだ粒子をはんだ接合に必要な量だけ量り取ることができる。

[0063] つまり、電氣的接続の信頼性が高く、安定した量で、かつ小型化する半導体チップを接続するために必要最小の量のはんだを、従来のチップおよび回路基板に対して安価に供給することができるという効果を奏する。

[0064] また、本発明の電子回路の製造方法は、以上のように、上記回路基板上にはんだ粒子を層状に載置する第6の工程と、上記回路基板上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記回路基板の電極部に圧着させる第7の工程と、上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合する第3の工程とを含む方法である。

- [0065] 上記の構成によれば、はんだ粒子を回路基板上の電極部に圧着し、はんだ粒子をはんだ接合に必要な量だけ量り取ることができる。
- [0066] それゆえ、電氣的接続の信頼性が高く、安定した量で、かつ小型化する半導体チップを接続するために必要最小の量のはんだを、従来のチップおよび回路基板に対して安価に供給することができるという効果を奏する。
- [0067] また、本発明の電子回路の製造方法は、以上のように、上記に記載の方法によって上記電子部品の電極部に付着されたはんだ粒子を溶融させて、上記電子部品の電極部をはんだでプリコートし、上記に記載の方法によって上記回路基板の電極部に付着されたはんだ粒子を溶融させて、上記回路基板の電極部をはんだでプリコートし、電極部がはんだでプリコートされた上記電子部品と上記回路基板とを対向させて接触させた状態で上記はんだを溶融させ、該はんだに作用する表面張力によって上記電子部品と上記回路基板とを位置合わせする方法である。
- [0068] 上記の構成によれば、上記に記載した方法によって圧着された適量のはんだが電極部にプリコートされ、該はんだを溶融させる。このようにすることで、はんだに作用する表面張力を利用してそれぞれの電極部を位置合わせすることができる。
- [0069] それゆえ、電氣的接続の信頼性が高く、安定した量で、かつ小型化する半導体チップを接続するために必要最小の量のはんだを、従来のチップおよび回路基板に対して安価に供給することができるという効果を奏する。
- [0070] また、本発明の電子回路の製造方法は、以上のように、上記半導体素子を上記回路基板に接合するにあたって、上記に記載の電子回路の製造方法が用いられている。
- [0071] それゆえ、電氣的接続の信頼性が高く、安定した量で、かつ小型化する半導体チップを接続するために必要最小の量のはんだを、従来のチップおよび回路基板に対して安価に供給することができるという効果を奏する。
- [0072] また、本発明の半導体装置は、以上のように、上記に記載の電子回路の製造方法によって製造されている。
- [0073] 上記の構成によれば、はんだを圧着して量り取り、はんだ接合を形成するので微小なはんだ結合を形成することができる。

- [0074] それゆえ、電氣的接続の信頼性が高く、安定した量で、かつ小型化する半導体チップを接続するために必要最小の量のはんだを、従来のチップおよび回路基板に対して安価に供給することができるという効果を奏する。
- [0075] また、本発明の電子回路の製造装置は、以上のように、台上に層状に載置されたはんだ粒子に、上記電子部品の電極部を押し当てて、はんだ粒子を該電極部に圧着させ、上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合する。
- [0076] それゆえ、接着剤や熱を用いずに、電子部品の電極部にはんだを押しあててつぶすことによって圧着させることができる。
- [0077] 即ち、接着剤の残渣が問題になる場合や熱履歴を与えたくないものにでもはんだを塗布することができるので、電氣的接続の信頼性が高く、安定した量で、かつ小型化する半導体チップを接続するために必要最小の量のはんだを、従来のチップおよび回路基板に対して安価に供給することができるという効果を奏する。
- [0078] また、本発明の電子回路の製造装置は、以上のように、台上に層状に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記突起部に圧着させ、上記突起部に圧着されたはんだ粒子を、上記電子部品または上記回路基板の電極部に転写させ、上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合する。
- [0079] それゆえ、直接電子部品の電極部をはんだ粒子に押し当てなくても突起部を有する部材によってはんだ粒子をはんだ接合に必要な量だけ量り取ることができる。
- [0080] つまり、電氣的接続の信頼性が高く、安定した量で、かつ小型化する半導体チップを接続するために必要最小の量のはんだを、従来のチップおよび回路基板に対して安価に供給することができるという効果を奏する。
- [0081] また、本発明の電子回路の製造装置は、以上のように、回路基板にはんだ粒子を層状に載置し、上記回路基板上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記回路基板の電極部に圧着させ、上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合する。
- [0082] 上記の構成によれば、はんだ粒子を回路基板上の電極部に圧着し、はんだ粒子を

はんだ接合に必要な量だけ量り取ることができる。

- [0083] それゆえ、電氣的接続の信頼性が高く、安定した量で、かつ小型化する半導体チップを接続するために必要最小の量のはんだを、従来のチップおよび回路基板に対して安価に供給することができるという効果を奏する。

図面の簡単な説明

- [0084] [図1(a)]実施形態を示すものであり、チップやウエハに設けたバンプにはんだ粒子を圧着させる方法を示す、断面図である。
- [図1(b)]実施形態を示すものであり、チップやウエハに設けたバンプにはんだ粒子を圧着させる方法を示す、断面図である。
- [図1(c)]実施形態を示すものであり、チップやウエハに設けたバンプにはんだ粒子を圧着させる方法を示す、断面図である。
- [図1(d)]実施形態を示すものであり、チップやウエハに設けたバンプにはんだ粒子を圧着させる方法を示す、断面図である。
- [図1(e)]実施形態を示すものであり、チップやウエハに設けたバンプにはんだ粒子を圧着させる方法を示す、断面図である。
- [図2(a)]図1(a)～図1(e)で示す上記方法において用いるはんだ粒子を均一に塗布する方法を示す、断面図である。
- [図2(b)]図1(a)～図1(e)で示す上記方法において用いるはんだ粒子を均一に塗布する方法を示す、断面図である。
- [図2(c)]図1(a)～図1(e)で示す上記方法において用いるはんだ粒子を均一に塗布する方法を示す、断面図である。
- [図2(d)]図1(a)～図1(e)で示す上記方法において用いるはんだ粒子を均一に塗布する方法を示す、断面図である。
- [図3(a)]図1(a)～図1(e)で示す上記方法において用いるはんだ粒子を均一に一層に塗布する方法を示す、断面図である。
- [図3(b)]図1(a)～図1(e)で示す上記方法において用いるはんだ粒子を均一に一層に塗布する方法を示す、断面図である。
- [図3(c)]図1(a)～図1(e)で示す上記方法において用いるはんだ粒子を均一に一層

に塗布する方法を示す、断面図である。

[図4(a)]電極と封止部分との高さが異なるチップ状の電子部品にはんだ粒子を圧着させる方法を示す、断面図である。

[図4(b)]電極と封止部分との高さが異なるチップ状の電子部品にはんだ粒子を圧着させる方法を示す、断面図である。

[図5(a)]電極と封止部分との高さが同じチップ状の電子部品にはんだ粒子を圧着させる方法を示す、断面図である。

[図5(b)]電極と封止部分との高さが同じチップ状の電子部品にはんだ粒子を圧着させる方法を示す、断面図である。

[図5(c)]電極と封止部分との高さが同じチップ状の電子部品にはんだ粒子を圧着させる方法を示す、断面図である。

[図5(d)]電極と封止部分との高さが同じチップ状の電子部品にはんだ粒子を圧着させる方法を示す、断面図である。

[図5(e)]電極と封止部分との高さが同じチップ状の電子部品にはんだ粒子を圧着させる方法を示す、断面図である。

[図5(f)]電極と封止部分との高さが同じチップ状の電子部品にはんだ粒子を圧着させる方法を示す、断面図である。

[図5(g)]電極と封止部分との高さが同じチップ状の電子部品にはんだ粒子を圧着させる方法を示す、断面図である。

[図6(a)]電極と封止部分との高さが同じチップ状の電子部品にはんだ粒子を圧着させる別の方法を示す、断面図である。

[図6(b)]電極と封止部分との高さが同じチップ状の電子部品にはんだ粒子を圧着させる別の方法を示す、断面図である。

[図6(c)]電極と封止部分との高さが同じチップ状の電子部品にはんだ粒子を圧着させる別の方法を示す、断面図である。

[図6(d)]電極と封止部分との高さが同じチップ状の電子部品にはんだ粒子を圧着させる別の方法を示す、断面図である。

[図6(e)]電極と封止部分との高さが同じチップ状の電子部品にはんだ粒子を圧着さ

せる別の方法を示す、断面図である。

[図6(f)]電極と封止部分との高さが同じチップ状の電子部品にはんだ粒子を圧着させる別の方法を示す、断面図である。

[図7(a)]チップやウエハに設けられたバンプにはんだを塗布する方法を示す、断面図である。

[図7(b)]チップやウエハに設けられたバンプにはんだを塗布する方法を示す、断面図である。

[図7(c)]チップやウエハに設けられたバンプにはんだを塗布する方法を示す、断面図である。

[図7(d)]チップやウエハに設けられたバンプにはんだを塗布する方法を示す、断面図である。

[図7(e)]チップやウエハに設けられたバンプにはんだを塗布する方法を示す、断面図である。

[図7(f)]チップやウエハに設けられたバンプにはんだを塗布する方法を示す、断面図である。

[図7(g)]チップやウエハに設けられたバンプにはんだを塗布する方法を示す、断面図である。

[図8(a)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図8(b)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図8(c)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図8(d)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図8(e)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図8(f)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断

面図である。

[図8(g)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図9(a)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図9(b)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図9(c)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図9(d)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図9(e)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図9(f)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図9(g)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図10(a)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図10(b)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図10(c)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図10(d)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図10(e)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図11(a)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、

断面図である。

[図11(b)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図11(c)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図11(d)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図12(a)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図12(b)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図12(c)]チップやウエハに設けられたバンプにはんだを塗布する別の方法を示す、断面図である。

[図13(a)]はんだ接合するために必要量に達していないバンプに不足するはんだを供給する方法を示す、断面図である。

[図13(b)]はんだ接合するために必要量に達していないバンプに不足するはんだを供給する方法を示す、断面図である。

[図13(c)]はんだ接合するために必要量に達していないバンプに不足するはんだを供給する方法を示す、断面図である。

[図13(d)]はんだ接合するために必要量に達していないバンプに不足するはんだを供給する方法を示す、断面図である。

[図13(e)]はんだ接合するために必要量に達していないバンプに不足するはんだを供給する方法を示す、断面図である。

[図13(f)]はんだ接合するために必要量に達していないバンプに不足するはんだを供給する方法を示す、断面図である。

[図13(g)]はんだ接合するために必要量に達していないバンプに不足するはんだを供給する方法を示す、断面図である。

[図14(a)]バンプと回路基板との両方にはんだ粒子を圧着してフリップチップ接合する

方法を示す、断面図である。

[図14(b)]バンプと回路基板との両方にはんだ粒子を圧着してフリップチップ接合する方法を示す、断面図である。

[図15(a)]従来技術を示すものであり、スーパージャフィット法によるフリップチップ接合方法を示す、断面図である。

[図15(b)]従来技術を示すものであり、スーパージャフィット法によるフリップチップ接合方法を示す、断面図である。

[図15(c)]従来技術を示すものであり、スーパージャフィット法によるフリップチップ接合方法を示す、断面図である。

[図15(d)]従来技術を示すものであり、スーパージャフィット法によるフリップチップ接合方法を示す、断面図である。

[図15(e)]従来技術を示すものであり、スーパージャフィット法によるフリップチップ接合方法を示す、断面図である。

[図15(f)]従来技術を示すものであり、スーパージャフィット法によるフリップチップ接合方法を示す、断面図である。

[図16(a)]従来技術を示すものであり、アンダーフィルに金属粒子を含む異方性導電膜を用いるフリップチップ接合方法を示す、断面図である。

[図16(b)]従来技術を示すものであり、アンダーフィルに金属粒子を含む異方性導電膜を用いるフリップチップ接合方法を示す、断面図である。

[図16(c)]従来技術を示すものであり、アンダーフィルに金属粒子を含む異方性導電膜を用いるフリップチップ接合方法を示す、断面図である。

[図17(a)]従来技術を示すものであり、アンダーフィルにはんだ粒子を混ぜたものを用いるフリップチップ接合方法を示す、断面図である。

[図17(b)]従来技術を示すものであり、アンダーフィルにはんだ粒子を混ぜたものを用いるフリップチップ接合方法を示す、断面図である。

[図17(c)]従来技術を示すものであり、アンダーフィルにはんだ粒子を混ぜたものを用いるフリップチップ接合方法を示す、断面図である。

符号の説明

- [0085] 1、101 半導体チップ(電子部品)
2 チップ状の電子部品(電子部品)
3 ウエハ
4、104 回路基板
5、105 バンプ(電極部、バンプ電極、電極形成面)
6、106 電極(電極部、電極形成面)
7 封止部
11、111 はんだ粒子
12 液体
13 フラックス
21 台21
31 押さえ板
32 加熱ツール(加熱部材)
41 圧着板(突起部、突起部を有する部材)
42 圧着棒(突起部、突起部を有する部材、棒状部材)
51 はんだ量検査ツール
114 アンダーフィル

発明を実施するための最良の形態

[0086] [実施の形態1]

本発明の一実施形態について図1～図3に基づいて説明すれば、以下の通りである。

[0087] 図1は、本実施の形態における半導体装置の製造方法を示す図であり、半導体チップ1の側面の方向からみた図である。

[0088] まず、図1(a)のように、はんだ粒子11を均一に台21上に分散させる。はんだ粒子11は、たとえば鉛フリーのはんだペーストに含まれているようなはんだの粒子を想定しているが、これに限定はされない。

[0089] 本実施の形態における半導体装置の製造方法では、はんだ粒子11が均一に分散されていることが重要である。台21は、半導体チップ1もしくはウエハ3に塗布するは

んだを均一に敷き詰めるための部材である。はんだ粒子11は台21の上で均一に分散していれば良い。

[0090] 次に、図1(b)のように、はんだ粒子11を均一に分散した台21に、半導体チップ1上に形成されたバンプ5を押し付けて、はんだ粒子11をバンプ5で押しつぶし、バンプ5に圧着させる(図1(c))。なお、この工程でバンプ5の間にはんだ粒子11が入ったとしても、図1(b)の工程で圧着されていないはんだ粒子11を洗浄して除去することによってバンプ5の間をはんだ粒子11で汚染することがなくなる。

[0091] 現在、半導体装置の実装において主に使用されている鉛フリーのはんだペーストでは、粒径が数10 μ m程度のはんだ粒子が含まれている。このはんだ粒子は比較的柔らかく、簡単に押しつぶすことができる。

[0092] 押しつぶされたはんだ粒子は、例えば押しつぶされた相手が金属の場合、押し付けられた力にもよるが、比較的安定して圧着されつづける。即ち、上記のようにバンプ5ではんだ粒子11を押しつぶしてバンプ5に圧着すると、圧着した部分にだけはんだ粒子11を付着させることができる。

[0093] このようにすれば、ソルダーレジストを用いずに微小な領域にはんだを量り取ることができる。

[0094] 次に、図1(d)のように半導体チップ1を回路基板4上の該半導体チップ1を搭載する位置に移動し、該半導体チップ1を回路基板4の所定の位置に載せ、実装する(図1(e))。

[0095] 半導体チップ1の実装の方法は特に指定はしないが、半導体チップ1に圧着しているはんだ粒子11を加熱し、はんだを溶かすことによって実装する。

[0096] 尚、上記のようにはんだ粒子11を圧着した半導体チップ1を移動するときに、衝撃などによってはんだ粒子11が半導体チップ1から外れてしまう可能性がある。

[0097] このようなときは、はんだ粒子11を半導体チップ1へ圧着したあとで、はんだ粒子11を加熱してはんだを溶融し、半導体チップ1に固定してもよい。

[0098] また、上記の工程は半導体チップ1を回路基板4に実装する工程について記載したが、半導体チップ1は他のチップ状の電子部品2、例えばチップコンデンサやチップ抵抗などのチップ状の電子部品2であっても同様に回路基板4に実装することができ

る。

- [0099] 尚、台21に分散したはんだ粒子11が均一に分散されていなければ、バンプ5によって上から押さえつけたときにバンプ5に圧着されるはんだ粒子11の量が、バンプ5のあった場所によって不均一になってしまう。また、それぞれのバンプ5でも、圧着されるはんだ粒子11の量がバンプ5中の場所によって異なり、圧着されるはんだ粒子11の層数についても均一にはならない可能性がある。これでは半導体チップ1の実装のときに、はんだ粒子11を溶融したときのはんだの量にバラツキが生じるので、微小な実装ができない。そこで、圧着されるはんだ粒子11の量が均一になるようにする必要がある。
- [0100] たとえば、台21にはんだを均一に量り取る方法として、台21に均一に塗布した液体によって量り取る方法がある。
- [0101] 図2(a)に示すように台21に液体12を塗布し、図2(b)のようにスピコート(図示せず)によって液体12を均一に広げ、さらに図2(c)のように液体12の上にはんだ粒子11を十分多くふりかける。
- [0102] 液体12に触れたはんだ粒子11は液体12による吸着効果によって台21に付着することができる。一方、液体12に触れなかったはんだ粒子11は台21に付着できないため、台21を斜めに傾けたり、エアブローによって容易に台21から取り除くことができる(図2(d))。
- [0103] このようにはんだを台21に塗布することによって、はんだ粒子11を台21に均一に塗布することができる。
- [0104] また、上記の方法では、スピコートによって塗布する液体12の量については記載しなかったが、上記の液体12の量を調整することによって半導体チップ1に圧着するはんだ粒子11の量をさらに均一に調整することができる。
- [0105] 例えば図3(a)のように液体12をスピコートによって薄く塗布する。塗布する液体12の厚さをはんだ粒子11の直径以下の厚さになるように薄く塗り広げ、その上からはんだ粒子11を十分多くふりかける(図3(b))。その後、台21を斜めに傾けたり、エアブローによって液体12に触れることのできなかったはんだ粒子11を容易に台21から取り除くことができる(図3(c))。

- [0106] このようにすれば、はんだ粒子11の一層での均一な塗布を行うことができる。はんだ粒子11を一層だけ台21に用意しておけば、はんだ粒子11の粒径よりも少し広い間隔のバンプ5に対してはんだ粒子11を均一に圧着することができる。
- [0107] 例えば、直径 $20\mu\text{m}$ のはんだ粒子11を一層で均一に塗布する場合、スピコートによって塗布する液体12の厚みを $5\mu\text{m}$ にする。その上から直径 $20\mu\text{m}$ のはんだ粒子11を十分多くふりかける。
- [0108] スピコートされた液体12と接するはんだ粒子11は液体12に付着するが、液体12によって台21に付着したはんだ粒子11のさらに上に乗ったはんだ粒子11は液体12に触れることができない。つまり、液体12による台21への粘着作用が働かないため、台21には付着しない。
- [0109] この状態で、例えば台21を傾けると、液体12に付着したはんだ粒子11はそのまま台21に残留するが、液体12に触れていないはんだ粒子11は重力に引かれて落ちてゆくことになる。このようにして、はんだ粒子11を一層だけ残すことができる。
- [0110] また、上記の液体12は、フラックス13にしてもよい。このようにすれば、後からはんだ粒子11を加熱して、回路基板に溶着させて実装するときに、フラックス13を塗布する工程を省くことができる。
- [0111] 尚、はんだペーストはフラックス13にはんだ粒子11が混入されたものであることから明らかなように、フラックス13ははんだ粒子11を保持するのに都合がよい。
- [0112] また、上記のようにはんだ粒子を量り取る方法は、半導体チップ1やチップ状の電子部品2、ウェハ3、回路基板4など、さまざまなはんだ接合部のはんだを量り取る方法に用いることができる。
- [0113] ここで、回路基板4に実装する半導体チップ1およびチップ状の電子部品2などには、さまざまなサイズの部品がある。上記部品の回路基板4への実装工程では、例えば1005とよばれる縦1mm、横0.5mmの部品や、上記1005をさらに小型にした0603、0402、およびチップコンデンサやチップ抵抗などのサイズの異なるチップ状の電子部品2を実装する必要がある。
- [0114] たとえばチップ状の電子部品2では、上記のようにさまざまな大きさの電子部品があるため、実装するために必要となるはんだの量が部品によって大きく異なっている。こ

のため、使用するはんだの量は、実装するチップ状の電子部品に適した量を用いる必要がある。

[0115] また、チップ状の電子部品2によってははんだ接合の強度を上げる必要がある。この場合には、接合に用いるはんだの量を増やし、はんだ接合の強度を上げることがおこなわれている。

[0116] しかしながら、単にはんだ粒子11の量を増やしただけでは接合の均一性が失われる可能性がある。さらに、必要以上のはんだ量を用いてチップ状の電子部品2を実装すると、余計なところにはんだが広がってブリッジしてしまう恐れがある。

[0117] つまり、実装するチップ状の電子部品2にそれぞれに適したはんだの量をチップ状の電子部品2に対して供給する必要がある。

[0118] 本実施形態の方法では、台21に均一に分散させるはんだ粒子11の粒径によって、チップ状の電子部品を実装するために用いるはんだの量を調整することができる。

[0119] たとえば、幅 $100\mu\text{m}$ 、長さが $100\mu\text{m}$ の電極6にはんだ粒子11を配置する場合について記載する。このとき、はんだ粒子11の粒径が $50\mu\text{m}$ の場合にははんだ粒子11は上記電極6に4個付着する。またはんだ粒子11の粒径が $20\mu\text{m}$ の場合にははんだ粒子11は上記電極6に25個付着する。

[0120] このとき、上記電極6に付着するはんだ粒子11の体積の総量をそれぞれ $V(20\mu\text{m})$ 、 $V(50\mu\text{m})$ とすると、その体積比は、
$$V(20\mu\text{m})/V(50\mu\text{m}) = ((20/2)^3 \times 25) / ((50/2)^3 \times 25) = 2/5$$
となる。

[0121] 即ち、用いるはんだ粒子11の直径を調整することで、電極6に付着させるはんだの体積を調整することができる。

[0122] またバンプ5は特に材質を限定しないが、金属であることが好ましく、例えば金で形成された金バンプなどであればよい。

[0123] また、バンプ5の高さは揃っていることが望ましく、バンプ5の形状は、底面を広く形成し、上記の工程で接触するはんだ粒子11の数を増やすようにしても良い。さらにバンプ5の先端を平らにすることで、はんだ粒子11がバンプ5の外へ移動することを防ぐようにしても良い。

- [0124] また、バンプ5の形状として、バンプ5の底面を粗く加工してもよい。押しつぶされたはんだ粒子11が横方向に広がることを防ぎ、他のはんだ粒子11が押しつぶされたはんだ粒子11に押し出されて、バンプ5から離れてしまうことを防いだり、はんだ粒子11との接触面積を増やしたり、凸凹が食い込むことで圧着しやすくしたりできる。
- [0125] ここでバンプ5に凸凹を付ける方法は、薬品処理によって形成してもよいし、別の凸凹形状に押し付けて形成してもよい。このバンプ5の凸部は、可能であれば先端が尖った形状であることが望ましい。
- [0126] たとえば上記のようにバンプ5を形成する方法として、巨視的に見れば平坦だが、バンプ5程度の範囲に限定して見れば凸凹の形状を備えた板に、バンプ5の付いた半導体チップ1やウエハ3を押し付けることによって形成することができる。
- [0127] 上記の工程によって、バンプ5の高さを揃え、バンプ5の底面を広く形成することと、上記バンプ5の先端の形状を形成することが可能となる。レベリングのための板に凸凹をつける方法は、板の表面を薬品処理したり、細かく傷をつけたりすればよい。
- [0128] 〔実施の形態2〕
本発明の一実施形態について図4～6に基づいて説明すれば、以下の通りである。
- [0129] 本実施の形態では、チップ状の電子部品2の電極6の部分にのみはんだ粒子11を付着させる方法について記載する。
- [0130] なお、本実施の形態において説明すること以外の構成は、上記実施の形態1と同じである。また、説明の便宜上、上記の実施の形態1の図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。
- [0131] 図4は、チップ状の電子部品2の電極6にのみはんだ粒子11を付着させる方法について記載している図であり、チップ状の電子部品2の側面からみた図である。図4に記載する構成では、電極6とチップ状の電子部品2の封止部7の高さに違いがあり、電極6が封止部7よりも突出している。このようなチップ状の電子部品2の場合では、両者の段差を利用して電極6のみにはんだ粒子11を圧着することができる。このような電極6と封止部7に段差がある形状のチップ状の電子部品2としては、主にチップ抵抗があげられる。

- [0132] 例えば、電極6とチップ状の電子部品2の封止部7との高さの段差が $20\mu\text{m}$ ある場合、上記段差と同程度の粒径のはんだ粒子11(粒径 $10\sim 20\mu\text{m}$)を実施の形態1のように台21に分散させ、上記チップ状の電子部品2を台21上に分散したはんだ粒子11に対向させ(図4(a))、図4(b)のように該はんだ粒子11の粒径の半分程度($5\sim 10\mu\text{m}$)まで圧着をおこなう。
- [0133] このときチップ状の電子部品2の封止部7は、圧着の操作によって上記の粒径 $20\mu\text{m}$ のはんだ粒子11の近くに近づくことになるが、はんだ粒子11と封止部7とは $5\mu\text{m}$ 離れているのではんだ粒子11が封止部に圧着されることはない。このようにチップ状の電子部品2の本体へのはんだ粒子11の圧着を防ぐことができる。
- [0134] また、封止部7にはんだ粒子11が接触してしまう場合であっても、電極6と封止部7との高さの違いによって、封止部7がはんだ粒子11を押しつぶす強さは電極6に比べて弱くなる。
- [0135] さらにチップ状の電子部品2では封止部7よりも電極6の方が表面の形状は粗く、はんだ粒子11が押しつぶされたときに食い込みやすくなる。
- [0136] このため、電極6の圧着の強さに比べて封止部7の圧着の強さが弱くなり、封止部7に圧着されたはんだ粒子11は電極6に圧着されたはんだ粒子11に比べて容易に除去することができる。
- [0137] つぎに、図5および図6を用いて、電極6と封止部7の高さに違いがない半導体チップ1やチップ状の電子部品2にはんだ粒子11を圧着させる方法について記載する。
- [0138] このような電極6と封止部7の段差が少ない形状のチップ状の電子部品2としては、主にチップコンデンサがあげられる。
- [0139] 第1の方法としては、図5(a)のように電極6と封止部7の高さに違いがないチップ状の電子部品2を、台21に均一に分散したはんだ粒子11に押さえつけて(図5(b))、はんだ粒子11を仮圧着させる(図5(c))。
- [0140] チップ状の電子部品2では封止部7よりも電極6の方が表面が粗く、はんだ粒子11が押しつぶされたときにチップ状の電子部品2に食い込みやすくなる。
- [0141] さらに、仮圧着したはんだ粒子11を、図5(d)のようにチップ状の電子部品2の電極付近が凸に、封止部が凹になった形状の押さえ板31に押し付け、仮圧着されたはん

だ粒子11のうち電極付近のはんだ粒子11のみをさらに圧着してもよい(図5(e))。

[0142] このようにすれば、チップ状の電子部品2の電極6のはんだ粒子11と封止部7のはんだ粒子11の圧着量の差をさらに大きくすることができる。この状態を本圧着とよぶことにする。

[0143] 仮圧着、もしくは本圧着が完了した状態で、図5(f)のように封止部7のはんだ粒子11のみを除去する。

[0144] その手段としては、超音波で洗浄することでもよいし、粘着力のあるシートに接触させて転写してもよいし、細い針や薄い板を用いてすくい取ってもよい。

[0145] この除去工程は、その後加熱してはんだ粒子11を溶かしたときに電極6の間がつながってしまい、ショートすることを防ぐためにおこなう。よって封止部分のすべてのはんだ粒子が除去されていなくてもよい。

[0146] この後、電極6のはんだ粒子11を加熱してはんだを溶融し、半導体チップ1に固定してもよい(図5(g))。

[0147] このように構成することにより、半導体チップ1およびチップ状の電子部品2の電極6の部分に適切な量のはんだを固定することができる。

[0148] 尚、第2の方法として、図6(a)のように台21に均一にはんだ粒子11を分散させ、電極6と封止部7の高さに違いがないチップ状の電子部品2を、台21に均一に分散したはんだ粒子11に押さえつけて(図6(b))、はんだ粒子11を仮圧着させた後(図6(c))、図6(d)のようにはんだ粒子11を圧着させたチップ状の電子部品2の中心部に、加熱した加熱ツール32を接触させることによって封止部7のはんだ粒子11を除去してもよい。

[0149] 加熱ツール32をチップ状の電子部品2の中心部に接触させることによって、図6(e)のようにはんだ粒子11は溶けながら両側の電極6へ押し広げられてゆく。はんだが溶けて両側の電極6に移った後に、加熱ツール32をチップ状の電子部品2から取り外せばよい(図6(f))。

[0150] この加熱ツール32の断面は、円や楕円の形状でもよいし、クサビのように中心が尖った形状でもよいし、中心部が平らな台形状でもよい。

[0151] 広がったはんだは電極6上に広がってゆくが、塗布された総量が少ないため、はん

だが最初に電極6に圧着されなかった側の面にまでは広がりにくい。

[0152] 尚、上記の加熱ツール32やチップ状の電子部品2を吸着するノズルの素材などは、アルミニウムなどはんだを加熱して熔融する工程ではんだと合金層を作らない材質でつくることが望ましい。

[0153] このように構成することにより、溶けたはんだが加熱ツール32やノズルに残留することがないので、安定して上記の工程を繰り返すことができる。

[0154] このように構成することにより、半導体チップ1およびチップ状の電子部品2の電極6の部分に適切な量のはんだを固定することができる。

[0155] はんだ粒子11は、バンプ5やチップ状の電子部品2に熱履歴を与えたくない場合には溶着させなくてもよい。また、運搬するときの振動が大きく、はんだ粒子11がバンプ5やチップ状の電子部品2から外れる可能性がある場合や、ウエハに設けたバンプ5にはんだ粒子11を圧着した後にダイシング等の工程をおこなう場合には、はんだ粒子11を一度加熱して溶着させておくのがよい。

[0156] また、このようなはんだ粒子11を溶着したチップ状の電子部品2を用いれば、チップ状の電子部品2を実装するための回路基板4への特殊なはんだのプリコートが不要となる。そのため、それほど小さくない電子部品を実装するための回路基板4の電極6に対してのみ、別途通常のマスク印刷などの方法によってはんだペーストを配置すればよい。

[0157] 〔実施の形態3〕

本発明の一実施形態について図7～図8に基づいて説明すれば、以下の通りである。

[0158] 本実施の形態では、半導体チップ1やウエハ3、回路基板4に設けられたバンプ5、電極6にはんだを塗布する方法について記載する。

[0159] なお、本実施の形態において説明すること以外の構成は、上記実施の形態1などと同じである。また、説明の便宜上、上記の実施の形態1などの図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

[0160] また、本実施の形態においては半導体チップ1に設けられたバンプ5にはんだを塗布する方法について記載するが、必ずしもこれに限定されず、例えば、上記半導体

チップ1はチップ状の電子部品2、ウエハ3、または回路基板4であってもよく、上記バンプ5は電極6とすることも可能である。

[0161] 図7では、バンプ5を直接はんだ粒子11に圧着せずに、圧着板41によって圧着してはんだ粒子11を量り取り、バンプ5に塗布する方法について記載している。

[0162] まず、図7(a)のように、圧着板41を台21に均一に分散したはんだ粒子11に押さえつけて(図7(b))、はんだ粒子11を仮圧着させる(図7(c))。圧着板41は、半導体チップ1などのバンプ5と同じ位置が凸になっている。

[0163] 次に、凸部にはんだ粒子11が圧着された圧着板41とバンプ5を有する半導体チップ1やウエハ3の位置を合わせて向かい合わせ(図7(d))、接触させる(図7(e))。

[0164] 次に図7(f)のように、圧着されたはんだ粒子11を加熱して熔融させ、バンプ5に塗布する(図7(g))。

[0165] この工程は半導体チップ1のバンプ5とはんだ粒子11を接触させてからのはんだ粒子11を溶かしてもよいし、バンプ5とはんだ粒子11を接触させる前にバンプ5を加熱しておき、接触させることによってはんだ粒子11を溶かすように構成してもよい。または、予めはんだ粒子11を溶かしておいて、加熱されたバンプ5に接触させてもよい。

[0166] いずれにせよ、はんだ粒子11が圧着された圧着板41が上、バンプ5のついた半導体チップ1やウエハ3を下にして接触させることによって、融けたはんだが重力に引かれてバンプ5の側に移りやすくなるので都合がよい。

[0167] さらに本実施の形態の方法では、凸部のある圧着板41は圧着工程で凸部を下に向けており、半導体チップ1のバンプ5は上を向いている。このため、はんだ粒子11を溶かしてバンプ5の側に移す工程をおこなうために、圧着板41をひっくり返す必要がなく、製造上効率がよい。

[0168] この方法は、圧着することで半導体チップ1やウエハ3にダメージが及ぶ恐れがあるような場合に有効であり、特にLow-k膜(低誘電率層間絶縁膜)が使われている半導体チップ1の場合にもバンプ5にはんだを定量塗布することができる。

[0169] 尚、上記圧着板41の凸部は、対応する半導体チップ1のバンプ5と同程度の表面積を有することが好ましい。

[0170] 同様にして、回路基板4やチップ状の電子部品2の電極6にもはんだを塗布するこ

とができる。

- [0171] 尚、上記のように複数の凸パターンを持つ圧着板41の作製が容易ではない場合や、上記圧着板41を構成する部材が高価な場合には、先端が半導体チップ1のバンプ5程度の大きさで、かつ平坦な針のような形状の圧着棒42を形成してもよい。
- [0172] この圧着棒42は、例えばワイヤボンドに使用するキャピラリのようなもので、先端が半導体チップ1のバンプ5と同じような形状で、かつ、金線が通る穴が開いていないものでもよい。上記の圧着棒42を用いる場合でも、圧着板41と同様に作業を行うことができる。
- [0173] 即ち、図8(a)のように、圧着棒42を台21に均一に分散したはんだ粒子11に押さえつけて(図8(b))、はんだ粒子11を仮圧着させる(図8(c))。
- [0174] 次に、はんだ粒子11が圧着された圧着棒42とバンプ5を有する半導体チップ1の位置を合わせて向かい合わせて(図8(d))、接触させる(図8(e))。
- [0175] 次に図8(f)のように、はんだの融点まで加熱したバンプ5に圧着されたはんだ粒子11を接触させて熔融させる。
- [0176] 針の先端に圧着されていたはんだ粒子11は、バンプ5の上で溶けてその表面に広がる(図8(g))。このようにすれば、はんだペーストを針で転写する場合よりもはるかに少ないはんだを塗布することができるので、半導体チップ1上のバンプ5が微細な場合でも、隣接するバンプ5とのブリッジを回避してはんだを塗布したり、追加したりできる。
- [0177] 尚、圧着棒42を用いる方法の場合、圧着棒42に圧着させたはんだ粒子11は、上記のように半導体チップ1上のバンプ5に接触させた後に溶解することが好ましい。
- [0178] 圧着棒42は、半導体チップ1上のバンプ5の数だけはんだ粒子11の圧着と転写とを繰り返すので、はんだ粒子11の圧着のときに圧着棒42の温度が高いとはんだ粒子11が熔融し、必要数以上のはんだ粒子11が圧着棒42に溶着することを防ぐためである。
- [0179] もちろん上記の圧着棒42の温度を管理すれば、圧着板41を用いるときと同様に半導体チップ1のバンプ5とはんだ粒子11を接触させてからのはんだ粒子11を溶かしてもよいし、予めはんだ粒子11を溶かしておいて、加熱されたバンプ5に接触させても

よい。

[0180] なお、上記の圧着板41または圧着棒42は、はんだを加熱して溶融する工程ではんだと合金層を作らない材質でつくることが望ましい。

[0181] このように構成すると、上記圧着板41または圧着棒42の先端部にはんだ粒子11が圧着された後、半導体チップ1上で溶融したはんだ粒子11が上記圧着板41または圧着棒42の先端部に残らず、すべてバンプ5に移る。

[0182] これによって、はんだ粒子11の圧着、溶融の作業を繰り返すときに上記圧着板41または圧着棒42の先端を浄化する必要がなく、作業効率が向上する。

[0183] また、上記の圧着板41または圧着棒42は、はんだ粒子11が圧着されやすいようにするために、上記の圧着板41または圧着棒42の先端部分を粗い形状にしてもよく、例えば凸凹を付けてもよい。

[0184] このように構成することにより、はんだ粒子11が押しつぶされて横方向に広がることによって他のはんだ粒子11が押し出され、上記の圧着板41または圧着棒42の先端から離れてしまうことを防いだり、はんだ粒子11との接触面積を増やしたり、凸凹が食い込むことで圧着しやすくすることができる。ここで先端に凸凹を付ける方法は、薬品処理によっておこなってもよいし、別の凸凹形状に押し付けておこなってもよい。

[0185] [実施の形態4]

本発明の一実施形態について図9～図12に基づいて説明すれば、以下の通りである。

[0186] 本実施の形態では、ウエハ3や回路基板4に設けられた電極6にはんだを塗布する別の方法について記載する。

[0187] なお、本実施の形態において説明すること以外の構成は、上記実施の形態1などと同じである。また、説明の便宜上、上記の実施の形態1などの図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

[0188] また、本実施の形態においては回路基板4に設けられた電極6にはんだを塗布する方法について記載するが、必ずしもこれに限定されず、例えば、上記回路基板4はウエハ3であってもよく、上記電極6はバンプ5とすることも可能である。

[0189] 図9では、はんだ粒子11を台21ではなく、はんだ接合をおこないたい回路基板4

上に一層に均一塗布する方法について説明している。

- [0190] まず、図9(a)のように液体12を回路基板4上に塗布し、スピコートによって薄く塗布する(図9(b))。塗布する液体12の厚さをはんだ粒子11の直径以下の厚さになるように薄く塗りあげ、その上からはんだ粒子11を十分多くふりかける(図9(c))。その後、回路基板4を斜めに傾けたり、エアブローによって液体12に触れることのできなかったはんだ粒子11を容易に回路基板4から取り除くことができる(図9(d))。
- [0191] このようにすればはんだ粒子11の一層での均一塗布を行うことができる。はんだ粒子11を一層だけ用意しておけば、はんだ粒子11の粒径よりも少し広い間隔の電極6に対してはんだ粒子11を圧着することができる。
- [0192] 尚、上記の液体12は実施の形態1のように、フラックス13であってもよい。
- [0193] 次に、図9(e)のように、はんだを塗布したい電極6の形状に合わせた凸部のパターンを持つ圧着板41を回路基板4に押さえつける。このようにしてはんだ粒子11を回路基板に圧着する。
- [0194] その後圧着板41を回路基板4から取り外し、不要なはんだ粒子11を洗浄などで除去する(図9(f))。最後にはんだ粒子11を回路基板4上で加熱して溶かし、はんだを回路基板4に溶着する(図9(g))。
- [0195] このように構成することで、回路基板4の電極6に一括してはんだ粒子11を配置することができる。
- [0196] 尚、上記のように複数の凸パターンを持つ圧着板41の作製が容易ではない場合や、上記圧着板41を構成する部材が高価な場合には、圧着棒42によって、回路基板4上のはんだ粒子11を一つずつ押しつぶして回路基板4に圧着してもよい。
- [0197] 即ち、図10(a)のように、一層で均一塗布されたはんだ粒子11を形成する。次に、図10(b)のように圧着棒42が、回路基板4の電極6の位置ではんだ粒子11を上から押さえつけ、はんだ粒子11を潰して回路基板4に圧着する。
- [0198] 上記圧着棒42は、一箇所の圧着が終わったら再び上昇され、回路基板4から離される。そして上記圧着棒42は、別の電極6の位置まで移動し、再び上からはんだ粒子11を押し付ける(図10(c))。
- [0199] この操作を繰り返すことによって、回路基板4の必要な位置にはんだ粒子11を配置

する。回路基板4上の必要な位置にはんだ粒子11の圧着による配置が終了したら、回路基板4上に圧着されずに残留しているはんだ粒子11を、洗浄などで除去する。(図10(d))。最後にはんだ粒子11を回路基板4上で加熱して溶かし、はんだを回路基板4に溶着する(図10(e))。

[0200] 尚、回路基板4の電極6に、巨視的に見れば平坦だが、電極6程度の範囲に限定して見れば凸凹の構造を設けてもよい。また、この電極6の凸部は、可能であれば先端が尖った形状であることが望ましい。

[0201] このように形成することによって、はんだ粒子11が上記圧着板41または圧着棒42によって押しつぶされるときに、はんだ粒子11が横方向に広がり、他のはんだ粒子11を押し出して電極6から離れてしまうことを防いだり、はんだ粒子11と電極6との接触面積を増やしたり、電極6の凸凹がはんだ粒子11に食い込むことで圧着しやすくするためである。

[0202] ここで電極6に凸凹を付ける方法は、薬品処理によって行ってもよいし、別の凸凹形状に押し付けて行ってもよい。

[0203] また、上記の圧着板41の凸部および圧着棒42の先端部は、回路基板4の電極6よりも滑らかな表面であることが望ましい。

[0204] 上記圧着板41の凸部および圧着棒42の先端部が回路基板4の電極6よりも滑らかな表面ではないならば、はんだ粒子11を回路基板4に圧着するときにはんだ粒子11がすべて回路基板4に圧着せず、上記圧着板41の凸部および圧着棒42の先端部にはんだ粒子11が付着したまま残留する可能性がある。

[0205] 上記圧着板41の凸部および圧着棒42の先端部にはんだ粒子11が残留するということは、回路基板4に圧着されたはんだ粒子11が規定量よりも不足するということを意味する。また残留したはんだ粒子11が次の圧着工程で圧着されると、その位置のはんだの量が過剰になる。

[0206] このような不具合を防ぐために、これらの圧着板41の凸部および圧着棒42の先端部は、回路基板4の電極6の表面よりも凸凹の少ない滑らかな表面に加工しておくことが望ましい。

[0207] また、上記で圧着板41を用いる代わりに、バンプ5の付いた半導体チップ1を直接

押し付けてはんだ接合を形成してもよい。

- [0208] 即ち、図11(a)のように、一層で均一塗布されたはんだ粒子11を形成する。次に、図11(b)のように、半導体チップ1を回路基板4に押さえつけ、はんだ粒子11を回路基板4と半導体チップ1とで挟み込み、圧着する。その後、図11(c)のように回路基板4とバンプ5に圧着されていない不要なはんだ粒子11を洗浄などで除去する。最後にはんだ粒子11を加熱して溶かし、バンプ5と回路基板4を接合する(図11(d))。
- [0209] このように構成することで、回路基板4の電極6と半導体チップ1とを一括してはんだ接合することができる。
- [0210] また、圧着されていないはんだ粒子11の除去は、図11(c)の工程で半導体チップ1と回路基板4が押さえつけられた状態のまま、その隙間から、例えばフラックス13を圧入することで除去してもよい。このようにすれば、圧着過程でフラックス13が不足していた場合であってもフラックス13を補うことが可能である。またフラックス13が残留したとしてもはんだ接合に悪影響を及ぼすことはない。
- [0211] また、一度回路基板4に押さえつけた半導体チップ1と回路基板4とを離し、半導体チップ1と回路基板4との隙間を広げてからフラックス13で洗浄してもよい。このように構成することによって、洗浄時にフラックス13が流れやすくなり、圧着されていないはんだ粒子11を確実に除去することができる。
- [0212] また、はんだ粒子11に比べてバンプ5の間隔が十分大きく、多少はんだ粒子11が残っていてもはんだ接合を形成する上で問題がなく、アンダーフィルがはんだの熔融温度でも悪影響を及ぼさない場合には、上記のようなアンダーフィルを圧入することによって、はんだ粒子11の除去とアンダーフィルの配置が同時に可能となる。何れの場合であっても、圧着されていないはんだ粒子11を除去した後で、加熱してはんだ粒子11を溶かし、回路基板4と半導体チップ1をはんだ接合する。
- [0213] 尚、回路基板4に熱履歴を与えたくない場合には、はんだは溶着していない状態としてもよいし、重ねて運搬する場合や振動が大きくてはんだ粒子11が外れる可能性がある場合には、はんだ粒子11を加熱して溶かしておいてもよい。
- [0214] 本実施の形態における回路基板4は、微小なチップ状の電子部品2を実装するために必要な、きわめて微小なはんだを溶着しているため、回路基板4に対してこの微

小なチップ状の電子部品2のためにはんだペーストを塗布することは不要である。

[0215] 従って、それほど小さくない部品に対してのみ通常のマスク印刷にてはんだペーストを配置すればよい。

[0216] このようにしてはんだが溶着された回路基板4では、はんだが溶融して半導体チップ1などと接合したときに気泡の残留が少なくなるというメリットがある。

[0217] 気泡は回路基板4の電極6とはんだの界面に生じることが多い。従来のはんだペーストを用いてはんだを電極6に塗布すると、はんだ粒子が何層も積み重なるため、はんだと電極6との界面で発生した気泡が外部に到達しにくく、内部に残留しやすいという問題が生じていた。

[0218] 本実施の形態の方法では、はんだ粒子11の層は非常に薄いため、はんだを溶着するときにはんだと電極6との界面で生じた気泡は容易に外部に到達することができる。

[0219] また、接合するバンプ5や回路基板4の電極6のサイズ、間隔などによっては、上記の方法のように厳密にはんだ粒子11の量をコントロールする必要がない場合もある。

[0220] この場合には、図12(a)のように、低濃度にはんだ粒子11が入ったフラックス13を台21に形成し、上記フラックス13の上からバンプ付きの半導体チップ1やウエハを押し付けて、バンプ5にはんだ粒子11を圧着させる(図12(b))。その後、バンプ付きの半導体チップ1やウエハを上記フラックス13から取り出す(図12(c))。

[0221] その際、はんだ粒子入りフラックス13の濃度は、バンプを押し付けたときにバンプの下にはんだ粒子が複数個あって、かつ、バンプ間を埋めてしまわない程度にする。また、はんだ粒子11の濃度は、少なくとも現在フリップチップ実装で使われているような異方性導電膜の中に混入されている金属粒子の濃度以上が好ましい。

[0222] 尚、上記のフラックス13塗布を台21に代えて回路基板4上でおこない、その上からはんだ粒子11を圧着したい電極6の位置と同じ凸部パターンを持つ圧着板41で押さえつけることで、その電極にはんだ粒子11を圧着させてもよい。

[0223] [実施の形態5]

本発明の一実施形態について図13に基づいて説明すれば、以下の通りである。

[0224] 本実施の形態では、半導体チップ1やチップ状の電子部品2、ウエハ3、回路基板4

に設けられたバンプ5、電極6にはんだを塗布した後、はんだ接合するために必要量に達していないバンプ5、電極6に不足するはんだを供給する方法について記載する。

[0225] なお、本実施の形態において説明すること以外の構成は、上記実施の形態1などと同じである。また、説明の便宜上、上記の実施の形態1などの図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。

[0226] また、本実施の形態においては半導体チップ1に設けられたバンプ5にはんだを塗布する方法について記載するが、必ずしもこれに限定されず、例えば、上記半導体チップ1はチップ状の電子部品2、ウエハ3、または回路基板4であってもよく、上記バンプ5は電極6とすることも可能である。

[0227] 図13では、はんだをバンプ5に塗布した後にバンプ5のはんだの量を検査するはんだ量検査ツール51が設けられている。上記はんだ量検査ツール51は、はんだ結合をおこなうためにはんだの量が不足するか否かを外観検査などによって検査し、はんだが不足するバンプ5を抽出する。本実施の形態の方法は、上記はんだ量検査ツールが、はんだの量が不足すると判断したときに、該はんだの量が不足するバンプ5にはんだを供給する方法を図示している。

[0228] まず、本実施の形態では、図13(a)のように、半導体チップ1に設けられたバンプ5にはんだが上記実施の形態3または4のように塗布されている。塗布されたはんだの量は、はんだ量検査ツール51によって検査される。検査では、そのままフリップチップ実装したのでははんだの量の不足によって十分にはんだ接合できないと思われる半導体チップ1上のバンプ5を検出し、抽出する。

[0229] 上記図13(a)の工程で抽出されたバンプ5に対して、不足するはんだを供給する工程がおこなわれる。図13(b)のように、圧着棒42と台21に均一に分散したはんだ粒子11とが上記実施の形態3のように準備され、図13(c)のように圧着棒42が台21に均一に分散したはんだ粒子11を押さえつけて、はんだ粒子11を仮圧着させる(図13(d))。

[0230] 次に、はんだ粒子11が圧着された圧着棒42と、上記はんだ量検査ツール51によってはんだの量が不足すると判断された半導体チップ1上のバンプ5が位置を合わ

せて向かい合わされ(図13(e))、接触される(図13(f))。

- [0231] 次に図13(g)のように、はんだの融点まで加熱したバンプ5に圧着されたはんだ粒子11を接触させて溶融させる。針の先端に圧着されていたはんだ粒子11は、電極上で溶けてその表面に広がる(図13(g))。このようにすれば、はんだペーストを針で転写する場合よりもはるかに少ないはんだを塗布することができるので、半導体チップ1上のバンプ5が微細な場合でも、隣接するバンプ5とのブリッジを回避してはんだを塗布したり、追加したりできる。
- [0232] 尚、圧着棒42を用いる方法の場合、圧着棒42に圧着させたはんだ粒子11は、上記のように半導体チップ1上のバンプ5に接触させた後に溶解することが好ましい。圧着棒42は、半導体チップ1上のバンプ5の数だけはんだ粒子11の圧着と転写を繰り返すので、はんだ粒子11の圧着のときに圧着棒42の温度が高いとはんだ粒子11が溶融し、必要数以上のはんだ粒子11が圧着棒42に溶着することを防ぐためである。
- [0233] もちろん上記の圧着棒42の温度を管理すれば、半導体チップ1のバンプ5とはんだ粒子11を接触させてからはんだ粒子11を溶かしてもよいし、予めはんだ粒子11を溶かしておいて、加熱されたバンプ5に接触させてもよい。
- [0234] 上記のように構成することにより、既にはんだの塗布が終了している半導体チップ1上のバンプ5などではんだ接合するためにはんだの量が不足すると思われるバンプ5を抽出し、不足するはんだを補うことが可能となる。
- [0235] 〔実施の形態6〕
- 本発明の一実施形態について図14に基づいて説明すれば、以下の通りである。
- [0236] 本実施の形態では、バンプ5を持つ半導体チップ1やチップ状の電子部品2、ウェハ3、回路基板4のうち少なくとも1種類は本実施形態の方法ではんだ粒子11を圧着し、上記はんだ粒子11を溶かすことによって塗布(プリコート)して実装する方法について記載する。
- [0237] なお、本実施の形態において説明すること以外の構成は、上記実施の形態1などと同じである。また、説明の便宜上、上記の実施の形態1などの図面に示した部材と同一の機能を有する部材については、同一の符号を付し、その説明を省略する。
- [0238] また、本実施の形態においては半導体チップ1に設けられたバンプ5と、回路基板4

に設けられた電極6とがはんだ接合によって実装される場合について記載するが、必ずしもこれに限定されず、例えば、上記半導体チップ1に設けられたバンプ5がウエハ3など他に設けられたバンプ5などとはんだ接合する場合に用いられてもよい。

[0239] 図14(a)および図14(b)は、実施の形態1などの方法でプリコートした半導体チップ1に設けたバンプ5と、実施の形態3などの方法でプリコートした回路基板4上の電極6とをフリップチップ実装する方法について示している。

[0240] まず、図14(a)のように、プリコートしたバンプ5と、プリコートした電極6とを対面させる。

[0241] このとき、バンプ5と電極6とをはんだが溶融する温度に加熱しておく。バンプ5側のはんだと電極6側のはんだとは、溶融することによって液体となるので、それぞれ表面張力を発生させている。

[0242] 次にこの両者を接触させると、液状になったはんだはその表面積を小さくしようとして互いに引き合う(図14(b))。上記のように液状になったはんだの表面張力によって、上記バンプ5と回路基板4とがはんだ接合の最適な位置にセルフアライメントする。

[0243] ここで両者のはんだの量が多すぎると、過剰なはんだが広がって不要なはんだ接合が形成(ブリッジ)される。また、はんだの量が少なすぎると、表面張力がセルフアライメント効果を生じるには不十分であり、半導体チップ1が適当な位置に移動することができない。

[0244] 本実施の形態の方法では、実施の形態1のようにはんだの量を最適化することができるので、セルフアライメントを実現することが可能である。

[0245] また、上記の方法ではバンプ5と電極6とのはんだを加熱して溶融した後に接合したが、上記の両者とも加熱しない状態で従来のフリップチップと同様にフェイスダウンの方法で配置し、その後で加熱してもよい。

[0246] 本実施の形態の方法では、回路基板4の電極6上のはんだ粒子11とバンプ5の先端に設けられているはんだ粒子11とは、圧着される過程でその表面が平らになっている。

[0247] 本実施の形態の方法では、回路基板4の電極6上に設けられる平らな形状のはんだに、バンプ5上に設けられる平らな形状のはんだを重ねるので、上記両者を対向さ

せて従来のフリップチップの方法で配置したときに傾きが生じにくい。

- [0248] さらにバンプ5と電極6との各組み合わせにおいて、それぞれの高さによるバラツキが少なく、隙間が生じにくい。このため、フリップチップ実装後に未接合のバンプ5が生じにくいという特徴がある。
- [0249] また、本実施の形態の方法では、半導体チップ1やウエハ3のバンプ5側と、回路基板4側の電極6とにはんだをプリコートすることができるので、バンプ5の狭ピッチ化をおこなうことが出来る。
- [0250] スーパージャフィット法では、銅の表面を改質してはんだ粒子を配置する方法であるため、原理的に銅の上にはんだ粒子を配置することができない。このため、はんだ接合に必要なすべてのはんだの量を回路基板側にプリコートする必要があった。
- [0251] しかしながらプリコートし、半導体チップやウエハのバンプとはんだ接合するときに溶融した液状のはんだを表面張力によって電極上に保持することができないと、該電極上から流れ出し、隣接する電極とショート(ブリッジ)することがある。
- [0252] これを防ぐためには電極の面積を大きくする必要があり、このため狭ピッチ化しにくいという問題点があった。
- [0253] しかしながら本実施の形態の方法では、半導体チップ1のバンプ5側にもはんだ粒子11を配置できる。このような構成により、用いるはんだの総量が同じ場合では、回路基板4の電極6側に配置しなければならないはんだの量は、スーパージャフィット法を用いる場合よりも少なくてよい。
- [0254] 従って、スーパージャフィット法を用いる場合よりも、電極6のサイズ、バンプ5のピッチを狭くすることができる。このことは、チップ状の電子部品2を実装する場合についても当てはまる。なぜならば、チップ状の電子部品2では、電極6が一般的に銅ではなくて錫メッキであることが多いからである。
- [0255] スーパージャフィット法では、錫メッキ電極にはんだ粒子11を付着させることはできないが、本実施の形態および関連する実施の形態の方法では錫メッキ電極および他の電極に対してもはんだ粒子11を付着させることが可能であり、セルフアライメントによるはんだ接合の最適な位置あわせを実現することと、バンプ5の狭ピッチ化をおこなうことが可能である。

- [0256] 以上のように、本実施形態によれば、微小な領域にはんだ粒子を配置することができるので、ファインピッチのはんだ接合によるフリップチップ実装や超小型チップ状の電子部品の実装が可能である。
- [0257] また、特別な装置や材料、処理を必要とせず、低価格での実装が可能である。
- [0258] さらに、アンダーフィルの硬化は別の工程でできるのでスルーボットよく製造することができる。
- [0259] また、本実施形態の電子回路の製造方法では、電子部品の電極部が、電子部品のバンプ電極であってもよい。
- [0260] これにより、電子部品のバンプ電極にはんだ粒子を押し当てて圧着させ、上記電子部品を上記回路基板に接合することができる。
- [0261] また、本実施形態の電子回路の製造方法では、上記電子部品の電極部が、該電極部の形成面において段差無く、あるいは段差を有して形成されており、上記第2の工程では、上記電子部品の電極形成面を上記台上のはんだ粒子に押し当てて、該電極形成面にはんだ粒子を仮圧着し、さらに、上記電子部品の電極形成面を上記電子部品の電極部付近が凸に形成された押さえ板に押し付け、仮圧着されたはんだ粒子のうち電極部付近のはんだ粒子のみを本圧着させたのち、本圧着されなかったはんだ粒子を除去してもよい。
- [0262] これにより、段差無く、あるいはほぼ段差なく形成された上記電子部品の電極部を上記電子部品の電極形成面を上記台上のはんだ粒子に押し当てて、該電極形成面にはんだ粒子を仮圧着する。さらに、上記電子部品の電極形成面を上記電子部品の電極部付近が凸に形成された押さえ板に押し付け、仮圧着されたはんだ粒子のうち電極部付近のはんだ粒子のみを本圧着させる。そののち、本圧着されなかったはんだ粒子を除去する。このようにすることで、電極部にのみはんだ粒子を圧着させ、上記電子部品を上記回路基板に接合することができる。
- [0263] また、本実施形態の電子回路の製造方法では、上記電子部品の電極部が、該電極部の形成面において段差無く、あるいは段差を有して形成されており、上記第2の工程では、上記電子部品の電極形成面を上記台上のはんだ粒子に押し当てて、該電極形成面にはんだ粒子を圧着し、さらに、上記電子部品の電極部付近以外に圧

着されたはんだ粒子に加熱部材を押し当てながら溶融されたはんだを押し広げることによって、電極部以外に圧着されたはんだ粒子を除去してもよい。

[0264] これにより、段差無く、あるいはほぼ段差なく形成された上記電子部品の電極部を上記電子部品の電極形成面を上記台上のはんだ粒子に押し当てて、該電極形成面にはんだ粒子を圧着し、さらに、上記電子部品の電極部付近以外に圧着されたはんだ粒子に加熱部材を押し当てながら溶融されたはんだを押し広げて電極部位外に圧着されたはんだ粒子を除去するとともに、電極部にはんだ粒子を溶着させ、上記電子部品を上記回路基板に接合することができる。

[0265] また、本実施形態の電子回路の製造方法では、上記突起部を有する部材は、上記第5の工程ではんだ粒子が転写される電極部のパターンと同様の凹凸パターンが形成されたものであってもよい。

[0266] これにより、上記突起部を有する部材は、はんだ粒子が転写される電極部のパターンと同様の凹凸パターンで形成されているので、複数の電極部に一括して転写することができる。

[0267] また、本実施形態の電子回路の製造方法では、上記突起部を有する部材は、その先端面積が上記電極部程度の棒状部材であり、上記第4および第5の工程は、上記棒状部材の先端に圧着されたはんだ粒子を、上記電極部に転写することを複数回繰り返すことによって実施されてもよい。

[0268] これにより、上記突起部を有する部材は、棒状の部材であって、上記電極部に転写することを複数回繰り返すことによって複数の電極部にはんだ粒子を転写することができる。

[0269] また、本実施形態の電子回路の製造方法では、上記第5の工程では、上記突起部に圧着されたはんだ粒子を溶融させて上記電極部に転写してもよい。

[0270] これにより、上記突起部に圧着されたはんだ粒子は溶融することによって上記電極部に転写される。

[0271] また、本実施形態の電子回路の製造方法では、上記第1の工程では、上記台上に液体を均一に塗布した上から、上記液体に付着するよりも多くのはんだ粒子を載置し、上記液体に付着しなかったはんだ粒子を台上から取り除くことによって均一なはん

だ粒子の層を形成してもよい。

[0272] これにより、上記台上に液体を均一に塗布し、その上から多量のはんだ粒子をふりかける。上記液体に付着したはんだ粒子は上記液体とともに上記台上に付着するが、上記液体に付着しなかったはんだ粒子は容易に取り除くことができるため、均一なはんだ粒子の層を形成することができる。

[0273] また、本実施形態の電子回路の製造方法では、上記液体の塗布厚を、上記はんだ粒子の直径以下の厚さとしてもよい。

[0274] これにより、上記液体の塗布される厚さが上記はんだ粒子の直径以下となるので、上記はんだ粒子を上記台上に一層で均一に塗布することができる。

[0275] また、本実施形態の電子回路の製造方法では、上記突起部を有する部材は、上記回路基板の電極部のパターンと同様の凹凸パターンが形成されたものであってもよい。

[0276] これにより、上記突起部を有する部材は、はんだ粒子が転写される電極部のパターンと同様の凹凸パターンで形成されているので、複数の電極部に一括して転写することができる。

[0277] また、本実施形態の電子回路の製造方法では、上記突起部を有する部材は、その先端面積が上記電極部程度の棒状部材であり、上記第7の工程は、上記棒状部材を押し当てて該はんだ粒子を上記回路基板の電極部に圧着させることを複数回繰り返すことによって実施されてもよい。

[0278] これにより、上記突起部を有する部材は、その先端面積が上記電極部程度の棒状の部材であって、棒状の部材を上記電極部に複数回繰り返し押し当てることによって複数の電極部にはんだ粒子を転写することができる。

[0279] また、本実施形態の電子回路の製造方法では、上記突起部を有する部材は、バンパ電極を有する電子部品であってもよい。

[0280] これにより、電子部品のバンパ電極で上記回路基板上のはんだ粒子を押し当て圧着させ、上記電子部品を上記回路基板に接合することができる。

[0281] また、本実施形態の電子回路の製造方法では、上記第6の工程では、上記回路基板上に液体を均一に塗布した上から、上記液体に付着するよりも多くのはんだ粒子

を載置し、上記液体に付着しなかったはんだ粒子を回路基板上から取り除くことによって均一なはんだ粒子の層を形成してもよい。

[0282] これにより、上記回路基板上に液体を均一に塗布し、その上から多量のはんだ粒子をふりかける。上記液体に付着したはんだ粒子は上記液体とともに上記回路基板上に付着するが、上記液体に付着しなかったはんだ粒子は容易に取り除くことができるため、均一なはんだ粒子の層を形成することができる。

[0283] また、本実施形態の電子回路の製造方法では、上記液体の塗布厚を、上記はんだ粒子の直径以下の厚さとしてもよい。

[0284] これにより、上記液体の塗布される厚さが上記はんだ粒子の直径以下となるので、上記はんだ粒子を上記回路基板上に一層で均一に塗布することができる。

[0285] また、本実施形態の電子回路の製造方法では、上記第2の工程後、かつ上記第3の工程前に、上記回路基板の電極部に圧着されたはんだ粒子の不足を検出し、はんだ粒子の不足が検出された電極部にはんだ粒子を供給する第8の工程を有し、上記第8の工程は、台上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記突起部に圧着させ、上記突起部に圧着されたはんだ粒子を、はんだ粒子の不足が検出された電極部に転写する工程であってもよい。

[0286] これにより、電子部品の電極部を押し当てて、はんだ粒子を該電極部に圧着させたのちであり、なおかつ上記電子部品を上記回路基板に接合するまえに上記回路基板の電極部に圧着されたはんだ粒子がはんだ接合するために必要な量であるかが検査され、はんだ粒子の不足が検出された電極部に改めてはんだ粒子を圧着転写することができる。

[0287] また、本実施形態の電子回路の製造方法では、上記第5の工程後、かつ上記第3の工程前に、上記回路基板の電極部に圧着されたはんだ粒子の不足を検出し、はんだ粒子の不足が検出された電極部にはんだ粒子を供給する第8の工程を有し、上記第8の工程は、台上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記突起部に圧着させ、上記突起部に圧着されたはんだ粒子を、はんだ粒子の不足が検出された電極部に転写する工程であってもよい。

[0288] これにより、突起部に圧着されたはんだ粒子を、上記電子部品または上記回路基

板の電極部に転写したのちであり、なおかつ上記電子部品を上記回路基板に接合するまえに上記回路基板の電極部に圧着されたはんだ粒子がはんだ接合するために必要な量であるかが検査され、はんだ粒子の不足が検出された電極部に改めてはんだ粒子を圧着転写することができる。

[0289] また、本実施形態の電子回路の製造方法では、上記第7の工程後、かつ上記第3の工程前に、上記回路基板の電極部に圧着されたはんだ粒子の不足を検出し、はんだ粒子の不足が検出された電極部にはんだ粒子を供給する第8の工程を有し、上記第8の工程は、台上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記突起部に圧着させ、上記突起部に圧着されたはんだ粒子を、はんだ粒子の不足が検出された電極部に転写する工程であってもよい。

[0290] これにより、上記回路基板上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記回路基板の電極部に圧着させたのちであり、なおかつ上記電子部品を上記回路基板に接合するまえに上記回路基板の電極部に圧着されたはんだ粒子がはんだ接合するために必要な量であるかが検査され、はんだ粒子の不足が検出された電極部に改めてはんだ粒子を圧着転写することができる。

産業上の利用可能性

[0291] 本発明は、 bumps を用いて回路回路基板に実装する半導体装置、上記半導体装置の製造方法に関するものである。特に、フリップチップ方式の実装方法に用いることができ、さらには、0603や0402と呼ばれる微小チップ状の電子部品の実装にも適用できる。

請求の範囲

- [1] はんだを用いて電子部品が回路基板上に接合される電子回路の製造方法であつて、
- 台上にはんだ粒子を層状に載置する第1の工程と、
- 上記台上に載置されたはんだ粒子に、上記電子部品の電極部を押し当てて、はんだ粒子を該電極部に圧着させる第2の工程と、
- 上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合する第3の工程とを含むことを特徴とする電子回路の製造方法。
- [2] 上記電極部が、上記電子部品のバンプ電極であることを特徴とする請求項1に記載の電子回路の製造方法。
- [3] 上記電子部品の電極部が、該電極部の形成面において段差無く、あるいは段差を有して形成されており、
- 上記第2の工程では、
- 上記電子部品の電極形成面を上記台上のはんだ粒子に押し当てて、該電極形成面にはんだ粒子を仮圧着し、
- さらに、上記電子部品の電極形成面を上記電子部品の電極部付近が凸に形成された押さえ板に押し付け、仮圧着されたはんだ粒子のうち電極部付近のはんだ粒子のみを本圧着させたのち、本圧着されなかったはんだ粒子を除去することを特徴とする請求項1に記載の電子回路の製造方法。
- [4] 上記電子部品の電極部が、該電極部の形成面において段差無く、あるいは段差を有して形成されており、
- 上記第2の工程では、
- 上記電子部品の電極形成面を上記台上のはんだ粒子に押し当てて、該電極形成面にはんだ粒子を圧着し、
- さらに、上記電子部品の電極部付近以外に圧着されたはんだ粒子に加熱部材を押し当てながら熔融されたはんだを押し広げることによって、電極部以外に圧着されたはんだ粒子を除去することを特徴とする請求項1に記載の電子回路の製造方法。
- [5] はんだを用いて電子部品が回路基板上に接合される電子回路の製造方法であつ

て、

台上にはんだ粒子を層状に載置する第1の工程と、

上記台上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記突起部に圧着させる第4の工程と、

上記突起部に圧着されたはんだ粒子を、上記電子部品または上記回路基板の電極部に転写する第5の工程と、

上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合する第3の工程とを含むことを特徴とする電子回路の製造方法。

[6] 上記突起部を有する部材は、上記第5の工程ではんだ粒子が転写される電極部のパターンと同様の凹凸パターンが形成されたものであることを特徴とする請求項5に記載の電子回路の製造方法。

[7] 上記突起部を有する部材は、その先端面積が上記電極部程度の棒状部材であり、上記第4および第5の工程は、上記棒状部材の先端に圧着されたはんだ粒子を、上記電極部に転写することを複数回繰り返すことによって実施されることを特徴とする請求項5に記載の電子回路の製造方法。

[8] 上記第5の工程では、上記突起部に圧着されたはんだ粒子を溶融させて上記電極部に転写することを特徴とする請求項5に記載の電子回路の製造方法。

[9] 上記第1の工程では、
上記台上に液体を均一に塗布した上から、上記液体に付着するよりも多くのはんだ粒子を載置し、上記液体に付着しなかったはんだ粒子を台上から取り除くことによって均一なはんだ粒子の層を形成することを特徴とする請求項1に記載の電子回路の製造方法。

[10] 上記第1の工程では、
上記台上に液体を均一に塗布した上から、上記液体に付着するよりも多くのはんだ粒子を載置し、上記液体に付着しなかったはんだ粒子を台上から取り除くことによって均一なはんだ粒子の層を形成することを特徴とする請求項5に記載の電子回路の製造方法。

[11] 上記液体の塗布厚を、上記はんだ粒子の直径以下の厚さとすることを特徴とする請

求項9に記載の電子回路の製造方法。

[12] 上記液体の塗布厚を、上記はんだ粒子の直径以下の厚さとすることを特徴とする請求項10に記載の電子回路の製造方法。

[13] はんだを用いて電子部品が回路基板上に接合される電子回路の製造方法であつて、

上記回路基板上にはんだ粒子を層状に載置する第6の工程と、

上記回路基板上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記回路基板の電極部に圧着させる第7の工程と、

上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合する第3の工程とを含むことを特徴とする電子回路の製造方法。

[14] 上記突起部を有する部材は、上記回路基板の電極部のパターンと同様の凹凸パターンが形成されたものであることを特徴とする請求項13に記載の電子回路の製造方法。

[15] 上記突起部を有する部材は、その先端面積が上記電極部程度の棒状部材であり、上記第7の工程は、上記棒状部材を押し当てて該はんだ粒子を上記回路基板の電極部に圧着させることを複数回繰り返すことによって実施されることを特徴とする請求項13に記載の電子回路の製造方法。

[16] 上記突起部を有する部材は、バンプ電極を有する電子部品であることを特徴とする請求項13に記載の電子回路の製造方法。

[17] 上記第6の工程では、

上記回路基板上に液体を均一に塗布した上から、上記液体に付着するよりも多くのはんだ粒子を載置し、上記液体に付着しなかったはんだ粒子を回路基板上から取り除くことによって均一なはんだ粒子の層を形成することを特徴とする請求項13に記載の電子回路の製造方法。

[18] 上記液体の塗布厚を、上記はんだ粒子の直径以下の厚さとすることを特徴とする請求項17に記載の電子回路の製造方法。

[19] 上記第2の工程後、かつ上記第3の工程前に、

上記電子部品の電極部に圧着されたはんだ粒子の不足を検出し、はんだ粒子の

不足が検出された電極部にはんだ粒子を供給する第8の工程を有し、

上記第8の工程は、台上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記突起部に圧着させ、上記突起部に圧着されたはんだ粒子を、はんだ粒子の不足が検出された電極部に転写する工程であることを特徴とする請求項1に記載の電子回路の製造方法。

[20] 上記第5の工程後、かつ上記第3の工程前に、

上記電子部品または上記回路基板の電極部に圧着されたはんだ粒子の不足を検出し、はんだ粒子の不足が検出された電極部にはんだ粒子を供給する第8の工程を有し、

上記第8の工程は、台上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記突起部に圧着させ、上記突起部に圧着されたはんだ粒子を、はんだ粒子の不足が検出された電極部に転写する工程であることを特徴とする請求項5に記載の電子回路の製造方法。

[21] 上記第7の工程後、かつ上記第3の工程前に、

上記回路基板の電極部に圧着されたはんだ粒子の不足を検出し、はんだ粒子の不足が検出された電極部にはんだ粒子を供給する第8の工程を有し、

上記第8の工程は、台上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記突起部に圧着させ、上記突起部に圧着されたはんだ粒子を、はんだ粒子の不足が検出された電極部に転写する工程であることを特徴とする請求項13に記載の電子回路の製造方法。

[22] はんだを用いて電子部品が回路基板上に接合される電子回路の製造方法であって、

請求項1に記載の方法によって上記電子部品の電極部に付着されたはんだ粒子を溶融させて、上記電子部品の電極部をはんだでプリコートし、

請求項5に記載の方法によって上記回路基板の電極部に付着されたはんだ粒子を溶融させて、上記回路基板の電極部をはんだでプリコートし、

電極部がはんだでプリコートされた上記電子部品と上記回路基板とを対向させて接触させた状態で上記はんだを溶融させ、該はんだに作用する表面張力によって上記

電子部品と上記回路基板とを位置合わせすることを特徴とする電子回路の製造方法。

- [23] はんだを用いて電子部品が回路基板上に接合される電子回路の製造方法であつて、

請求項5に記載の方法によって上記電子部品の電極部に付着されたはんだ粒子を溶融させて、上記電子部品の電極部をはんだでプリコートし、

請求項5に記載の方法によって上記回路基板の電極部に付着されたはんだ粒子を溶融させて、上記回路基板の電極部をはんだでプリコートし、

電極部がはんだでプリコートされた上記電子部品と上記回路基板とを対向させて接触させた状態で上記はんだを溶融させ、該はんだに作用する表面張力によって上記電子部品と上記回路基板とを位置合わせすることを特徴とする電子回路の製造方法。

- [24] はんだを用いて電子部品が回路基板上に接合される電子回路の製造方法であつて、

請求項1に記載の方法によって上記電子部品の電極部に付着されたはんだ粒子を溶融させて、上記電子部品の電極部をはんだでプリコートし、

請求項13に記載の方法によって上記回路基板の電極部に付着されたはんだ粒子を溶融させて、上記回路基板の電極部をはんだでプリコートし、

電極部がはんだでプリコートされた上記電子部品と上記回路基板とを対向させて接触させた状態で上記はんだを溶融させ、該はんだに作用する表面張力によって上記電子部品と上記回路基板とを位置合わせすることを特徴とする電子回路の製造方法。

- [25] はんだを用いて電子部品が回路基板上に接合される電子回路の製造方法であつて、

請求項5に記載の方法によって上記電子部品の電極部に付着されたはんだ粒子を溶融させて、上記電子部品の電極部をはんだでプリコートし、

請求項13に記載の方法によって上記回路基板の電極部に付着されたはんだ粒子を溶融させて、上記回路基板の電極部をはんだでプリコートし、

電極部がはんだでプリコートされた上記電子部品と上記回路基板とを対向させて接触させた状態で上記はんだを溶融させ、該はんだに作用する表面張力によって上記電子部品と上記回路基板とを位置合わせすることを特徴とする電子回路の製造方法。

- [26] 半導体素子をはんだを用いて回路基板上に接合されたの電子回路の製造方法であって、

上記半導体素子を上記回路基板に接合するにあたって、請求項1～25のいずれか1項に記載の電子回路の製造方法が用いられることを特徴とする電子回路の製造方法。

- [27] 請求項1～25のいずれか1項に記載の電子回路の製造方法によって製造されていることを特徴とする半導体装置。

- [28] 請求項26に記載の電子回路の製造方法によって製造されていることを特徴とする半導体装置。

- [29] はんだを用いて電子部品が回路基板上に接合される電子回路の製造装置であって、

台上に層状に載置されたはんだ粒子に、上記電子部品の電極部を押し当てて、はんだ粒子を該電極部に圧着させ、

上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合することを特徴とする電子回路の製造装置。

- [30] はんだを用いて電子部品が回路基板上に接合される電子回路の製造装置であって、

台上に層状に載置されたはんだ粒子に、突起部を有する部材を押し当てて、該はんだ粒子を上記突起部に圧着させ、

上記突起部に圧着されたはんだ粒子を、上記電子部品または上記回路基板の電極部に転写させ、

上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に接合することを特徴とする電子回路の製造装置。

- [31] はんだを用いて電子部品が回路基板上に接合される電子回路の製造装置であって、

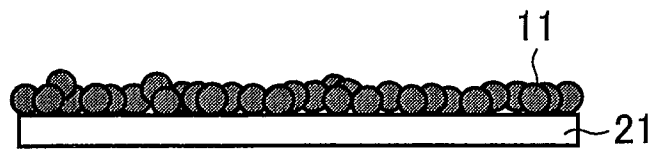
て、

回路基板にはんだ粒子を層状に載置し、

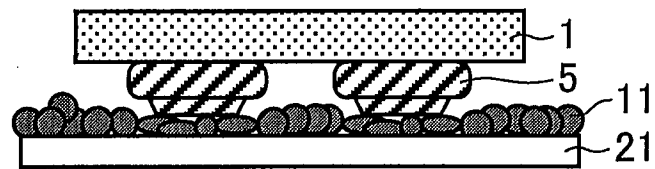
上記回路基板上に載置されたはんだ粒子に、突起部を有する部材を押し当てて、
該はんだ粒子を上記回路基板の電極部に圧着させ、

上記電極部に圧着されたはんだ粒子を用いて、上記電子部品を上記回路基板に
接合することを特徴とする電子回路の製造装置。

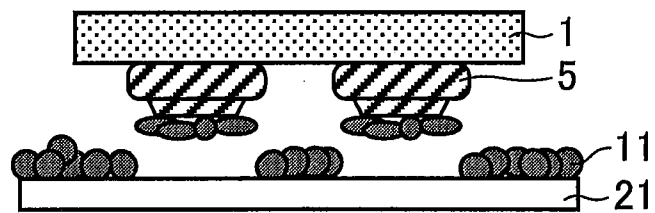
[図1(a)]



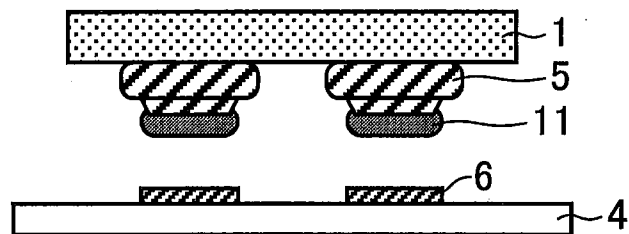
[図1(b)]



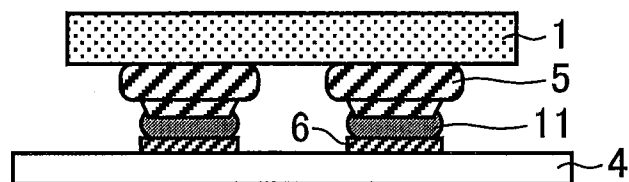
[図1(c)]



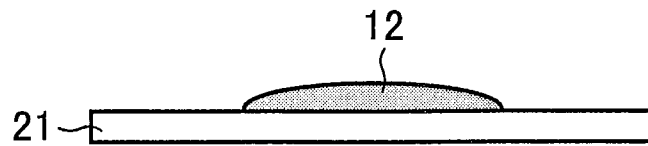
[図1(d)]



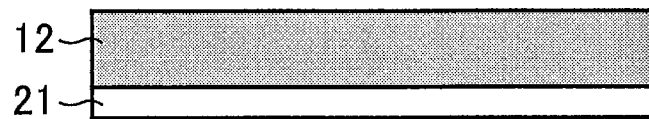
[図1(e)]



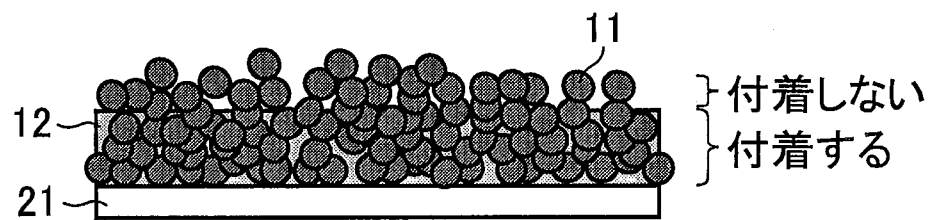
[図2(a)]



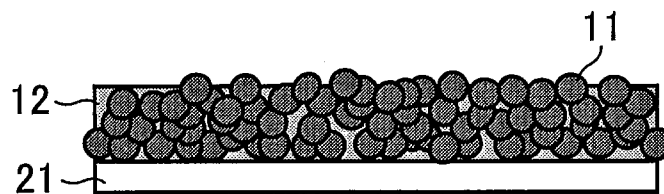
[図2(b)]



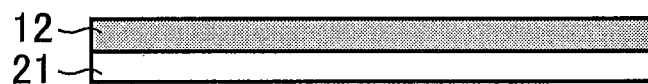
[図2(c)]



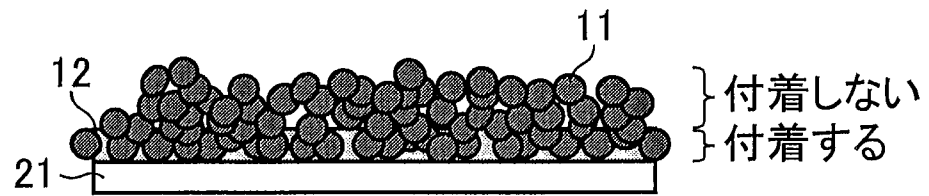
[図2(d)]



[図3(a)]



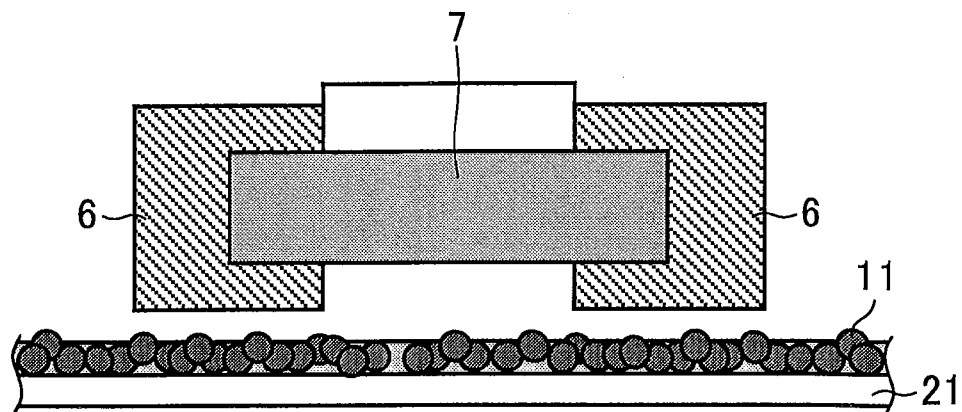
[図3(b)]



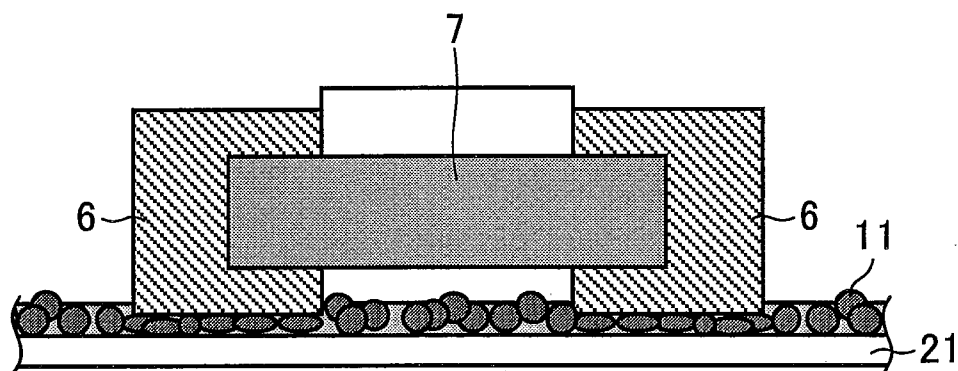
[図3(c)]



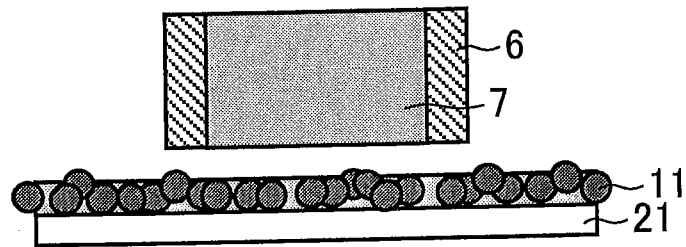
[図4(a)]



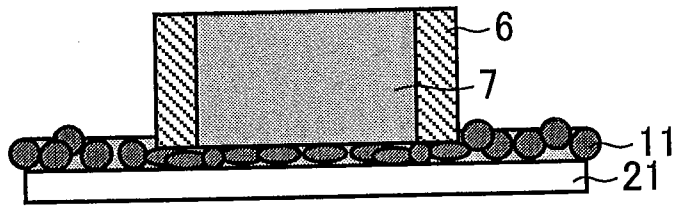
[図4(b)]



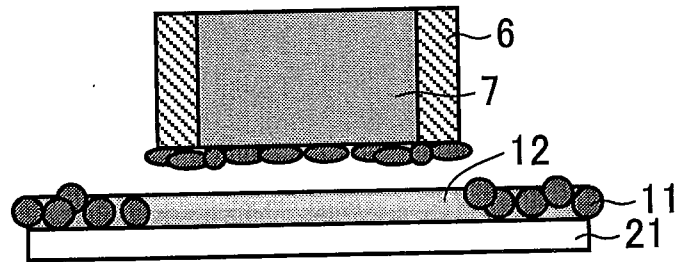
[図5(a)]



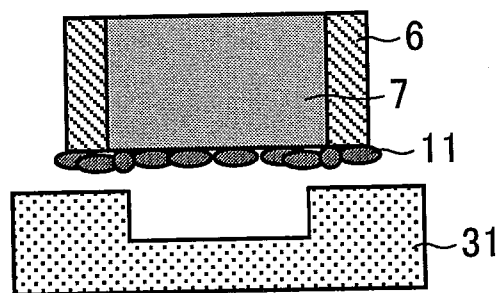
[図5(b)]



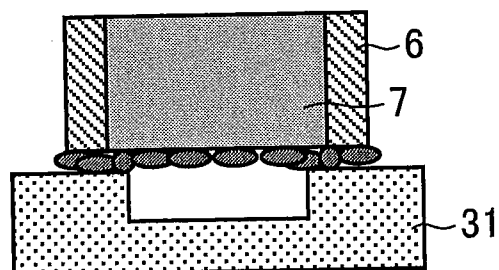
[図5(c)]



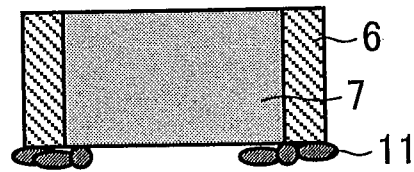
[図5(d)]



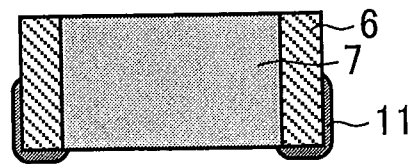
[図5(e)]



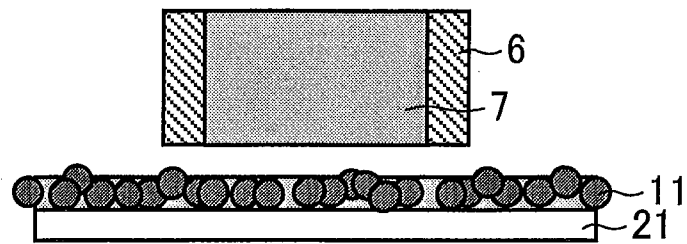
[図5(f)]



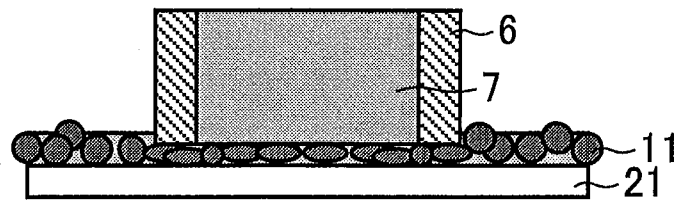
[図5(g)]



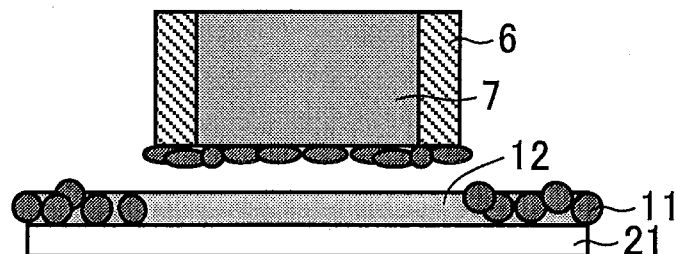
[図6(a)]



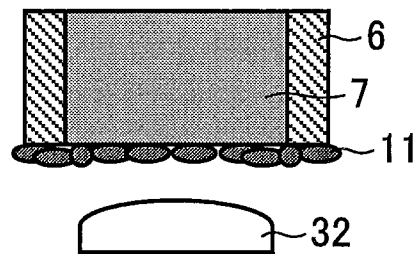
[図6(b)]



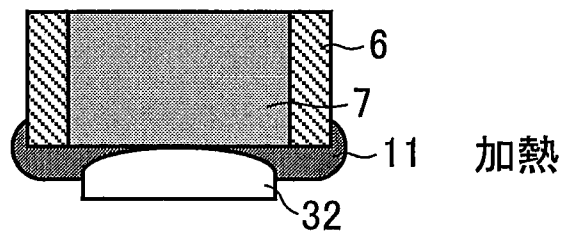
[図6(c)]



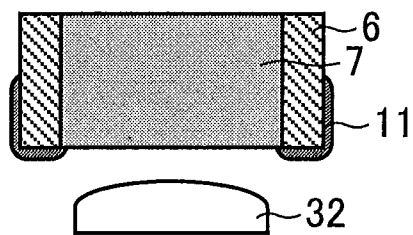
[図6(d)]



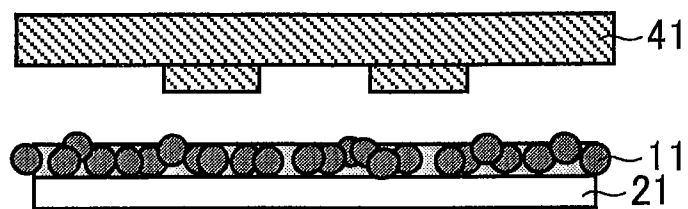
[図6(e)]



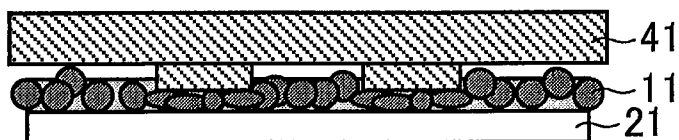
[図6(f)]



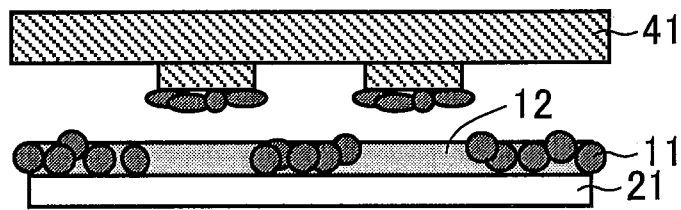
[図7(a)]



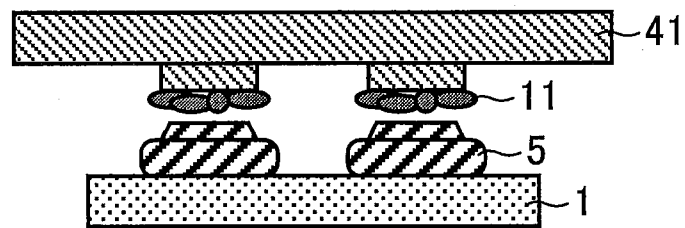
[図7(b)]



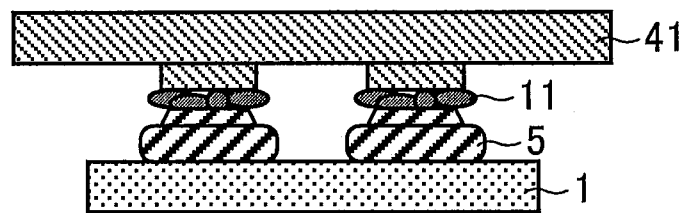
[図7(c)]



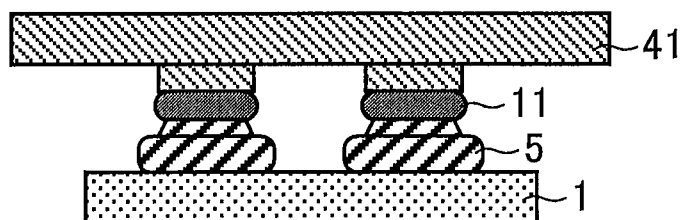
[図7(d)]



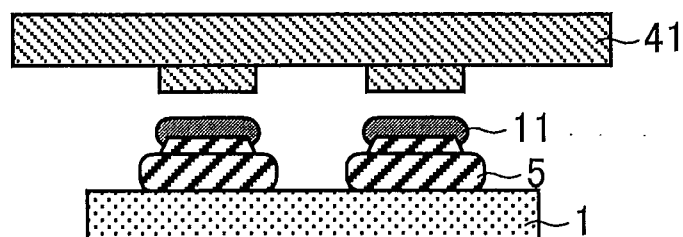
[図7(e)]



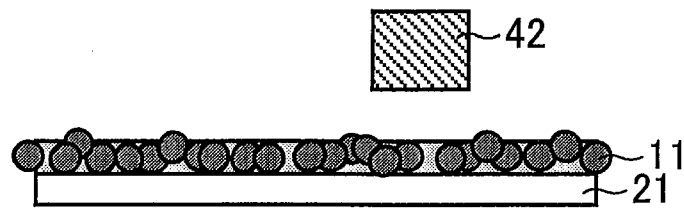
[図7(f)]



[図7(g)]



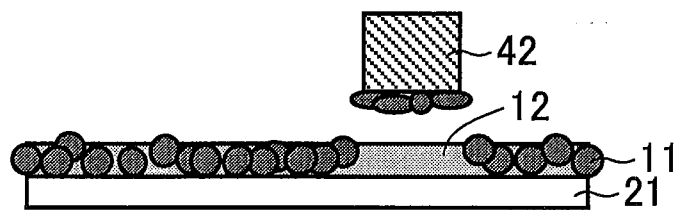
[図8(a)]



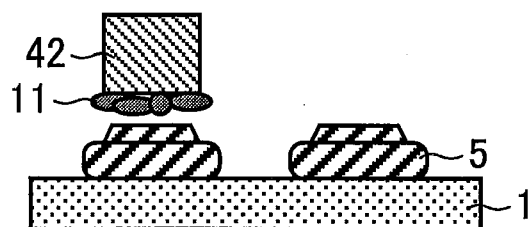
[図8(b)]



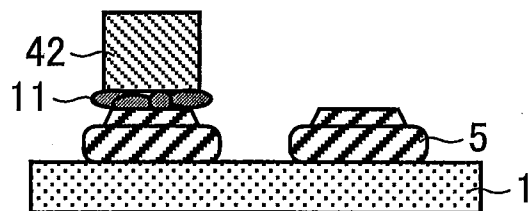
[図8(c)]



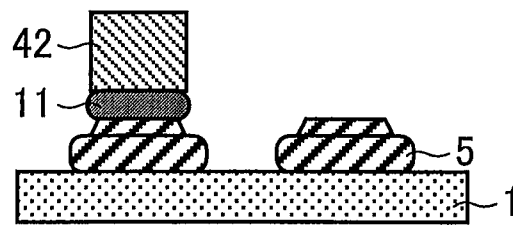
[図8(d)]



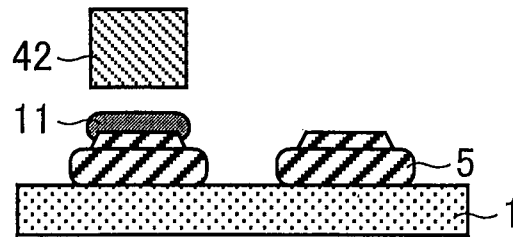
[図8(e)]



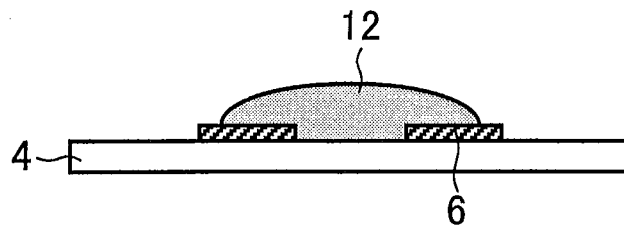
[図8(f)]



[図8(g)]



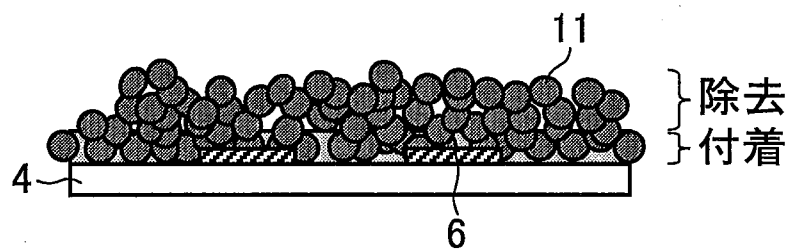
[図9(a)]



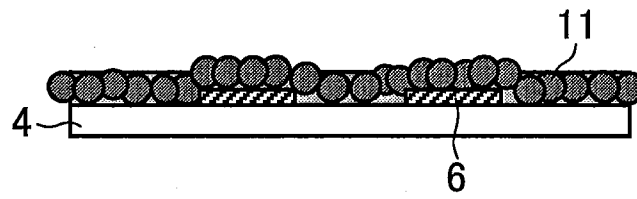
[図9(b)]



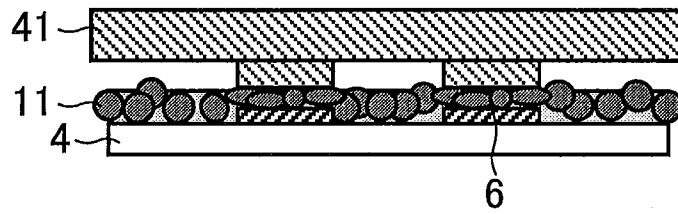
[図9(c)]



[図9(d)]



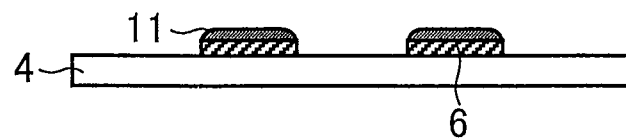
[図9(e)]



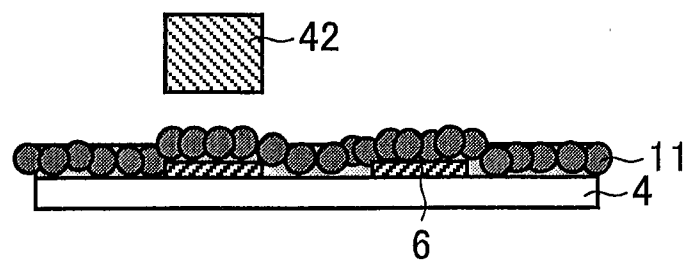
[図9(f)]



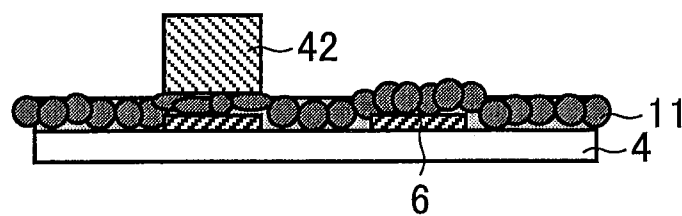
[図9(g)]



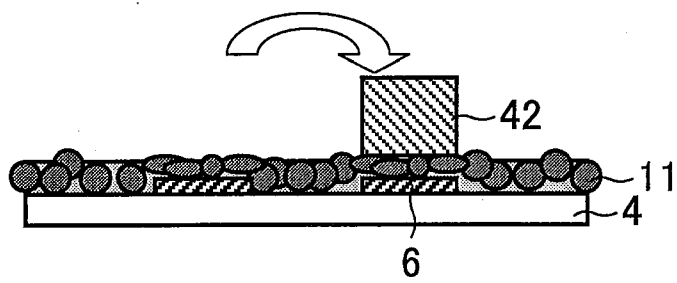
[図10(a)]



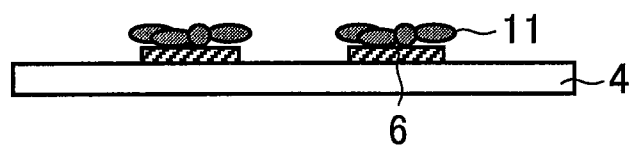
[図10(b)]



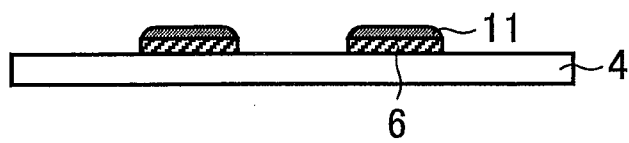
[図10(c)]



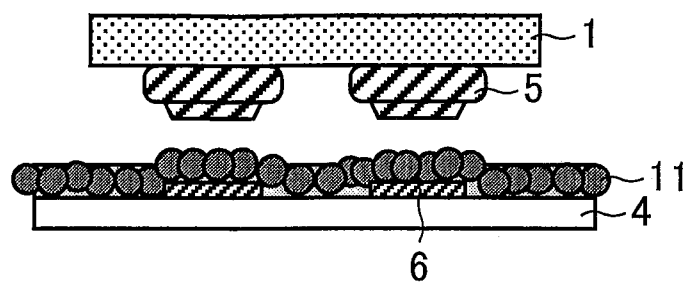
[図10(d)]



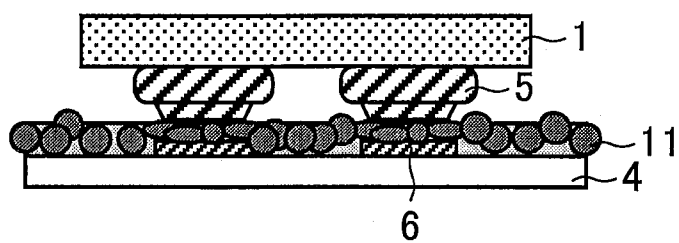
[図10(e)]



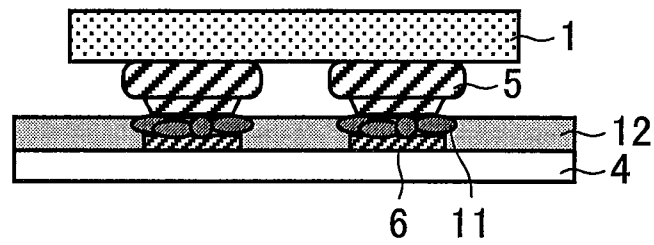
[図11(a)]



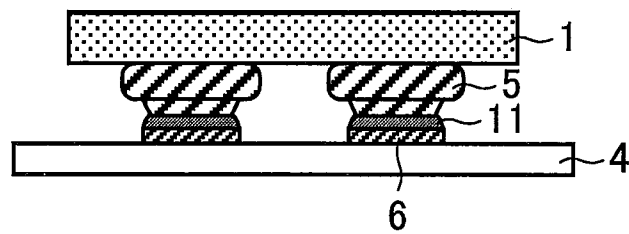
[図11(b)]



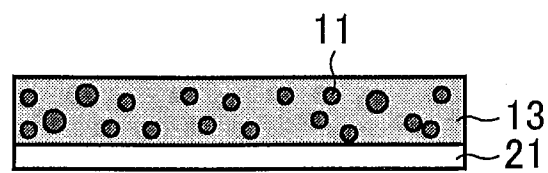
[図11(c)]



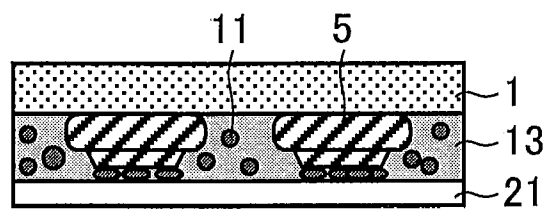
[図11(d)]



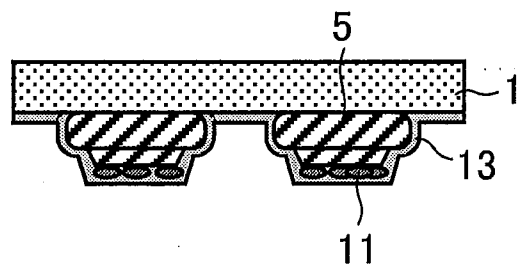
[図12(a)]



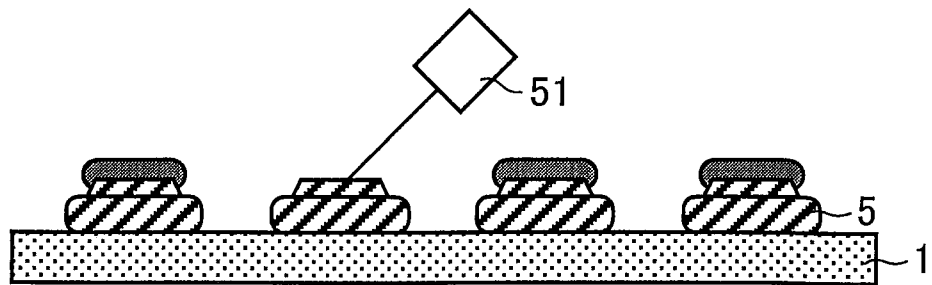
[図12(b)]



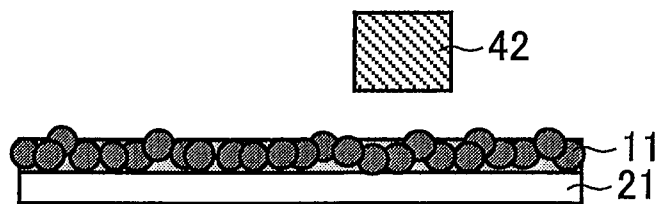
[図12(c)]



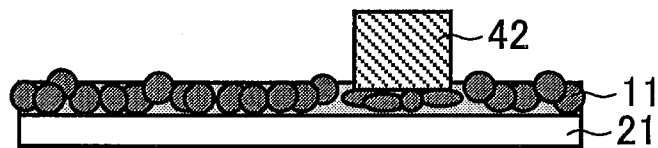
[図13(a)]



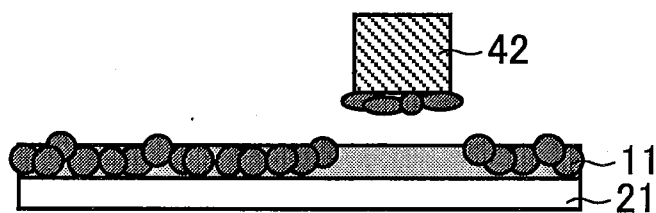
[図13(b)]



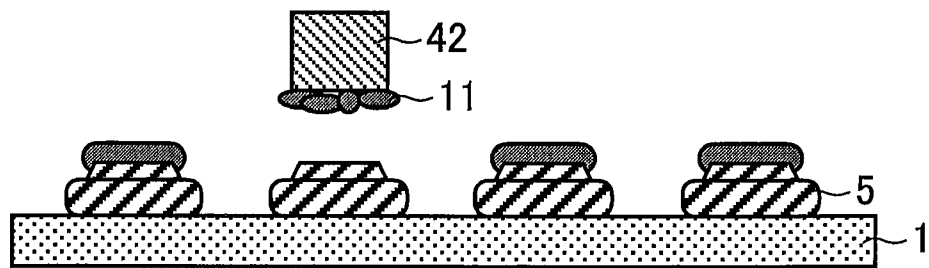
[図13(c)]



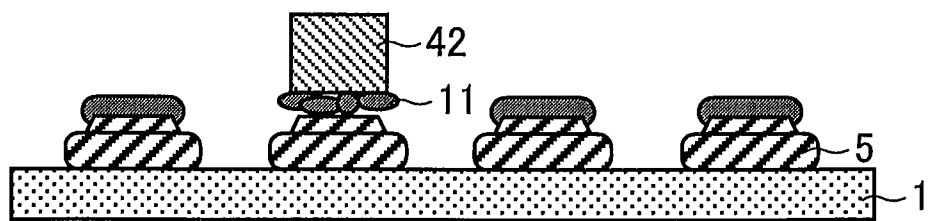
[図13(d)]



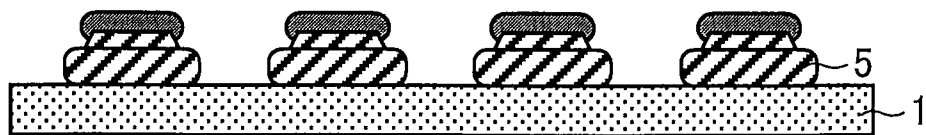
[図13(e)]



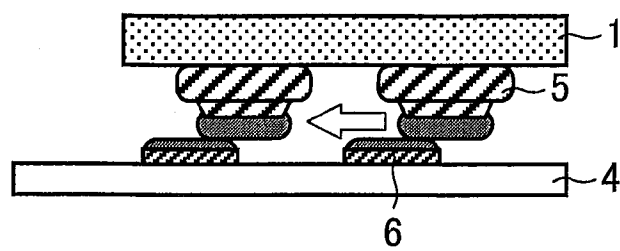
[図13(f)]



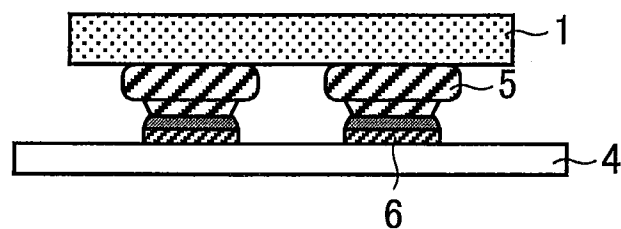
[図13(g)]



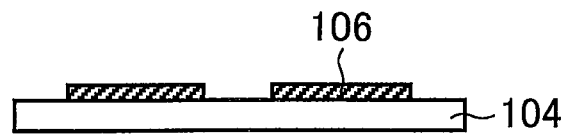
[図14(a)]



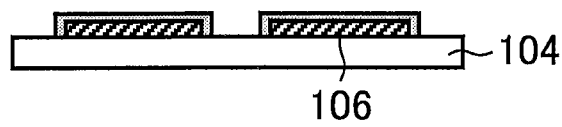
[図14(b)]



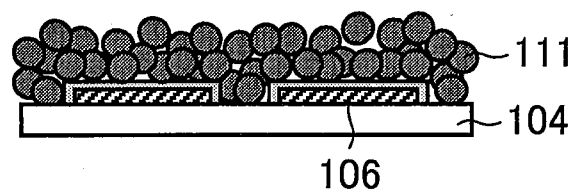
[図15(a)]



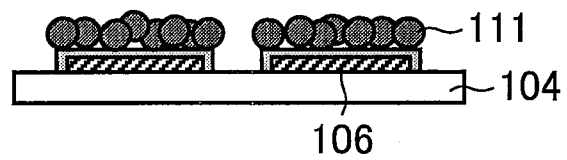
[図15(b)]



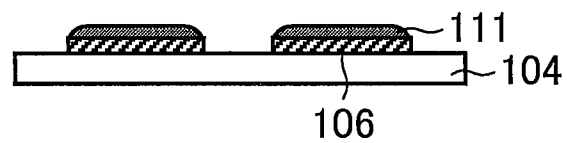
[図15(c)]



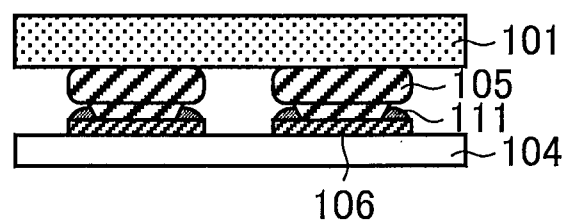
[図15(d)]



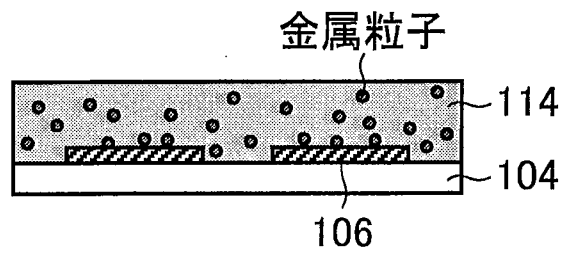
[図15(e)]



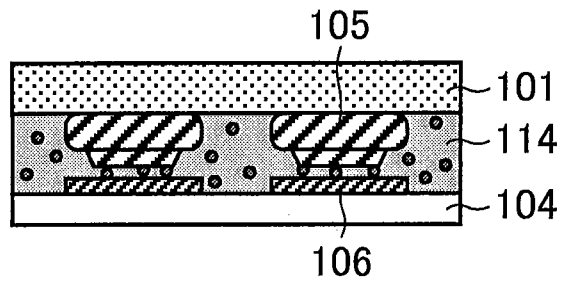
[図15(f)]



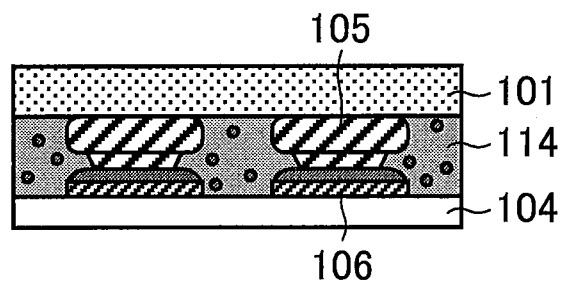
[図16(a)]



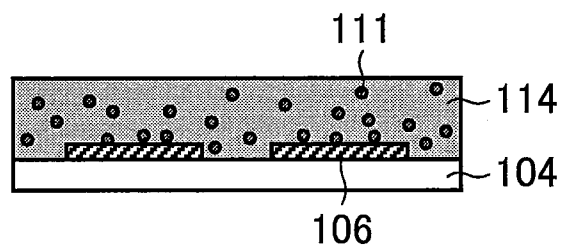
[図16(b)]



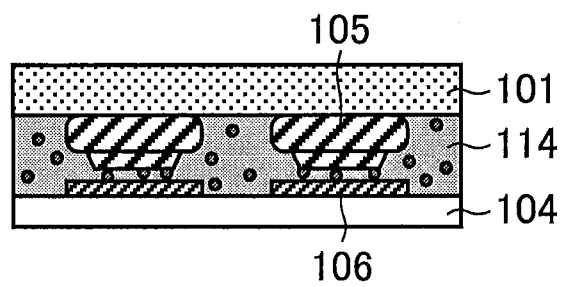
[図16(c)]



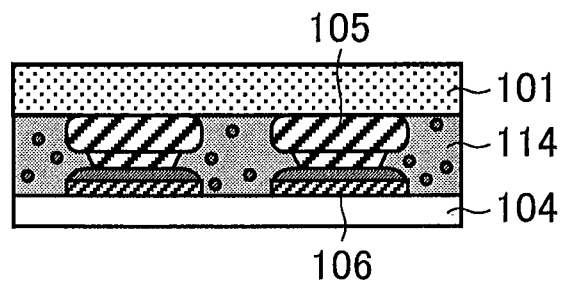
[図17(a)]



[図17(b)]



[図17(c)]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/062596

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60(2006.01) i, H05K3/34(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60, H05K3/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 7-211721 A (Mitsubishi Electric Corp.), 11 August, 1995 (11.08.95), Column 7, line 13 to column 8, line 44; Figs. 1, 2 (Family: none)	1-3, 26-29 5-8, 13-16, 19-25, 30, 31 4, 9-12, 17, 18
Y	JP 8-153956 A (Sanyo Electric Co., Ltd.), 11 June, 1996 (11.06.96), Column 2, lines 13 to 30; Fig. 1 (Family: none)	5-8, 13-16, 19-25, 30, 31
Y	JP 2003-309139 A (Nippon Steel Corp.), 31 October, 2003 (31.10.03), Claims (Family: none)	19-21



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
20 July, 2007 (20.07.07)

Date of mailing of the international search report
31 July, 2007 (31.07.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/062596

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-96826 A (Ricoh Co., Ltd.), 08 April, 1994 (08.04.94), Full text; all drawings (Family: none)	9-12, 17, 18

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L21/60(2006.01)i, H05K3/34(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L21/60, H05K3/34			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 0 7 年 日本国実用新案登録公報 1 9 9 6 - 2 0 0 7 年 日本国登録実用新案公報 1 9 9 4 - 2 0 0 7 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X Y A Y	JP 7 - 2 1 1 7 2 1 A（三菱電機株式会社）1 9 9 5 . 0 8 . 1 1 , 第 7 欄第 1 3 行 - 第 8 欄第 4 4 行、図 1、図 2 (ファミリーなし)	1-3, 26-29 <u>5-8, 13-16,</u> <u>19-25, 30, 31</u> <u>4, 9-12, 17, 18</u>	
	JP 8 - 1 5 3 9 5 6 A（三洋電機株式会社）1 9 9 6 . 0 6 . 1 1 , 第 2 欄第 1 3 - 3 0 行、図 1 (ファミリーなし)	5-8, 13-16, 19-25, 30, 31	
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 2 0 . 0 7 . 2 0 0 7		国際調査報告の発送日 3 1 . 0 7 . 2 0 0 7	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官（権限のある職員） 田中 永一 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 9	4 R 9 5 3 9

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2003-309139 A (新日本製鐵株式会社) 2003.10.31, 特許請求の範囲 (ファミリーなし)	19-21
A	JP 6-96826 A (株式会社リコー) 1994.04.08, 全文、全図 (ファミリーなし)	9-12, 17, 18